

621.382(075)
Г 46

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

В. А. Гикавий

**ЦИФРОВА І АНАЛОГОВА
СХЕМОТЕХНІКА**

Лабораторний практикум

Вінниця ВДТУ 2001

6157-16

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

В. А. Гикавий

**ЦИФРОВА І АНАЛОГОВА
СХЕМОТЕХНІКА**

Лабораторний практикум

Затверджено Ученою радою Вінницького державного технічного університету як навчальний посібник для студентів спеціальності "Електроніка". Протокол № 9 від 27 квітня 2000 р.

НТБ ВНТУ



3137-16

621.382(075) Г 46 2001

Гикавий В.А. Цифрова і аналогова схемотех



Вінниця ВДТУ 2001

Рецензенти:

М. А. Філінюк, доктор технічних наук, професор

Г. І. Гаврилюк, кандидат технічних наук, директор ДНДІ “Гелій”

В. А. Лужецький, кандидат технічних наук, доцент

Рекомендовано до видання Ученою радою Вінницького державного технічного університету Міністерства освіти і науки України

Гикавий В.А.

Г 46 Цифрова і аналогова схемотехніка. Лабораторний практикум. -
Вінниця: ВДТУ, 2001. - 99 с.

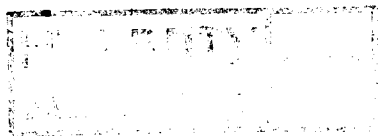
У лабораторному практикуму описано 11 лабораторних робіт, що охоплюють матеріал основних розділів курсу.

Структура опису лабораторної роботи: мета роботи, короткі теоретичні відомості, програма дослідів, зміст звіту і контрольні запитання для самостійної підготовки. Лабораторний практикум розроблений у відповідності з планом кафедри та програми до дисциплін “Цифрова схемотехніка” та “Аналогова схемотехніка”.

Лабораторний практикум призначений для студентів бакалаврських напрямків 6.090801 “Мікроелектроніка і напівпровідникові прилади” та 6.090802 “Електронні прилади та пристрої”.

УДК 621.3.049.77

© В. Гикавий, 2001



ЗМІСТ

	стор.
Вступ	4
Основні правила техніки безпеки в лабораторії	5
1. Лабораторна робота №1. Дослідження статичних і динамічних параметрів ТТЛ елемента і побудова його макромоделі	6
2. Лабораторна робота №2. Дослідження інтегральної мікросхеми на комплементарних МОН-транзисторах	16
3. Лабораторна робота №3. Дослідження мікросхеми арифметико-логічного пристрою	22
4. Лабораторна робота №4. Дослідження тригерів	34
5. Лабораторна робота №5. Дослідження мікросхем лічильників	46
6. Лабораторна робота №6. Дослідження операційного підсилювача	55
7. Лабораторна робота №7. Дослідження мікросхеми аналогового компаратора	62
8. Лабораторна робота №8. Дослідження цифро-аналогового перетворювача послідовного підрахунку	68
9. Лабораторна робота №9. Дослідження мікросхеми стабілізатора напруги	76
10. Лабораторна робота №10. Дослідження гіратора	81
11. Лабораторна робота №11. Дослідження аналогової лінії затримки на приладах з перенесенням заряду	88

ВСТУП

Лабораторний практикум відіграє важливу роль при вивченні студентом принципів роботи мікроелектронних компонентів. Лабораторні заняття дають студенту наочне уявлення про властивості, характеристики і можливості певних класів інтегральних схем, розвивають у нього навички їх експлуатації і дослідження.

Під час лабораторних занять студент повинен набути корисного досвіду по вимірюваннях характеристик і параметрів мікросхем, що складає важливий комплекс операцій сучасного напівпровідникового виробництва. Разом з тим у нього повинно скластися уявлення про області можливого застосування основних класів мікросхем. На лабораторних заняттях відбувається поєднання теорії з практикою, внаслідок чого у студента з'являються необхідні знання в організації і проведенні досліджень з самостійною оцінкою отриманих результатів.

Задачами лабораторного практикуму є поглиблене вивчення теоретичного матеріалу, розвиток практичних навичок дослідження параметрів і характеристик мікросхем, обробка результатів досліджень і розвиток вміння робити обґрунтовані висновки по дослідних даних, вивчення правил оформлення звітної документації, вивчення можливостей вимірювального обладнання.

Підготовка до заняття складається з двох частин: вивчення потрібних для проведення роботи теоретичних відомостей і ознайомлення з лабораторним стендом і вимірювальним обладнанням безпосередньо в лабораторії. При ознайомленні з описом роботи необхідно звернути увагу на контрольні запитання, подані в кінці опису. Деякі запитання торкаються проблем, не розглянутих в опису, тому з ними слід ознайомитися у наведеній в посібнику літературі при підготовці до захисту лабораторної роботи.

ОСНОВНІ ПРАВИЛА ТЕХНІКИ БЕЗПЕКИ В ЛАБОРАТОРІЇ

Під час виконання лабораторних робіт слід суворо дотримуватися правил техніки безпеки.

Для запобігання нещасного випадку допуск до роботи в лабораторії проводиться тільки після вступного інструктажу.

Перед початком роботи слід ознайомитися з особливостями лабораторного обладнання і інструкціями по його експлуатації.

Не захарашувати робоче місце сторонніми речами.

Про пошкодження лабораторного обладнання негайно повідомляти лаборанта.

Приступати до лабораторної роботи тільки після дозволу лаборанта.

Всі перемикання на лабораторному стенді робити при вимкненому джерелі живлення.

Під час проведення досліджень не торкатися металевих частин лабораторного стенда і приладів.

При проведенні лабораторної роботи забороняється займатися сторонніми справами і відволікатися.

У випадку враження когось із присутніх електричним струмом слід негайно вимкнути загальний вимикач і надати потерпілому першу медичну допомогу.

Після закінчення роботи вимкнути живлення на стенді і прилади.

Дослідження статичних та динамічних параметрів

ТТЛ елемента і побудова його макромоделі

1.1 Мета роботи - вивчення принципів роботи, характеристик, основних параметрів і дослідження ТТЛ мікросхеми

1.2 Короткі теоретичні відомості

Цифрові інтегральні схеми (ЦІС) застосовуються для обробки інформації, що визначена у двійковій системі числення, тобто у вигляді комбінації символів 0 і 1.

При потенціальному способі визначення інформації символам 0 і 1 відповідають два стани ЦІС, що відрізняються напругою на виході. Логічна угода, при якій символу 0 ставиться у відповідність низький рівень напруги, а символу 1-високий рівень, називається додатньою логікою. Якщо ж символу 0 відповідає високий рівень напруги, а символу 1-низький, така логіка називається від'ємною.

Базовий елемент ТТЛ реалізує логічну операцію І-НІ в додатній логіці (рис.1.1). В даній схемі операція І реалізується багатомітерним транзистором VT1, а операція НІ-складним інвертором на транзисторах VT2- VT5.

Якщо на обидва входи подано високий потенціал (логічна 1), то емітерні переходи транзистора VT1 закриті, колекторний перехід відкритий, і його струм підтримує транзистор VT2 у відкритому стані.

Транзистор VT2 забезпечує парафазний сигнал для керування вихідним каскадом. Транзистор VT3 служить динамічним навантаженням транзистора VT2. Якщо VT2 відкритий, то VT5 також відкритий. На виході схеми підтримується низький рівень потенціалу. При цьому між

колекторами VT2 і VT5 існує невелика різниця потенціалів, яка може відкрити транзистор VT4. Щоб запобігти цьому, в коло емітера VT4 ввімкнуто діод VD4. Якщо хоч би на один з входів ІС подано логічний нуль, відповідний емітерний перехід транзистора VT1 відкритий.

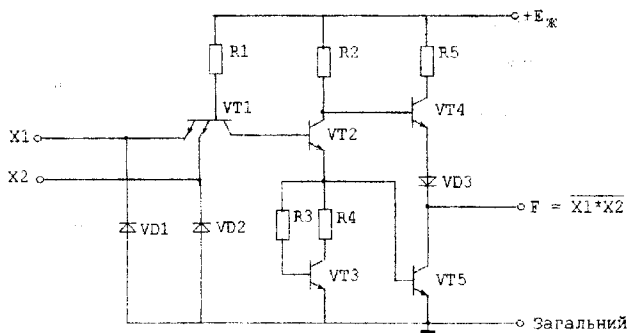


Рисунок 1.1

Колекторний перехід VT1 при цьому також відкритий, на базі VT2 підтримується низька напруга, яка недостатня для його відкриття. Транзистори VT2 і VT5 закриті, VT4 і VD4 відкриті і забезпечують на виході схеми високий рівень напруги, що відповідає логічній одиниці.

В момент зміни вхідного сигналу з високого рівня на низький транзистори VT2 і VT5 закриваються, а транзистор VT4 і діод VD4 відкриваються, але, вони починають проводити трохи раніше момента, коли VT5 буде повністю зачинений. При цьому виникає шлях струму від шини живлення на землю, в колі живлення відбуваються кидки струму. Опір R4 обмежує піки струму рівнем 25-30 мА. Як додатний спосіб застосовують шунтування шин живлення конденсатором ємністю 0,01-0,1 мкФ.

Застосування двотактного вихідного каскада дозволяє підвищити навантажувальну здатність схеми. Діоди VD1 і VD2 служать для захисту від від'ємних кидків напруги на вході схеми, при цьому потрібний діод відкривається та утримує цю напругу на рівні -0.7В, що є безпечним для

вхідного транзистора. Струм через ці діоди не повинен перевищувати 10 мА.

Параметри, що характеризують логічні елементи, діляться на такі групи:

1. Функціональні, що визначають логічні можливості ІС.
2. Параметри, що вимірюються та визначають робочі стани і режими ІС.
3. Техніко-економічні, що дозволяють порівняти мікросхеми за техно-логічним рівнем виготовлення.

До функціональних параметрів відносяться:

1. Коефіцієнт розгалуження по виходу $K_{роз}$ (навантажувальна здатність), що визначає максимально допустиме число одиничних навантажень, які можна одночасно під'єднати до виходу ІС. Одиничним навантаженням вважається єдиний вхід аналогічного елемента.
2. Коефіцієнт об'єднання по входу $K_{об}$, що характеризує максимально припустиме число входів, по яких реалізується логічна функція.
3. Завадостійкість $U_{пом}$, що визначається максимально припустимою напругою статичної завади на вході ІС, при якій ще не відбувається зміни рівнів потенціалу на їх виході.
4. Потужність P , що споживається від джерела живлення. Розрізняють потужності P_0 і P_1 , що споживаються в стані логічних 0 і 1, а також середню потужність

$$P_{ср} = 0.5(P_1 + P_0).$$

Параметри, що вимірюються, діляться на статичні і динамічні.

До статичних параметрів, що вимірюються в логічних станах 0 і 1, відносяться:

1. Вхідні і вихідні струми логічних 1 і 0: $I_{вх1}$, $I_{вх0}$, $I_{вих1}$, $I_{вих0}$.
2. Вихідні напруги логічних 1 і 0: $U_{вих1}$, $U_{вих0}$.

3. Порогові напруги логічних 1 і 0: $U_{1пор}$, $U_{0пор}$, що дорівнюють вхідним напругам, при яких відбувається перехід ІС з одного стану в інший.
4. Струми споживання ІС для двох станів: $I_{1сп}$, $I_{0сп}$.

До динамічних параметрів відносяться:

1. Час переходу ІС з стану логічної 1 в стан логічного 0 $t_{0,1}$, що вимірюється на рівнях 0,9 і 0,1 як інтервал часу, протягом якого напруга на виході ІС переходить від рівня логічної 1 до рівня логічного 0.
2. Час переходу ІС з стану логічного 0 в стан логічної 1 $t_{0,1}$, що вимірюється на рівнях 0,1 и 0,9 як інтервал часу, протягом якого напруга на виході ІС переходить від рівня логічного 0 до рівня логічної 1.
3. Час затримки вмикання $t_{31,0}$ та вимикання $t_{30,1}$, що вимірюється на заданих рівнях логічного сигналу як інтервал часу між вхідним і вихідним імпульсами при переході напруги на виході ІС відповідно від рівня логічної 1 до рівня логічного 0 та від рівня логічного 0 до рівня логічної 1.
4. Час затримки розповсюдження сигналу при вмиканні ІС $t_{31,0}$ і її вимиканні $t_{30,1}$, що вимірюється на рівні 0.5 як інтервал часу між вхідним і вихідним імпульсами при переході напруги на виході ІС відповідно від логічної 1 до логічного 0 та від логічного 0 до логічної 1.
5. Середній час затримки розповсюдження $t_3 = 0.5(t_{31} + t_{30})$.

Час переходу вимірюється між рівнями 0.1 і 0.9 при зміні вихідних напруг між рівнями U_{0max} і U_{1min} . Затримки вимірюються між одноіменними фронтами вхідного і вихідного сигналів між рівнями $0.1U_{0max}$ і $0.9U_{1min}$. Затримка розповсюдження сигналу вимірюється між рівнями $0.5(U_{0max} + U_{1min})$.

До режимних параметрів відносяться:

- припустимі напруги живлення $E_{ж\text{ мин}}$ і $E_{ж\text{ макс}}$;
- припустимі значення логічних рівнів $U_{0\text{ max}}$ і $U_{1\text{ min}}$;
- припустимі вхідний та вихідний струми в станах 0 та 1: $I_{1\text{ вх макс}}$, $I_{0\text{ вх макс}}$, $I_{0\text{ вих макс}}$, $I_{1\text{ вих мин}}$.

До **техніко-економічних параметрів** відносяться: вартість ІС, процент виходу придатних ІС, ступінь інтеграції, функціональна складність, що визначається числом умовних логічних перетворювань, які виконуються ІС, надійність.

До **основних характеристик** відносяться:

- вхідні $I_{\text{вх}i} = f(U_{\text{вх}})$, $i = 1, 2, 3, \dots, m$, де m - число входів ІС;
- передаточні $U_{\text{вих}j} = \psi(U_{\text{вх}})$, $j = 1, 2, \dots, n$, де n - число виходів ІС;
- вихідні $U_{\text{вих}j} = \varphi(I_{\text{вих}j})$, $I_{\text{вих}j}$ - струм навантаження j -го вихода;
- перехідні - часові реакції $U_{\text{вих}j}(t)$ при впливі на вхід ІС східчастого вхідного сигналу.

Модель реальної ІМС повинна з потрібною точністю описувати ці характеристики. При цьому не обов'язково повинна бути повна відповідність між структурами схеми та моделі. Важливо лише, щоб була відповідність характеристик відносно їх зовнішніх полюсів.

Моделі електронних компонентів, що відображають якості реальної ІС відносно тільки зовнішніх полюсів, зветься макромоделями. Структура макромоделі (рис.1.2) містить такі блоки: блок 1 забезпечує моделювання вхідних характеристик ІС, блок 3 - моделювання вихідних характеристик, а блок 2 відтворює характер перетворення результуючого вхідного сигналу при проходженні його через ІС.

При необхідності слід враховувати вплив на кожний блок зовнішніх факторів, найбільш істотні з яких - це вплив джерел живлення та температури зовнішнього середовища.

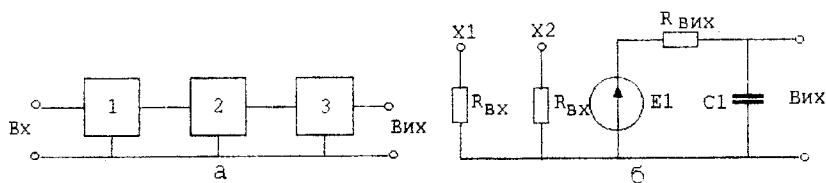


Рисунок 1.2

Особливістю ТТЛ ІС з багатоємітерними входними транзисторами є істотний електричний зв'язок між входами, внаслідок чого струм кожного з входів залежить від значень напруг на всіх входах ІС.

Безпосередній зв'язок між виходами ІС незначний, тому його можна не брати до розрахунку. Макромодель ТТЛ елемента І-НІ наведена на рис.1.2б, опис див.п.1.3.11 вказівок до виконання роботи.

1.3 Порядок виконання роботи

В даній лабораторній роботі досліджуються параметри і характеристики ТТЛ мікросхеми типу К1533ЛА3.

1.3.1 Скласти таблицю правдивості логічного елемента, що досліджується, підводячи на його входи V_{x1} і V_{x2} комбінацію логічних сигналів 1 і 0 за допомогою перемикачів $S1$ та $S2$. Значення логічних рівнів контролювати вольтметром.

1.3.2 Зняти передаточну характеристику $U_{вих} = \psi(U_{вх})$, змінюючи $U_{вх}$ в межах від 0 до 5 В. Схема вимірювань показана на рис.1.3. Навантаженням служать входи однотипного логічного елемента. Ключ $S2$ в положенні 3.

1.3.3 На графіку передаточної характеристики побудувати зворотну передаточну характеристику, яка одержується зміною $U_{вих}$ на $U_{вх}$. Ці характеристики симетричні відносно прямої одиничного нахилу $U_{вих} = U_{вх}$.

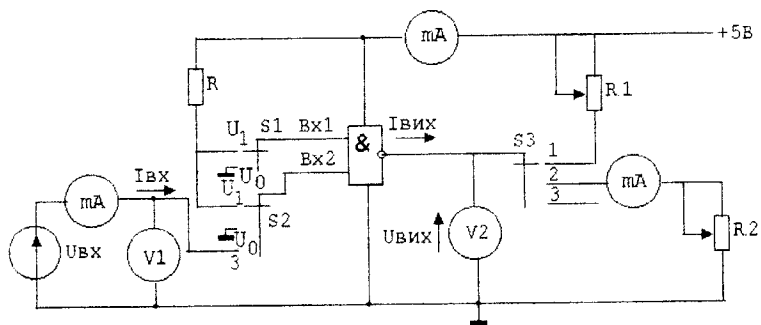


Рисунок 1.3

Для нормального функціонування цифрових пристроїв логічний елемент повинен мати три точки перетину передаточної і зворотної характеристик. По координатах точок перетину визначити параметри U_0 , U_1 , $U_{пор}$ (див.рис.1.4).

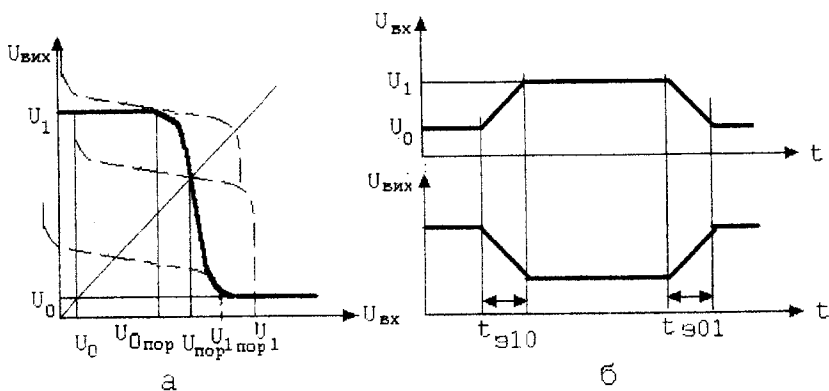


Рисунок 1.4

1.3.4 Перенести зворотну характеристику на кальку і за допомогою зсуву її вздовж прямої одиничного нахилу визначити точки дотику до передаточної характеристики. Проекції точок дотику на вісь $U_{вх}$ визначають $U_{0пор}$ та $U_{1пор}$. Визначити абсолютну завадостійкість

$$\Delta U = U_{0пор} - U_0 = U_1 - U_{1пор}$$

1.3.5 За схемою вимірювань на рис.1.3 зняти та побудувати вхідну характеристику $I_{вх} = f(U_{вх})$. При виконанні вимірювань треба пам'ятати, що при зміні напруги на вході від 0 до U_1 струм у вхідному колі змінює знак. Одночасно виміряйте залежність струму, що споживається, від $U_{вх}$. Ключ S3 в положенні 3.

1.3.6 За вхідною характеристикою визначити $I_{0вх}$ і $I_{1вх}$ для відомих U_0 та U_1 , обчислити потужність, що споживається мікросхемою в стані логічного нуля і одиниці на виході, а також середню потужність

$$P_{сер} = 0.5(P_0 + P_1).$$

1.3.7 Зняти та побудувати вихідну характеристику $U_{вих} = \varphi(I_{вих})$.

При цьому слід пам'ятати, що в стані логічної 1 на виході елемент є джерелом, а в стані логічного 0 - споживачем електричного струму.

У зв'язку з цим вихідні характеристики для кожного з цих станів вимірюються окремо (ключ S3 в положенні 1 та 2 відповідно).

Величину струму навантаження регулювати резисторами R1 і R2.

Межі зміни струму повинні бути такими, щоб величина вихідної напруги змінювалася не більше, ніж у 2 рази порівняно з його величиною в режимі холостого ходу (ключ S3 в положенні 3). При цьому в стані логічної 1 вихідна напруга зменшується, а в стані логічного нуля зростає зі зростанням струму навантаження.

Результати вимірювань привести у вигляді графіків. В точках, що відповідають стандартним рівням логічного сигналу, визначити величини вихідного опору $R_{1вих}$ и $R_{0вих}$ за нахилом характеристик.

1.3.8 Визначити коефіцієнт розгалуження як

$$K_{роз} = \min\{I_{0вих}/I_{0вх}; I_{1вих}/I_{1вх}\}.$$

1.3.9 Вимірювання середнього часу затримки розповсюдження логічних сигналів виконується за допомогою осцилографа непрямым методом. При цьому вимірюється період повторення T прямокутних імпульсів, що генеруються в замкнутому колі, яке містить непарне число логічних елементів N . Шуканий параметр $t_3 = T/2N$. Визначити t_3 при $E_{ж} = 3$ і 5 В для $N=3$, під'єднуючи осцилограф до гнізд "Вих.імпл." і "Земля".

1.3.10 На осцилограмі генерованого імпульсу виміряти параметри

$$t_{f01}, t_{f10}, t_{301}, t_{310}.$$

Розрахувати граничну робочу частоту логічного елемента за формулою

$$f_{\Pi} = 1/(0.5(t_{f01} + t_{f10}) + t_{301} + t_{310}).$$

1.3.11 Розрахувати значення параметрів макромоделі логічного елемента (рис. 1.2б) за формулами:

$$R_{вх} = (E_{ж} - U_0)/I_{0вх}; \quad R_{вих} = 2\Delta U R_{вх} / K_{роз}(E_{ж} - U_0).$$

Якщо хоч би один з вхідних сигналів менший або дорівнює U_0 , то значення $E1$ дорівнює U_1 . Якщо ж обидва вхідні сигнали дорівнюють U_1 , то значення $E1$ приймається рівним U_0 . Коло $R_{вих}C1$ враховує затримку сигналу в схемі, значення ємності $C1$ обирається за формулою

$$C1 = (t_{f01} + t_{f10})/R_{вих}.$$

1.4 Склад звіту:

- відповіді на контрольні запитання;
- передаточна, вхідна і вихідна характеристики мікросхеми;
- виміряні і розраховані значення основних параметрів мікросхеми;
- розраховані параметри макромоделі логічної мікросхеми;
- порівняння вимірених параметрів з паспортними значеннями даного типу мікросхеми.

1.5 Контрольні запитання

1. Основні параметри та характеристики логічних елементів.
2. Поясніть принцип дії TTL елемента І-НІ з складним інвертором.
3. Що таке схеми додатної та від'ємної логіки?
4. Поясніть основні ділянки передаточної характеристики TTL елемента.
5. Поясніть призначення вхідних діодів TTL схем.
6. Чому в момент перемикання TTL схем в шині живлення виникають кидки струму?
7. Наведіть схему заміщення багатосмітерного транзистора.
8. Схемотехнічні особливості мікропотужних TTL схем та елементів з транзисторами Шоткі.
9. Чим обумовлена гранична швидкодія TTL мікросхем?
10. Дайте визначення завадостійкості TTL мікросхем.
11. Поясніть переваги макромоделей цифрових ІС.

1.6 Література

1. Преснухин Л. Н., Воробьёв Н. В., Шишкевич А. А. Расчёт элементов цифровых устройств.- М.: Высшая школа, 1982.
2. Алексенко А. Г., Шагурин И. И. Микросхемотехника.- М.: Радио и связь, 1982.
3. Агаханян Т. М. Интегральные микросхемы.- М.: Энергоатомиздат, 1983.
4. Чахмахсазян Е. А. и др. Математическое моделирование и макро моделирование биполярных элементов электронных схем.- М.: Радио и связь, 1985.

Дослідження інтегральної схеми на комплементарних МОН-транзисторах

2.1 Мета роботи - вивчення принципів роботи, характеристик, основних параметрів і дослідження КМОН-мікросхеми.

2.2 Короткі теоретичні відомості

Досліджувана ІС побудована на МОН-транзисторах з індукованими каналами n- і р-типу, що виконані на загальній підкладці. Структура логічного елемента НІ з КМОН-транзисторами показана на рис.2.1. Електричні і динамічні параметри обох транзисторів близькі.

Параметри КМОН-ІС близькі до ідеальних: в статичному режимі вони практично не споживають потужності, мають дуже великий вхідний і малий вихідний опір, високу завадозахищеність, велику навантажувальну спроможність, досить високу швидкодію. Вихідний сигнал практично дорівнює напрузі джерела живлення. МОН-структури кращі для використання в великих ІС, тому що допускають високу щільність розміщення елементів. КМОН-ІС працюють у діапазоні напруг живлення 3-15 В, що дозволяє жити їх від різноманітних джерел, а також сполучати по входах і виходах з мікросхемами ТТЛ і операційними підсилювачами.

Базовим елементом для функціональних вузлів КМОН-структур є інвертор (елемент НІ), принципова схема якого приведена на рис.2.1. Затвори КМОН-транзисторів сполучені між собою і є загальним входом. Оскільки транзистори р-типу відкриваються при від'ємній напрузі зсуву затвора щодо витоків, а транзистори n-типу відповідно при додатній напрузі на затворі, для одержання додатньої логіки виток транзистора з каналом n-типу підключено до мінуса джерела живлення (загальна шина),

а виток транзистора з каналом р-типу - до його плюса. Загальна точка стоків обох транзисторів служить виходом. Підкладинка кожного транзистора електрично сполучена зі своїм витком, завдяки чому р-п переходи на межі каналу і підкладинки зміщуються в зворотному напрямку, забезпечуючи надійну ізоляцію областей.

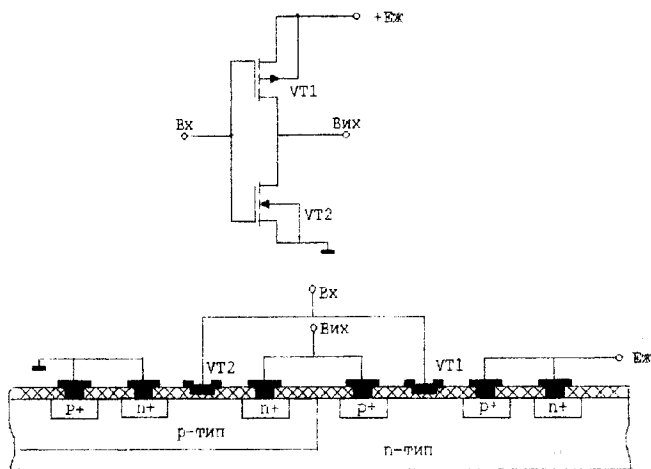
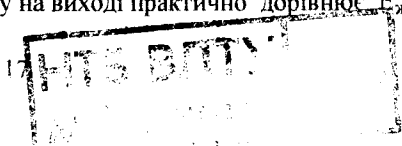


Рисунок 2.1

Коли на вході інвертора діє сигнал низького рівня U_0 , можна вважати, що затвор транзистора VT2 (n- каналний) з'єднаний із витком, канал відсутній і транзистор закритий. У цей час затвор транзистора VT1 (р-каналний) має стосовно свого витка від'ємний потенціал, і транзистор відкритий. Отже, на виході, присутня напруга високого рівня U_1 , а при високому входньому рівні - навпаки. Оскільки в кожному стані один з транзисторів закритий, а входній опір наступного каскаду великий, наскрізний струм у колі живлення відсутній і статична потужність, споживана від джерела живлення, мізерно мала і визначається тільки струмами відтоку, що не перевищують долей мікроампера при кімнатній температурі. Тому вихідний рівень сигналу на виході практично дорівнює $E_{ж}$.



Затвор МОН-транзистора і підкладинка, які розділені шаром діелектрика, утворюють конденсатор. Ємність цього конденсатора невелика (біля 5 пФ), опір відтоку великий - порядку тисяч ГОм, що утворює сприятливі умови для накопичення статичних зарядів. Прошарок діелектрика під затвором має товщину 70-100 нм, його електрична тривкість не перевищує 150-200 В.

На тілі людини і на устаткуванні за рахунок електризації можуть виникнути заряди статичної електрики з потенціалом в декілька кіловольт. Такі заряди, навіть малої енергії, потрапивши на затвор, спроможні викликати необоротний пробій у прошарку діелектрика. Для захисту транзисторів від пробію кожний вхід КМОН ІС забезпечують діодним захисним колом. Ці кола є невід'ємною частиною мікросхеми, роль діодів виконують транзистори з об'єднаними затвором і стоком. У нормальних умовах роботи мікросхеми, коли амплітуда вхідної напруги не виходить за межі $-0.7\text{ В} - (E_{ж}+0.7)\text{ В}$, вхідні діоди не відкриваються. Лавинний пробій діодів має оборотний характер і на робоздатність ІС не впливає. Допустимий струм цих діодів складає 10 мА.

У лабораторній роботі досліджується мікросхема інвертора К561ЛН1. Схема макета наведена на рис.2.2.

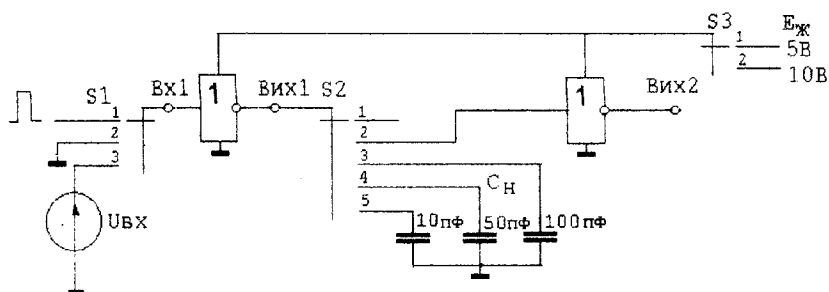


Рисунок 2.2

2.3 Порядок виконання роботи

2.3.1 Змінюючи напругу $U_{вх}$, побудувати передатну характеристику $U_{вих} = f(U_{вх})$ і залежність споживаного струму від напруги на вході $I_{ж} = f(U_{вх})$ для одного інвертора (ключ S2 у положенні 1) і для каскадного з'єднання двох інверторів (ключ S2 у положенні 2) при напругах живлення $E_{ж} = 5$ і 10 В. Вольтметр підключати відповідно до гнізд "Вх1", "Вих1", "Вих2". Ключ S1 у положенні 2.

2.3.2 Перемкнути ключ S1 у положення 1, при цьому до входу інвертора під'єднується вихід генератора прямокутних імпульсів. Зняти і порівняти осцилограми вихідних імпульсів одиночного інвертора і каскадного з'єднання інверторів відповідно на гніздах "Вих1" і "Вих2". Ключ S2 відповідно в положеннях 1 і 2.

2.3.3 Під'єднати до виходу інвертора навантажувальну ємність 10 , 50 і 100 пФ, визначити зміну часу вмикання і вимикання інвертора за осцилограмою, що знімається на гнізді "Вих1". Ключ S2 у положеннях 3, 4, 5.

2.3.4 На графіку передатної характеристики побудувати обернену характеристику шляхом заміни осі $U_{вих}$ на $U_{вх}$ і навпаки. Точки їх перетину дають значення U_0 і U_1 .

Зміщуючи обернену характеристику уздовж прямої одиночного нахилу, варто визначити точки її торкання Π_0 і Π_1 із передатною характеристикою. Проекції цих точок на горизонтальну вісь є граничними напругами $U_{1пор}$ і $U_{0пор}$ (рис.2.3). Визначити абсолютну завадостійкість $\Delta U = U_{0пор} - U_0$.

2.3.5 Визначити ΔU для напруги живлення 5 і 10 В. Ключ S3 відповідно в положеннях 1 і 2.

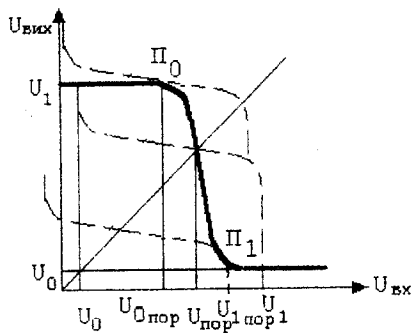


Рисунок 2.3.

2.3.6 Досліджувати КМОН каскад у лінійному режимі за схемою на рис.2.4.

На гніздо "Вх" подати від генератора синусоїдальний сигнал 100 мВ. Зняти передатну характеристику каскаду при $E_{\text{ж}}=5$ і 10 В.

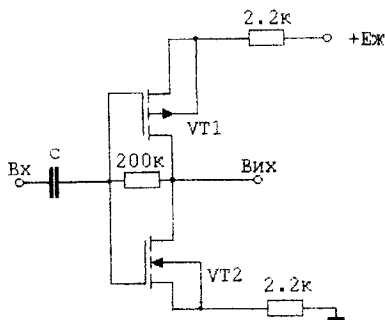


Рисунок 2.4

2.4 Склад звіту:

- відповіді на контрольні запитання;
- передатна, вхідна і вихідна характеристики мікросхеми;
- виміряні і розраховані значення основних параметрів мікросхеми;
- порівняння виміряних параметрів з паспортними значеннями даного типу мікросхеми.

2.5 Контрольні запитання

1. Переваги і недоліки КМОН-структур.
2. Технологічні методи формування КМОН структур.
3. Принцип дії КМОН інвертора.
4. КМОН інвертори з трьома вихідними станами.
5. Характеристики МОН-транзисторів з вмонтованим і індукованим каналом.
6. Поясніть сутність тиристорного ефекту у КМОН структурі.
7. Для чого призначені захисні діоди і стоп-канали в КМОН ІС?
8. Від чого залежить швидкодія і завадостійкість КМОН елементів?
9. Як оцінити споживану КМОН інвертором потужність?
10. Синтезуйте двовходові схеми І-НІ,АБО-НІ на КМОН інверторах.

2.6 Література

1. Алексенко А. Г., Шагурин И. И. Микросхемотехника.- М.: Радио и связь, 1982.
2. Преснухин Л. Н. и др. Расчёт элементов цифровых устройств.- М.: Высшая школа, 1982.
3. Зельдин Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре.- Л.: Энергоатомиздат, 1986.
4. Агаханян Т. М. Интегральные микросхемы.- М.: Энергоатомиздат, 1983.

3 ЛАБОРАТОРНА РОБОТА №3

Дослідження мікросхеми арифметико-логічного пристрою

3.1 Мета роботи - ознайомлення з методами апаратної реалізації основних арифметичних і логічних операцій.

3.2 Короткі теоретичні відомості

В даній роботі досліджується мікросхема арифметико-логічного пристрою (АЛП) типу К155ИП3.

Мікросхема К155ИП3 призначена для операцій з двома чотирирозрядними двійковими числами $A=A_3A_2A_1A_0$ і $B=B_3B_2B_1B_0$ (рис.3.1). Конкретний вид операції задається 5-розрядним кодом на входах $MS_3S_2S_1S_0$. Цей АЛП здатен виконати $2^5 = 32$ операцій: 16 логічних (І, І-НІ, АБО, АБО-НІ, Виключне АБО та ін.) і 16 арифметичних і арифметико-логічних (додавання, віднімання, подвоєння, порівняння та ін.). Операції додавання і віднімання проводяться з прискореним перенесенням з розряду в розряд. Крім того, є вхід сигналу перенесення.

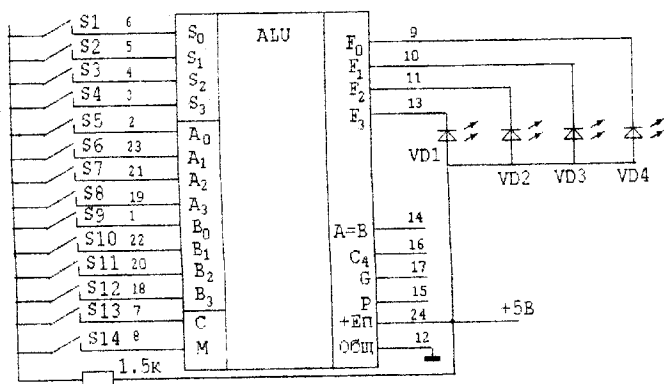


Рисунок 3.1

На виходах $F_3F_2F_1F_0$ формуються результати логічних перетворень і арифметичних дій. На виході S_4 утворюється сигнал старшого (п'ятого розряду) при виконанні арифметичних операцій. Додаткові виходи - утворення і розповсюдження прискореного перенесення P використовуються тільки при організації багаторозрядних АЛП у випадку їх з'єднання з блоком прискореного перенесення К155ИП14.

Слова A і B можуть бути задані в додатній або від'ємній логіці. Таблиці істинності для кожного варіанта логіки різні (табл.3.1). Для запобігання плутанині рівні сигналів позначені в ній літерними символами.

Результати арифметичних операцій подані в додатковому коді. Числа в додатковому і зворотному кодах пов'язані простим співвідношенням

$$N_{\text{дод}} = N_{\text{звор}} + 1 \text{ або } N_{\text{звор}} = N_{\text{дод}} - 1.$$

Тому в тих рядках таблиці 1, де вказана операція "мінус 1", результат вказаний у зворотному коді.

Старший розряд коду вибору операції (вхід M) визначає характер дій, що мусить виконувати АЛП. Коли на цьому вході сигнал високого рівня, АЛП виконує логічні операції порозрядно над кожною парою біт слів A і B . Внутрішнє перенесення в цьому режимі не працює.

Арифметичні операції виконуються, коли на вході M встановлений низький потенціал, який також є сигналом дозволу для перенесення між розрядами. Вихідний результат формується з врахуванням стану входа переносу. Обидва сигнали перенесення вхідний S і вихідний S_4 інверсні відносно сигналів на входах A і B , тобто коли слова A і B в додатній логіці, сигналу перенесення відповідає низький рівень напруги, а у від'ємній логіці - навпаки.

Якщо АЛП виконує логіко-арифметичну операцію, логічна функція виконується порозрядно, а арифметична з перенесенням. Наприклад, вхідному коду $MS_3S_2S_1S_0 = HBBHB$ відповідає операція $AB+A$ (третій рядок табл.3.1, від'ємна логіка), де AB - логічне множення двох слів.

Якщо $A=1010$ і $B=0111$, то $AB=0010$ і $0010+1010=1100$.

Для арифметичних дій над словами великої довжини N АЛП вмикають послідовно. Тут час додавання визначається затримкою розповсюдження сигналу перенесення зі входу молодшого розряду до виходу останнього АЛП і складає $N\tau$, де τ - час затримки розповсюдження сигналу в одному АЛП.

Коли числа записуються в десятковій системі, часто число надається у вигляді абсолютної величини зі знаком ($+125$ - додатне число, а мінус 125 - від'ємне). Таким же чином можна позначати і двійкові числа: $+111$ - додатне число 7 , а мінус 110 -від'ємне число 6 . Тому машинне слово повинно містити розряд знаку, який розміщується перед старшим розрядом машинного слова (1 відповідає від'ємному числу, а 0 - додатному). Однак, частіше використовуються системи запису у зворотному і додатковому кодах.

1. Для запису від'ємного числа можна скористатися зворотним кодом. При цьому двійкове число мінус 0111 буде надано у вигляді 1.1000 , де 1 вказує на те, що число від'ємне, 1000 є доповненням його абсолютної величини до одиниці. Доповнення абсолютної величини числа до 1 отримується за допомогою інвертування кожного його біта.

2. При використанні додаткового кода число мінус 0111 буде надане як 1.1001 . де 1 в розряді знака показує, що число від'ємне, 1001 -доповнення його абсолютної величини до двох (воно формується інвертуванням кожного розряду вихідного числа 0111 , що дає 1000 і додаванням 1 до молодшого розряду, внаслідок чого виходить 1001).

Таблиця 3.1 - Функції АЛП К155ИП3

Входи вибора функції				Низькі активні рівні		Високі активні рівні	
S3	S2	S1	S0	Логічна функція (M=B)	Арифметична функція (M=H,C=H)	Логічна функція (M=B)	Арифметична функція (M=H,C=B)
Н	Н	Н	Н	\overline{A}	A-1	\overline{A}	A
Н	Н	Н	В	\overline{AB}	AB-1	$\overline{A \vee B}$	A \vee B
Н	Н	В	Н	$\overline{A \vee B}$	\overline{AB} -1	\overline{AB}	A \vee \overline{B}
Н	Н	В	В	Лог.1	-1	Лог.0	-1
Н	В	Н	Н	$\overline{A \vee B}$	A+ (A \vee \overline{B})	\overline{AB}	A + \overline{AB}
Н	В	Н	В	\overline{B}	AB+(A \vee \overline{B})	\overline{B}	(A \vee \overline{B}) + \overline{AB}
Н	В	В	Н	$\overline{A \oplus B}$	A -B -1	A \oplus B	A-B-1
Н	В	В	В	$\overline{A \vee B}$	A \vee \overline{B}	\overline{AB}	\overline{AB} - 1
В	Н	Н	Н	\overline{AB}	A+ (A \vee B)	$\overline{A \vee B}$	A + AB
В	Н	Н	В	A \oplus B	A + B	$\overline{A \oplus B}$	A + B
В	Н	В	Н	B	\overline{AB} + (A \vee B)	B	(A \vee \overline{B}) + AB
В	Н	В	В	A \vee B	A \vee B	AB	AB - 1
В	В	Н	Н	Лог.0	A + A	Лог.1	A + A
В	В	Н	В	\overline{AB}	AB + A	$\overline{A \vee B}$	(A \vee B) + A
В	В	В	Н	AB	\overline{AB} + A	$\overline{A \vee B}$	(A \vee \overline{B}) + A
В	В	В	В	A	A	A	A-1

Можливі 4 основні випадки при додаванні різних комбінацій додатних і від'ємних чисел.

1. Коли одне додатне число підсумовується з іншим додатним, складаються всі розряди, і розряд знака включно. Оскільки обидва розряди знака будуть нульовими, розряд знака суми залишається в стані 0. Наведемо приклад додавання двох чотирирозрядних додатних чисел:

Звичайне позначення	Машинне слово
+0011	0.0011
+	+
+0100	0.0100
-----	-----
+0111	0.0111

2. Сума додатнього і від'ємного чисел може бути або додатньою, або від'ємною. Якщо додатне число за абсолютною величиною більше, то сума буде додатною, якщо ж від'ємне число за абсолютною величиною більше, то сума буде від'ємною. В системі зі зворотним кодом результат буде вірним і тоді, коли сума чисел від'ємна. В цьому випадку при їх додаванні переповнення не виникає. Наприклад,

+0011	0.0011
+	+
-1100	1.0011
-----	-----
-1001	1.0110

На виході суматора буде 10110, причому останні 4 розряди складають доповнення 1001 до 1. Розряд знака 1 вказує, що число від'ємне.

3. Якщо додатне число по модулю більше від'ємного, то вірна сума буде отримана з застосуванням циклічного перенесення одиниці зі старшого в молодший розряд і додаванням її до отриманої суми.

+1001	0.1001		+0011	0.0011
+	+		+	+
-0100	1.1011		-0010	1.1101
-----	-----		-----	-----
+0101	-0.0100		+0001	- 0.0000
	+ 1			+ 1
	-----			-----
	0.0101			0.0001

При додаванні двох чисел з рівними абсолютними величинами і протилежними знаками результатом буде 0:

+1011	0.1011		+0000	0.0000
+	+		+	+
-1011	1.0100		-0000	1.1111
-----	-----		-----	-----
0000	1.1111		0000	1.1111

4. Коли додаються два від'ємних числа, завжди виконується циклічне перенесення і перенесення зі старшого в знаковий розряд. Тому розряд знака буде 1.

-0011	1.1100		-0100	1.1011
+	+		+	+
-1011	1.0100		-0111	1.1000
-----	-----		-----	-----
- 1110	-1.0000		-1011	- 1.0011
	+ 1			+ 1
	-----			-----
	1.0001			1.0100

Зараз в кожному випадку значення на виході суматора буде надане в зворотному кодi з розрядом знака 1.

В системах з додатковим кодом число перетворюється спочатку в зворотний код, а потім до молодшого розряду додається 1. Оскільки процес складається з двох кроків, він потребує більше часу, ніж перетворення числа в зворотний код.

Однак перевагою системи з додатковим кодом є те, що в ній нема циклічних перенесень при додаванні.

Коли складаються два числа, надані в додатковому кодi, також можливі 4 випадки:

1. Якщо обидва числа додатні, цей випадок збігається з випадком 1 для системи з зворотним кодом.

2. Коли додаються додатне і від'ємне числа, причому додатне має більшу абсолютну величину, виникає перенесення у розряді знака. Це перенесення відкидається, і отримуємо вірний результат:

+0111	0.0111		1000	0.1000
+	+		+	+
-0011	1.1101		-0111	1.1001
-----	-----		-----	-----
- 1110	0.0100		0001	0.0001
	перенесення			перенесення
	відкидається			відкидається

3. Коли з двох доданків від'ємне число має більшу абсолютну величину, в розряді знака не буде перенесення і результат буде вірним:

+0011	0.0011		+0100	0.0100
+	+		+	+
-0100	1.1100		- 1000	1.1000
-----	-----		-----	-----
- 0001	1.1111		- 0100	1.1100

Коли додаються два однакових за абсолютною величиною числа з протилежними знаками, то результатом буде 0.

4. Коли додаються два від'ємних числа, в розряді знака, а також в розряді справа від нього виникає перенесення. З цієї причини розряд знака стає рівним 1, і перенесення в розряді знака слід відкинути:

-0011	1.1101		-0011	1.1101
+	+		+	+
-1011	1.0101		-0100	1.1100
-----	-----		-----	-----
- 1110	1.0010		-0111	- 1.1001
				перенесення
				відкидається

Структурна схема суматора-віднімача двох чисел, наданих в додатковому коді, наведена на рис.3.2. Для задання режиму роботи пристрою на вході В кожного повного суматора застосовано логічний

елемент Виключне АБО, який керується знаковим розрядом. Якщо на керуючому вході задання режиму встановлено рівень логічного 0, тобто обидва числа додатні, пристрій додає двійкові числа $A_3A_2A_1A_0$ і $V_3V_2V_1V_0$. У цьому випадку розряди числа V логічними елементами не інвертуються. Якщо ж число V від'ємне, то на входи елементів Виключне АБО надходить його знаковий розряд 1, і всі розряди числа інвертуються, тобто перетворюються в зворотній код. Доповнення до 2 від'ємника здійснюється подачею рівня логічної 1 також на вхід перенесення першого повного суматора. Якщо на виході перенесення останнього повного суматора виникає сигнал переповнення, то він просто відкидається.

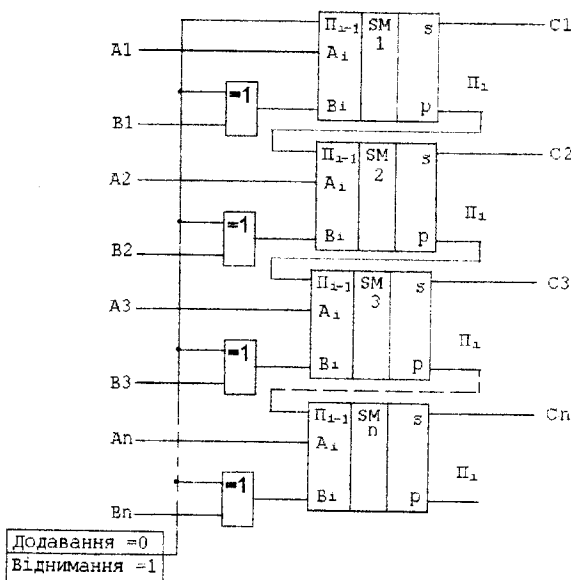


Рисунок 3.2

При організації операції множення двох чисел знайшов широке застосування метод додавання зі зсувом. Структурна схема помножувача, що працює на такому принципі, наведена на рис.3.3.

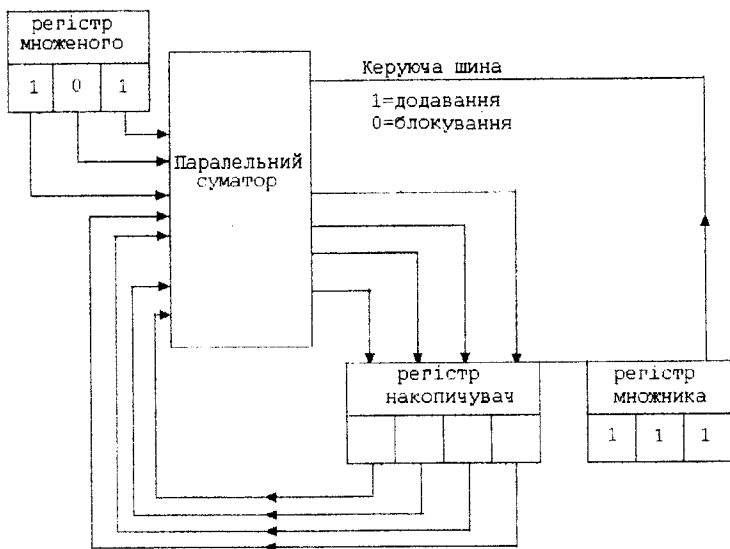


Рисунок 3.3

При цьому методі спочатку множник зсувається на стільки розрядів вліво, скільки їх в множеному, і аналізується останній розряд множеного. Якщо в ньому 1, зсунутий множник додається до множеного і отримана сума зсувається на один розряд вправо, тобто молодший її розряд відкидається. Після цього знову аналізується останній розряд результату, і якщо в ньому 1, процедура повторюється, а якщо 0, то відбувається просто зсув на розряд вправо, і знову аналізується останній розряд. Загалом повинно бути стільки зсувів вправо, на скільки розрядів вліво був спочатку зсунутий множник.

Множене завантажується у власний регістр. Крім того, є регістр-накопичувач, що об'єднаний з регістром множника в єдиний регістр. У вихідному стані очищується накопичувач і завантажується множник.

Пояснимо це на прикладі: 5×7

$$\begin{array}{r}
 101 \quad \text{множене} \\
 + \\
 111000 \quad \text{множник} \\
 \hline
 111101 \rightarrow \rightarrow \text{2 зсува вправо} \\
 + \\
 111000 \\
 \hline
 1000111 \rightarrow \text{зсув вправо} \\
 \downarrow \\
 100011 = 35_{10}
 \end{array}$$

Основні етапи процедури множення наведені на рис.3.4.

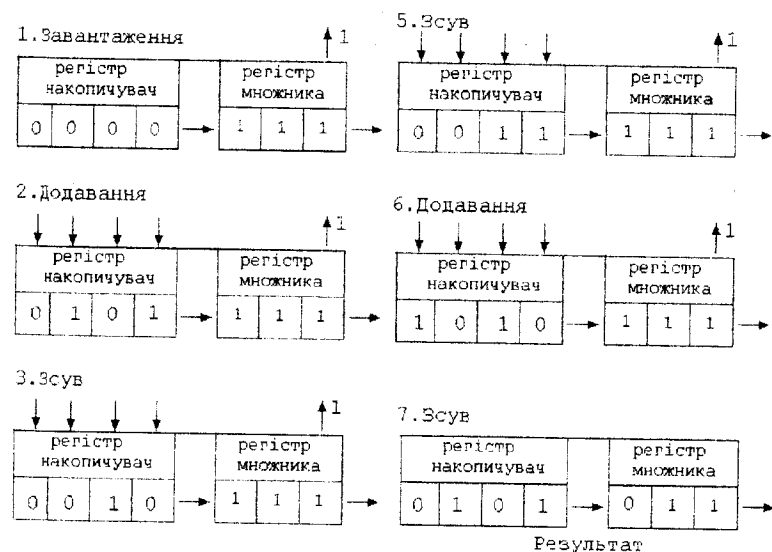


Рисунок 3.4

Поширеним є також метод часткових добутків, при якому, якщо розряд множника дорівнює 1, множене просто копіюється, а коли цей

розряд 0, то частковий добуток теж дорівнює 0. Потім всі часткові добутки додаються.

Множене знаходиться у власному регістрі, а множник встановлюється у вираховуючому лічильнику. Регістр добутка встановлюється в 000000. Потім множене додається само до себе стільки разів, поки лічильник не долічить до нуля.

Приклад множення:

$$\begin{array}{r} 111 \\ \times 101 \\ \hline 111 \\ 000 \\ 111 \\ \hline 100011 \end{array}$$

Структура помножувача, який працює за таким принципом, наведена на рис.3.5.

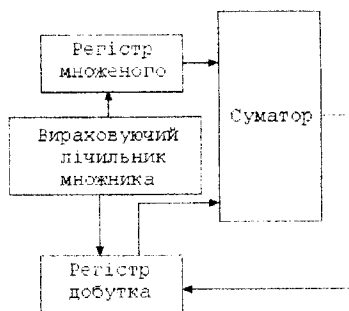


Рисунок 3.5

3.3 Порядок виконання роботи

3.3.1 Вивчити принцип дії мікросхеми K155ИП3, способи задання вхідних і вихідних даних, вибору операцій. Звернути увагу на спосіб задання роботи з високими і низькими активними рівнями за допо-

могою ключів S13 і S14. Числа задаються ключами S5-S8, S9-S12, вихідний результат відображується світлодіодами VD1-VD4 (рис. 3.1).

3.3.2 Задати два чотирирозрядні двійкові числа, знайти в таблиці 3.1 і набрати ключами S1-S4 коди порозрядної кон'юнкції і диз'юнкції, перевірити результат.

3.3.3 Знайти арифметичну суму двох чисел, перевірити результат.

3.3.4 Знайти арифметичну різницю двох додатних чисел $A > B$, $A < B$, перевірити результат.

3.3.5 Знайти різницю двох трирозрядних чисел зі знаком, зробити перевірку.

3.3.6 За таблицею 3.1 функцій мікросхеми виконати основні логічні і арифметичні операції для високих і низьких активних рівнів, зробити перевірку отриманих результатів.

3.4 Склад звіту:

- відповіді на контрольні запитання;
- результати виконання логічних і арифметичних операцій і їх перевірочні розрахунки за таблицею 3.1.

3.5 Контрольні запитання

1. Структура напівсуматора, його таблиця істинності, рівняння функціонування.
2. Принцип дії повного суматора.
3. Задання чисел в прямому, зворотному і додатковому кодах.
4. Арифметичні операції з двійковими числами.
5. Структура і принцип дії багаторозрядного двійкового суматора-віднімача.
6. Структура і принцип дії багаторозрядного помножувача.
7. Основні закони алгебри логіки.

8. Способи задання логічних функцій і їх спрощення.

3.6 Література

1. Алексенко А. Г., Шагурин И. И. Микросхемотехника.- М.: Радио и связь, 1989.
2. Зельдин Е. А. Цифровые ИС в информационно-измерительной аппаратуре.- Л.: Энергоатомиздат, 1986.
- 3.Токхейм Р. Основы цифровой электроники.- М.: Мир, 1988.

4 ЛАБОРАТОРНА РОБОТА №4

Дослідження тригерів

4.1 Мета роботи - вивчення схемотехніки, параметрів і характеристик інтегральних тригерних пристроїв.

4.2 Короткі теоретичні відомості

Тригери – це пристрої з двома стійкими станами, які містять елементарну бістабільну комірку пам'яті (БК) і схему керування, яка перетворює інформацію, що надходить, в комбінацію сигналів, які діють безпосередньо на входи БК.

БК – це з'єднання двох інвертуючих логічних елементів І-НІ чи АБО-НІ.

Головна роль в формуванні властивостей тригерної системи належить схемі керування. Вхідні сигнали в залежності від ролі, яку вони виконують, діляться на інформаційні (логічні) і керуючі. Аналогічно підрозділяються і входи тригерів. Функціональне призначення входів наведене в таблиці 4.1.

Одному з виходів тригера присвоюють найменування прямого і позначають буквою Q, а другому - найменування інверсного і позначають \bar{Q} . Стан тригера часто ототожнюють з сигналом на прямому виході, тобто говорять, що тригер знаходиться в одиничному стані, коли $Q=1$, а $\bar{Q}=0$, і в нульовому, коли $Q=0$, а $\bar{Q}=1$.

Якщо зміна Q, тобто перемикання тригера, відбувається тільки при надходженні тактового імпульсу на вхід синхронізації C, то тригер називається синхронним.

Тригери можуть синхронізуватися рівнем або фронтом тактових імпульсів (ТІ).

Таблиця 4.1

Умовне позначення	Призначення
Інформаційні входи	
S	Вхід окремого установлення тригера в стан 1 (Set - установлення)
R	Вхід окремого установлення тригера в стан 0 (Reset - скид)
J	Вхід установлення JK - тригера в стан 1 (Jerk - раптове вмикання)
K	Вхід установлення JK - тригера в стан 0 (Kill - раптове вимикання)
T	Лічильний вхід тригера (Toggle - релаксатор)
D	Вхід установлення D - тригера в стан 1 та 0 (Delay - затримка)
Керуючі входи	
V	Підготовчий вхід дозволу прийому інформації (Valve - клапан)
C	Тактовий вхід (Clock - сигнал синхронізації)

Тригери, що синхронізуються рівнем, можуть змінювати свій стан протягом тривалості ТІ при надходженні відповідних інформаційних сигналів, тобто можуть переключатися декілька разів за час дії одного ТІ. Протягом паузи між ТІ стан такого тригера зберігається при будь-яких змінах інформаційних сигналів. Тригери, які синхронізуються фронтом,

змінюють свій стан при надходженні на вхід синхронізації додатного або від'ємного фронту ТІ. За час дії одного ТІ такий тригер переключасться тільки один раз.

У асинхронних тригерів є тільки логічні входи і відсутній тактовий вхід. Основним їх недоліком, що обмежує використання в швидкодіючій апаратурі, є незахищеність перед небезпечними змаганнями сигналів. Явище змагань проявляється в тому, що сигнали, які надходять на різні інформаційні входи тригера, приходять з часовими зсувами завдяки проходженню через різне число елементів. Змагання можуть стати причиною невірних спрацьовувань тригера. Синхронні тригери не мають цього недоліка, вони також мають більшу завадостійкість.

В залежності від комбінації вхідних сигналів, що викликає зміну стану, тригери діляться на декілька функціональних типів, визначених таблицею станів, яка вказує значення вихідного сигналу, Q^{n+1} в момент t_{n+1} після переключення тригера в залежності від значень вхідних сигналів і вихідного сигналу Q^n в момент t_n до переключення тригера.

Нижче розглянуто типи тригерів, що найчастіше застосовуються в мікроелектроніці.

RS-тригер (рис 4.1) має два інформаційні входи S і R, за допомогою яких здійснюється устанавлення тригера в стан $Q = 1$ при $S=1$, $R= 0$ і скид в стан $Q=0$ при $S=0$, $R=1$. При $S=R=0$ тригер зберігає раніше встановлене значення (режим зберігання): або $Q=1$, або $Q=0$. Комбінація $R=S=1$ (установлення і скид одночасно) є забороненими, тому що можуть привести до непередбаченого стану виходу Q : може бути $Q=0$, а може бути і $Q=1$. На основі таблиці стану RS-тригера (табл.2) можна отримати його характеристичне рівняння:

$$Q^{n+1} = S^n + \overline{R}^n Q^n .$$

Таблиця 4.2

R	S	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	*

RS-тригери можуть бути асинхронними і синхронними (рис.4.1, а і б). У другому випадку синхронізація проводиться або рівнем, або фронтом ТТ. Тригер, що синхронізується рівнем, є чутливим до зміни сигналів R і S протягом всього часу, коли $C=1$. Тригер, що синхронізується фронтом, реагує тільки на ті значення S і R, які присутні на входах в момент надходження додатного фронту ТТ.

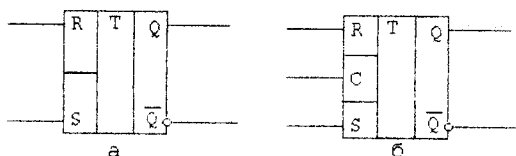


Рисунок 4.1

JK-тригер (рис.4.2) не має невизначених станів. Його функціональна особливість полягає в тому, що при всіх вхідних комбінаціях, крім $J^n = K^n = 1$, він діє подібно RS-тригеру, причому вхід J відіграє роль входу S, а K-вхід відповідає R-входу. При $J^n = K^n = 1$ в кожному такті відбувається перемикання тригера і вихідні сигнали змінюють своє значення на протилежне:

$$Q^{n+1} = \bar{Q}^n.$$

JK-тригер характеризується таблицею станів табл.4.3.

Таблиця 4.3

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

Характеристичне рівняння цього типу тригера має вигляд

$$Q^{n+1} = J^n \overline{Q^n} + \overline{K^n} Q^n.$$

JK-тригери є універсальними пристроями, які, з одного боку, можуть бути використані в регістрах, лічильниках, подільовачах частоти, а з другого, - шляхом певного з'єднання виводів вони легко перетворюються в тригери інших типів. Це дозволяє промисловості скоротити номенклатуру тригерів, не обмежуючи в той же час розробників апаратури.

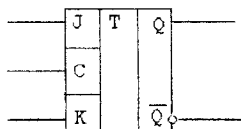


Рисунок 4.2

JK-тригер також може бути асинхронним або синхронним. Звичайно використовуються JK-тригери, синхронізовані фронтом.

Тригер T-типу (рис.4.3, а) має один інформаційний T-вхід і відрізняється простотою дії. Стан його вихода змінюється на протилежний при надходженні на вхід лічильного сигналу $T=1$ і зберігається незмінним при $T=0$. T-тригер характеризується таблицею станів 4.4.

Характеристичне рівняння T-тригера має вигляд

$$Q^{n+1} = Q^n \overline{T^n} + \overline{Q^n} T^n.$$

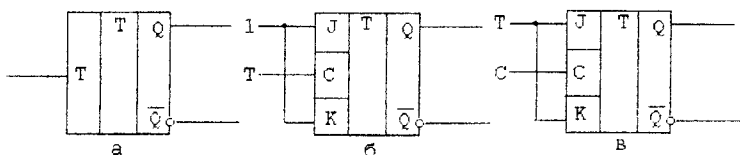


Рисунок 4.3.

Таблиця 4.4

T	Q^{n+1}
0	Q^n
1	$\overline{Q^n}$

Це рівняння за видом збігається з булевою функцією операції Виключне АБО, якщо уявити, що T^n і Q^n відповідають значенням вхідних змінних. З цього виходить, що Т-тригер виконує операцію додавання за модулем 2 вхідної змінної, що визначає вихідний стан тригера.

З таблиці 4.3 видно, що при $J=K=1$ з кожним тактовим імпульсом відбувається переключення JK-тригера. Тобто JK-тригер функціонує як асинхронний Т-тригер при подачі лічильного імпульса Т на вхід синхронізації С (рис. 4.3, б).

В синхронному Т-тригері тактовий вхід використовується за прямим призначенням, а лічильні імпульси подаються на з'єднані входи J і K (рис. 4.3, в).

Даний тип тригера має різновид - TV-тригер, який крім лічильного входу Т має керуючий V- вхід для дозволу приймання інформації.

Характеристичне рівняння TV-тригера має вигляд:

$$Q^{n+1} = (\overline{T^n}Q^n + T^n\overline{Q^n})V^n + Q^n\overline{V^n}.$$

Таблиця станів TV - тригера (табл.4.5) має вигляд:

Таблиця 4.5

Такт n		Такт n+1
V^n	T^n	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	Q^n
1	1	$\overline{Q^n}$

D- тригер для установки в стан 1 и 0 має один інформаційний вхід (рис .4.4, а). Він затримує на один такт інформацію, що надходить на вхід. Закон функціонування тригера визначається за виразом:

$$Q^{n+1} = D^n.$$

Переходи D-тригера наведені в табл.4.6.

Таблиця 4.6

D^n	Q^{n+1}
0	0
1	1

D-тригер можна утворити з будь-якого синхронного RS- або JK- тригера, якщо на їх інформаційні входи одночасно подавати взаємно інверсні сигнали D і \overline{D} (рис.4.4,б).

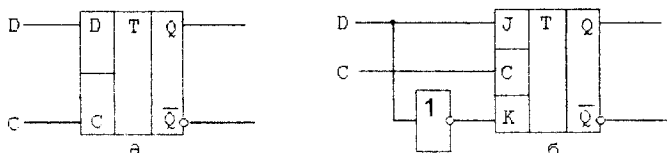


Рисунок 4.4

Якщо даний тип тригера обладнати додатковим входом V , що дозволяє тригеру спрацювати, то отримаємо DV - тригер (рис.4.5). Коли $V=1$, пристрій функціонує як D - тригер, а при $V=0$ він переходить в режим збереження інформації незалежно від зміни сигналів на вході D . Інформація в D - тригері не може зберігатися більше, ніж протягом одного такту. Наявність V - входу дозволяє в потрібні моменти часу зберігати інформацію на виходах протягом потрібного числа тактів.

Характеристичне рівняння DV - тригера має вигляд:

$$Q^{n+1} = D^n V^n + Q^n \overline{V^n}$$

Запис інформації відбувається, коли одночасно $C=1$ і $V=1$.

Причому сигнал $V=1$ повинен перекривати по тривалості обидва фронти тактового імпульса. D - і DV -тригери зручні в швидкодіючих схемах, оскільки передача інформації відбувається по одному входу, тобто виключається змагання сигналів.

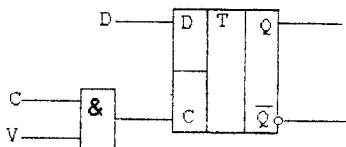


Рисунок 4.5

Знайшов розповсюдження канонічний метод структурного синтезу тригерів на основі аналізу логічних рівнянь, що зв'язують вихідні сигнали тригерів і функції збудження елементарних бістабільних комірок від сигналів на вході тригера і сигналів з виходів БК. Метод містить в собі певні процедури абстрактного і структурного синтезу.

Етап абстрактного синтезу:

- 1) вибір БК, реалізованої в певному логічному базисі;
- 2) визначення сукупності вхідних сигналів БК, які треба подати на її керуючі входи, щоб вона здійснила потрібний перехід. Можливі 4 таких

переходи: 00, 01, 10, 11. Результати 2-го етапу оформлюються у вигляді характеристичної таблиці елементарної БК;

3) визначення мінімальної необхідної кількості БК в структурі тригера.

Етап структурного синтезу:

1) визначення зв'язків логічних входів всіх елементарних БК в структурі тригера, що проектується;

2) мінімізація структури тригера.

БК – це найпростіша тригерна структура, яка зберігає один з сталих станів на виході незалежно від багаторазової зміни інформаційного сигналу на одному вході при нульовому значенні інформаційного сигналу на другому вході. Таким чином БК - це RS-тригер, характеристичне рівняння якого при реалізації на логічних елементах І-НІ записується в кон'юнктивній формі і має вигляд

$$Q^{n+1} = \overline{S^n R^n} Q^n,$$

його структурна схема наведена на рис.4.6 а.

Характеристичне рівняння БК в диз'юнктивній формі має вигляд

$$\overline{Q^{n+1}} = S^n + R^n + Q^n.$$

БК побудована на двох логічних елементах типу АБО-НІ (рис.4.6,б).

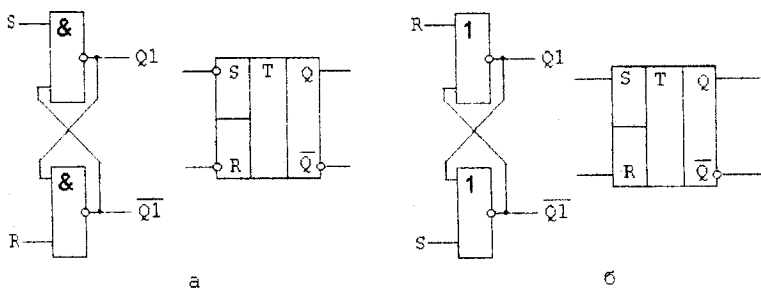


Рисунок 4.6

4.3 Порядок виконання роботи

4.3.1 Дослідження RS-тригера в статичному режимі.

Нарисувати схему тригера, синтезувати його, з'єднуючи у відповідності зі схемою 4.6б входи і виходи елементів І-НІ на макеті (рис.4.7).

З гнізд X1 і X2 подати на R і S входи тригера логічні рівні 1 і 0, які задаються перемикачами S1 і S2.

Задаючи значення вхідних статичних керуючих сигналів X1 і X2, скласти таблицю переходів тригера, починаючи з його нульового стану, зазначити реакцію тригера при кожному переході, наприклад "Установлення в 1", "Збереження 0", "Підтвердження 1" і т.д.

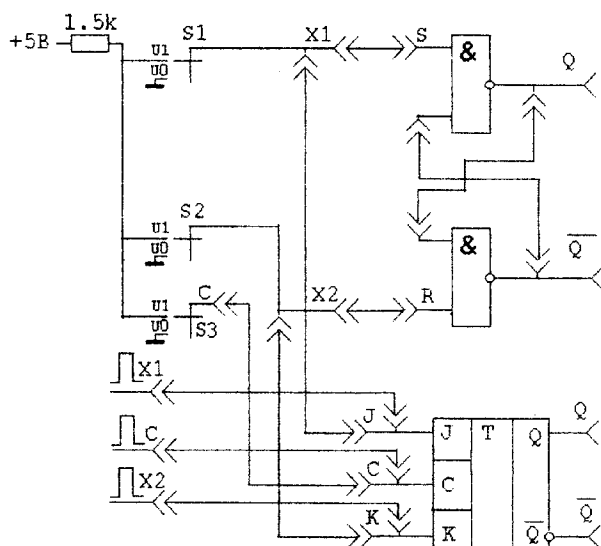


Рисунок 4.7.

4.3.2 Дослідження універсального JK-тригера в статичному режимі.

Досліджуваний тригер K155ТВ1 є синхронним, вхід синхроімпульсів - С. При С=0 тригер блокуваний, і сигнали на входах J і К на нього не діють. Виконавчим значенням для них є одиниця.

Сигнал дозволу на вході С формується шляхом перемикання ключа S3 в положення 0-1-0.

Подаючи необхідні значення керуючих сигналів X1, X2 і формуючи на кожному переході тактовий синхросигнал $C=0-1-0$, дослідити таблицю переходів тригера.

4.3.3 Дослідження JK-тригера в динамічному режимі.

У динамічному режимі досліджується робота тригера при керуванні по роздільних входах J і K, а також коли ці входи об'єднані, тобто коли тригер працює в лічильному режимі. Керуючі сигнали подаються з гнізд панелі лабораторного стенда, на яких формуються прямокутні імпульсні сигнали з змінною тривалістю і частотою. Дослідження варто проводити в такому порядку:

- 1) подати сигнали X1 і X2 на J і K входи тригера;
- 2) за допомогою осцилографа зняти часові діаграми сигналів C, J, K, Q, дати їм пояснення.

4.3.4 Для одержання схеми лічильного тригера в одному варіанті подається сигнал синхронізації $C=1$, а на об'єднаний вхід, що є лічильним - керуючий сигнал. В другому варіанті на об'єднаний вхід подається одиниця, а на синхровхід, що грає в цьому випадку роль лічильного входу - керуючий сигнал.

При дослідженнях лічильного тригера вибрати схему його реалізації, зарисувати осцилограми вхідного і вихідного сигналів, дати їм пояснення.

4.4 Зміст звіту:

- відповіді на контрольні запитання;
- експериментальні часові діаграми вхідних і вихідних сигналів тригерів та порівняльний аналіз їх з аналогічними теоретичними діаграмами.

4.5 Контрольні запитання

1. Структура, характеристичні рівняння і таблиці станів основних типів тригерів.
2. Основні параметри тригерів і їхні умовні позначення.
3. Чим визначається швидкодія тригера ?
4. Як побудувати T-тригер на основі RS-, D- і JK-тригерів ?
5. Чим різняться асинхронні і синхронні M-S тригери?
6. Правила побудови часової діаграми роботи тригера.
7. Чому JK-тригер називається універсальним ?

4.6 Література

1. Токхейм Р. Основы цифровой электроники.- М.: Мир, 1988.
2. Електроника и микроэлектроника. Ч.1. Под ред. А. А. Краснопрошиной.- К.: Вища школа, 1989.
3. Алексенко А. Г., Шагурин И. И. Микросхемотехника.- М.: Радио и связь, 1989.

Дослідження мікросхем лічильників

5.1 Мета роботи - вивчення схемотехніки і параметрів цифрових лічильників.

5.2 Короткі теоретичні відомості

Лічильником називається пристрій, сигнали на виході якого в певному коді відображають число імпульсів, що надходять на лічильний вхід.

Простішим з цих пристроїв є тригер, що рахує сигнали за модулем 2, тобто виконує лічбу та збереження не більше як двох змін сигналу на вході. З'єднавши n тригерів між собою певним способом, можна підрахувати коефіцієнт лічби імпульсів $K_d = 2^n$.

Інформація знімається з прямих та інверсних виходів всіх тригерів. У паузах між вхідними імпульсами тригери зберігають свої стани, тобто лічильник запам'ятовує число перерахованих імпульсів.

Якщо число вхідних імпульсів $N_{вх} > K$, то при $N_{вх} > K$ трапляється переповнення, після чого лічильник повертається в нульовий стан та повторює цикл роботи. Коефіцієнт лічби, таким чином, характеризує число вхідних імпульсів, необхідне для виконання одного циклу та повернення у вихідний стан. Після кожного циклу лічби на виходах останнього тригера виникають перепади напруги. Ця властивість визначає друге призначення лічильника - ділення числа вхідних імпульсів. Якщо вхідні сигнали періодичні і надходять з частотою $F_{вх}$, то частота вихідних сигналів буде $F_{вих} = F_{вх}/K$. У цьому випадку коефіцієнт лічби називається коефіцієнтом ділення K_d .

Основними експлуатаційними показниками лічильника є ємність і швидкодія. Ємність лічильника чисельно дорівнює коефіцієнту лічби і характеризує число імпульсів, що доступне підрахунку за один цикл.

Швидкодія лічильника визначається двома параметрами: роздільною здатністю $T_{роз}$ і часом установлення $T_{уст}$.

Під роздільною здатністю розуміють мінімальний час між двома вхідними сигналами, протягом якого не виникають збої в роботі. Час установлення дорівнює часу між моментом надходження вхідного сигналу і переходом лічильника в новий сталий стан.

Цифрові лічильники класифікуються таким чином. За коефіцієнтом лічби: двійкові, двійково-десяткові, декадні, з довільним модулем. За напрямком лічби: підсумовувальні, віднімальні, реверсивні. За організацією внутрішніх зв'язків: з послідовним перенесенням, з паралельним перенесенням, з комбінованим перенесенням. Класифікаційні ознаки незалежні і зустрічаються в різних сполученнях.

Наприклад, підсумовувальні лічильники бувають як з послідовним, так і з паралельним перенесенням і можуть мати двійковий, десятковий та інший коефіцієнт лічби.

Для двійкового лічильника з $K_n = 2^n$, знаючи номери тригерів і стани входів Q_i можна визначити записане двійкове число

$$M = Q_{n-1} 2^{n-1} + Q_{n-2} 2^{n-2} + \dots + Q_0 2^0.$$

Додаванням прямих і зворотних логічних зв'язків двійкові лічильники можуть бути перетворені в недвійкові з $K_n \neq 2^n$. Найбільше розповсюдження отримали десяткові лічильники з $K_n = 10$, які організуються з чотирирозрядних двійкових лічильників. Шість надлишкових станів виключаються введенням додаткових зв'язків.

У підсумовувальному лічильнику кожен вхідний імпульс підвищує число, що записане в лічильник, на одиницю. Перенос інформації з одного розряду в старший має місце, коли трапляється зміна станів з 1 на 0.

Віднімальний лічильник діє зворотнім чином: двійкове число, що зберігається в лічильнику, з кожним надходженням імпульса зменшується на одиницю. Перенесення з молодшого розряду в старший має місце при зміні стану молодшого розряду з 0 на 1.

Реверсивний лічильник може працювати в якості підсумовувального або віднімального. Ці лічильники мають додаткові входи для задання напрямку лічби. Режим роботи визначається керуючими сигналами на цих входах.

Лічильники з послідовним перенесенням - це ланцюг тригерів, де імпульси, що рахуються, надходять на вхід першого тригера, а сигнал перенесення передається послідовно від одного розряду до іншого. У цих лічильниках використовуються асинхронні Т-тригери з прямим або інверсним керуванням, а також JK- та D-тригери в лічильному режимі (рис.5.1).

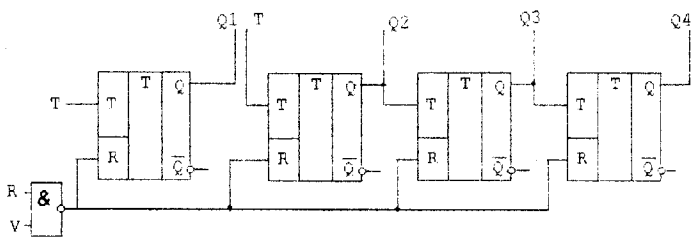


Рисунок 5.1

Головна перевага лічильника з послідовним перенесенням - простота схеми, а основний недолік - порівняно низька швидкодія, тому що тригери спрацьовують послідовно, один за іншим. Крім того, через накопичення затримки сигналів у розрядах на виходах таких лічильників

можуть з'явитися короткочасні несправжні імпульси, які особливо помітні на високих тактових частотах.

Лічильники з паралельним перенесенням складаються з синхронних тригерів. Лічильні імпульси подаються одночасно на всі тактові входи, а кожен з тригерів кола служить по відношенню до наступного тільки джерелом інформаційних сигналів, див. докладніше [4].

Спрацьовування тригерів відбувається одночасно, тому затримка перемикання всього лічильника дорівнює затримці для одного тригера. Лічильники з паралельним перенесенням мають вищу завадостійкість, тому що в паузах між імпульсами тригери лічильника заблоковані.

Проектування лічильника зводиться до визначення числа тригерів та виду використаних зв'язків між тригерами і логічними елементами, а також до визначення його роздільної здатності. Першим кроком є перерахунок заданого коефіцієнта лічби у двійковий код. Число розрядів двійкового числа показує, скільки тригерів повинен мати лічильник, а число одиниць визначає число входів застосованого логічного елемента І-НІ. Входи елемента під'єднуються до прямих виходів тих тригерів, які відповідають одиничним коефіцієнтам двійкового числа. Слід врахувати, що вхідний перший тригер відображає останній молодший розряд числа. Вихід логічного елемента приєднується до входів установлення нуля (R-входів) всіх тригерів, від яких були зроблені відводи, а також тих, які безпосередньо за ними розташовані (див. приклад на рис.5.2).

Для побудови двійкових лічильників лічильні входи JK-тригерів з'єднуються з прямими виходами попередніх тригерів, а D-тригерів - з інверсними. Різниця в підключенні входів пов'язана з тим, що D-тригер спрацьовує по фронту, а JK-тригер - по спаду вхідних імпульсів.

У лабораторній роботі вивчається мікросхема підсумовувального лічильника - поділювача з послідовним перенесенням типу K155ИЕ5. Він складається з чотирьох JK-тригерів, перемикання яких відбувається по

від'ємних перепадах від 1 до 0 (рис.5.1). Логічний елемент забезпечує одночасне примусове установлення тригерів у нульовий стан та припинення лічби на час дії керуючого сигналу. Лічба припиняється, коли на обидва входи логічного елемента подається логічна "1". За допомогою певних з'єднань вхідних і вихідних виводів можна забезпечити різні коефіцієнти лічби. Розглянутий вище метод проектування послідовних лічильників повністю підходить до даної мікросхеми.

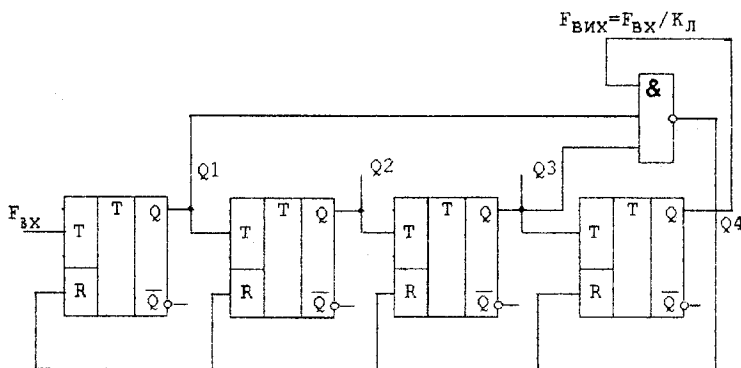


Рисунок 5.2

У лабораторній роботі вивчається також мікросхема типу K155IE7, яка є 4-розрядним швидкодіючим реверсивним лічильником - поділювачем з паралельним перенесенням між розрядами (рис.5.4). Послідовність вхідних імпульсів подається на входи (+1) або (-1) у залежності від того, у якому напрямку(прямому або зворотному) ведеться лічба. Виводи D1-D8 призначені для введення вихідного числа, з яким імпульси складаються або віднімаються. Введення даних (запис) відбувається при подачі низького рівня на вхід С. Для установлення нуля на вхід R подається сигнал "1", на вхід (-1) сигнал "0". У режимах додавання і віднімання на вхід R подається сигнал 0, на вхід С сигнал 1, на входи (-1) і (+1) відповідно сигнал 1.

У режимі додавання сигнал перенесення виникає на виході (>15) за час переходу з стану 1111 на виходах Q1-Q8 у стан 0000, а в режимі віднімання сигнал перенесення виникає на виході (<0) при зміні стану 0000 на 1111. При з'єднанні входу С з виходом перенесення (>15) коефіцієнт лічби буде $(15-M)$, де М-десятковий еквівалент коду на входах D1-D8.

5.3 Порядок виконання роботи

Вивчення лічильника К155ИЕ5

Схема вимірювань наведена на рис.5.3.

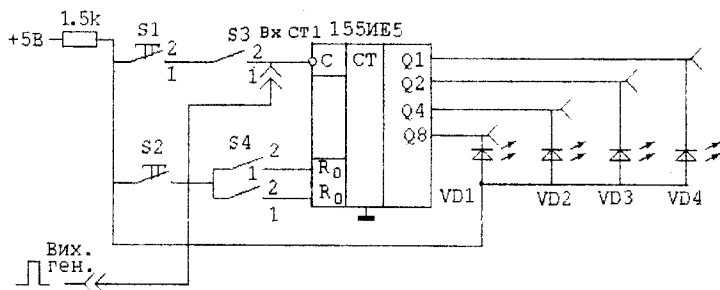


Рисунок 5.3

5.3.1 Натисніть кнопку S2 "Скидання СТ1" для установлення всіх тригерів лічильника в нульовий стан. Визначте, яким рівнем сигналу виконується скидання лічильника на входах R0. Ключі S3 "Вхід СТ1" і S4 "Скидання СТ1" перевести в положення 1.

Примітка: кнопку скидання рекомендується натискати перед кожним пунктом вимірювання.

5.3.2 З'єднайте перемичкою гніздо "Вих.ген" з гніздом "Вх.СТ1". Порівнюючи осцилограму вхідного сигналу з осцилограмами на виходах Q1-Q8, визначте коефіцієнт ділення частоти на кожному з них. Визначте, які виходи відповідають молодшому і старшому розрядам. Нарисуйте осцилограми. Ключ S3 "Вхід СТ1" у положенні 2.

5.3.3 Вимкніть "Вих.ген.", скиньте лічильник. Натискаючи кнопку S1 "Вх.СТ1" кілька разів, встановіть відповідність між номером вхідного імпульсу і двійковим кодом на виходах Q1-Q8. Рівень сигналів на виходах визначається світлодіодними індикаторами, логічний "1" відповідає високий рівень (індикатор світиться), а логічному нулю низький (індикатор не світиться). Ключ S3 "Вхід СТ1" у положенні 1.

5.3.4 Складіть таблицю відповідності між номером імпульсу, починаючи з нуля, і рівнями сигналу на виходах Q1-Q8. Відмітьте, який перепад рівнів викликає спрацювання лічильника - від 0 до 1, чи навпаки?

5.3.5 Проаналізуйте, які коефіцієнти лічби можуть бути реалізовані в схемі лічильника з застосуванням внутрішнього двовходового логічного елемента. Запишіть рівняння для коефіцієнта лічби 6, 9, 12 (5, 10).

5.3.6 З'єднайте перемичками входи лічильника R0' і R0 з виходами у відповідності з одержаними рівняннями для реалізації відповідного коефіцієнта лічби. Після натиснення кнопки скидання визначте коефіцієнт лічби лічильника, що синтезовано, як число натиснень на кнопку "Вх.СТ1" між двома нульовими станами всіх виходів (всі світлодіоди не світяться). Ключ S4 "Скидання СТ1" у положенні 2.

Вивчення лічильника K155IE7

Схема вимірювань наведена на рис.5.4.

5.3.7 Виясніть призначення входів лічильника (+1), (-1), R та C. Для приведення лічильника в робочий стан натисніть кнопку S9 "Скидання СТ2", потім за допомогою ключів S1-S4 наберіть код числа, меншого за 15, для введення якого в лічильник натисніть кнопку S8 "Запис". Виміряйте рівень сигналу, яким здійснюється скидання лічильника і запис у нього числа. Яким перепадом рівня здійснюються дані операції?

Примітка: при виконанні п.п.5.3.7 – 5.3.9 ключ "Скидання СТ1" встановити в положення 1.

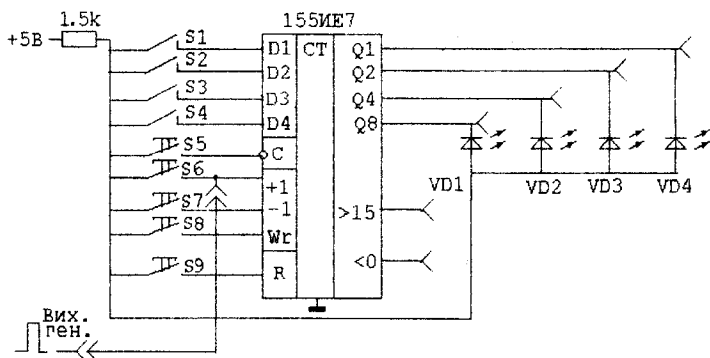


Рисунок 5.4

5.3.8 Визначте максимальний коефіцієнт лічби мікросхеми за станом світлодіодних індикаторів на виходах лічильника.

5.3.9 Вивчіть роботу лічильника в режимі прямої і зворотної лічби. Запишіть по входах D1-D4 код певного числа за допомогою перемикачів S1-S4, перенесіть його за допомогою кнопки S8 "Запис" на вхід, натисніть декілька раз кнопку прямої лічби S6 "+1". Спостерігайте зміну коду на виходах Q1-Q8, переключіть новий код у десятковий еквівалент числа, порівняйте результат з арифметичною сумою числа, що записане, з числом входних імпульсів. Аналогічно дослідіть режим зворотної лічби, віднімаючи з записаного числа по одиниці за допомогою кнопки S7 "-1". Складіть діаграми станів лічильника в режимі додавання та віднімання.

5.3.10 Натисніть кнопку S9 "Скидання CT2", перемикачами S1-S4 наберіть код довільного числа, під'єднайте перемичкою гніздо "Вих.ген." до гнізда "+1". Натисніть кнопку "Запис", зарисуйте осцилограми вихідних сигналів. Аналогічні вимірювання проведіть, подаючи імпульси з гнізда "Вих.ген." на гніздо "-1". Ключі "Скидання CT1" у положенні 2.

5.4 Склад звіту:

- відповіді на контрольні запитання;
- виміряні параметри лічильників;
- осцилограми вхідних і вихідних сигналів;
- висновки по роботі.

5.5 Контрольні запитання

1. Типи лічильників та їх класифікація.
2. Експлуатаційні параметри лічильників.
3. Як синтезувати двійково-десятковий лічильник?
4. Як синтезувати лічильник з довільним коефіцієнтом лічби?
5. Як діють лічильники з послідовним і паралельним перенесенням, у чому переваги і недоліки цих типів лічильників?
6. Наведіть структурні схеми лічильників з паралельним і послідовним перенесенням.
7. За яким принципом каскадуються лічильники?

5.6 Література

1. Алексенко А. Г., Шагурин И. И. Микросхемотехника.- М.: Радио и связь, 1989.
2. Преснухин Л. Н. и др. Расчёт элементов цифровых устройств.- М.: Высшая школа, 1982.
3. Зельдин Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре.- Л.: Энергоатомиздат, 1986.
4. Скаржепа У. А., Сенько У. И. Электроника и микроэлектроника.- К.: Вища школа, 1989.

6 ЛАБОРАТОРНА РОБОТА №6

Дослідження операційного підсилювача

6.1 Мета роботи - ознайомлення з параметрами і характеристиками операційного підсилювача (ОП).

6.2 Короткі теоретичні відомості

ОП зобов'язаний своєю назвою тому факту, що в першій половині 60-х років його почали застосовувати для виконання математичних операцій. З того часу область застосування ОП значно розширилася і в наш час операційним підсилювачем вважається аналогова мікросхема, на виході якої формується вихідна напруга, рівна по величині посиленій різниці потенціалів між двома вхідними полюсами. Такий підсилювач повинен мати дуже малий вихідний опір, дуже великий вхідний опір, дуже велике підсилення по напрузі, а також мати такі характеристики:

- 1) широку смугу пропускання (починаючи з постійного струму);
- 2) малий зсув нульового рівня на постійному струму;
- 3) достатньо великий розмах вихідної напруги аж до рівня напруги живлення.

Велике підсилення забезпечується використанням щонайменше двох каскадів підсилення і вихідного емітерного повторювача.

Перший каскад повинен бути диференційного типу для того, щоб забезпечити можливість роботи з напругою загального виду, малий і стабільний по температурі зсув нульового рівня вхідної напруги, коефіцієнт підсилення по напрузі, що практично не залежить від вихідної напруги (лінійність). Коефіцієнт підсилення по напрузі кожного з каскадів лежить в межах від 300 до 1000, а емітерного повторювача приблизно

дорівнює 1, тому загальний коефіцієнт підсилення на низьких частотах складає $10^5 - 10^6$.

Більшість ОП живиться від здвоєного джерела живлення, що виробляє дві однакових за величиною і протилежних за знаком постійні напруги, що дає можливість формувати біполярний вихідний сигнал. Діапазон цих напруг лежить у межах від ± 3 до ± 18 В. Частіше усього напруга живлення складає ± 15 В.

У будь-якому випадку максимально можлива напруга на виході приблизно на 1 В менша абсолютної величини напруги живлення.

Для підвищення вхідного опору ОП диференціальний каскад виконаний на біполярних складових або супербета-транзисторах, а також на польових транзисторах. Для досягнення високого коефіцієнта підсилення без збільшення номіналу навантажувальних резисторів у диференціальних каскадах застосовують активні навантаження на транзисторах р-п-р-типу. Вхідний каскад, що має коефіцієнт підсилення на рівні декількох сотень, дозволяє виключити проміжний каскад, чим збільшується швидкодія ОП і спрощується його схема.

На виході ОП застосовуються двотактні каскади, побудовані на транзисторах із додатковою симетрією або ж на однотипних транзисторах. Такий каскад повинен забезпечити необхідну амплітуду сигналу на низькоомному навантаженні (тобто мати малий вихідний опір і пропускати великий струм).

Спрощена схема ОП приведена на рис.6.1. Вона складається з двох каскадів підсилення і двотактного вихідного каскаду емітерного повторювача. Перший каскад побудовано на транзисторах VT2, VT5, для зміщення якого використано джерело струму на транзисторах VT6, VT7, а навантаженням є схема струмового дзеркала на транзисторах VT1, VT3, VT4 і вхідний транзистор наступного каскаду VT8.

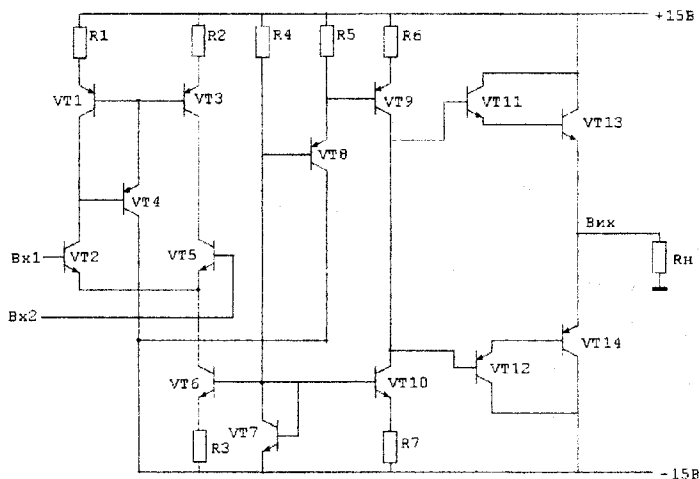


Рисунок 6.1

Другий каскад виконаний за схемою складового транзистора, в якій VT8 включений за схемою з загальним колектором, а VT9 - за схемою з загальним емітером. Цей каскад має активне навантаження на транзисторі VT10, необхідне зміщення на якому задається колом на транзисторі VT6 і резисторі R3.

Вихідний каскад є комплементарною двотактною схемою, яка містить емітерні повторювачі на транзисторах n-p-n типу VT11, VT13 і p-n-p типу VT12, VT14, які забезпечують видачу струму в навантаження Rn відповідно при додатній і від'ємній півхвилях вихідної напруги.

Розрізняють такі параметри ОП:

- 1) час зростання (час, необхідний для східчастої вихідної напруги для збільшення від 10 до 90% своєї повної амплітуди);
- 2) час установа (час, необхідний східчастій вихідній напрузі для досягнення заданого остаточного значення вихідного сигналу);
- 3) вхідний опір (опір між вхідними полюсами при заземленні будь-якого з них);

- 4) вхідний опір для синфазного сигналу: паралельне з'єднання опорів, вимірюваних при сигналах між вхідними полюсами і землею);
- 5) вхідний струм зміщення (середнє значення двох вхідних струмів при нульовій вихідній напрузі);
- 6) вихідний опір (внутрішній опір для малого сигналу еквівалентного джерела з боку вихідного затискача при напрузі на виході, близькій до нуля);
- 7) коефіцієнт ослаблення синфазного сигналу: відношення коефіцієнтів підсилення диференціального і синфазного сигналів);
- 8) максимальний розмах вихідної напруги (максимальна вихідна напруга до обмеження по амплітуді при нульовій постійній напрузі спокою);
- 9) напруга зміщення: диференціальна напруга, яку необхідно подати на вхідні полюси через два однакових резистори для одержання нульової вихідної напруги;
- 10) швидкість зростання: швидкість зміни вихідної напруги при подачі східчастої напруги на вхід;
- 11) частота одиничного підсилення: частота, при якій коефіцієнт підсилення при розімкнутій петлі зворотного зв'язку дорівнює одиниці.

6.3 Порядок виконання роботи

В лабораторній роботі досліджується ОП типу K140УД20.

6.3.1 Вимірювання вхідної напруги зсуву.

Вимірювання проводяться за схемою на рис.6.2 (схема 1 макета) у такій послідовності:

- а) замкнути перемикачі S1 і S2;
- б) виміряти вихідну напругу, рівну напрузі зсуву U_0 .

6.3.2 Вимірювання вхідних струмів.

Вхідні струми зсуву ОП створюють падіння напруг на внутрішніх опорах джерел вхідного сигналу. Необхідно, щоб ці струми і опори були

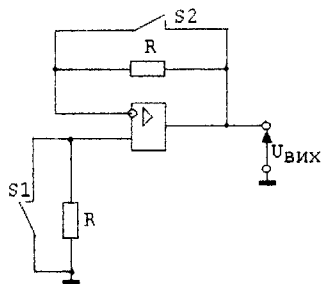


Рисунок 6.2

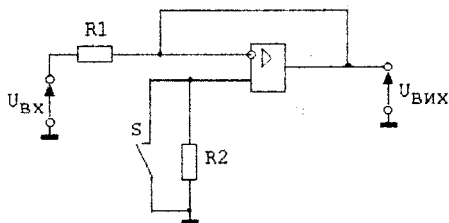


Рисунок 6.3

по можливості ідентичні для обох входів. Різниця входних струмів I_{0e} може мати будь-який знак, вона визначається різницею коефіцієнтів підсилення по струму вхідних транзисторів і залежить від температури.

Виміри проводяться в такій послідовності за схемою на рис.6.2 (схема 1 макета):

а) ключ S1 замкнути, S2 - розімкнути;

б) виміряти напругу $U_{\text{ВИХ}2}$ на виході ОП, при цьому струм

$$I_2 = (U_{\text{ВИХ}2} - U_0)/R;$$

в) ключ S1 - розімкнути, S2 - замкнути;

г) виміряти напругу $U_{\text{ВИХ}1}$ на виході ОП, при цьому струм

$$I_1 = - (U_{\text{ВИХ}1} - U_0)/R$$

Д) визначити величину різницевого вхідного струму

$$I_{0e} = I_2 - I_1 = (U_{\text{ВИХ}2} - U_{\text{ВИХ}1})/R$$

При розрахунках вважати $R = 10 \text{ кОм}$.

6.3.3 Вимірювання диференціального вхідного опору.

Вимірювання здійснюється за схемою на рис.6.3 у послідовності:

а) подати на вхід схеми 2 макета сигнал 300 мВ із частотою 20 Гц;

б) замкнути ключ S;

- в) виміряти вихідну напругу $U_{\text{вих1}}$;
- г) розімкнути ключ S ;
- д) виміряти вихідну напругу $U_{\text{вих2}}$;
- е) визначити вхідний диференціальний опір за формулою:

$$Z_{\text{вх}} = R_2 U_{\text{вих1}} / (U_{\text{вих2}} - U_{\text{вих1}}).$$

R_2 приймається рівним 820 кОм.

6.3.4 Вимірювання коефіцієнта підсилення по напрузі.

Вимірювання проводиться за схемою на рис.6.4 (схема 3 макета) у наступній послідовності:

- а) на вхід подати змінні сигнали 100-300 мВ із частотою 100 Гц;
- б) виміряти напругу на вході і виході U_1 і U_2
- в) обчислити коефіцієнт підсилення

$$K = U_2(R_4 + R_5) / U_1 R_5; \quad R_4 = 100 \text{ Ом}; \quad R_5 = 62 \text{ кОм}.$$

6.3.5 Вимірювання амплітудно-частотної характеристики (АЧХ) ОП.

Вимірювання проводиться за схемою на рис.6.4. Знімається залеж-

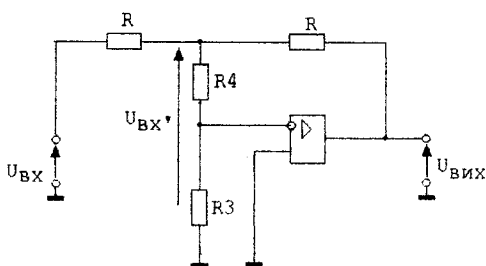


Рисунок 6.4

ність рівня вихідного сигналу від частоти при наявності на вході незмінного за рівнем сигналу (до 100 мВ) у частотному діапазоні 20 Гц – 2МГц.

6.4 Склад звіту:

- відповіді на контрольні запитання;
- виміряні значення параметрів ОП, АЧХ ОП;
- порівняльний аналіз вимірних параметрів з їх паспортними значеннями для даного типу ОП.

6.5 Контрольні запитання

1. Як працюють основні елементи структурної схеми ОП?
2. Наведіть структурну схему ОП.
3. Поясніть суть основних параметрів і характеристик ОП.
4. Назвіть конструкторсько-технологічні особливості мікросхем ОП.
5. Що визначає частотну залежність коефіцієнта підсилення ОП?
6. Як здійснюється і для чого призначена корекція частотних характеристик ОП?
7. Якими схемотехнічними методами можна забезпечити температурну стабільність параметрів ОП?
8. Наведіть основні схеми вмикання ОП.

6.6 Література

1. Соклоф С. Аналоговые интегральные схемы.- М.: Мир, 1988.
2. Алексенко А. Г., Шагурин И. И. Микросхемотехника.- М.: Мир, 1989.
3. Фолкенберри Л. Применения операционных усилителей и линейных ИС.- М.: Мир, 1985.

Дослідження мікросхеми аналогового компаратора

7.2 Мета роботи - вивчення схеми, основних параметрів і характеристик мікросхеми аналогового компаратора.

7.3 Короткі теоретичні відомості

Компаратор призначений для порівняння аналогових сигналів U_c і U_0 , один з яких є поточним, а інший - опорним. У момент рівності миттєвих значень сигналів вихідна напруга компаратора різко змінюється. На виході компаратора формується сигнал логічної одиниці (високий рівень), якщо різниця вхідних сигналів менше напруги спрацьовування компаратора, або сигнал логічного нуля (низький рівень), якщо різниця вхідних сигналів перевищує напругу спрацьовування. Таким чином, компаратори займають проміжне положення між аналоговими і цифровими ІС і є найпростішими аналого-цифровими перетворювачами (АЦП).

Інтегральний компаратор - це спеціалізований операційний підсилювач з вмонтованим колом формування логічних рівнів. Для підвищення чутливості компаратора за вхідним диференціальним каскадом розміщується проміжний підсилювач із високим коефіцієнтом підсилення, що забезпечує формування перепадів напруги великої амплітуди при незначній різниці вхідних напруг. Основна відмінність компаратора від операційного підсилювача (ОП) в будові їх вихідних каскадів. У компаратора вихідний каскад працює в ключовому тригерному режимі, формуючи потенційні рівні логічного 0 і 1. Ця якість обумовлює широке використання компараторів в АЦП. Компаратори мають багато параметрів таких, як і ОП, а саме: коефіцієнт підсилення, вхідний опір, коефіцієнт

ослаблення синфазного сигналу, напруга зсуву нуля. Поряд із цим вони мають такі специфічні параметри:

а) поріг чутливості (роздільна здатність) $\Delta U_{\text{вх ср}}$, що характеризує точність порівняння сигналів і відповідає їх мінімальній різниці, при якій напруга на виході досягає порога перемикавання того типу логіки, для роботи з якою призначено компаратор. Його величина визначається напругою зсуву нуля і вхідними струмами компаратора;

б) час переключення $t_{\text{пер}}$ характеризує швидкодію компаратора і відповідає періоду часу з моменту встановлення рівності порівнюваних сигналів до моменту досягнення рівня порога перемикавання на виході.

Спеціалізовані компаратори мають поріг чутливості порядку сотень мікрвольт при часі перемикавання порядку одиниць - сотень наносекунд.

Типова схема вмикання компаратора показана на рис. 7.1.

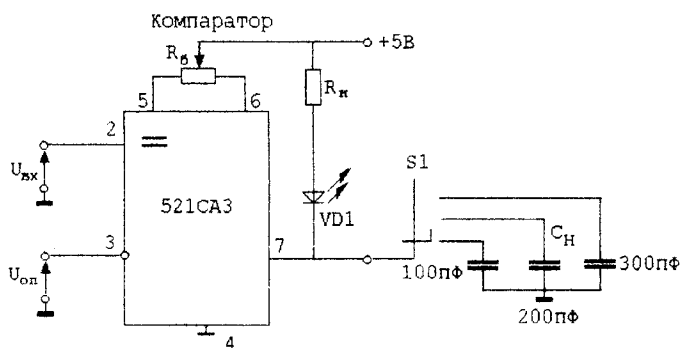


Рисунок 7.1

Поріг спрацьовування компаратора визначається співвідношенням

$$U_{\text{пор}} = U_{\text{оп}} \pm \Delta U_{\text{вх ср}}$$

Коли $U_{\text{вх}} = U_{\text{пор}}$ і різниця вхідного сигналу і $U_{\text{оп}}$ стає менше за $\Delta U_{\text{вх ср}}$, компаратор переключається.

При цьому, якщо опорна напруга подається на інвертувальний вхід, а вхідний сигнал - на неінвертувальний, компаратор переходить із стану логічного 0 у стан логічної 1. Якщо ж опорний сигнал подати на неінвертувальний вхід, а вхідний - на інвертувальний, то переключення відбудеться з 1 до 0.

Шляхом балансування компаратора можна установити $\Delta U_{\text{вх ср}} = 0$ і тим самим забезпечити його перекидання при $U_{\text{пор}} \approx U_{\text{оп}}$.

Таким чином, компаратори можуть бути використані для порівняння однополярних і різнополярних вхідних сигналів. Деякі з них мають додатковий вхід стробування (керування). Змінюючи рівень сигналу на цьому вході, можна дозволяти або забороняти роботу компаратора. При рівні, що замикається, на цьому вході компаратора присутній логічний нуль незалежно від стану вхідних напруг. Стробування дозволяє читати показання з вихода компаратора в потрібні моменти часу.

Найбільше поширення одержали серії інтегральних компараторів К521 і ідентична їй К554 для роботи з ТТЛ мікросхемами, а також К597 для обслуговування ЕЗЛ-мікросхем.

У даній лабораторній роботі досліджується прецизійний інтегральний компаратор напруги типу К521СА3 із допустимим діапазоном парафазних вхідних сигналів +30 В. Компаратор може працювати як від одного джерела напруги +5 В, так і від двох із напругами до +18 В. Вихідний струм 200 мА достатній для переключення реле. Загальний коефіцієнт підсилення мікросхеми, рівний 150 тис., досягається за рахунок застосування в схемі трьох підсилювальних каскадів, які наведені на спрощеній схемі компаратора на рис.7.2. Високий вхідний опір пристрою забезпечується за рахунок використання вхідного диференціального каскаду, побудованого за схемою Дарлінгтона на транзисторах VT1-VT4. Струм спокою транзисторів VT2 і VT3 дорівнює 50 мкА, а тран-

зисторів VT1 і VT4, увімкнених за схемою з загальним колектором, 3.5 мкА. Внаслідок цього коефіцієнт передачі по струму цих транзисторів підтримується достатньо високим. Транзистори VT5 і VT6 утворюють схему струмового дзеркала, яка використовується як навантаження першого каскаду. Другий каскад на транзисторі VT7 виконаний за схемою з загальним емітером і має в якості активного навантаження джерело струму 100 мкА. Третій каскад на транзисторах VT8 і VT9 є вихідним, він має відкритий колектор (вивід 7) і емітерний вихід (вивід 1). До відкритого колектора присьднується навантаження, яке може живитися від окремого джерела напруги до +50В. Компаратор звичайно працює без зворотного зв'язку, внаслідок чого транзистори другого і третього каскадів практично завжди знаходяться або в режимі відсічки або насичення, дуже швидко переходячи з одного режиму в інший через активну область.

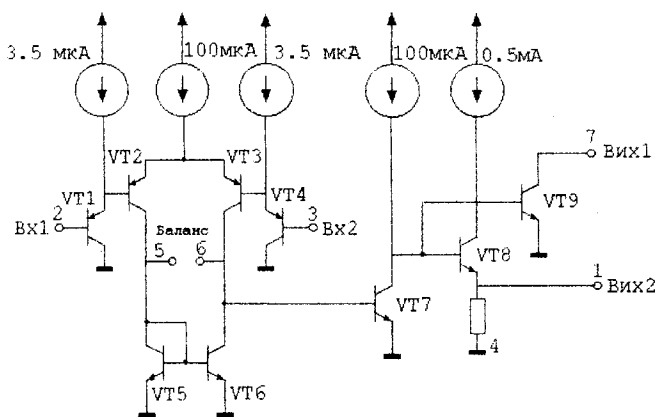


Рисунок 7.2

Докладніше зі схемою компаратора варто ознайомитися в [1,§9.3].

7.3 Порядок виконання роботи

Схема вимірювань приведена на рис.7.1 і на макеті.

7.3.1 Зняти перемикальну характеристику компаратора $U_{\text{вих}} = f(U_{\text{вх}})$, подаючи на неінвертувальний вхід регульований аналоговий сигнал, контрольований вольтметром $U_{\text{вх}(+)}$, а на інвертувальний – додатний опорний сигнал $U_{\text{оп}(+)}$.

7.3.2 Визначити величину порога спрацьовування компаратора, як значення вхідної напруги, при якій спостерігається переключення виходу (загоряється або стухає індикатор).

7.3.3 Виміряти рівні вихідного сигналу компаратора.

7.3.4 Обчислити значення порога чутливості $\Delta U_{\text{вх ср}} = U_{\text{пор}} - U_{\text{оп}}$.

7.3.5 Змінити порядок подачі U_{x} і $U_{\text{оп}}$ на входи компаратора, повторити вимірювання п.7.3.1.

7.3.6 Збільшуючи і зменшуючи розмір опору балансу, установити вплив балансування на значення порога переключення. Дати пояснення результатам спостереження.

7.3.7 Подати на один із входів компаратора синусоїдальний сигнал із частотою 50 - 100 кГц, а на інший вхід - опорний сигнал. За допомогою двопроміневого осцилографа зняти часові діаграми вхідної і вихідної напруги для декількох значень амплітуди змінного сигналу і розміри постійної напруги зсуву.

7.3.8 Побудувати графік залежності тривалості вихідних імпульсів від величини постійної напруги зсуву на сигнальному вході компаратора.

7.3.9 Виміряти час переключення $t_{\text{пер}}$ шляхом вимірювання часового інтервалу між точкою перетину вхідним сигналом нульового рівня і точкою на осцилограмі вихідного сигналу, що відповідає його усталеному рівню.

7.3.10 Зняти і побудувати графік залежності тривалості переднього фронту вихідного імпульсу від амплітуди вхідної змінної напруги зсуву на сигнальному вході.

7.4 Склад звіту:

- відповіді на контрольні запитання;
- виміряні параметри і характеристики і порівняльний аналіз їх з паспортними даними компаратора.

7.5 Контрольні запитання

1. Зазначте переваги і недоліки компараторів, як на ОІІ, так і інтегральних, у чому відмінність значень основних параметрів таких компараторів?
2. Зазначте схемотехнічні особливості компараторів для з'єднання з ТТЛ і ЕЗЛ цифровими мікросхемами.
3. Як здійснити в компараторі К521СА3 формування потрібного рівня логічної одиниці і нуля?
4. Зазначте засоби захисту вхідних і вихідних кіл компаратора.
5. Зазначте засоби підвищення чутливості і швидкості наростання вихідного сигналу компаратора.
6. Вивести математичне співвідношення, що зв'язує чутливість і швидкість наростання компаратора.
7. Що таке зона невизначеності компаратора і від чого залежить її ширина?

7.6 Література

1. Агаханян Т. М. Интегральные микросхемы. - М.: Энергоатомиздат, 1983.
2. Якубовский С. В. и др. Аналоговые цифровые интегральные микросхемы. - М.: Радио и связь, 1985.
3. Алексенко А. Г. и др. Применение прецизионных аналоговых микросхем. - М.: Радио и связь, 1985.

Дослідження аналого-цифрового перетворювача послідовного підрахунку

8.1 Мета роботи - вивчення властивостей аналого-цифрового перетворювача (АЦП).

8.2 Короткі теоретичні відомості

Функція АЦП полягає у вимірюванні амплітуди аналогового вхідного сигналу і виробленні логічних кодів, відповідних цьому сигналу. Дискретизація вхідного сигналу здійснюється з частотою як мінімум удвічі більшою частоти його найвищої гармоніки у відповідності з теоремою Котельнікова (Найквіста).

Схема АЦП будується на основі компаратора, цифро-аналогового перетворювача (ЦАП), двійкового лічильника і необхідної керуючої логіки (рис.8.1).

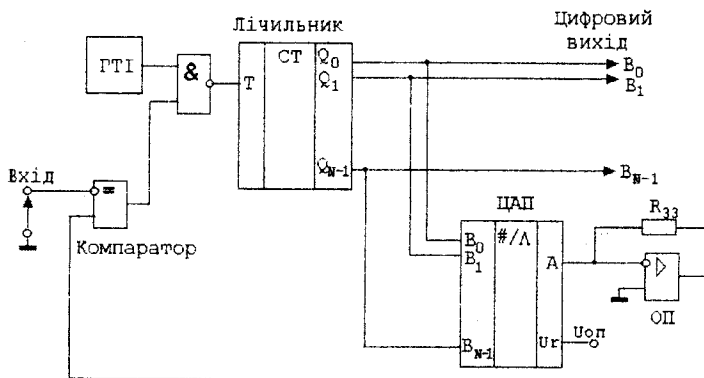


Рисунок 8.1

При отриманні команди "Старт" керуюча логіка скидає двійковий лічильник в стан 00000000, запускає генератор тактових імпульсів (ГТІ) і

починає рахувати. Виходи лічильника керують входами ЦАП, вихідна напруга ЦАП починає зростати у відповідності зі збільшенням коду на виході лічильника. Поки вхідна напруга менша за вихідну напругу ЦАП, на виході компаратора буде високий потенціал. При рівності цих напруг потенціал на виході компаратора набуває низького рівня і зупиняє лічильник. Цифровий код на виході лічильника в цей момент відповідає двійковому коду вхідного сигналу.

Відомі такі основні параметри і характеристики АЦП:

1. Основною характеристикою АЦП можна вважати характеристику перетворення, яка пов'язує вхідний сигнал з певним вихідним кодом:

$$U_{\text{вх}} = U_{\text{оп}}(B_1 2^{-1} + B_2 2^{-2} + \dots + B_N 2^{-N}), \quad (8.1)$$

де B_i - коефіцієнти двійкового кода, які мають значення 1 або 0, що відповідає включенню або виключенню розряду.

Коли на виході АЦП є присутнім код з одиницею тільки в молодшому розряді, тобто 000...001, то йому відповідає вхідний сигнал

$$U_{\text{вх мін}} = U_{\text{оп}}/2^N. \quad (8.2)$$

Це значення носить назву молодшого значущого розряду (МЗР).

Вихідному коду з одиницями в усіх розрядах відповідає максимальне допустиме значення вхідного сигналу

$$U_{\text{вх макс}} = U_{\text{оп}} (2^N - 1)/2^N = (2^N - 1) \text{МЗР}. \quad (8.3)$$

Ця величина має назву повної шкали перетворення ($U_{\text{пш}}$).

Якщо ж одиниця міститься лише в старшому значущому розряді (СЗР), тобто 100...000, то відповідне значення вхідного сигналу складає $U_{\text{оп}}/2$, тобто приблизно дорівнює половині повної шкали. Одиниця в одному i -му розряді відповідає вхідній напрузі $U_{\text{оп}}/2^i$.

В ідеальному випадку аналоговий сигнал, який викликає певну комбінацію сигналів на виході, дорівнює сумі аналогових сигналів, що

викликають появу кожного окремого розряду цієї ж комбінації. Тобто в цьому випадку характеристика перетворення є строго лінійною.

2. Нелінійність σ_n характеризує відхилення реальної характеристики перетворення АЦП від прямої лінії. Вона визначається у відсотках від повної шкали або в долях МЗР. Ефективний спосіб контролю нелінійності полягає в тому, що спочатку визначається вхідний сигнал U^I для певного коду на виході АЦП. Потім визначаються вхідні напруги для кодів з включеним кожним окремим розрядом цієї комбінації і знаходиться їх алгебраїчна сума U'' . Різниця U^I і U'' і буде являти собою нелінійність.

АЦП вважається лінійним, якщо $\sigma_{\text{нмакс}} \leq \pm 0.5$ МЗР.

3. Похибка повної шкали $\sigma_{\text{пш}}$ характеризує різницю між фактичним значенням повної шкали $U_{\text{пшф}}$ і номінальним значенням, що обчислюється за формулою (8.3) $U_{\text{пш}}$:

$$\sigma_{\text{пш}} = U_{\text{пшф}} - U_{\text{пш}} = (\text{МЗР}_{\text{ф}} - \text{МЗР})(2^N - 1). \quad (8.4)$$

Вона обумовлена похибками опорної напруги, резистивного подільовача і може бути скомпенсована шляхом регулювання опорної напруги.

4. Роздільна здатність визначається числом дискретних значень вхідного сигналу перетворювача. Двійковий N -розрядний перетворювач має 2^N дискретних значень, а його роздільна здатність дорівнює $1/2^N$. Роздільна здатність визначається або в відсотках, або в долях повної шкали. Наприклад, 8-розрядний АЦП має роздільну здатність $1/256$ від повної шкали.

5. Зміщення нуля (похибка нуля) дорівнює середньому значенню вхідної напруги АЦП, необхідної для отримання нульового коду на його виході. Зміщення нуля викликається струмом відпливу через розрядні ключі і напругою зміщення компаратора.

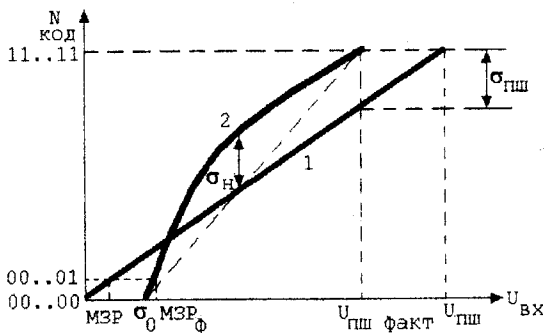


Рисунок 8.2

На рис.8.2 наведені ідеальна і реальна характеристики АЦП. Похибки повної шкали визначають з врахуванням зміщення нуля, тоді як при визначенні похибки лінійності характеристика повинна проходити через початок координат, тобто зміщення нуля потрібно корегувати, щоб не внести похибку у вимірювання нелінійності.

6. Диференційна нелінійність $\sigma_{нд}$ визначається відхиленням збільшення вхідного сигналу АЦП від номінального значення МЗР при зміні вихідного кода на одиницю:

$$\sigma_{нд} = \text{МЗР} - \text{МЗР}_ф. \quad (8.5)$$

Диференційна нелінійність ідеального АЦП дорівнює нулю.

Найбільша диференційна нелінійність спостерігається при такій зміні вхідного сигналу, при якій на виході виключаються всі молодші розряди і вмикається один старший, наприклад з 0111..11 на 100..00. Це пояснюється тим, що при формуванні кода 0111..11 відбувається додавання похибок всіх розрядів, крім першого.

7. Час перетворення визначається як інтервал часу між моментом надходження сигналу на вхід АЦП і моментом появи вихідного коду.

Час перетворення в АЦП послідовного рахунку залежить від амплітуди вхідного сигналу і від тактової частоти F_t . Коли на вхід лічиль-

ника надходить тактовий імпульс, відбувається збільшення напруги на виході ЦАП на величину, що дорівнює вазі МЗР.

Швидкість спостереження АЦП

$$V = \text{МЗР} \times F_t \quad [\text{В/С}]. \quad (8.6)$$

Наприклад, для 8-розрядного АЦП з $U_{\text{вх макс}} = 2.55 \text{ В}$ і $F_t = 1 \text{ МГц}$, тобто період тактового імпульсу $T_{T1} = 1/F_t = 1 \text{ мкс}$. Відповідно

$$\text{МЗР} = 10 \text{ мВ} \quad \text{і} \quad V = 10 \text{ мВ/мкс}.$$

Таким чином для відцифрування максимального вхідного сигналу потрібен час $T_{\text{пер}} = U_{\text{вх макс}}/V = (2^N - 1) T_{T1} = 255 \text{ мкс}$.

Звідси виходить, що максимальний період перетворення дорівнює $2^N - 1$ періодів тактового імпульса.

До складу схеми АЦП входить схема 10-розрядного цифро-аналогового перетворювача (ЦАП) типу К572ПА1 (рис.8.3). До складу цієї мікросхеми входить прецизійна резисторна матриця R-2R, струмові ключі на МОН - транзисторах і вхідні підсилювачі, які забезпечують керування ключами від стандартних рівнів цифрового сигналу. Мікросхема працює з прямим паралельним двійковим кодом.

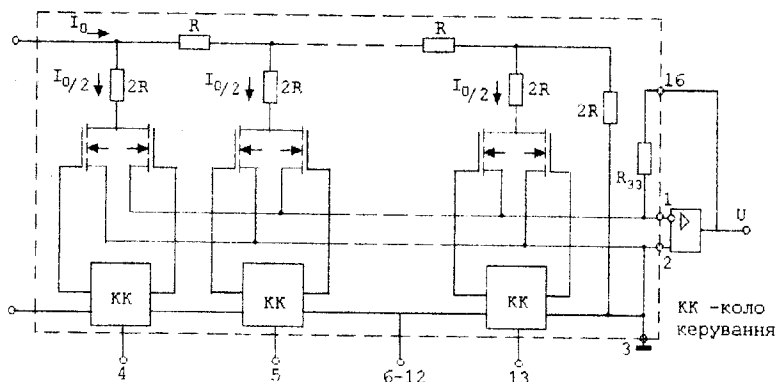


Рисунок 8.3.

Призначення виводів мікросхеми: 1,2 - аналоговий вихід; 3 - загальний; (4-8) - цифровий вхід старших розрядів; (19-13) - цифровий вхід молодших розрядів; 14 - напруга джерела живлення; 15 - опорна напруга; 16 - вивід резистора зворотного зв'язку.

Вхідний струм резисторної матриці I задається джерелом опорної напруги і ділиться в вузлах матриці за двійковим законом, тобто струм, що втікає в будь-який вузол, розподілюється на два струми. Струми гілок резисторної матриці надходять на аналогові виходи через ключові МОП-транзистори в залежності від вихідного кода, причому струми гілок, на ключі яких надходить сигнал високого рівня (логічна 1) передаються на вихід 1, а струми гілок, на ключах яких стан логічного нуля - на вихід 2. Ці струми надходять на входи зовнішнього операційного підсилювача (ОП), на виході якого з'являється напруга, пропорційна струму на виході 1. Резистор зворотного зв'язку R_{33} визначає коефіцієнт перетворення.

В аналітичній формі зв'язок напруги на виході ОП з кодом на вході ЦАП визначається за виразом:

$$U_{\text{вих}} = U_{\text{оп}} R_{33} (B_{N-1} 2^{N-1} + B_{N-2} 2^{N-2} + \dots + B_0) / 2^{N-1} R,$$

де B_{N-1}, B_0 - відповідно старший і молодший розряди двійкового кода.

Мінімальне значення вихідної напруги (МЗР) виходить при логічних нулях в усіх розрядах вхідного кода

$$U_{\text{вих мин}} = U_{\text{оп}} R_{33} / 2^{N-1} R.$$

Максимальна вихідна напруга повної шкали $U_{\text{пш}}$ виходить при одиницях в усіх розрядах двійкового кода

$$U_{\text{вих макс}} = 2U_{\text{оп}} (R_{33}/R)(1-2^{-N}).$$

Змінюючи R_{33} , можна регулювати повну шкалу перетворення і змінювати кут нахилу характеристики перетворення.

8.3 Порядок виконання роботи

8.3.1 Побудувати характеристику перетворення АЦП при заданому $U_{оп}$ і $R_{зз}=10$ кОм. Домагаючись зміни вихідного коду на один розряд, вимірювати вхідну напругу, що відповідає новому коду. Вимірювання слід починати з вхідної напруги, що відповідає найменшому значенню вихідного коду, який фіксується набором світлодіодних індикаторів. Для моменту, коли загораються всі індикатори, визначити повну шкалу перетворення.

8.3.2 На цьому ж графіку побудувати ідеальну характеристику АЦП за формулою (8.1) при умові $R_{зз}=R$, збільшуючи кодові комбінації від 000...000 послідовно на 1 до 111...111. Нахил цієї характеристики повинен бути таким, щоб при включенні всіх розрядів напруга повної шкали АЦП була меншою за $U_{оп}$ на значення МЗР.

8.3.3 За формулою (8.3) визначити номінальне значення МЗР і порівняти його з фактичним, що відповідає коду 000...001.

8.3.4 Знайти похибку повної шкали по формулі (8.4).

8.3.5 За даними пп.8.3.1, 8.3.2 визначити нелінійність перетворення σ_n як різницю вхідних напруг, що відповідають однаковому коду.

8.3.6 Зняти і побудувати характеристику перетворення для значення $R_{зз} > 10$ кОм. Визначити зміну величини коефіцієнта перетворення.

8.3.7 Визначити динамічну нелінійність $\sigma_{нд}$ за формулою (8.5). Для цього виміряти вхідну напругу, що відповідає вихідному коду 011...111, а потім визначити збільшення вхідної напруги, що відповідає появі коду 100...000, тобто зростанню двійкового числа на одиницю.

8.3.8 Виміряти час перетворення АЦП для заданого вхідного сигналу. Для цього на входи двопроменевого осцилографа подати

сигнали з гнізд "Вих. компаратора " і виводу старшого двійкового розряду коду. Час перетворення визначається як часовий зсув між осцилограмами цих сигналів.

8.3.9 Визначити швидкість спостереження АЦП за формулою (8.6) для декількох значень T_{Ti} .

8.3.10 Визначити час перетворення за формулою $T_{пер} = U_{вх}/V$. Порівняти його з визначеними значеннями за п.8.3.8.

8.4 Склад звіту:

- відповіді на контрольні запитання;
- виміряні під час лабораторної роботи параметри і характеристики АЦП;
- порівняння їх з теоретичними параметрами і характеристиками.

8.5 Контрольні запитання

1. Наведіть структурні схеми АЦП.
2. Наведіть структурні схеми ЦАП.
3. Поясніть принцип дії АЦП послідовного підрахунку.
4. Що таке роздільна здатність АЦП?
5. Види нелінійності характеристики перетворення та причини їх появи.
6. Коефіцієнт і час перетворення АЦП, способи їх вимірювання.
7. Що таке повна шкала перетворення і її похибка?
8. Назвіть причини зміщення нуля перетворювача?

8.6 Література

1. Федорков Б. Г. и др. Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи.- М.: Радио и связь, 1984.
2. Шликов Г. П. Измерение параметров интегральных ЦАП и АЦП.- М.: Радио и связь, 1985.
3. Соклоф С. Аналоговые интегральные схемы.- М.: Мир, 1988.

Дослідження мікросхеми стабілізатора напруги

9.1 Мета роботи - вивчення принципів роботи, методики розрахунку параметрів і особливостей налаштування компенсаційних стабілізаторів напруги.

9.2 Короткі теоретичні відомості

Компенсаційний стабілізатор напруги (рис.9.1) містить регулювальний елемент 2, керований підсилювачем неузгодженості 1, який порівнює опорну напругу і частину вихідної напруги, яка знімається з подільника 3.

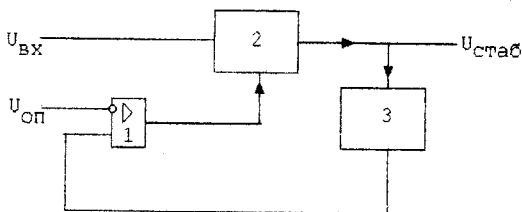


Рисунок 9.1

Подільник напруги і регулювальний елемент включені в коло від'ємного зворотного зв'язку.

У якості підсилювача неузгодженості звичайно використовується операційний підсилювач або диференціальний каскад із коефіцієнтом підсилення біля 1000. Через те, що коефіцієнт підсилення великий, можна вважати, що напруга на виході стабілізатора пропорційна коефіцієнту передачі подільника і рівню $U_{оп}$:

$$U_{вих} = U_{оп}(R1+R2)/R2.$$

У якості джерела опорної напруги застосовується інтегральне стабілізуюче коло. Схема на рис.9.1 працює так.

Збільшення вхідної напруги на величину $\Delta U_{\text{вх}}$ повинно викликати збільшення вихідної напруги на величину $\Delta U_{\text{вих}}$. Але сигнал про збільшення вихідної напруги через подільовач із коефіцієнтом передачі $R_2/(R_1+R_2)$ надходить на вхід підсилювача 1, що відпрацьовує сигнал зменшення струму через регулювальний елемент і тим самим суттєво компенсує похибку $\Delta U_{\text{вих}}$.

Регулювальний елемент може складатися з одного або декількох транзисторів, що включаються за схемою Дарлінгтона. Число цих прохідних транзисторів залежить від струму навантаження, потужності підсилювача розузгодження, параметрів транзисторів.

До інтегрального стабілізатора при малих струмах навантаження зовнішні транзистори не підключаються. При струмах навантаження 1-5 А до ІС потрібно паралельно приєднати потужні транзистори. Основними параметрами стабілізатора напруги є:

1. Коефіцієнт корисної дії (ККД):

$$\eta = P_{\text{вих}}/P_{\text{вх}} = U_{\text{вих}} I_{\text{вих}}/U_{\text{вх}} I_{\text{вх}}$$

2. Коефіцієнт стабілізації - відношення відносних збільшень вхідної і вихідної напруги при постійному навантаженні:

$$K_{\text{ст}} = \Delta U_{\text{вх}}/U_{\text{вх}} : \Delta U_{\text{вих}}/U_{\text{вих}} \text{ при } R_{\text{н}} = \text{const.}$$

3. Коефіцієнт нестабільності по напрузі (%/В), що вимірюється як відношення зміни вихідної напруги до зміни вхідної напруги, що його викликала:

$$K_{\text{нн}} = \Delta U_{\text{вих}}/U_{\text{вих}} (\Delta U_{\text{вх}}) 100\%.$$

4. Коефіцієнт нестабільності по струму (%), що визначається як відношення зміни вихідної напруги до зміни струму в навантаженні, що його викликала

$$K_{нс} = (\Delta U_{\text{вих}} I_{\text{вих}} / U_{\text{вих}} \Delta I_{\text{вих}}) 100\%$$

5. Коефіцієнт згладжування пульсацій вимірюється як відношення амплітудного значення пульсацій вхідної напруги до амплітудного значення пульсацій вихідної напруги

$$K_{ст} = 20 \lg(\Delta U_{\text{вх}} / \Delta U_{\text{вих}}).$$

6. Вихідний опір, рівний відношенню збільшення вихідної напруги до збільшення струму навантаження

$$R_{\text{вих}} = \Delta U_{\text{вих}} / \Delta I_{\text{н}} \quad \text{при } \Delta U_{\text{вх}} = \text{const}.$$

Найбільше поширення знаходять компенсаційні стабілізатори послідовного типу, у яких регульовальний елемент включений послідовно з навантаженням (див. рис.9.1).

При позитивному сигналі неузгодженості ($U_{\text{діл}} - U_{\text{оп}} > 0$) внутрішній опір регульовального елемента зростає, падіння напруги на ньому збільшується і відповідно зменшується вихідна напруга. При від'ємному сигналі неузгодженості ($U_{\text{діл}} - U_{\text{оп}} < 0$) внутрішній опір регульовального елемента і падіння напруги на ньому зменшуються, що призводить до зростання вихідної напруги. У стабілізаторах паралельного типу струм, що споживається мікросхемою від джерела вхідної напруги, залишається постійним при зміні вихідного струму. У них зміни струму навантаження і струму регульовального елемента мають різні знаки.

У лабораторній роботі досліджується інтегральний стабілізатор К142ЕН12Г, що забезпечує одержання регульованої напруги 8-30 В.

Принципова схема стабілізатора приведена на рис.9.2, а типова схема вмикання на рис.9.3. На цьому рисунку передбачено захист від

короткого замикання навантаження за допомогою обмежувального резистора

$$R_{\text{обм}} = 0.5(B)/I_{\text{вих макс}}$$

де $I_{\text{вих макс}}$ - максимальне значення вихідного струму.

У схемі на рис.9.2 підсилювач неузгодженості виконано на транзисторах VT5-VT9, до складу регульовального елемента входять транзистори VT10-VT13, а джерело опорної напруги побудовано на транзисторах VT1-VT4 і діодах VD1-VD4.

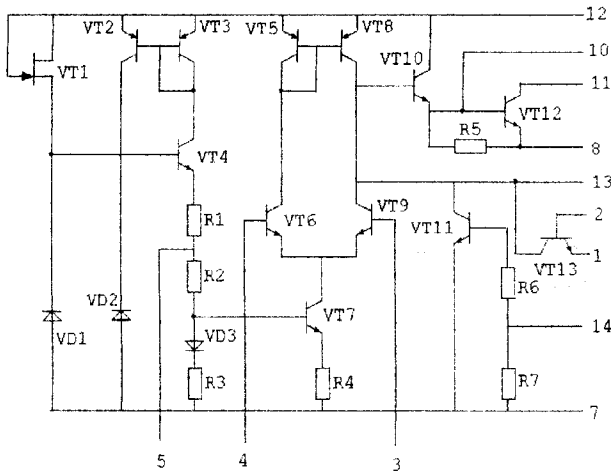


Рисунок 9.2

9.3 Порядок виконання роботи

9.3.1 Встановити за допомогою резистора R_N струм навантаження $I_{\text{ном}}=0.5I_{\text{ном}}$ і, змінюючи вхідну напругу від $U_{\text{вх мин}}=10$ В до $U_{\text{вх макс}}=30$ В, спостерігати зміну вихідної напруги. Дані звести в таблицю і розрахувати значення коефіцієнтів стабілізації $K_{\text{ст}}$ і нестабільності по напрузі $K_{\text{нп}}$.

9.3.2 Встановити на вході стабілізатора напругу

$$U_{\text{вх ном}} = 0.5(U_{\text{вх макс}} + U_{\text{вх мин}})$$

і, змінюючи опір навантаження R_H , зняти вихідну характеристику стабілізатора $U_{\text{вих}} = f(I_{\text{наб}})$. Дані звести в таблицю, накреслити в масштабі вихідну характеристику, розрахувати вихідний опір $R_{\text{вих}}$ і коефіцієнт нестабільності по струму $I_{\text{нс}}$.

9.3.3 При фіксованій вхідній напрузі визначити ККД стабілізатора.

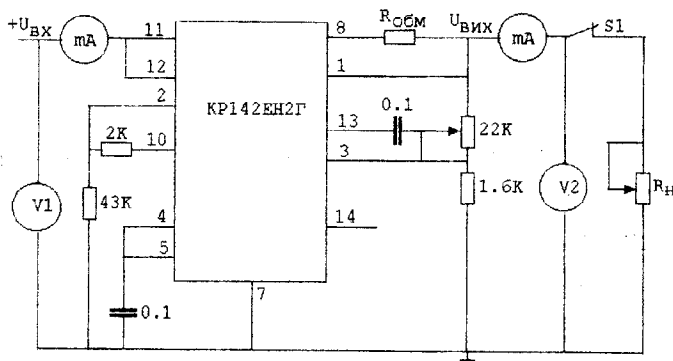


Рисунок 9.3

9.3.4 Підключаючи і відключаючи навантаження ключем $S1$, за допомогою осцилографа, що підключається замість вольтметра $V2$, визначити тривалість перехідного процесу і рівні вихідної напруги в момент комутації.

9.4 Склад звіту:

- короткі теоретичні відомості;
- виміряні параметри мікросхеми стабілізатора;
- результати їх порівняння з довідниковими параметрами стабілізатора.

9.5 Контрольні запитання

1. Поясніть принцип дії компенсаційного стабілізатора.
2. Як теоретично визначити коефіцієнт стабілізації?
3. Назвіть можливі засоби підвищення $K_{\text{ст}}$.
4. Від чого залежить вихідний опір стабілізатора?

5. Як захистити стабілізатор від короткого замикання на виході?
6. Зазначте схемотехнічні особливості інтегральних стабілізаторів.

9.6 Література

1. Якубовский С. В. и др. Аналоговые и цифровые интегральные схемы.- М.: Радио и связь, 1985.
2. Гутников В. С. Интегральная электроника в измерительных устройствах. - Л.: Энергоатомиздат, 1988.

10 ЛАБОРАТОРНА РОБОТА №10

Дослідження гіратора

10.1 Мета роботи - ознайомлення з властивостями активного кола частотної селекції на основі гіратора.

10.2 Короткі теоретичні відомості

Для ідеальної індуктивності зв'язок між струмом і напругою на входних полюсах описується виразом:

$$U_L = L \frac{\partial I}{\partial t}. \quad (10.1)$$

Будь-який двополосник, що задовольняє рівняння (10.1), можна вважати еквівалентом індуктивності. Індуктивність є поглиначем енергії, за величиною рівною $W_L = LI/2$.

З усіх елементів активної RC-схеми тільки конденсатор забезпечує диференціальну залежність між напругою і струмом, а також запасе енергію. Отже, схема, що імітує індуктивність, повинна мати не менше однієї ємності. Залежність між напругою і струмом на будь-якій парі полюсів в RC-колі, що містить n конденсаторів, визначається диференціальним рівнянням n -го порядку. Це утрудняє настроювання і збільшує

чутливість схеми до похибок елементів. Тому оптимальна індуктивність, що імітується, повинна містити один конденсатор. У загальному виді схема, що імітує індуктивність, зводиться до моделі, яка є частотно-незалежним чотириполосником, який складається тільки з резисторів та активних приладів і навантажений на виході конденсатором C_H . Такий чотириполосник забезпечує на вхідних полюсах задану характеристику індуктивності і є основою побудови безіндуктивних фільтрів.

Напряга і струм на вхідних полюсах зв'язані співвідношенням

$$U_1 = L \cdot \partial I_1 / \partial t, \quad (10.2)$$

тоді як ємність на вихідних затискачах накладає такі умови

$$I_2 = -C_H \partial U_2 / \partial t. \quad (10.3)$$

Для чотириполосника можна записати систему алгебраїчних рівнянь

$$\begin{aligned} U_1 &= R_{11} I_1 + R_{12} I_2 \\ U_2 &= R_{21} I_1 + R_{22} I_2. \end{aligned} \quad (10.4)$$

Якщо продиференціювати друге із системи рівнянь і підставити в перше з них I_2 , з врахуванням (10.4) одержимо

$$U_1 = R_{11} I_1 - C_H R_{12} R_{21} \partial I_1 / \partial t - C_H R_{12} R_{22} \partial I_1 / \partial t. \quad (10.5)$$

Якщо порівняти (10.5) і (10.2), то очевидно, що чотириполосник повинний задовольняти такі умови:

$$R_{11} = R_{22} = 0 \quad (10.6)$$

$$R_{12} = R_{21} = -L / C. \quad (10.7)$$

Якщо прийняти, що додатня індуктивність відповідає додатній ємності, то відповідно до (10.7) один із двох множників R_{12} і R_{21} повинний бути додатній, а інший від'ємний.

Отже R_{21} і R_{12} не можуть бути рівними, тому схема повинна бути невзаємною. Нехай від'ємне значення має R_{12} . Введемо нові позначення :

$$R_1 = -R_{12}; \quad R_2 = R_{21} \text{ тобто } R_1 \text{ і } R_2 \text{ додатні.}$$

Матричний запис рівнянь має вигляд

$$\begin{pmatrix} U_1 \\ U_2 \end{pmatrix} = \begin{pmatrix} 0 & -R_1 \\ R_2 & 0 \end{pmatrix} \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \quad (10.8)$$

Схема має загальні властивості інверсії повного опору (рис.10.1) і отримала назву гіратора. Вона є пасивним невзаємним чотириполюсником із рівними опорами прямої і зворотної передачі, узятими з протилежними знаками.

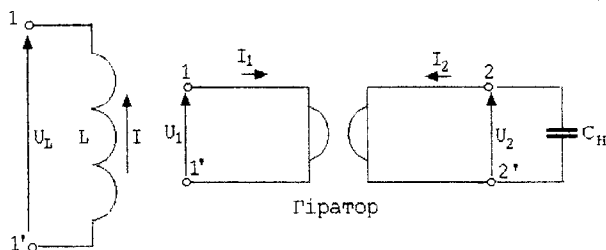


Рисунок 10.1

З (10.8) очевидно, що підключення опору Z забезпечує на інших полюсах вхідний опір $R_1 R_2 / Z$. Таким чином, можна перетворити ємнісний опір в індуктивний. Ця схема у загальному випадку є активною. Енергетичний баланс на полюсах схеми характеризується рівнянням

$$U_1 I_1 + U_2 I_2 = I_1 I_2 (R_1 - R_2). \quad (10.9)$$

За умови $R_1 - R_2 = 0$ завжди можна вибрати знаки I_1 і I_2 так, що потужність, яка розсіюється, буде від'ємною, тобто схема буде віддавати

потужність у навантаження. Якщо $R_2=R_1$, то схема не споживає енергії і перетворюється в пасивний чотириполюсник.

При використанні схеми у якості простого імітатора індуктивності її властивості як активного приладу виявляються слабко, тобто струми і напруги на полюсах обмежені умовою рівності вхідної і вихідної потужностей.

Для того, щоб на вхідних полюсах був індуктивний характер провідності, необхідно, щоб у (10.5) було $R_{22}=0$ і $R_{11}=0$, тоді

$$U_1 = -C_H R_{12} R_{21} \delta I_1 / \delta t ; C_H R_{12} R_{21} = L . \quad (10.10)$$

Система рівнянь (10.4) запишеться таким чином

$$\begin{aligned} U_1 &= -R_1 I_2 \\ U_2 &= R_2 I_1 . \end{aligned} \quad (10.11)$$

Приймаємо $R_1=R_2=R_g$.

Вхідний опір визначається як

$$Z = U_1 / I_1 = -R_g I_2 / U_2 = -R_g Y_H . \quad (10.12)$$

Якщо навантаженням служить конденсатор, то його провідність складе

$$Y_H = j\omega C_H . \quad (10.13)$$

Вхідний опір визначається за формулою

$$Z_{вх} = j\omega C R_g . \quad (10.14)$$

В реальних гіраторах R_{22} і R_{11} не дорівнюють нулю, тому з підвищенням робочої частоти виникають затримки сигналу за рахунок прояву реактивності самих транзисторів. Вхідний опір транзисторів не є нескінченно великим, а має певну величину, з підвищенням частоти також погіршуються їх підсилювальні якості.

Матрицю провідності гіратора

$$[Y] = \begin{vmatrix} 0 & -G \\ G & 0 \end{vmatrix} \quad (10.15)$$

можна розкласти на 2 матриці

$$[Y] = \begin{vmatrix} 0 & -G \\ 0 & 0 \end{vmatrix} + \begin{vmatrix} 0 & 0 \\ G & 0 \end{vmatrix} \quad (10.16)$$

Така матриця відповідає джерелу струму, керованому напругою. Одне із джерел повинне інвертувати напругу, а друге - ні. Джерело струму, кероване напругою, реалізується за допомогою операційних підсилювачів (ОП). У даній лабораторній роботі досліджується схема гіратора, що наведена на рис. 10.2.

Показані на рис. 10.2 ємності C' і C'' враховують ємнісну складову вхідного опору інвертувальних входів, оскільки вона вносить додатний фазовий зсув у провідність гірації і тим самим впливає на добротність гіраторного еквівалента індуктивності.

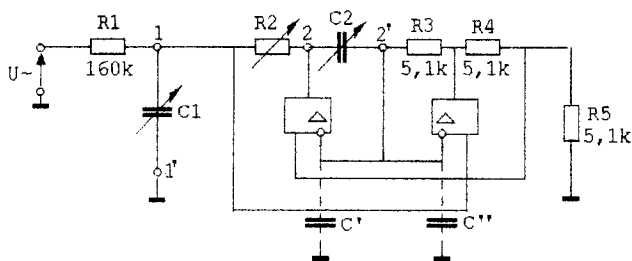


Рисунок 10.2

АЧХ операційного підсилювача може бути апроксимована виразом виду

$$K = K_0 / (1 + j\omega/\omega_0) \quad (10.17)$$

де K_0 - коефіцієнт підсилення ОП на постійному струмі;

ω_0 - частота зрізу за рівнем 3 дБ.

У ідеальному випадку, коли $K \rightarrow \infty$ і $C' = C'' = 0$, величина індуктивності визначається за виразом: $L = R_2 R_3 R_5 C_H / R_4$; $Q = \infty$.

При скінченних величинах коефіцієнта підсилення добротність еквівалентної індуктивності досягає максимуму $Q = 0.5 K_0 R_4 / R_5$ на частоті $\omega = R_4 / R_5 R_3 C_H$.

Резонансна частота контуру, утвореного підключенням до входу ємності C_1 , визначається за формулою

$$f_p = 1 / 2\pi L C_1.$$

Для того, щоб на частоті резонансу добротність схеми була максимальною, доцільно прийняти $R_2 = R_3 = R_4 = R_5 = R$, $R = \omega_p C_H = 1 / \omega_p$.

10.3 Порядок виконання роботи

Подана на рис.10.2 схема дозволяє зняти залежність індуктивності від навантажувальної ємності $L = f(C_2)$, залежність добротності індуктивності від частоти при різних значеннях навантажувальної ємності $Q = f(\omega) C_2 = \text{const}$ і добротності індуктивності від зміни навантажувальної ємності при різних значеннях величини ємності на вході гіратора $Q = f(C_1) C_1 = \text{const}$.

Необхідно зняти зазначені залежності і розрахувати теоретичне значення індуктивності при різних значеннях величини гіраторного опору і навантажувальної ємності.

Дослідження контуру на основі гіратора проводяться в такому порядку:

10.3.1 Включити генератор синусоїдального сигналу, частотомір і вольтметр у гнізда макета.

10.3.2 Встановити перемикачі C_1 і C_2 у положення, задане викладачем, а R_2 - у крайнє ліве положення. Шляхом перестроювання генератора визначити частоту резонансу f_p за максимумом показання вольтметра, зняти амплітудно-частотну характеристику контуру.

10.3.3 Визначити добротність контуру $Q=f_p/(f_1-f_2)$, де f_1 і f_2 -частоти смуги пропускання контуру за рівнем $0,7 U_{\max}$.

10.3.4 При незмінних значеннях C_1 і C_2 перемикачем тумблера R_2 змінити резонансну частоту контуру f_p , одночасно виміряти добротність Q .

10.3.5 Побудувати графіки залежностей $f_p(R_2)$ і $Q(f_p)$.

10.3.6 За формулою Томпсона визначити еквівалентну індуктивність у залежності від R_2 . Побудувати графік залежності $L(R_2)$ і порівняти з кодом теоретичної залежності $L_{\text{теор}}(R_2)$.

10.4 Склад звіту:

- відповіді на контрольні запитання;
- виміряні параметри і графіки залежностей параметрів гіратора.
- порівняння їх з теоретичними параметрами і характеристиками.

10.5 Контрольні запитання

1. Чим обумовлене застосування аналогів індуктивності в інтегральних схемах?
2. Поясніть суть схемотехнічного моделювання індуктивності.
3. Поясніть основні властивості інтегральних гіраторів.
4. Назвіть переваги і недоліки гіраторів на операційних підсилювачах.

5. Які фактори впливають на добротність гіраторного еквівалента індуктивності?

6. Поясніть, як працює коливальний контур на основі гіратора.

10.6 Література

1. Масленников В. В., Сироткин Л. П. Избирательные усилители - М.: Энергия, 1980.
2. Букашкин С. А. и др. Справочник по расчёту и проектированию ARC-схем. - М.: Радио и связь, 1984.

11 ЛАБОРАТОРНА РОБОТА №11

Дослідження аналогової лінії затримки на приладах з перенесенням заряду

1.1 Мета роботи - дослідження параметрів і характеристик мікросхеми аналогової лінії затримки на приладах з перенесенням заряду.

11.2 Короткі теоретичні відомості

Один з перспективних напрямків функціональної електроніки ґрунтується на використанні зарядового зв'язку в аналогових і цифрових пристроях.

В приладах із зарядовим зв'язком (ПЗЗ) елементи утворюються МОН-ємностями, одна з обкладок яких реалізується в напівпровідниковій підкладинці, а сумарний заряд її, рівний за величиною і протилежний за знаком заряду металевого електрода, складається з рухливих носіїв заряду і нерухомих зарядів домішкових атомів у напівпровіднику. Зміна

потенціалу металевого електрода викликає зміну потенційної енергії рухливих носіїв і їх перерозподіл.

Якщо основні носії в напівпровіднику - електрони, а неосновні - дірки, що має місце в напівпровіднику n-типу, то високий від'ємний потенціал металевого електрода створює в приповерхневій області напівпровідника мінімум потенційної енергії для дірок і максимум для електронів. У результаті електрони відтиснюються в глибину напівпровідника, залишаючи некомпенсований заряд нерухомих атомів домішки - донора. Мінімум потенційної енергії для дірок, що називається потенційною ямою, заповнюється дірками і змінюється дуже повільно, тому що у напівпровіднику n-типу концентрація дірок вельми мала.

Заряд неосновних носіїв (зарядовий пакет), накопичений у потенційній ямі поблизу межі розділу напівпровідника з діелектриком і змінюваний у широких межах, може служити носієм інформації в ПЗЗ.

Для створення МОН-конденсаторів на окисленій поверхні кремнію утворюють тонкоплівкові або полікремнієві електроди з площею декілька квадратних мікрон. При цьому відстань між електродами сусідніх конденсаторів не перевищує 2-3 мкм.

Кожен із конденсаторів спроможний накопичувати в приповерхневій області напівпровідника певний електричний заряд і передавати його сусідньому конденсатору, якщо потенціал його електрода більш високий. Найбільше поширена трифазна система ПЗЗ. У цій системі кожний третій електрод підключається до відповідних трьох шин тактових імпульсів. У вихідному стані (рис. 11.1а) під напругою збереження $U_{36} = U_2$ знаходяться електроди 1, 4, 7, а інші під напругою $U_1 (U_1 < U_2)$, підкладка заземлена. Напруга U_1 обирається трохи більшою порогової напруги U_0 (напруга U_0 для МОН-структури визначається як мінімальна напруга на затворі, при якій спостерігається зміна типу провідності поверхневого шару

напівпровідника на протилежний). Це необхідно для того, щоб уся поверхня напівпровідника була збіднена і на поверхневих станах були відсутні електрони. Припустимо, що в потенційних ямах 1, 7 є зарядові пакети, а в 4-й їх немає. У наступному такті до електродів 2, 5, 8 прикладається напруга запису $U_{\text{зап}}=U_3(U_3<U_2)$, і заряди перетікають від елемента 7 до елемента 8 (рис.11.1б). У наступному такті на електродах устанавлюються напруги відповідно до рис.1в і починається фаза збереження зарядової інформації в елементах 2, 5, 8.

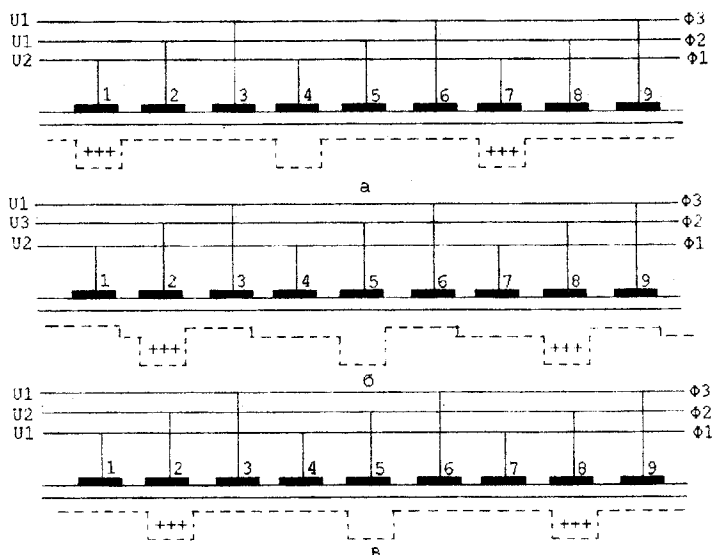


Рисунок 11.1.

Основні характеристики.

1. Відношення величини заряду Q_{n+1} в комірці $n+1$ до вихідного його значення Q_n в комірці n зветься коефіцієнтом ефективності перенесення

$$\gamma = Q_{n+1}/Q_n = 0.99 \dots 0.9999.$$

Величина γ визначає максимальне число елементів, через які інформація може бути передана без відновлення. Після n перенесень заряд зменшиться до значення $Q_n = \gamma^n Q_1$. Часто зручніше використовувати поняття втрат передачі $\epsilon = 1 - \gamma = \epsilon_1 + \epsilon_2$, де складова ϵ_1 обумовлена тим, що за час перенесення весь заряд не встигає перетекти в сусідню комірку, складова ϵ_2 обумовлена захопленням частини носіїв зарядового пакета атомами домішки на межі розділення окисел-напівпровідник. Захоплені носії можуть звільнитися через довільний час і збільшити заряд у комірці. Такі флуктуації називаються шумами перенесення, їх розмір зростає пропорційно кореню квадратному з розміру зарядового пакета. Середньоквадратичні флуктуації носіїв для краших ПЗЗ складають біля 30 носіїв на комірку. Складова ϵ_1 визначає втрати передачі на високих частотах, а ϵ_2 - на низьких і середніх.

2. Динамічний діапазон D , що визначається як відношення максимального накопиченого заряду до мінімального шуму ПЗЗ, перевищує 80 дБ. Для великих за амплітудою сигналів $D=60$ дБ.

Додаткові шуми виникають при виведенні сигналів із ПЗЗ. Вони пов'язані із шумами пристрою виводу сигналу і наступних підсилювачів.

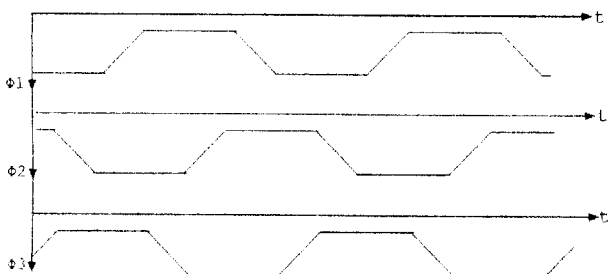


Рисунок 11.2

Практично для керування ПЗС використовуються імпульси трапецеїдальної форми (рис.11.2), при цьому передача зарядового пакета

відбувається на спаді імпульсу, тривалість якого складає $(2-3)t_{\text{пер}}$, де $t_{\text{пер}}$ - час передачі зарядового пакета між сусідніми комірками. Амплітуда імпульсів складає 10-20 В. Період проходження імпульсів у трифазній системі $T_{\phi} = 1/f_0 = 3t_{3\phi}$, де $t_{3\phi}$ - тривалість збереження заряду в одній комірці.

Затримки між тактовими імпульсами Φ_1, Φ_2, Φ_3 дорівнюють $t_{3\phi}$.

3. Мінімальна тактова частота ПЗЗ визначається максимально допустимим часом збереження інформації в одному елементі

$$f_{\text{min}} = 1/m t_{3\phi \text{ max}}$$

де m дорівнює кількості фаз і визначається схемотехнічною організацією ПЗЗ.

4. Максимальна частота роботи ПЗЗ визначається тривалістю процесу передачі зарядового пакета з одного елемента в інший

$$f_{\text{max}} = 1/m t_{\text{пер}}$$

Для трифазних ПЗЗ $f_{\text{min}} = 0.1-1$ кГц, $f_{\text{max}} = 2-5$ МГц.

Споживання потужності в ПЗЗ відбувається тільки в режимі передачі заряду, потужністю, що витрачається в режимі збереження за рахунок струмів відтоку через діелектрик, можна знехтувати. Повна енергія, що віддається генератором тактових імпульсів за один цикл передачі в трифазній системі, визначається добутком повного заряду пакета Q на різницю потенціалів між комірками:

$$W = Q(U_{\text{зап}} - U_{3\phi})$$

При цьому найбільша потужність споживається при максимальній частоті

$$P_{\text{max}} = Q(U_{\text{зап}} - U_{3\phi})/3t_{\text{пер}}$$

Як показали дослідження, спостерігається зростання $t_{\text{пер}}$ приблизно в три рази і зменшення $t_{36 \text{ max}}$ у 1 млн разів при зміні температури від -60 до $+125$ $^{\circ}\text{C}$.

Елементи конструкції. Одною з основних переваг ПЗЗ є їх високий ступінь інтеграції (до 500 тис. елементів на кристалі). В фізиці роботи ПЗЗ діляться на 2 класи: з поверхневим і з об'ємним перенесенням заряду. Трифазні ПЗЗ мають найбільш просту конструкцію, товщина діелектрика під усіма затворами постійна. Недоліком є необхідність одержання вузьких зазорів між електродами (2-3 мкм), що ускладнює їхнє виготовлення, а також наявність перетину тактових шин. Якщо під кожним електродом діелектрик у перерізі має вигляд сходинки, то при подачі потенціалу на електрод під більш тонким прошарком утвориться потенційна яма більшої глибини, ніж під більш товстим прошарком. Така конструкція забезпечує двофазне керування.

У приладах з об'ємним перенесенням заряду в кремнієвій підкладці n-типу біля поверхні формується тонкий р-шар глибиною декілька мікрон, що має концентрацію акцепторів на порядок більшу, ніж концентрація донорів у підкладці. Якщо до вихідної частини р-області прикласти достатньо високу від'ємну напругу відносно підкладки, то розподіл потенціалу по товщині р-шару має максимум, віддалений від поверхні. Саме ця зона і є потенційною ямою для дірок. Якщо на затвори елементів ПЗЗ подати трифазні тактові імпульси від'ємної полярності, то в глибині р-шару під відповідними електродами утворяться області, що є потенційними ямами для дірок. Швидкодія ПЗЗ з об'ємним перенесенням заряду виявилася значно вищою, ніж у поверхневих ПЗЗ. Так при керуванні приладу додатними синусоїдальними напругами, зсунутими по фазі одна відносно іншої, швидкодія підвищується до 100 МГц.

Обов'язковими елементами ПЗЗ є пристрої запису і зчитування інформації.

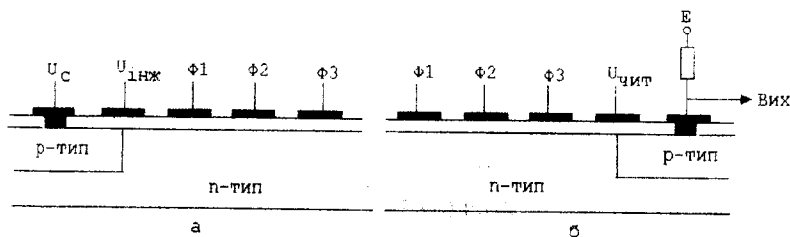


Рисунок 11.3.

Найпростіша схема введення заряду включає вхідний діод і канал перенесення заряду, керований затвором, розташованим між діодом і першою коміркою ПЗЗ (рис.11.3а). Спочатку канал перекривається подачею на нього напруги запирання $U_{инж} < U_0$. Потенціал сигналу U_c подається на р-область діода, і його величина модулює величину зарядового пакета. Потім канал перенесення відкривається подачею більш високого потенціалу, що надходить одночасно з тактовим імпульсом Φ_1 . При цьому інжектуючі з р-області дірки через канал перенесення надходять у першу комірку ПЗЗ. Перевагою такого методу є висока швидкодія.

При зчитуванні за допомогою зворотно зміщеного р-п переходу (рис.11.3б) затвор вихідного ПЗЗ частково перекриває р-область, що з'єднується через навантажувальний елемент із джерелом живлення E , що забезпечує зворотне зміщення р-області відносно потенційної ями. Якщо в попередній комірці ПЗЗ був локалізований інформаційний заряд, то після надходження на затвор вихідного ПЗЗ імпульсу зчитування дірки перетікають у його потенційну яму і потім збираються р-областю. У вихідному колі виникає імпульс струму, амплітуда і тривалість якого залежать від величини заряду.

Лінії затримки на ПЗЗ. За способом організації лінії затримки (ЛЗ) на ПЗЗ підрозділяються на послідовні, паралельні і послідовно-паралельні.

ЛЗ із послідовною організацією уявляє собою звичайний зсувний реєстр із послідовною передачею заряду. Максимальна ширина смуги частот такої лінії відповідно до теореми Котельнікова дорівнює половині тактової частоти

$$\Delta f = f_T/2,$$

а кількість комірок ПЗЗ, необхідних для одержання затримки t_3 дорівнює $N = f_T t_3 / 3$. Змінюючи f_T , можна регулювати затримку. Недоліком такої організації є втрата заряду при великому N . Цей недолік усувається в ЛЗ з паралельною і послідовно-паралельною організацією, де число перенесень значно менше. Паралельна ЛЗ, яка еквівалентна за об'ємом N -розрядній послідовній ЛЗ, - це паралельне з'єднання R послідовних ланцюжків довжиною N/R розрядів кожен. Загальний час затримки $t_3 = N/f_T$ і дорівнює t_3 послідовної ЛЗ, а загальне число перенесень у R разів менше. На сусідні паралельні секції подаються тактові імпульси, зсунуті за фазою на кут $360^\circ/R$. Відліки вхідного сигналу по одному вводяться по черзі в кожную із секцій: 1-й відлік у першу секцію, 2-й - у другу, 3-й в третю, $(R+1)$ -й знову в 1-ю секцію і т.д.

При послідовно-паралельній організації керуючі тактові імпульси всіх секцій збігаються за фазою. Відліки сигналу вводяться спочатку в 1-шу секцію з R комірками з частотою f_T , що забезпечує необхідну смугу пропускання Δf . У свою чергу кожна з комірок першої секції служить початком секцій із N/R елементами. Після заповнення 1-ої секції зарядові пакети зсуваються в цих секціях до їхнього повного заповнення з тактовою частотою f_T/R . Якщо N -елементна матриця має формат $R \times N/R$ (R стовпців і N/R рядків), то загальне число перенесень дорівнює $R + N/R$.

Аналоговий сигнал, що надходить на вхід ЛЗ на ПЗЗ, перетворюється за допомогою пристрою запису в послідовність дискретних

зарядових пакетів. На виході сигнал зчитується у виді дискретних імпульсів різної амплітуди, об'єдна яких є аналоговим сигналом. Вихідний сигнал потім посилюється. У якості першого каскаду підсилювача застосовується витоковий повторювач. Згладжування дискретного вихідного сигналу здійснюється за допомогою RC-фільтра, частота зрізу якого менше $f_T/2$.

Застосування ЛЗ. ЛЗ на ПЗЗ застосовуються в ДВ, СВ, КВ і FM частинах радіодіапазона, дозволяючи досягти затримки в декілька десятків мС на звукових частотах і декілька десятків мкС у телевізійній апаратурі. ЛЗ використовуються в системах корекції затримки в пристроях зв'язку зі стисненням динамічного діапазону, тут $t_3=4$ мС і $\Delta f=4$ кГц. У системах шгучної реверберації для озвучення приміщень необхідно вирівнювати час затримки мовних сигналів, що транслюються через декілька гучномовців, t_3 може досягати декілька сотень мС.

Аналогові ЛЗ знаходять застосування в індикаторах рухомих цілей у РЛС. У цьому випадку віддзеркалений сигнал першого імпульсу відраховується з віддзеркаленого сигналу наступного імпульсу, у результаті усуваються відбитки від нерухомих об'єктів і індикуються рухомі цілі.

11.3 Порядок виконання роботи

У лабораторній роботі вивчається принцип дії і параметри мікросхеми ЛЗ типу K528BP1. Схема вмикання ЛЗ приведена на рис. 11.4.

11.3.1 При діючому значенні напруги синусоїдального вхідного сигналу $U_{вх}=0.5$ В шляхом перестроювання генератора тактової частоти визначити мінімальну тактову частоту f_{Tmin} , при якій вхідний сигнал передається на вихід.

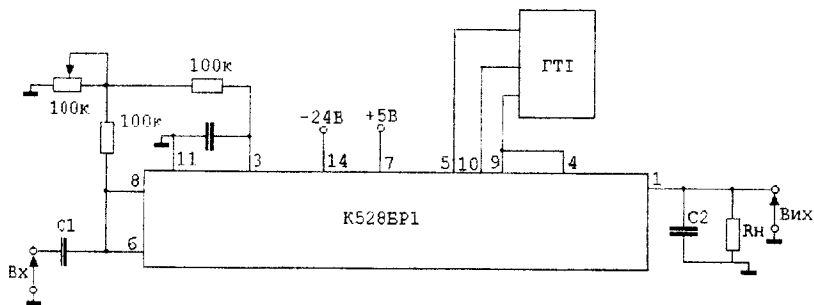


Рисунок 11.4

11.3.2 При фіксованій тактовій частоті $f_T > f_{T\min}$ і $U_{Вх} = 0.5$ В виміряти час затримки t_3 на двопробеновому осцилографі, визначити кількість комірок у ЛЗ за формулою $N = f_T t_3 / 3$.

Частоту вхідного сигналу встановити при цьому 100-200 Гц.

11.3.3 Зарисувати осцилограму вихідного сигналу до і після згладжувального фільтра.

11.3.4 При постійному значенні $U_{Вх} = 0.5$ В зняти АЧХ ЛЗ для трьох значень тактової частоти: $f_{T\min}$, максимальної частоти тактового генератора $f_{ТГГі}$ і проміжної частоти $(f_{ТГГі} - f_{T\min})/2$ у діапазоні частот 200 гц-50 кГц.

11.3.5 Визначити смугу пропускання ЛЗ Δf на рівні зниження коефіцієнта передачі на 3 дБ.

11.3.6 Визначити коефіцієнт втрат передачі ε за виразом

$$\varepsilon = (0.0044/N) (f_T / \Delta f)^2.$$

11.3.7 Зняти амплітудну характеристику $U_{Вих} = f(U_{Вх})$ для трьох зазначених вище тактових частот. Вхідний сигнал не повинен перевищувати 2 В.

11.3.8 Визначити $U_{вх\ max}$ на рівні 2% відхилення амплітудної характеристики від лінійного закону і $U_{вх\ min}$, яке відповідає вихідному сигналу, ще помітному в шумах.

11.3.9 Обчислити значення динамічного діапазону для трьох значень f_T за формулою

$$D = 20 \lg(U_{вх\ max} / U_{вх\ min}), [дБ].$$

11.4 Склад звіту:

- відповіді на теоретичні запитання;
- виміряні параметри і характеристики досліджуваної мікросхеми;
- результати порівняння їх з довідниковими даними на мікросхемі.

11.5 Контрольні запитання

1. Поясніть принцип дії ПЗЗ.
2. Наведіть методи керування передачею сигналу в ПЗЗ.
3. Поясніть принцип дії пристроїв вводу і читання інформації в ПЗЗ.
4. Порівняйте основні типи конструкцій ЛЗ на ПЗЗ.
5. Наведіть параметри і характеристики ПЗЗ.
6. Охарактеризуйте основні області застосування ПЗЗ.

11.6 Література

1. Носов Ю. Р., Шилин В. А. Полупроводниковые приборы с зарядовой связью. - М.: Сов.радио, 1976.
2. Приборы с зарядовой связью./Под ред. М. Хоувза.- М.: Энергоатомиздат, 1981.
3. Приборы с зарядовой связью./Под ред. Д. Ф. Барба.- М.: Мир, 1982.

Навчальне видання

ГИКАВИЙ Віктор Арсенійович

**ЦИФРОВА І АНАЛОГОВА
СХЕМОТЕХНІКА**

Лабораторний практикум

Навчальний посібник

Оригінал-макет підготовлено автором

Редактор В. О. Дружиніна

Коректор З. В. Поліщук

Підписано до друку 4. 02. 2001 р.

Формат 29,7×42 1/4 Гарнітура Times New Roman

Друк різнографічний Ум. друк.арк. 569

Наклад 75 прим.

Зам.№ 2001-025

Віддруковано в комп'ютерному інформаційно-видавничому центрі

Вінницького державного технічного університету

21021, м. Вінниця, Хмельницьке шосе, 95, ВДТУ, ГНК, 9-й поверх

Тел. (0432) 44-01-59