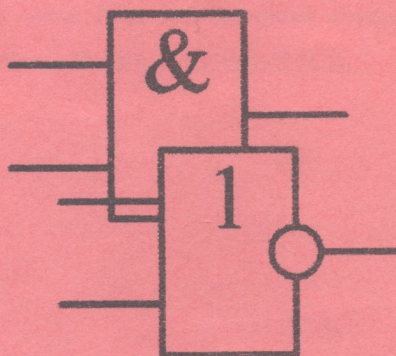


681.32(075)
П 44

МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ
ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

В.О.Поджаренко, В.Д.Кучерук, В.Д.Марущак

ОСНОВИ ЦИФРОВОЇ ТЕХНІКИ



Вінниця ВДТУ 2000

05

МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ
ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

В.О.Поджаренко, В.Ю.Кучерук, В.Ю.Марушак

ОСНОВИ ЦИФРОВОЇ ТЕХНІКИ

Затверджено Ученою радою Вінницького державного технічного університету як навчальний посібник для широкого кола інженерно-технічних працівників, а також може бути використаний студентами, які вивчають цифрову техніку. Протокол №7 від 24 лютого 2000 р.

НТБ ВНТУ



402133

681.32(075) П 44 2000

Поджаренко В.О. Основи цифрової техніки

Вінниця ВДТУ 2000

УДК 681.321.0

Основи цифрової техніки. Конспект лекцій. Навчальний посібник /Поджаренко В.О., Кучерук В.Ю., Марущак В.Ю. – В.: ВДТУ, 2000.- 125 с. Укр. мовою/

Навчальний посібник призначений для вивчення теоретичного матеріалу, виконання лабораторних робіт та курсових проєктів з дисципліни “Цифрова та мікропроцесорна техніка”, “Основи цифрової техніки”. Він складається з п’яти розділів. Коротко розглянуті системи числення, принципи кодування інформації, елементи алгебри логіки. Наведені схеми основних вузлів цифрових пристроїв і їх базових елементів.

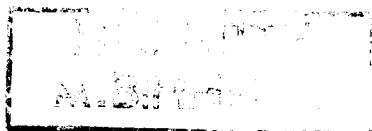
Перевагою навчального посібника є наявність у ньому конкретних прикладів використання елементів цифрової техніки.

Розрахований для широкого кола інженерно-технічних працівників, а також може бути використаний студентами, які вивчають цифрову техніку.

402133

Бібліогр. 19 назв., табл. 17, іл. 80.

Рецензенти: І.І.Хаїмзон, д.т.н.
С.М.Довгалець, к.т.н.
М.М.Биков, к.т.н.



ИСТОХО

Зміст

Вступ	4
РОЗДІЛ 1 ЗАГАЛЬНІ ВІДОМОСТІ ПРО ЦИФРОВУ ТЕХНІКУ	5
1.1 Як представити інформацію?	5
1.2 Системи числення, які використовують у цифровій техніці	6
1.3 Аксиоми, основні теореми і тотожності алгебри логіки	15
1.4 Функції перемикачів	19
1.5 Мінімізація функцій перемикачів	29
РОЗДІЛ 2 ЛОГІЧНІ ЕЛЕМЕНТИ ЦИФРОВОЇ ТЕХНІКИ	35
2.1 Що таке комбінаційна схема і цифровий автомат?	35
2.2 Елементна база цифрових пристроїв	40
2.3 Логічні елементи	45
2.4 Способи спрощення логічних задач	47
2.5 Тригери та їхні характеристики	52
2.6 Генератори і формувачі імпульсів	58
РОЗДІЛ 3 ОСНОВНІ ВУЗЛИ ЦИФРОВИХ ПРИЛАДІВ	66
3.1 Регістри	66
3.2 Лічильники	69
3.3 Перетворювачі кодів	76
3.4 Суматори	83
РОЗДІЛ 4 ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ ЦИФРОВОЇ ТЕХНІКИ	88
4.1 Типи запам'ятовувальних пристроїв	88
4.2 Основні параметри запам'ятовувальних пристроїв	89
4.3 Оперативні запам'ятовувальні пристрої	92
4.4 Постійні запам'ятовувальні пристрої	97
4.5 Перепрограмовані постійні запам'ятовувальні пристрої	104
РОЗДІЛ 5 ПРИСТРОЇ ВВЕДЕННЯ ТА ВИВЕДЕННЯ ЦИФРОВОЇ ІНФОРМАЦІЇ	109
5.1 Пристрої введення цифрової інформації	109
5.2 Елементна база світлових індикаторних пристроїв	115
5.3 Пристрої індикації	118
Література	123

Вступ

Для сучасного етапу розвитку науки і техніки властивим є неперервне вдосконалення елементної бази мікроелектроніки. Найбільш значні науково-технічні досягнення у значній мірі зумовлені широким використанням електронних засобів вимірювань, обробки, керування. Особливо збільшилась роль електроніки з розвитком технології мікроелектроніки. Цифрова техніка і мікроелектроніка, які є основою сучасної обчислювальної та керуючої техніки, широко використовують цілу низку нових класів електронних пристроїв – мікропроцесорів, мікроконтролерів, мікроконвертерів, сигнальних процесорів.

Використання цифрової техніки дозволило перейти до нового етапу комплексної автоматизації – гнучким автоматизованим виробництвам, керування якими базується на широкому використанні мікроконтролерів, програмованих логічних контролерів, мікро-ЕОМ. Цифрова техніка забезпечує автоматизоване керування технологічними процесами, науковими та експериментальними дослідженнями, окремими об'єктами.

Зміст навчального посібника відповідає програмі курсу “Основи цифрової техніки” для студентів, що навчаються за спеціальністю 7.091302 “Метрологія та вимірювальна техніка”.

РОЗДІЛ 1 ЗАГАЛЬНІ ВІДОМОСТІ ПРО ЦИФРОВУ ТЕХНІКУ

1.1 ЯК ПРЕДСТАВИТИ ІНФОРМАЦІЮ?

Під інформацією у широкому змісті прийнято розуміти різноманітні відомості про події в суспільному житті, явищах природи, про процеси в технічних приладах. Вона міститься в нашій мові, в тестах книг і газет, в показаннях вимірювальних приладів і відображає різноманітність, притаманну об'єктам та явищам реального світу. Інформацію, втілену і зафіксовану в деякій матеріальній формі, називають *повідомленням* і передають за допомогою сигналів. Природа більшості фізичних величини така, що вони можуть приймати будь-які значення в якомусь діапазоні (температура, тиск, швидкість тощо). Сигнал, що відображає цю інформацію і з'являється на виході відповідного вимірювального приладу, на будь-якому тимчасовому інтервалі може мати нескінченне число значень. Оскільки у даному випадку безперервний сигнал змінюється аналогічно вихідній інформації, його звичайно називають *аналоговим*, а *прилади*, в яких діють такі сигнали — *аналоговими*. Існують також дискретні повідомлення, параметри яких містять фіксований набір окремих значень. А оскільки цей набір кінцевий, то й обсяг інформації в таких повідомленнях кінцевий.

На практиці безперервні повідомлення можна подавати в дискретній формі. Безперервність повідомлень за величиною не може бути реалізована у зв'язку із похибкою джерел і приймачів інформації. Тому до безперервних сигналів, що відображають повідомлення, можна застосовувати квантування за рівнем і за часом. При квантуванні за рівнем сукупність можливих значень напруги або струму замінюють кінцевим набором дискретних значень з цього інтервалу. Квантування

за часом передбачає заміну безперервного сигналу послідовністю імпульсів, що слідують через певні проміжки часу (рисунок 1), які називаються тактовими. Якщо тактові інтервали вибрані відповідним чином, то втрати інформації не відбувається. При одночасному введенні квантування за часом і за рівнем, амплітуда кожної вибірки буде приймати найближче дозволене значення з вибраного кінцевого набору значень. Сукупність всіх вибірок утворить дискретний або цифровий сигнал. Кожне значення дискретного сигналу можна подати числом. В цифровій техніці такий процес називається *кодуванням*, а сукупність отриманих чисел — *кодом сигналу*. Замість перетворення або передачі конкретних сигналів ці операції у приладах цифрової техніки можуть бути виконані над їхніми кодами. При цьому можна оперувати і аналоговими сигналами, що перетворюються в цифрові за допомогою аналого-цифрового перетворювача (АЦП).

1.2 СИСТЕМИ ЧИСЛЕННЯ, ЯКІ ВИКОРИСТОВУЮТЬ У ЦИФРОВІЙ ТЕХНІЦІ

Дискретне повідомлення містить набір чисел і символів. Кожне число містить цифри. Спосіб запису чисел цифровими знаками називається *системою числення*. У цифровій техніці використовуються так звані позиційні системи числення. Значення кожної цифри залежить від її положення в записі числа. Кількість різних цифр, що застосовуються у позиційній системі, називають *основою* системи. В залежності від основи, позиційні системи числення можуть бути десятковими — з основою 10, двійковими — з основою 2 тощо. Утворення чисел у будь-якій системі числення проводять таким чином: фіксують позиції, що називаються розрядами, кожному розряду присвоюють свою вагу h_i (де i — номер розряду); $h_i = r^i$ (r — основа системи); в розрядах розміщують цифри a_i . Тоді будь-яке число A можна подати у виді:

$$A = \sum_{i=-m}^{n-1} a_i h_i .$$

Тут n — число знаків до коми; m — число знаків після коми.

Послідовність цифр

$$a_{n-1}, a_{n-2}, \dots, a_1, a_0, a_{-1}, a_{-2}, \dots, a_{-m}$$

можна розглядати як код числа в заданій системі числення.

У цифровій техніці найбільше розповсюдження отримала двійкова система числення, що містить тільки цифри 0 та 1, а її основою служить число 2. Наприклад, число 25.5 в десятковій і двійковій системах числення може бути подане у виді

$$(25.5)_{10} = 2 \cdot 10^1 + 5 \cdot 10^0 + 5 \cdot 10^{-1} = 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 + 1 \cdot 2^{-1} = (11001.1)_2$$

Значно рідше використовують вісімкову і шістнадцяткову системи. Їх застосовують при складанні програм для більш зручного та короткого запису двійкових кодів команд, бо ці системи не вимагають спеціальних операцій для переведення в двійкову систему. Так, для переведення вісімкового або шістнадцяткового числа в двійкове кожному цифру переводимих чисел замінюють відповідно три- і чотирирозрядними двійковими числами. Наприклад, вісімкове число 726.4 в двійковій системі має вид $(726.4)_8 = (111010110.1)_2$. Для зручності зображення шістнадцяткових цифр, більших 9, шість старших цифр звичайно зображають символами A, B, C, D, E, F.

В цифрових приладах широко використовують і так званий двійково-десятковий код. В цьому коді кожний розряд десяткового числа подається в двійковому коді. В таблиці 1.1 наведені коди чисел в різних системах числення.

Числа десяткової системи числення неважко перевести у числа двійкової системи. При цьому порядок переведення цілих чисел відрізняється від переведення дробової частини. Щоб перевести ціле число X з основою 10 у систему з основою 2, необхідно послідовно ділити задане число і отримані в процесі ділення частки на 2 до тих

пір, поки остання частка не виявиться меншою за 2. Результат переведення записують в виді послідовності цифр зліва направо, починаючи з останньої частки і закінчуючи першою остачею (при цьому число молодшого розряду є перша остача). Всі дії в процесі ділення числа проводять в десятковій системі числення.

Правила виконання арифметичних дій над двійковими числами задаються таблицею 1.2.

Правила арифметики в усіх позиційних системах аналогічні.

Додавання двох чисел в двійковій системі можна виконувати стовпцем, складаючи або дві цифри молодшого розряду, або дві цифри чисел, які додаються, в даному розряді і одиниці перенесення з сусіднього молодшого розряду. Наприклад,

$$\begin{array}{r}
 \text{переноси} \quad 1111101 \\
 + \quad 101101.01 \\
 \quad \quad 11011.01 \\
 \hline
 1001000.10
 \end{array}$$

Числа в двійковій системі віднімаються аналогічно числам в десятковій системі. При відніманні чисел в даному розряді, якщо цифра, що зменшується, менше цифри числа, що віднімається, позичають одиницю з наступного старшого розряду. При цьому одиниця, що позичається із старшого розряду, рівна двом одиницям даного розряду. Наприклад,

$$\begin{array}{r}
 - \quad 10101.11 \\
 \quad 1011.01 \\
 \hline
 1010.10
 \end{array}$$

Слід відзначити, що операція віднімання, в принципі, може бути замінена операцією додавання шляхом модифікації на зворотний знак числа, що віднімається. У зв'язку з цим при записі коду числа вводять так звані знакові розряди. Для позитивних чисел знак числа позначимо 0, а для негативних 1. При алгебраїчному додаванні чисел в двійковій системі числення широко користуються додатковим і зворотним

кодами. Додатковий код утворюють заміною 0 на 1 та 1 на 0 цифр всіх розрядів і додають 1 в молодший розряд. Після цього числа підсумовують, причому перенесення із знакового розряду відкидають.

Таблиця 1.1 - Коди чисел в різних системах числення

<i>Код числа</i>				
<i>Десятковий</i>	<i>Двійковий</i>	<i>Вісімковий</i>	<i>Двійково-десятковий</i>	<i>Шістнадцятковий</i>
0	0	0	0	0
1	1	1	1	1
2	10	2	10	2
3	11	3	11	3
4	100	4	100	4
5	101	5	101	5
6	110	6	110	6
7	111	7	111	7
8	1000	10	1000	8
9	1001	11	1001	9
10	1010	12	0001 0000	A
11	1011	13	0001 0001	B
12	1100	14	0001 0010	C
13	1101	15	0001 0011	D
14	1110	16	0001 0100	E
15	1111	17	0001 0101	F
16	10000	20	0001 0110	10
17	10001	21	0001 0111	11
18	10010	22	0001 1000	12
19	10011	23	0001 1001	13
20	10100	24	0010 0000	14
21	10101	25	0010 0001	15
22	10110	26	0010 0010	16
23	10111	27	0010 0011	17
24	11000	30	0010 0100	18
25	11001	31	0010 0101	19
26	11010	32	0010 0110	1A
27	11011	33	0010 0111	1B
28	11100	34	0010 1000	1C
29	11101	35	0010 1001	1D
30	11110	36	0011 0000	1E
31	11111	37	0011 0001	1F
32	100000	40	0011 0010	20

Таблиця 1.2 - Правила виконання арифметичних дій над двійковими числами

<i>Двійкове додавання</i>	<i>Двійкове віднімання</i>	<i>Двійкове множення</i>
0+0=0	0-0=0	0*0=0
0+1=1	1-0=1	0*1=0
1+0=1	1-1=0	1*0=0
1+1=10	10-1=1	1*1=1

Наприклад:

$$N1=0\ 11001$$

$$N2=1\ 10110$$

У відповідності до викладеного

$$\begin{array}{r}
 N2_{\text{дод}} \quad +1 \quad 01010 \\
 N1 \quad \quad \quad 0 \quad 11001 \\
 N2_{\text{дод}} \quad +1 \quad 10010 \\
 \hline
 N1-N2 \quad \quad 0 \quad 00011
 \end{array}$$

Для подання негативних чисел можна використовувати і зворотний код, коли цифри всіх розрядів, крім знакового, інвертують. Перенесення, що виникає із знакового розряду, при використанні зворотного коду додають до молодшого розряду суми. Ось так виглядає підсумовування чисел попереднього прикладу:

$$\begin{array}{r}
 N1 \quad 0 \quad 11001 \\
 + N2_{\text{за}} \quad 1 \quad 01001 \\
 \hline
 + \quad | \quad 10 \quad 00010 \\
 \quad \quad \quad \quad \quad \quad \rightarrow 1 \\
 \hline
 \quad \quad 0 \quad 00011
 \end{array}$$

Алфавіт цифрових приладів містить тільки два знаки: 0 і 1, що суттєво спрощує технічну реалізацію цифрових приладів. Обсяг двійкового алфавіту визначає обсяг інформації, що виражається одним символом. У загальному випадку інформацію вимірюють в бітах за формулою:

$$J_{\text{бит}} = \log_2 n,$$

де n – число рівноможливих результатів події, яка описується відомим сигналом. Найчастіше в цифровій техніці $n=2$, то *біт* – це обсяг інформації, що передається одним двійковим символом. Найчастіше у цифрових обчислювальних машинах інформацію подають у *байтах*, що вміщують вісім двійкових розрядів.

Будь-яке дискретне повідомлення можна розбити на групи символів, що називаються кодовими словами. Довжина слова визначається числом вміщуваних в ньому символів. Частіше усього слово – це 2 байта (16 двійкових розрядів).

Перетворення двійкових чисел у десяткові

Вкажемо вагу кожного розряду у двійковій системі числення. Вага розряду кожний раз отримується як результат множення ваги попереднього розряду на 2. Назва «система з основою 2» підкреслює цю особливість двійкової системи числення.

512	256	128	64	32	16	8	4	2	1	•
-----	-----	-----	----	----	----	---	---	---	---	---

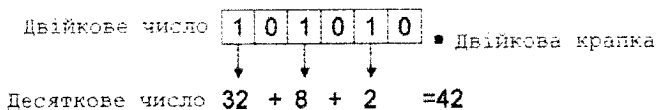
Двійкова
крапка

Припустимо, що дано двійкове число 110011. Запишемо його таким чином:

$$\begin{array}{l}
 \text{Двійкове число} \quad \boxed{1 \ 1 \ 0 \ 0 \ 1 \ 1} \quad \bullet \text{ Двійкова крапка} \\
 \quad \quad \quad \quad \downarrow \downarrow \quad \quad \downarrow \downarrow \\
 \text{Десятькове число} \quad 32+16 \quad + \quad 2+1=51
 \end{array}$$

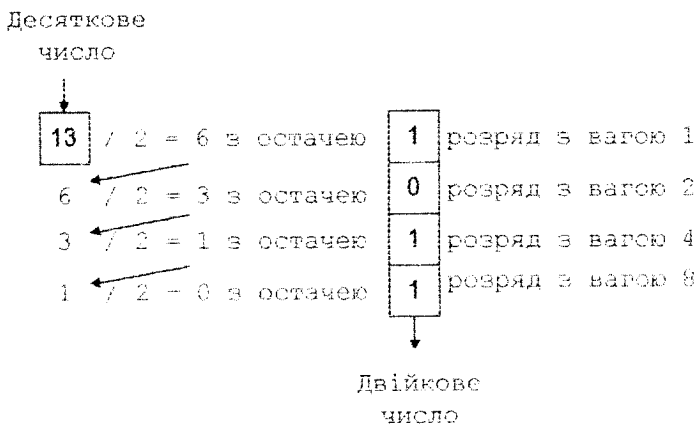
Потім, починаючи від двійкової крапки, рухаємося вліво. Під кожною двійковою одиницею пишемо її десятковий еквівалент. Склавши отримані чотири десяткові числа, отримаємо десяткове число

(51), еквівалентне даному двійковому (110011). Розглянемо ще один приклад:



Перетворення десяткових чисел у двійкові

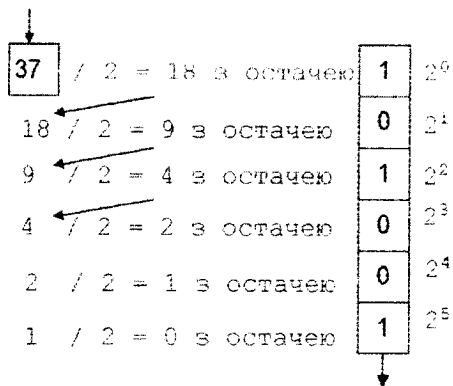
Припустимо, що потрібно перетворити десяткове число 13 в двійкове. Скористуємося такою процедурою:



Спочатку число 13 ділимо на 2 і отримуємо частку 6 та остачу 1. Ця остача стає значенням розряду з вагою 1 в шуканому двійковому числі. Число 6 потім ділиться знову на 2, отримується частка 3 і остача 0. Цю остачу поміщаємо в розряд з вагою 2 у двійковому числі. Число 3 потім ділиться на 2 з результатом 1 і остачею 1. Отримана остача стає значенням розряду з вагою 4. Нарешті, одиницю ділимо на 2 і отримуємо 0 і остачу 1. Остача розміщується в розряд з вагою 8 шуканого двійкового числа. Таким чином десяткове число 13 перетворене в двійкове число 1101.

Наступний приклад - число 37:

Десяткове
число



Двійкове
число

Відмітимо, що процес ділення на 2 потрібно закінчувати в той момент, коли отримується частка, рівна 0. У відповідності з цим $37_{10} = 100101_2$.

Перетворення чисел із шістнадцяткової системи у двійкову

Перетворення чисел із шістнадцяткової системи у двійкову та із двійкової системи у шістнадцяткову - це типова операція, що реалізується у мікропроцесорах та ЕОМ. Розглянемо це перетворення на прикладі числа 3_{16} і знайдемо еквівалентне йому двійкове число. Нижче показано, як кожний символ шістнадцяткового числа переводиться в його чотиризначний двійковий еквівалент (див. таблицю 1.1):

Шістнад-
цяткове
число

Двійкове
число

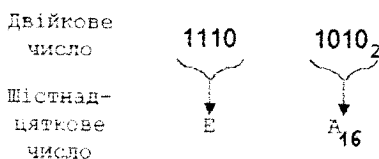
3
↓
1100

3₁₆
↓
0011₂

Шістнадцятковий символ С відповідає чотирирозрядному двійковому числу 1100, а шістнадцятковий символ 3 - двійковому числу 0011. Об'єднуючи ці дві двійкові групи, отримуємо $C3_{16} = 11000011_2$.

Перетворення чисел із двійкової системи у шістнадцяткову

Займемося тепер зворотною процедурою і перетворимо двійкове число 11101010 у еквівалентне йому шістнадцяткове. Двійкове число розділяється на чотиризначні групи, починаючи з двійкової крапки. Далі кожна двійкова група переводиться в своє еквівалентне шістнадцяткове подання за допомогою таблиці 1.1:



В результаті маємо $11101010_2 = EA_{16}$.

Перетворення чисел із шістнадцяткової системи у десяткову

Розглянемо, як перетворити шістнадцяткове число $2DB_{16}$ у його десятковий еквівалент. Ваги перших трьох розрядів шістнадцяткового числа рівні відповідно 256, 16 і 1.

Вага розряду	256	16	1
Шістнадцят- кове число	2	D	B ₁₆
	↓	↓	↓
	× 256	× 16	× 1
	2	13	11
	512	208	11
Десяткове число	512 + 208 + 11 = 731 ₁₀		

У цьому шістнадцятковому числі є одинадцять одиниць, в розряді з вагою 16 стоїть число 13, яке при множенні на вагу розряду дає число 208, а двійка в розряді з вагою 256 позначає число 512.

Складаючи суму $11+208+512$, знаходимо число 731_{10} . Таким чином, $2DB_{16}=731_{10}$.

Перетворення чисел із десятикової системи в шістнадцяткову

Розглянемо тепер зворотнє перетворення десятикового числа 47 в його шістнадцятковий еквівалент. Покажемо процедуру послідовних ділень на 16.

$$\begin{array}{l} 47_{10} / 16 = 2 \text{ з остачею } 15 \\ \quad \downarrow \\ 2 / 16 = 0 \text{ з остачею } 2 \\ \quad \quad \quad \downarrow \\ \quad \quad \quad 47_{10} = 2F_{16} \end{array}$$

Перше ділення десятикового числа 47 на 16 дає частку 2 і остачу 15. Цю остачу (тобто число F в шістнадцятковій системі) слід взяти як останню вагому цифру шуканого шістнадцяткового числа. Частку (у даному випадку 2) потрібно прийняти далі як ділиме і знову розділити його на 16. У результаті получится частка 0 з остачею 2; цю цифру потрібно вважати наступною цифрою шуканого шістнадцяткового числа. На цьому процес перетворення закінчується, оскільки получилась частка, рівна 0. Запишемо результат: $47_{10}=2F_{16}$.

1.3 АКсіОМИ, ОСНОВНІ ТЕОРЕМИ І ТОТОЖНОСТІ АЛГЕБРИ ЛОГІКИ

В алгебрі логіки розглядаються змінні, які можуть приймати тільки два значення: 0 і 1. В подальшому змінні будемо позначати латинськими буквами x, y, z, \dots . В алгебрі логіки визначено *відношення еквівалентності* ($=$) і три операції:

- *диз'юнкція* (операція АБО), що позначається знаком \vee ;
- *кон'юнкція* (операція І), що позначається крапкою, яку можна опускати (наприклад, $x \cdot y = xy$);

■ *заперечення* (інверсія, операція $\bar{}$), що позначається ризикою над змінними або елементами 0 і 1 (наприклад, \bar{x} , $\bar{0}$, $\bar{1}$).

Відношення еквівалентності задовольняє такі властивості:

■ $x = x$ - *рефлексивність*;

■ якщо $x = y$, то $y = x$ - *симетричність*;

■ якщо $x = y$ і $y = z$, то $x = z$ - *транзитивність*.

Із відношення еквівалентності слідує *принцип підстановки*: якщо $x = y$, то в будь-якій формулі, що вміщує x , замість x можна підставити y , і буде отримана еквівалентна формула.

Алгебра логіки визначається такою системою аксіом:

$$\left. \begin{array}{l} x = 0, \text{ якщо } x \neq 1, \\ x = 1, \text{ якщо } x \neq 0, \end{array} \right\} \quad (1.1)$$

$$\left. \begin{array}{l} 1 \vee 1 = 1, \\ 0 \cdot 0 = 0; \end{array} \right\} \quad (1.2)$$

$$\left. \begin{array}{l} 0 \vee 0 = 0, \\ 1 \cdot 1 = 1; \end{array} \right\} \quad (1.3)$$

$$\left. \begin{array}{l} 0 \vee 1 = 1 \vee 0 = 1, \\ 1 \cdot 0 = 0 \cdot 1 = 0; \end{array} \right\} \quad (1.4)$$

$$\left. \begin{array}{l} \bar{\bar{0}} = 0, \\ \bar{\bar{1}} = 1. \end{array} \right\} \quad (1.5)$$

Аксіома (1.1) стверджує, що в алгебрі логіки розглядаються лише двійкові змінні, аксіоми (1.2)-(1.4) визначають операції диз'юнкції та кон'юнкції, а аксіома (1.5) - операцію заперечення. Якщо в аксіомах (1.2)-(1.5), заданих парами, провести взаємну заміну операцій диз'юнкції та кон'юнкції, а також елементів 0 і 1, то із одної пари аксіом отримаємо іншу. Ця властивість називається *принципом подвійності*.

За допомогою аксіом алгебри логіки можна довести цілий ряд теорем та тотожностей. Одним із ефективних методів доказу теорем є *метод перебору* всіх значень змінних. Так, методом перебору легко

переконатися у справедливості теорем, для зручності зведених у таблицю 1.3.

Таблиця 1.3 - Закони алгебри логіки

Назва закону	Формули		
Ідемпотентні закони	$\left. \begin{aligned} x \vee x &= x \\ x \cdot x &= x \end{aligned} \right\}$	(1.6)	
Комутативні закони	$\left. \begin{aligned} x \vee y &= y \vee x \\ x \cdot y &= y \cdot x \end{aligned} \right\}$	(1.7)	
Асоціативні закони	$\left. \begin{aligned} (x \vee y) \vee z &= x \vee (y \vee z) \\ (x \cdot y) \cdot z &= x \cdot (y \cdot z) \end{aligned} \right\}$	(1.8)	
Дистрибутивні закони	$\left. \begin{aligned} x \cdot (y \vee z) &= x \cdot y \vee x \cdot z \\ x \vee y \cdot z &= (x \vee y) \cdot (x \vee z) \end{aligned} \right\}$	(1.9)	
Закони заперечення	$\left. \begin{aligned} x \vee \bar{x} &= 1 \\ x \cdot \bar{x} &= 0 \end{aligned} \right\}$	(1.10)	
	$\left. \begin{aligned} 0 \vee x &= x \\ 1 \cdot x &= x \end{aligned} \right\}$	(1.11)	
	$\left. \begin{aligned} 1 \vee x &= 1 \\ 0 \cdot x &= 0 \end{aligned} \right\}$	(1.12)	
	Закони подвійності (теореми де Моргана)	$\left. \begin{aligned} \overline{x \vee y} &= \bar{x} \cdot \bar{y} \\ \overline{x \cdot y} &= \bar{x} \vee \bar{y} \end{aligned} \right\}$	(1.13)
	Закон подвійного заперечення	$\overline{\bar{x}} = x$	(1.14)
Закони поглинання	$\left. \begin{aligned} x \vee x \cdot \bar{y} &= x \\ x \cdot (x \vee y) &= x \end{aligned} \right\}$	(1.15)	
Операції склеювання	$\left. \begin{aligned} x \cdot y \vee x \cdot \bar{y} &= x \\ (x \vee y) \cdot (x \vee \bar{y}) &= x \end{aligned} \right\}$	(1.16)	
Операції узагальненого склеювання	$\left. \begin{aligned} x \cdot y \vee \bar{x} \cdot z \vee y \cdot z &= x \cdot y \vee \bar{x} \cdot z \\ (x \vee y) \cdot (\bar{x} \vee z) \cdot (y \vee z) &= (x \vee y) \cdot (\bar{x} \vee z) \end{aligned} \right\}$	(1.17)	
	$\left. \begin{aligned} x \vee \bar{x} \cdot y &= x \vee y \\ x \cdot (\bar{x} \vee y) &= x \cdot y \end{aligned} \right\}$	(1.18)	

402135



Якщо в логічний вираз входять операції диз'юнкції та кон'юнкції, то потрібно зберігати порядок виконання операцій: спочатку виконується операція кон'юнкції, а потім операція диз'юнкції. У складних логічних виразах для задання порядку виконання операцій використовуються дужки.

Деякі теореми та тотожності алгебри логіки мають особливе значення, оскільки дозволяють спрощувати логічні вирази. Особливо часто для перетворення логічних виразів використовуються тотожності (1.15)-(1.18).

Операція «сума за модулем два» (виключне АБО, логічна нерівнозначність) позначається символом \oplus і визначається співвідношенням

$$x \oplus y = \bar{x}y \vee x\bar{y} = (\bar{x} \vee \bar{y}) \cdot (x \vee y) \quad (1.19)$$

Таблиця істинності для (1.19) має вигляд:

Таблиця 1.4 - Таблиця істинності для операції
«сума за модулем два»

Вираз	Значення
$0 \oplus 0$	0
$0 \oplus 1$	1
$1 \oplus 0$	1
$1 \oplus 1$	0

Операція суми за модулем два комутативна, асоціативна і дистрибутивна відносно операції кон'юнкції, тобто

$$\left. \begin{aligned} x \oplus y &= y \oplus x, & x \oplus (y \oplus z) &= (x \oplus y) \oplus z, \\ x \cdot (y \oplus z) &= x \cdot y \oplus x \cdot z. \end{aligned} \right\} \quad (1.20)$$

Для неї також вірні наступні тотожності:

$$\left. \begin{aligned} x \oplus 0 &= x; & x \oplus 1 &= \bar{x}; & x \oplus x &= 0; & x \oplus \bar{x} &= 1; \\ \overline{x \oplus y} &= \bar{x} \cdot \bar{y} \vee x \cdot y = (\bar{x} \vee y) \cdot (x \vee \bar{y}) = \bar{x} \oplus y = x \oplus \bar{y}. \end{aligned} \right\} \quad (1.21)$$

1.4 ФУНКЦІЇ ПЕРЕМИКАННЯ

Будь-який логічний вираз, що складається із n змінних x_1, \dots, x_n , можна розглядати як деяку функцію n змінних. У відповідності з аксіомами (1.1)-(1.5) функція може приймати лише два значення: 0 і 1. Такі функції зручні для опису, аналізу і синтезу схем перемикання, вихідні сигнали яких характеризуються лише двома рівнями напруги: високим (1) і низьким (0). У зв'язку з цим такі функції називаються функціями перемикання.

Властивості функцій перемикання. Для функцій n змінних x_1, \dots, x_n використовується загальне позначення $f(v) = f(x_1, \dots, x_n)$, де $v = (x_1, \dots, x_n)$ - сукупність змінних, що розглядається як n -мірний вектор. Кожна змінна x_p ($p = 1, \dots, n$) може приймати лише два значення: 0 і 1. Конкретне значення змінної x_1, \dots, x_n (0 чи 1) позначається як e_p .

Для задання функції $f(v)$ слід вказати її значення у всіх точках області визначення, тобто задати значення $f(v_i) = 0$ чи 1, де $i = 0, 1, \dots, 2^n - 1$. Кожній конкретній функції n змінних можна поставити у відповідність 2^n -розрядне число, що складене із значень $f(v_i) = 0$ чи 1 ($i = 0, 1, \dots, 2^n - 1$), які вона приймає в 2^n точках області визначення.

Функції n змінних можуть залежати не від усіх змінних x_1, \dots, x_n . Такі функції називають *виродженими*.

Значний інтерес викликають невивроджені функції двох змінних x_1, x_2 , назви яких дані за використовуваними для їх утворення операціями алгебри логіки:

$$f(x_1, x_2) = x_1 \vee x_2 - \text{диз'юнкція (АБО);}$$

$$f(x_1, x_2) = x_1 \cdot x_2 - \text{кон'юнкція (І);}$$

$$f(x_1, x_2) = \overline{x_1 \cdot x_2} - \text{функція І-НІ;}$$

$$f(x_1, x_2) = \overline{x_1 \vee x_2} - \text{функція АБО-НІ;}$$

$$f(x_1, x_2) = x_1 \oplus x_2 - \text{сума за модулем 2.}$$

Область визначення функції n змінних може бути задана таблицею значень, які вона приймає в точках v_i . Такі таблиці називаються *таблицями істинності*.

Таблиця 1.5, яка складена у відповідності до аксіом (1.1)-(1.5) для вказаних функцій, - це таблиця істинності, що задає ці функції.

Таблиця 1.5 - Таблиця істинності для функцій перемикання двох змінних x_1, x_2

x_1, x_2	$x_1 \vee x_2$	$x_1 \cdot x_2$	$\overline{x_1 \cdot x_2}$	$\overline{x_1 \vee x_2}$	$x_1 \oplus x_2$
0 0	0	0	1	1	0
0 1	1	0	1	0	1
1 0	1	0	1	0	1
1 1	1	1	0	0	0

Функція n змінних $f(v)$ називається *повністю визначеною*, якщо її значення $f(v_i) = 0$ чи 1 задані у всіх точках області визначення. Якщо ж значення функції не задано хоча б в одній точці v_i , то вона називається *не повністю визначеною*.

Принцип і закон подвійності. Алгебра логіки має властивість, яка називається *принципом подвійності*; якщо має місце тотожність $f(v, 0, 1/\vee, \&) = g(v, 0, 1/\vee, \&)$, то справедлива також тотожність $f(v, 1, 0/\&, \vee) = g(v, 1, 0/\&, \vee)$, тобто якщо в якій-небудь тотожності виконати взаємну заміну символів 0 і 1 і операцій диз'юнкції та кон'юнкції, то буде отримано також тотожність. Дві тотожності, які зв'язані між собою таким чином, є подвійними. Істинність самого принципу подвійності не доводиться, оскільки даний принцип є внутрішньою властивістю алгебри логіки (полягає в її аксіомах).

Закони подвійності (теореми де Моргана) (13) встановлюють спосіб пошуку інверсних функцій, що є диз'юнкцією і кон'юнкцією двох

змінних. Клод Шеннон запропонував узагальнення цих теорем, що дозволяє відшукати інверсію будь-якої функції $f(v)$. Закон подвійності Клода Шеннона має вигляд:

$$\overline{f(v/\bar{v}, \&)} = f(\bar{v}/\&, v), \quad (1.22)$$

тобто інверсію будь-якої функції можна отримати взаємною заміною змінних x_p ($p=1\dots n$) і операцій диз'юнкції та кон'юнкції.

Розглянемо кілька прикладів.

Нехай $f(v) = \bar{x}_2 \cdot x_1 \vee x_2 \cdot \bar{x}_1$, тоді $\overline{f(v)} = (x_2 \vee \bar{x}_1) \cdot (\bar{x}_2 \vee x_1)$.

Нехай $f(v) = \{[(\bar{x}_2 \cdot x_1 \vee x_3 \cdot x_2) \cdot x_3 \cdot x_1 \vee x_1 \cdot \bar{x}_1] \cdot (x_2 \cdot \bar{x}_1 \vee x_3) \vee x_4$, тоді
 $\overline{f(v)} = \{[(x_2 \vee \bar{x}_1) \cdot (\bar{x}_3 \vee \bar{x}_2) \vee \bar{x}_3 \vee \bar{x}_1] \cdot (\bar{x}_3 \vee x_1) \vee (\bar{x}_2 \vee x_1) \cdot \bar{x}_3\} \cdot \bar{x}_4$.

На основі закону подвійності легко показати, що

$$\overline{\bigvee_{p=1}^n x_p} = \prod_{p=1}^n \bar{x}_p; \quad \overline{\prod_{p=1}^n x_p} = \bigvee_{p=1}^n \bar{x}_p.$$

Теорема розкладу і зв'язані з нею тотожності. В теорії функцій перемикання особливо важливе значення має *теорема розкладу*: будь-яку функцію $f(v)$ можна розкласти по змінній x_p у формі

$$f(x_1, \dots, x_p, \dots, x_n) = \bar{x}_p \cdot f(x_1, \dots, 0, \dots, x_n) \vee x_p \cdot f(x_1, \dots, 1, \dots, x_n). \quad (1.23)$$

Ця теорема легко доводиться методом перебору:

а)

$$\begin{aligned} x_p = 0 &\Rightarrow f(x_1, \dots, \bar{0}, \dots, x_n) = \bar{0} \cdot f(x_1, \dots, 0, \dots, x_n) \vee 0 \cdot f(x_1, \dots, 1, \dots, x_n) = \\ &= f(x_1, \dots, 0, \dots, x_n), \text{ тобто при } x_p = 0 \text{ теорема справедлива} \\ &\text{незалежно від значень других змінних;} \end{aligned}$$

б)

$$\begin{aligned} x_p = 1 &\Rightarrow f(x_1, \dots, 1, \dots, x_n) = \bar{1} \cdot f(x_1, \dots, 0, \dots, x_n) \vee 1 \cdot f(x_1, \dots, 1, \dots, x_n) = \\ &= f(x_1, \dots, 1, \dots, x_n), \text{ тобто при } x_p = 1 \text{ теорема справедлива} \\ &\text{незалежно від значень других змінних, а значить, теорема істинна при} \\ &\text{будь-яких значеннях всіх змінних, що і вимагалось довести.} \end{aligned}$$

За принципом подвійності отримуємо *подвійну теорему розкладу*:

$$f(x_1, \dots, x_p, \dots, x_n) = \left[\overline{x_p} \vee f(x_1, \dots, 1, \dots, x_n) \right] \cdot \left[x_p \vee f(x_1, \dots, 0, \dots, x_n) \right], \quad (1.24)$$

Теорема розкладу є зручним інструментом для перетворення логічних виразів, що вміщують операцію суми за модулем 2, оскільки в ряді практичних випадків дозволяє звести дану операцію над функціями до простих операцій, наприклад:

$$\begin{aligned} & \overline{x_2 \cdot x_1 \oplus (x_3 \vee \overline{x_1}) \oplus x_3 \cdot x_1 \oplus (x_2 \vee \overline{x_1})} = \\ = & \overline{x_1} \cdot \left[\overline{x_2 \cdot 0 \oplus (x_3 \vee \overline{0}) \oplus x_3 \cdot 0 \oplus (x_2 \vee \overline{0})} \right] \vee x_1 \cdot \left[\overline{x_2 \cdot 1 \oplus (x_3 \vee \overline{1}) \oplus x_3 \cdot 1 \oplus (x_2 \vee \overline{1})} \right] = \\ = & \overline{x_1} \cdot (\overline{0 \oplus 1 \oplus 0 \oplus 1}) \vee x_1 \cdot (\overline{x_2 \oplus x_3 \oplus x_3 \oplus x_2}) = \overline{x_1} \cdot 1 \vee x_1 \cdot 1 = \overline{x_1} \vee x_1 = 1. \end{aligned}$$

З теоремою розкладу зв'язані тотожності:

$$\left. \begin{aligned} \overline{x_p} \cdot f(x_1, \dots, x_p, \dots, x_n) &= \overline{x_p} \cdot f(x_1, \dots, 0, \dots, x_n), \\ x_p \cdot f(x_1, \dots, x_p, \dots, x_n) &= x_p \cdot f(x_1, \dots, 1, \dots, x_n). \end{aligned} \right\} \quad (1.25)$$

За принципом подвійності цим тотожностям відповідають подвійні тотожності:

$$\left. \begin{aligned} \overline{x_p} \vee f(x_1, \dots, x_p, \dots, x_n) &= \overline{x_p} \vee f(x_1, \dots, 1, \dots, x_n), \\ x_p \vee f(x_1, \dots, x_p, \dots, x_n) &= x_p \vee f(x_1, \dots, 0, \dots, x_n). \end{aligned} \right\} \quad (1.26)$$

Дані тотожності є потужним засобом для спрощення логічних виразів.

Нехай потрібно спростити функцію

$$f(v) = \overline{x_2 \cdot x_1 \oplus x_3 \cdot x_2 \oplus x_1 \vee x_3 \cdot x_2 \cdot x_2}.$$

Використовуючи першу з тотожностей (1.25) відносно x_2 ,

отримаємо:

$$f(v) = \overline{0 \cdot \overline{x_1} \oplus x_1 \cdot 0 \oplus x_1 \vee x_3 \cdot 0} \cdot \overline{x_2} = \overline{x_3 \oplus x_1 \vee x_3} \cdot \overline{x_2}.$$

Для спрощення виразу $\overline{x_3} \oplus x_1 \vee x_3$ можна використати другу із тотожностей (1.26), тоді $f(v) = \overline{0 \oplus x_1 \vee x_3} \cdot \overline{x_2} = \overline{x_1 \vee x_3} \cdot \overline{x_2} = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3}$.

Первинні терми. Змінні x_p та їх інверсії $\overline{x_p}$ називаються первинними термами, для яких використовується символічне позначення

$$x_p^{e_p} = \overline{e_p} \overline{x_p} \vee e_p x_p = \overline{e_p \oplus x_p}, \quad (1.27)$$

де $e_p = 0$ або 1 . Дане символічне позначення об'єднує в одному символі $x_p^{e_p}$ обидва первинних терма x_p і $\overline{x_p}$. Дійсно, при підстановці в (1.27) значень $e_p = 0$ і 1 отримаємо

$$x_p^{e_p} = \begin{cases} \overline{x_p}, & \text{якщо } e_p = 0, \\ x_p, & \text{якщо } e_p = 1. \end{cases}$$

Тільки завдяки введенню даного символічного позначення можна формалізувати виведення загальних відношень для функцій перемикання. Очевидно, що два первинних терми $x_p^{e_p}$ і $x_p^{e'_p}$ рівні лише в тому випадку, коли $e_p = e'_p$ (якщо $e_p \neq e'_p$, то $e_p = \overline{e'_p}$). Для первинних термів справедливі співвідношення:

$$\begin{aligned} x_p^1 &= \overline{x_p^0} = x_p, & x_p^0 &= \overline{x_p^1} = \overline{x_p}; \\ \overline{x_p^{e_p}} &= x_p^{\overline{e_p}} = \overline{x_p^{e_p}}; \end{aligned} \quad (1.28)$$

$$x_p^{e_p} \cdot x_p^{\overline{e_p}} = 0, \quad x_p^{e_p} \vee x_p^{\overline{e_p}} = 1; \quad (1.29)$$

$$x_p^{e_p} = \begin{cases} 0, & \text{якщо } x_p = \overline{e_p}, \\ 1, & \text{якщо } x_p = e_p. \end{cases} \quad (1.30)$$

Істинність цих співвідношень елементарно перевіряється на основі визначення первинних термів (1.27).

Мінтерми і макстерми. *Мінтермом* (конституентною одиницею) називається функція n змінних

$$K_i(v) = x_1^{e_i} \dots x_n^{e_n} = \prod_{p=1}^n x_p^{e_p}, \quad (1.31)$$

де $v = (x_1, \dots, x_n)$. $e_p = 0$ або 1 , $i = e_1 \dots e_n$. Із даного визначення слідує, що є 2^n різних мінтермів n змінних, оскільки є 2^n різних n -розрядних двійкових чисел $i = 0, 1, \dots, 2^n - 1$.

Мінтерми мають такі властивості:

$$K_i(v) = \begin{cases} 1, & \text{якщо } v = v_i, \\ 0, & \text{якщо } v = v_j \neq v_i; \end{cases} \quad (1.32)$$

$$K_i(v) \cdot K_j(v) = 0, \quad \text{якщо } i \neq j; \quad (1.33)$$

$$\bigvee_{i=0}^{2^n-1} K_i(v) = 1. \quad (1.34)$$

Властивість мінтермів (1.32), яка полягає в тому, що будь-який мінтерм $K_i(v)$ рівний 1 тільки в одній точці v_i області визначення, що складається із 2^n точок, легко доказати, використовуючи властивості первинних термів (1.30). Властивості (1.33) і (1.34) доводяться на основі властивості (1.32).

Запишемо всі мінтерми двох змінних x_1 і x_2 :

$$K_0(v) = x_1^0 x_2^0 = \overline{x_1} \cdot \overline{x_2}; \quad K_1(v) = x_1^1 x_2^0 = x_1 \cdot \overline{x_2}; \quad K_2(v) = x_1^0 x_2^1 = \overline{x_1} \cdot x_2;$$

$$K_3(v) = x_1^1 x_2^1 = x_1 \cdot x_2; \quad \text{де } v = (x_1, x_2). \quad \text{Таким самим способом можна}$$

записати будь-який мінтерм $K_i(v)$ більшого числа змінних. Нехай,

$$\text{наприклад, } n = 4, \quad i = 13, \quad \text{тоді } K_{13}(v) = x_1^1 x_2^0 x_3^1 x_4^1 = x_1 \cdot \overline{x_2} \cdot x_3 \cdot x_4.$$

Макстермом (конституентою нуля) називається функція n змінних

$$M_i(v) = \overline{K_i(v)} = \prod_{p=1}^n \overline{x_p^{e_p}} = \bigvee_{p=1}^n \overline{x_p^{e_p}}.$$

Згідно з властивістю первинних термів (1.28) можна записати

$$M_i(v) = \bigvee_{p=1}^n \overline{x_p^{e_p}}, \quad (1.35)$$

де $v = (x_1, \dots, x_n)$, $i = e_1, \dots, e_n$. Макстерми мають такі властивості:

$$M_i(v) = \begin{cases} 0, & \text{якщо } v = v_i, \\ 1, & \text{якщо } v = v_j \neq v_i; \end{cases}$$

$$M_i(v) \vee M_j(v) \equiv 1, \text{ якщо } i \neq j;$$

$$\prod_{i=0}^{2^n-1} M_i(v) \equiv 0.$$

Для більшої наочності в таблиці 1.6 (таблиця істинності) приведені всі мінтерми і макстерми двох змінних x_1 і x_2 .

Таблиця 1.6 - Макстерми і мінтерми двох змінних

i	x_1	x_2	K_0	K_1	K_2	K_3	M_0	M_1	M_2	M_3
0	0	0	1	0	0	0	0	1	1	1
1	1	0	0	1	0	0	1	0	1	1
2	0	1	0	0	1	0	1	1	0	1
3	1	1	0	0	0	1	1	1	1	0

Мінтерми (макстерми) - це функції, що приймають мінімальне (максимальне) значення із значень своїх первинних термів $x_p^{v_p}$, тобто якщо хоча б один із первинних термів $x_p^{v_p}$ рівний 0(1), то і мінтерм (макстерм) рівний 0(1).

Досконала диз'юнктивна нормальна форма (ДДНФ). Теорему розкладу (1.23) для функцій n змінних можна використовувати n разів, тобто функцію можна розкласти по всім n змінним x_p . Як приклад розглянемо розклад функції $f(v) = f(x_1, x_2)$ двох змінних x_1 і x_2 . За теоремою розкладу (1.23) отримаємо $f(x_1, x_2) = \overline{x_2} \cdot f(x_1, 0) \vee x_2 \cdot f(x_1, 1)$.

Далі кожен з функцій $f(x_1, 0)$ і $f(x_1, 1)$ можна розкласти по змінній

x_1

$$f(x_1, x_2) = \overline{x_2} \cdot [\overline{x_1} \cdot f(0, 0) \vee x_1 \cdot f(1, 0)] \vee x_2 \cdot [\overline{x_1} \cdot f(0, 1) \vee x_1 \cdot f(1, 1)] =$$

$$\begin{aligned}
&= \overline{x_1} \cdot \overline{x_2} \cdot f(0,0) \vee x_1 \cdot \overline{x_2} \cdot f(1,0) \vee \overline{x_1} \cdot x_2 \cdot f(0,1) \vee x_1 \cdot x_2 \cdot f(1,1) = \\
&x_1^0 \cdot x_2^0 \cdot f(0,0) \vee x_1^1 \cdot x_2^0 \cdot f(1,0) \vee x_1^0 \cdot x_2^1 \cdot f(0,1) \vee x_1^1 \cdot x_2^1 \cdot f(1,1) = \\
&= \bigvee_{i=0}^3 x_1^{e_1} x_2^{e_2} \cdot f(e_1, e_2) = \bigvee_{i=0}^3 f(v_i) K_i(v),
\end{aligned}$$

де $v = (x_1, x_2)$, $v_i = (e_1, e_2)$, $i = e_1 e_2$, $K_i(v) = x_1^{e_1} x_2^{e_2}$ - мінтерми двох змінних x_1 і x_2 . Оскільки $f(v_i) = a_i = 0$ або 1 (значення функції в точці

$$v_i), \text{ то } f(v) = \bigvee_{i=0}^3 a_i K_i(v).$$

Така форма подання функції двох змінних називається **ДДНФ**. Розклад функції n змінних буде представляти собою диз'юнкцію 2^n членів виду

$$x_1^{e_1} \dots x_p^{e_p} \dots x_n^{e_n} f(e_1, \dots, e_p, \dots, e_n) = f(v_i) K_i(v) = a_i K_i(v):$$

$$f(v) = \bigvee_{i=0}^{2^n-1} a_i K_i(v). \quad (1.36)$$

Вираз (1.36) представляє собою **ДДНФ** функції n змінних. Оскільки значення функції $a_i = 0$ чи 1, то $a_i K_i(v) = 0$, якщо $a_i = 0$, і $a_i K_i(v) = K_i(v)$, якщо $a_i = 1$. Тому **ДДНФ** функції можна представити у вигляді

$$f(v) = \bigvee_{i_s} K_{i_s}(v), \quad (1.37)$$

де i_s - номери тих точок, в яких функція $f(v)$ дорівнює 1.

Як приклад розглянемо функцію $f(v)$ трьох змінних, задану таблицею істинності (таблиця 1.7).

Із даної таблиці випливає, що

$$a_0 = a_3 = a_4 = a_6 = 0, \quad a_1 = a_2 = a_5 = a_7 = 1,$$

тому згідно з (1.37) $f(v) = K_1(v) \vee K_2(v) \vee K_5(v) \vee K_7(v) =$

$$= \overline{x_1} \cdot \overline{x_2} \cdot x_3 \vee \overline{x_1} \cdot x_2 \cdot \overline{x_3} \vee x_1 \cdot \overline{x_2} \cdot x_3 \vee x_1 \cdot x_2 \cdot x_3. \text{ Це і є ДДНФ функції.}$$

Таблиця 1.7 - Таблиця істинності функції трьох змінних

i	x_1	x_2	x_3	$f(v)$
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

Досконала кон'юнктивна нормальна форма (ДКНФ). Таку форму функції n змінних можна отримати на підставі подвійної теореми розкладу (1.24). Однак ДКНФ можна отримати і більш простим шляхом, записавши ДДНФ інверсної функції $\overline{f(v)}$. Інверсія функції в кожній точці v_i повинна мати інверсні значення a_i по відношенню до значень a_i самої функції, тобто $\overline{f(v_i)} = \overline{a_i}$, якщо $f(v_i) = a_i$.

На підставі (1.36) запишемо ДДНФ інверсної функції

$$\overline{f(v)} = \bigvee_{i=0}^{2^n-1} a_i K_i(v).$$

Із даного співвідношення на підставі закону подвійності випливає

$$f(v) = \overline{\bigvee_{i=0}^{2^n-1} a_i K_i(v)} = \prod_{i=0}^{2^n-1} \overline{a_i K_i(v)} = \prod_{i=0}^{2^n-1} [a_i \vee \overline{K_i(v)}].$$

Із визначення макстермів випливає, що

$$f(v) = \prod_{i=0}^{2^n-1} [a_i \vee M_i(v)]. \quad (1.38)$$

Така форма подання функції двох змінних називається ДКНФ.

Оскільки значення функції $a_i = 0$ чи 1 , то $a_i \vee M_i = M_i(v)$, якщо $a_i = 0$, і $a_i \vee M_i = 1$, якщо $a_i = 1$. Тому ДКНФ можна подати у вигляді

$$f(v) = \prod_{i=0}^{2^n-1} M_i(v), \quad (1.39)$$

де i_s - номери тих точок, в яких функція $f(v)$ дорівнює 0.

Як приклад розглянемо функцію трьох змінних, задану таблицею 7. Оскільки тільки значення функції $a_0 = a_3 = a_4 = a_6 = 0$, то на підставі (1.39)

$$f(v) = M_0 \cdot M_3 \cdot M_4 \cdot M_6 = (x_1 \vee x_2 \vee x_3) \cdot (\overline{x_1} \vee x_2 \vee x_3) \cdot (x_1 \vee \overline{x_2} \vee x_3) \cdot (x_1 \vee x_2 \vee \overline{x_3}).$$

Це і є ДКНФ функції.

Досконалі нормальні форми в базисах І-НІ та АБО-НІ.

Сукупність елементарних функцій, за допомогою яких можна записати будь-яку функцію $f(v)$, називається *функціонально повною системою функцій або базисом*. Із виразів (1.37) і (1.39) випливає, що для подання будь-якої функції $f(v)$ в ДДНФ і ДКНФ можна використовувати лише функції (операції) І, АБО і НІ, тобто сукупність цих функцій є базисом.

Перетворимо ДДНФ функції (1.36) за допомогою закону подвійного заперечення і закону подвійності

$$f(v) = \overline{\bigvee_{i=0}^{2^n-1} a_i K_i(v)} = \overline{\prod_{i=0}^{2^n-1} a_i K_i(v)}. \quad (1.40)$$

Дана форма подання функцій називається *досконалою нормальною формою* (ДНФ) в базисі І-НІ, оскільки вона вимагає використання тільки функцій (операцій) І-НІ.

Перетворимо тепер ДКНФ функції (1.38) за допомогою закону подвійного заперечення і закону подвійності

$$f(v) = \overline{\prod_{i=0}^{2^n-1} [a_i \vee M_i(v)]} = \overline{\bigvee_{i=0}^{2^n-1} a_i \vee M_i(v)}. \quad (1.41)$$

Дана форма подання функцій називається ДНФ в базисі АБО-НІ, оскільки вона вимагає використання тільки функцій (операцій) АБО-НІ.

На підставі (1.40) та (1.41) із ДДНФ і ДКНФ функції, що задана таблицею 1.7, можна отримати ДНФ цієї функції в базисах І-НІ та АБО-НІ:

$$f(v) = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3}.$$

$$f(v) = x_1 \vee x_2 \vee x_3 \vee \overline{x_1} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_1} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_1} \vee \overline{x_2} \vee \overline{x_3}.$$

1.5 МІНІМІЗАЦІЯ ФУНКЦІЙ ПЕРЕМИКАННЯ

Одна із основних задач, що виникає при синтезі комбінаційних схем, є мінімізація функцій перемикавання, які ці комбінаційні схеми реалізують. Чим простіший логічний вираз, тим простіша і дешевша комбінаційна схема, що реалізує його.

Спрощення функцій перемикавання можна здійснювати за допомогою законів та тотожностей алгебри логіки. Такий шлях мінімізації трудомісткий, тому в більшості випадків використовують графічні методи мінімізації (діаграми Вейча, діаграми Венна, карти Карно). Перевагою таких методів є наочність і простота використання при невеликій кількості змінних ($n \leq 4$).

Кarti Карно. В 1953 році Моріс Карно опублікував статтю про розроблену ним систему графічного подання і спрощення функцій перемикавання. Карта Карно показана на рисунку 1.2. Тут і надалі приймемо позначення $f(v) = y$.

Чотири квадрати (1, 2, 3, 4) відповідають чотирьом можливим комбінаціям x_1 і x_2 в таблиці істинності функції з двома змінними. При такому зображенні квадрат 1 відповідає добутку $\overline{x_1} \cdot \overline{x_2}$, квадрат 2 - $\overline{x_1} \cdot x_2$ і т.д.

Припустимо тепер, що потрібно скласти карту Карно для функції перемикання, записаній у ДДНФ: $\overline{x_1} \cdot \overline{x_2} \vee x_1 \cdot \overline{x_2} \vee x_1 \cdot x_2 = y$. Розташуємо логічні одиниці у всіх квадратах, яким відповідають добутки у вихідній

Входи		Вихід
x_2	x_1	
0	0	
1	0	
0	1	
1	1	

Рисунок 1.2 - Позначення квадратів на карті Карно

функції перемикання на рисунку 1.3. Заповнена таким чином карта Карно тепер готова для побудови. Сусідні одиниці об'єднуються в один контур групами по дві, чотири або вісім одиниць. Побудова контурів продовжується до тих пір, поки всі одиниці не опиняться всередині контурів. Кожний контур - це новий член спрощеної функції перемикання. Відмітимо, що на рисунку 4 получилось тільки два контури. Це означає, що нова, спрощена функція перемикання буде складатися тільки з двох членів, що пов'язані функцією АБО.

	$\overline{x_2}$	x_2
$\overline{x_1}$		1
x_1	1	1

Рисунок 1.3 - Нанесення одиниць на карту Карно

	$\overline{x_2}$	x_2
$\overline{x_1}$		1
x_1	1	1

Рисунок 1.4 - Об'єднання одиниць групами в один контур

функції перемикання на рисунку 1.3. Заповнена

таким чином карта Карно тепер готова для побудови.

Сусідні одиниці об'єднуються в один контур групами по дві, чотири або вісім одиниць. Побудова контурів

продовжується до тих пір, поки всі одиниці не

опиняться всередині контурів. Кожний контур - це новий член спрощеної функції перемикання. Відмітимо, що на рисунку 4

Тепер спростимо функцію перемикання, приймаючи до уваги два контури на рисунку 1.4.

Взявши спочатку нижній контур, замітимо, що x_1 тут зустрічається у комбінації з x_2 і $\overline{x_2}$. У відповідності з правилами алгебри логіки x_2 і $\overline{x_2}$ доповнюють один

одного і їх можна опустити. Тоді в нижньому контурі залишається тільки член x_1 . Аналогічно цьому вертикально розташований контур вміщує x_1 і $\overline{x_1}$, які також можна опустити, залишивши тільки x_2 . Елементи x_1 і x_2 , що залишилися, об'єднуються функцією АБО, що

приводить до спрощеної функції перемикання $x_1 \vee x_2 = y$. Алгоритм мінімізації функції перемикання записується таким чином:

1. Переведення функції перемикання в ДДНФ.
2. Нанесення одиниць на карту Карно.
3. Об'єднання сусідніх одиниць контурами, що охоплюють два, чотири або вісім квадратів.
4. Проведення спрощення, виключаючи члени, які доповнюють один одного всередині контуру.
5. Об'єднання членів, що залишилися (по одному у кожному контурі), функцією АБО.
6. Запис мінімізованої функції перемикання в ДДНФ.

Карта Карно з трьома змінними. Розглянемо функцію перемикання $x_1 \cdot \overline{x_2} \cdot x_3 \vee \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \vee x_1 \cdot x_2 \cdot x_3 = y$. Карта Карно для цієї функції показана на рисунку 5. Нижній контур вміщує x_2 і $\overline{x_2}$, їх можна опустити. Після цього у складі нижнього контуру залишається тільки член $x_1 \cdot \overline{x_3}$. У верхній контур входять x_3 і $\overline{x_3}$, які теж опускаються, після чого залишається тільки член $\overline{x_1} \cdot \overline{x_2}$. Підсумкова функція перемикання має вигляд $x_1 \cdot \overline{x_3} \vee \overline{x_1} \cdot \overline{x_2} = y$.

Суттєво, щоб карта Карно була складена саме так, як показано на рисунку 1.5. Замітимо, що в міру того, як зміщатись вниз по лівій частині карти, на кожному кроці змінюється лише одна змінна. Зверху зліва записаний добуток $\overline{x_1} \cdot \overline{x_2}$, а рядком нижче $\overline{x_1} \cdot x_2$ (заміна $\overline{x_2}$ на x_2). Далі, при пересуванні від $\overline{x_1} \cdot x_2$ до $x_1 \cdot x_2$ вниз $\overline{x_1}$ переходить в x_1 і т.д. Якщо карту Карно скласти неправильно, то вона не принесе очікуваного результату.

Карти Карно з чотирма змінними. Таблиця істинності для чотирьох змінних вміщує 16 можливих комбінацій. Розглянемо функцію перемикання $x_1 \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} \vee \overline{x_1} \cdot x_2 \cdot \overline{x_3} \cdot x_4 \vee \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4 \vee$

$\overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot x_4 \vee \overline{x_1} \cdot x_2 \cdot x_3 \cdot x_4 \vee x_1 \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4 \vee y$. Карта Карно для функції перемикання з чотирма змінними допускає 16 можливих комбінацій x_1, x_2, x_3 і x_4 (рисунок 1.6). Ці комбінації подані відповідно 16-ма квадратами карти. Нанесемо на карту 6 одиниць, які відповідають 6-ти членам у заданій функції перемикання. Групи із двох і чотирьох одиниць об'єднані контурами. Нижній контур із двох одиниць дає можливість опустити x_4 і $\overline{x_4}$. Після цього в ньому залишається член $x_1 \cdot \overline{x_2} \cdot \overline{x_3}$. Далі у верхньому контурі із чотирьох одиниць попарно опускаються x_3 і $\overline{x_3}$, x_2 і $\overline{x_2}$, так, що в результаті цього верхній контур дає член $\overline{x_1} \cdot x_4$. Спрощена функція перемикання в ДДНФ має вигляд $x_1 \cdot \overline{x_2} \cdot \overline{x_3} \vee \overline{x_1} \cdot x_4 = y$.

Інші різновиди карт Карно. Розглянемо функцію перемикання

	$\overline{x_3}$	x_3
$\overline{x_1} \overline{x_2}$	1	1
$\overline{x_1} x_2$		
$x_1 x_2$	1	
$x_1 \overline{x_2}$	1	

	$\overline{x_3}$	x_3
$\overline{x_1} \overline{x_2}$	1	1
$\overline{x_1} x_2$		
$x_1 x_2$	1	
$x_1 \overline{x_2}$	1	

Рисунок 1.5 - Спрощення перемикуючої функції на основі карти Карно

	$\overline{x_3} \overline{x_4}$	$\overline{x_3} x_4$	$x_3 \overline{x_4}$	$x_3 x_4$
$\overline{x_1} \overline{x_2}$		1	1	
$\overline{x_1} x_2$		1	1	
$x_1 x_2$				
$x_1 \overline{x_2}$	1	1		

	$\overline{x_3} \overline{x_4}$	$\overline{x_3} x_4$	$x_3 \overline{x_4}$	$x_3 x_4$
$\overline{x_1} \overline{x_2}$		1	1	
$\overline{x_1} x_2$		1	1	
$x_1 x_2$				
$x_1 \overline{x_2}$	1	1		

Рисунок 1.6 - Мінімізація функції перемикання з чотирма змінними

$$\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} \vee \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4 \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot \overline{x_4} \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot x_4 = y. \text{ Чотири } \bar{\bar{}}$$

члени подають на карті Карно чотирма одиницями (рисунок 1.7). На цьому ж рисунку поданий правильний спосіб побудови контуру. Зверніть увагу на те, що при цьому попарно опускаються члени x_1 і $\overline{x_1}$, x_3 і $\overline{x_3}$. Спрощена функція перемикання має вигляд $x_2 \cdot \overline{x_4} = y$.

	$\overline{x_3} \overline{x_4}$	$\overline{x_3} x_4$	$x_3 \overline{x_4}$	$x_3 x_4$
$\overline{x_1} \overline{x_2}$				
$\overline{x_1} x_2$	1			1
$x_1 \overline{x_2}$	1			1
$x_1 x_2$				

Рисунок 1.7 - Спрощення функції перемикання на основі карти Карно

Інші способи побудови контуру покажемо на прикладі функцій перемикання (рисунок 1.8 та рисунок 1.9 відповідно):

$$\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} \vee \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4 \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot \overline{x_4} \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot x_4 = y,$$

$$\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} \vee \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4 \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot \overline{x_4} \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot x_4 = y.$$

Мінімізовані функції відповідно будуть мати вигляд:

$$\overline{x_2} \cdot \overline{x_3} = y,$$

$$\overline{x_2} \cdot \overline{x_4} = y.$$

	$\overline{x_3} \overline{x_4}$	$\overline{x_3} x_4$	$x_3 \overline{x_4}$	$x_3 x_4$
$\overline{x_1} \overline{x_2}$	1	1		
$\overline{x_1} x_2$				
$x_1 \overline{x_2}$				
$x_1 x_2$	1	1		

Рисунок 1.8 - Спрощення функцій перемикання

	$\overline{x_3} \overline{x_4}$	$\overline{x_3} x_4$	$x_3 \overline{x_4}$	$x_3 x_4$
$\overline{x_1} \overline{x_2}$	1			1
$\overline{x_1} x_2$				
$x_1 \overline{x_2}$				
$x_1 x_2$	1			1

Рисунок 1.9 - Спрощення функцій перемикання

Список питань для самоконтролю

1. Яка різниця між цифровими і аналоговими сигналами?
2. Що таке квантування?
3. Що таке система числення?
4. Як утворюють числа в різних системах числення?
5. Що таке двійково-десятковий код?
6. Як перевести число із двійкової системи числення в десяткову і навпаки?
7. Як перевести число із шістнадцяткової системи числення в десяткову і навпаки?
8. Як проводять додавання і віднімання чисел у двійковій системі числення?
9. Що таке біт і байт?
10. Що таке диз'юнкція, кон'юнкція і заперечення?
11. Які властивості задовольняє закон заперечення?
12. Назвіть аксіоми алгебри логіки.
13. Назвіть закони алгебри логіки.
14. Що таке операція "сума за модулем два"?
15. Назвіть властивості функцій перемикання.
16. Що таке закон подвійності?
17. Що таке теорема розкладу?
18. Що таке первинні терми?
19. Що таке макстерми і мінтерми?
20. Як записується диз'юнктивна нормальна форма?
21. Як записується кон'юнктивна нормальна форма?
22. Що таке функціонально повна система функцій?
23. Що таке досконально нормальна форма?
24. Як проводиться мінімізація функцій перемикання за допомогою карт Карно?

РОЗДІЛ 2 ЛОГІЧНІ ЕЛЕМЕНТИ ЦИФРОВОЇ ТЕХНІКИ

2.1 ЩО ТАКЕ КОМБІНАЦІЙНА СХЕМА І ЦИФРОВИЙ АВТОМАТ?

Будь-який символ інформації в цифрових приладах кодується в двійковому алфавіті, тому сигнали можуть приймати тільки два значення: високий або низький рівень напруги, наявність або відсутність імпульсу напруги. Обов'язковою умовою при цьому є можливість впевненого розпізнавання елементами цифрових схем двох значень сигналів, відповідних символам 0 та 1, в умовах зміни температури довкілля, напруги джерела живлення, вплив інших дестабілізуючих факторів.

Ми вже говорили, що значення рівня сигналів (U_c) елементами цифрових приладів сприймаються не безперервно, а в дискретні моменти часу, інтервал між якими називають робочим тактом T . Як правило, за один робочий такт у цифрових приладах здійснюється одне елементарне перетворення кодових слів, що поступили на вхід. Дискретизація часу забезпечується спеціальними приладами управління, що виробляють *синхронізуючі імпульси* (C_i). В дискретних приладах використовують два способи подання інформації: потенційний та імпульсний. При потенційному способі значенням логічного 0 та логічної 1 відповідають напруги низького та високого рівня. Якщо логічному нулю відповідає напруга низького рівня, а логічній одиниці – високого, то таку логіку називають позитивною, і навпаки, якщо за логічний нуль приймають напругу високого, а за логічну одиницю – напругу низького рівня, то таку логіку називають негативною. В подальшому будемо розглядати прилади тільки з позитивною логікою.

Далі в основному використовуються терміни «напруга високого і низького рівня» (сигнали високого і низького рівня), відповідні рівню логічної 1 і логічного 0.

Інформація в цифрових приладах може бути подана в послідовному і паралельному кодах. При використанні послідовного коду кожний такт відповідає одному розряду двійкового коду. Номер розряду визначається номером такту, що відраховується від такту, який збігається з початком подання коду.

Графіки, показані на рисунк 2.1, ілюструють послідовний код байтового двійкового числа 10011011 при потенційному і імпульсному способах подання інформації. При першому способі (рисунк 2.1, а) сигнал зберігає низький або високий рівень протягом одного або декількох тактів. У моменти переходу сигналу від одного рівня до іншого його значення є невизначеним. При імпульсному способі подання цифрової інформації (рисунк 2.1, б) одиничному і нульовому значенню двійкової змінної відповідає наявність або відсутність

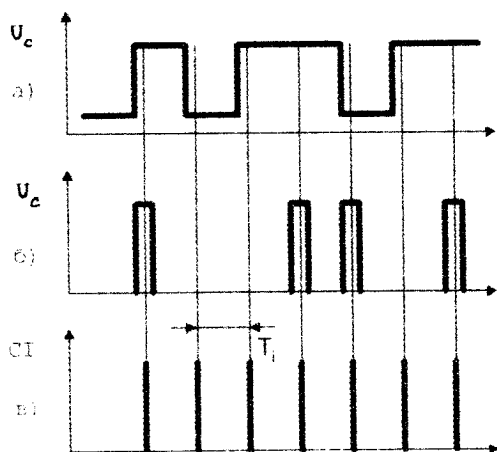
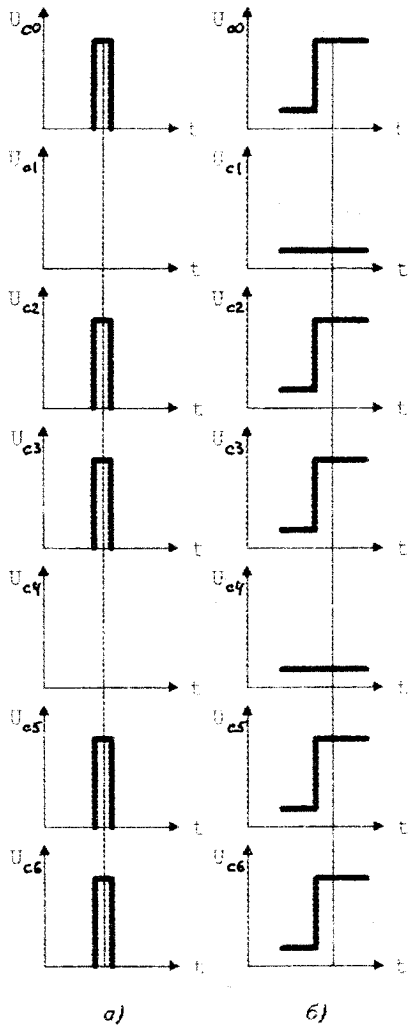


Рисунок 2.1 - Послідовний код двійкового числа при потенційному та імпульсному способах подання інформації

імпульсу кінцевої тривалості. При послідовному коді числа всі його розряди можуть бути зафіксовані на одному елементі і передані по одному каналу передачі інформації. Для передачі усього числа вимагається вісім тактів (рисунок 2.1, в).

Паралельний код дозволяє істотно скоротити час обробки і передачі інформації. Для прикладу рисунок 2.2 ілюструє паралельний код семирозрядного числа 1101101. В цьому випадку як при імпульсному (рисунок 2.2, а), так і при потенційному (рисунок 2.2, б) способах подання інформації всі розряди двійкового коду подані в одному часовому такті, можуть фіксуватися окремими елементами і передаватися по роздільних каналах (розрядних шинах). Цифрові прилади, що проводять обробку і перетворення на її входи інформації, що надходить, називають цифровими автоматами.



а) б)
Рисунок 2.2 - Паралельний код двійкового числа при потенційному і імпульсному способах подання інформації

Умовне графічне зображення найпростішого цифрового автомату показано на рисунку 2.3. На входи автомата подають комбінацію двійкових змінних X_1, X_2, \dots, X_n , з виходу знімають комбінацію двійкових змінних Y_1, Y_2, \dots, Y_m . На входах і виході цифрового автомата діють сигнали логічних 0 та 1, що називаються двійковими. Задача побудови цифрового автомата, що виконує певні дії над двійковими сигналами, полягає у виборі елементів і способу їхнього сполучення, що забезпечують задане перетворення. Ці задачі вирішує математична

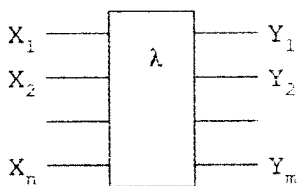


Рисунок 2.3 - Умовне позначення найпростішого цифрового автомата

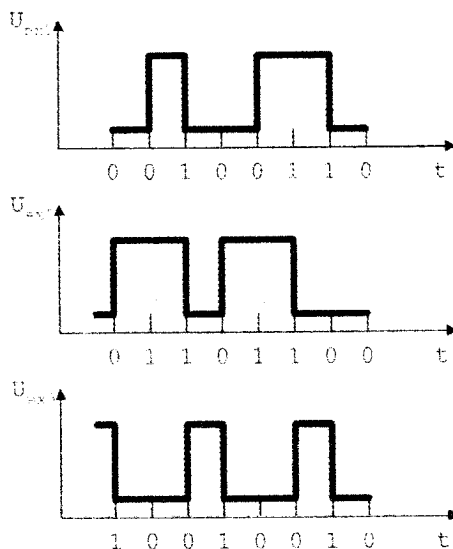


Рисунок 2.4 - Подання інформації у цифровому приладі послідовної дії

логіка або алгебра логіки.

Прилади, що формують функції алгебри логіки, називають *логічними* або *цифровими* і класифікують за різноманітними ознаками. Цифрові прилади за характером інформації на входах і виході поділяють на прилади послідовної, паралельної і змішаної дії.

На входи приладу послідовної дії символи кодових слів надходять не водночас, а один за одним (рисунок 2.4). У такій же послідовності формується вихідне кодове слово. Прилад, що

розглядається, формує на виході сигнал $U_{\text{вих}}^i$ код якого рівний сумі кодів вхідних сигналів $U_{\text{вх}1}$ і $U_{\text{вх}2}$.

Для реалізації приладу паралельної дії, що виконує аналогічну функцію, необхідні дві групи входів по вісім розрядів у кожній групі і вісім виходів (у відповідності із розрядністю вихідного слова). Відомі також прилади змішаного типу, в яких, наприклад, вхідне слово подається в паралельній формі, а вихідне - в послідовній (це - перетворювачі коду).

За схемним рішенням і характером зв'язків між вхідними і вихідними змінними з обліком їхньої зміни по тактах роботи розрізняють комбінаційні і послідовні цифрові прилади. В комбінаційних приладах сукупність сигналів на виході в кожний конкретний момент часу повністю визначається вхідними сигналами, діючими в цей момент на його входах. Якщо вхідні і вихідні функції в n -такті позначити як X_n і Y_n , то зв'язок між ними буде визначатися виразом

$$Y^n = \lambda(X^n),$$

де λ - знак виконуваного приладом логічного перетворення. Цифрові прилади, на відміну від аналогових, дозволяють реалізувати перетворення практично будь-якого виду, але комбінаційні прилади не мають пам'яті. В цифрових приладах послідовнісного типу (або автоматах з пам'яттю) значення вихідних змінних Y_n в n -такті визначаються не тільки значеннями вхідних змінних X_n , діючих в даний момент часу, але й залежать від внутрішніх станів приладу C_n . В свою чергу, внутрішні стани приладу C_n залежать від значень змінних, що діяли на вході в попередні такти. Таким чином, послідовнісні цифрові прилади зберігають відомості про попередні такти роботи приладу і тому мають пам'ять. Функціонування послідовнісного приладу аналітично можна записати у вигляді

$$Y_n = \varphi(X^n, C^n); C_n = F(X^{n-1}, C^{n-1}),$$

де X^{n-1} і C^{n-1} — відповідно набір вхідних змінних і внутрішніх станів приладу в попередній такт.

Прикладом послідовнісного приладу може бути лічильник імпульсів, стани виходу якого залежать від загального числа імпульсів, що надійшли на його вхід. Набір змінних на виході лічильника в n -такті залежить від наявності імпульсу на вході лічильника в такті, а також від станів лічильника, що визначаються загальним числом імпульсів, що надійшли на його вхід у тактах $1, 2, \dots, n-1$.

2.2 ЕЛЕМЕНТНА БАЗА ЦИФРОВИХ ПРИСТРОЇВ

Розробка електронних пристроїв почалася приблизно 50 років тому. Цифрові пристрої в залежності від використаних елементів та технології їх виготовлення відносять до того чи іншого покоління. Елементною базою цифрової техніки першого покоління були електронні лампи, електромагнітні реле, резистори, конденсатори та інші дискретні елементи. Швидкодія ЕОМ на базі цих пристроїв складала кілька десятків тисяч операцій в секунду. Основними недоліками, що гальмували їх широке використання в різних сферах економіки були складність, мала швидкодія, значна споживана потужність. В наступні роки з появою транзисторів і інтегральних мікросхем стан суттєво змінився. Елементною базою ЕОМ другого покоління були напівпровідникові прилади і мініатюрні дискретні деталі, як запам'ятовувальні пристрої використовувались ферит-транзисторні комірки. Швидкодія напівпровідникових елементів ЕОМ у порівнянні з ламповими виросла більше ніж на порядок.

Основною елементною базою ЕОМ третього покоління стали мікросхеми з малим і середнім рівнем інтеграції. Після появи інтегральних мікросхем фізики і інженери направили свої зусилля на розробку удосконалених технологічних процесів, що дозволяють

здійснити більш компактне розміщення елементів на одному кристалі. З 1972 року почалася інтенсивна розробка ЕОМ четвертого покоління. Використання у виробництві оптичних методів технології отримання тонких плівок і способів осадження тонких плівок у вакуумі призвело до створення великих інтегральних схем (ВІС), які вміщують десятки і сотні тисяч елементів і з'єднань. З кожним роком вдвічі збільшувалось число елементів на одному кристалі, в результаті чого в 1980 році рівень інтеграції досяг порядку сотень тисяч елементів на кристалі - це вже надвеликі інтегральні мікросхеми.

В залежності від технології виготовлення інтегральні схеми підрозділяються на серії (сімейства), які відрізняються фізичними параметрами базових елементів, а також числом мікросхем, що входять в їхній склад. В наш час розроблено кілька десятків технологій виготовлення інтегральних схем (ІС). Найбільш широке використання знайшли ІС, виготовлені за технологіями: *транзисторно-транзисторна логіка (ТТЛ)*; *комплементарні метал-окисел-напівпровідник (КМОП)*; *n-МОП*. Кожна технологія безперервно вдосконалюється з метою збільшення швидкодії ІС, зменшення споживаної потужності і збільшення порядку інтеграції - числа елементів, що розміщені на кристалі заданої площі.

ТТЛ ІС. В таблиці 2.1 наведені основні параметри базових елементів різних серій зарубіжних ІС, що виготовлені за ТТЛ-технологією, а в таблиці 2.2 - відповідність зарубіжних ІС вітчизняним.

Крім серій SN74, зарубіжними фірмами випускаються серії SN54 і SN84, які відрізняються тільки температурним діапазоном і допустимим відхиленням напруги джерела живлення від номіналу (таблиця 2.3).

Таблиця 2.1 - Основні параметри ІС ТТЛ-технології

Серія ІС	$t_{3, \text{світ}}$ нс	P , мВт / β ент	$I'_{\text{вх}}$, мкА	$I'_{\text{вх}}$ мА	$F_{\text{макс}}$, МГц	$I'_{\text{вих}}$ мкА	$I'_{\text{вих}}$ мА	n	$t_{3, \text{сер}}$ P , нс
SN74	10	10	40	-1.6	35	-400	16	10	100
SN74L	33	1	10	-0.18	3	-200	3.6	10	33
SN74H	6	22	50	-2	50	-500	20	10	132
SN74LS	9.5	2	20	-0.36	45	-400	8	20	19
SN74S	3	19	50	-2	125	1000	20	10	57
SN74AL	4	1	10	-0.2	50	-400	8	40	4
SN74AS	1.5	22	-	-	200	-	20	100	33
SN74F	2	4	20	-0.6	130	1000	20	33	8

Таблиця 2.2 - Відповідність зарубіжних ІС вітчизняним

Серія ІС		Серія ІС	
Вітчизняна	Зарубіжна	Вітчизняна	Зарубіжна
155	SN74	133	SN54
158	SN74L	136	SN54L
131	SN74H	130	SN54H
555	SN74LS	533	SN54LS
531	SN74S	530	SN54S
KP1533	SN74ALS	1533	SN54ALS
KP1531	SN74F	1531	SN54F

Таблиця 2.3 - Відмінності між параметрами серій зарубіжних ІС

Серія ІС	Діапазон робочих температур, °С	Напруга живлення, В
SN54	-55...+125	4.5 ... 5.5
SN74	0...+70	4.75 ... 5.25
SN84	-25...+85	4.75 ... 5.25

Найбільш важливим параметром, що характеризує якість серій ІС, є робота перемикачів - добуток середнього часу затримки сигналів у вентилі $t_{3, \text{сер}}$ на потужність споживання вентиля P (таблиця 2.1). Інші параметри мають такі позначення:

$I'_{\text{вх}}$ - вхідний струм при подачі на вхід рівня логічного нуля;

$I_{вх}$ - вхідний струм при подачі на вхід рівня логічної одиниці;

F_{max} - максимальна частота перемикання;

$I_{вих}$ - вихідний струм при рівні логічного нуля на виході;

$I'_{вих}$ - вихідний струм при рівні логічної одиниці на виході;

η - навантажувальна здатність (відношення $I_{вих} / I'_{вх}$).

Серії ІС розшифровуються таким чином:

SN74/SN54 - стандартна - 1963р.;

SN74H/SN54H - High speed - швидкодіюча - 1967р.;

SN74L/SN54L - Low power - малопотужна - 1967р.;

SN74S/SN54S - з використанням діодів Шоттки - 1969р.;

SN74LS/SN54LS - Low power Schottky - малопотужна з використанням діодів Шоттки - 1971р.;

SN74AS/SN54AS - Advanced Schottky - удосконалена з використанням діодів Шоттки - 1982р.;

SN74ALS/SN54ALS - Advanced Low power Schottky - удосконалена малопотужна з використанням діодів Шоттки - 1980р.;

SN74F/SN54F - Fairchild's Advanced Schottky TTL - удосконалена з використанням діодів Шоттки фірми Fairchild - 1979р.;

Діоди Шоттки не допускають режиму глибокого насичення транзисторів, що значно збільшує швидкість перемикання вентилів.

Всі серії сумісні за входами і виходами: вихідна напруга логічного нуля $U^0_{вих} \leq 0.4$ В; вхідна напруга логічного нуля $U^0_{вх} \leq 0.4$ В; вихідна напруга логічної одиниці $U^1_{вих} \geq 2.4$ В; вхідна напруга логічної одиниці $U^1_{вх} \geq 2.4$ В.

КМОН ІС характеризуються малим споживанням потужності в статичному режимі і більшою завадостійкістю у порівнянні з ТТЛ ІС. В таблиці 2.4 приведено відповідність вітчизняних і зарубіжних серій ІС.

У КМОН ІС швидкодія суттєво залежить від напруги джерела живлення (із збільшенням напруги живлення збільшується швидкодія).

Таблиця 2.4 - Відповідність між вітчизняними та зарубіжними КМОН ІС

<i>Серія ІС</i>		<i>Фірма</i>	<i>Напруга живлення, В</i>
<i>Вітчизняна</i>	<i>Зарубіжна</i>		
164, 176	CD4000	RCA	9 і 3...15
564, 561	CD4000A MC14000A	RCA Motorola	3...15
KP1561	CD4000B MC14000B	RCA Motorola	3...18
1561	54HC	National Semiconductor Corp., Motorola	2...6

У порівнянні з ТТЛ ІС необхідно відмітити такі переваги КМОН ІС:

- мала споживана потужність у діапазоні частот до 2 МГц;
- великий діапазон напруги живлення (3...15 В) - можна використовувати нестабілізоване джерело живлення;
- дуже високий вхідний опір ($10^3 \dots 10^6$ МОм);
- велика навантажувальна здатність ($n=50$; $n=1000$ на частотах до 10 кГц);
- незначна залежність характеристик від температури.

Недоліки КМОН ІС серій 561 і 1561:

- завищений вхідний опір (0.5 ... 1 кОм);
- великий вплив ємності навантаження і напруги живлення на час затримки, тривалість фронтів і споживану потужність;
- великі тривалості затримок і фронтів.

Невикористовувані входи ІС. При побудові схем на ІС часто використовуються не всі їх входи. Виходячи з логіки роботи схеми, на ці входи потрібно подати або логічний рівень 0, або 1. Логічний рівень 0 як в ТТЛ, так і в КМОН ІС подається під'єднанням невикористовуваного входу до корпусу (0 В). Логічний рівень 1

подається на невикористовувані входи під'єднанням їх до джерела напруги живлення, але входи ТТЛ ІС рекомендується приєднувати до джерела через струмообмежувальний резистор для захисту від стрибків напруги, що виникають, наприклад, при ввімкненні живлення. Якщо вхід ТТЛ ІС не приєднаний ні до корпусу, ні до джерела живлення, то ІС буде працювати так, як ніби на неї поданий логічний рівень 1, але надійність роботи буде низькою (імпульсні завади, що викликані перемикаваннями сусідніх входів і виходів, можуть привести до непередбаченого спрацювання ІС). В КМОН ІС не можна залишати непід'єднаними жодного невикористовуваного входу).

2.3 ЛОГІЧНІ ЕЛЕМЕНТИ

Логічний елемент - це електронний прилад, що реалізує одну з логічних функцій. В склад серій мікросхем, що розглядаються, входить велике число логічних елементів. На принциповій схемі логічний елемент зображають прямокутником, всередині якого ставиться зображення покажчика функції. Лінії з лівої сторони прямокутника показують входи, з правої - вихід елемента. На рисунку 2.5 зображені основні логічні елементи, що використовуються у цифрових приладах:

елемент І (кон'юнктор &) $y = x_1 \cdot x_2$ (а);

елемент АБО (диз'юнктор 1) $y = x_1 \vee x_2$ (б);

елемент НІ (інвертор 1) $y = \bar{x}$ (в).

Окрім означених існує множина логічних елементів, що виконують більш складні логічні перетворення. Ці перетворення є комбінаціями найпростіших логічних операцій. До числа таких елементів відносяться:

елемент І-НІ $y = \overline{x_1 \cdot x_2}$;

елемент АБО-НІ $y = \overline{x_1 \vee x_2}$;

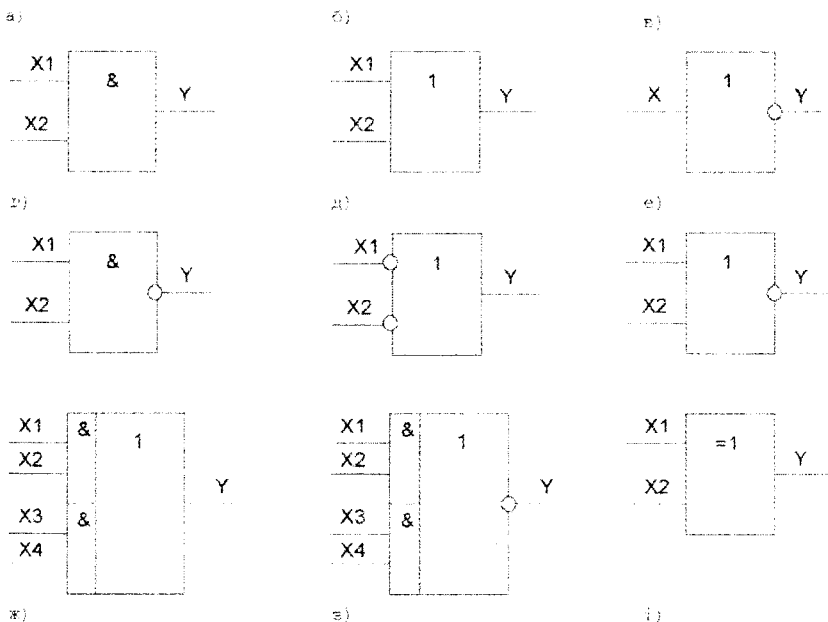


Рисунок 2.5 - Графічні позначення логічних елементів

елемент І-АБО $y = x_1 \cdot x_2 \vee x_3 \cdot x_4$;

елемент І-АБО-НІ $y = \overline{x_1 \cdot x_2 \vee x_3 \cdot x_4}$;

суматор за модулем 2 $y = \overline{x_1} \cdot x_2 \vee x_1 \cdot \overline{x_2}$.

Суматор за модулем 2 можна виконати на логічних елементах І, АБО, НІ (рисунок 2.6).

Число входів в логічних елементах різного призначення може бути різним, але входи кожного елемента рівнозначні. Деякі з них можуть при роботі в конкретних приладах не використовуватися. Входи, які не використовуються в схемах І, І-НІ з'єднують із $+U_{\text{дк}}$, а в схемах АБО, АБО-НІ, суматора за модулем 2 - із загальним проводом (0 В).

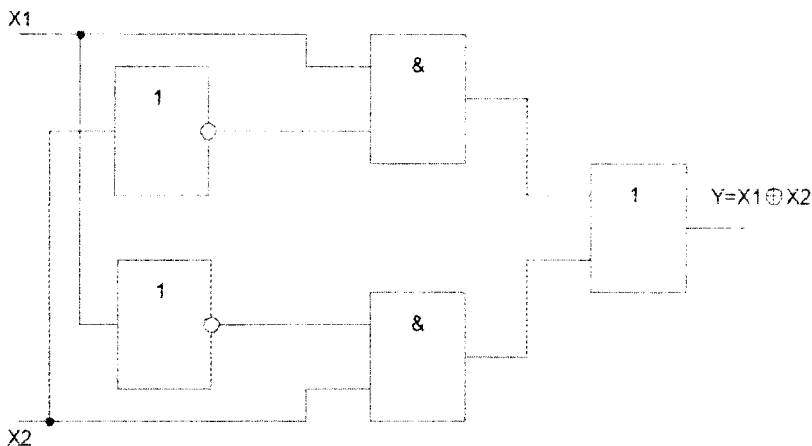


Рисунок 2.6 - Схема суматора за модулем 2

На рисунку 2.7 наведені приклади умовного позначення логічних елементів різних серій.

2.4 СПОСОБИ СПРОЩЕННЯ ЛОГІЧНИХ ЗАДАЧ

Виготовлювачі ІС полегшили вирішення багатьох задач побудови комбінаційних логічних схем, створивши так звані *селектори даних*, використання яких часто дозволяє вирішити складну логічну задачу за допомогою лише одної ІС. Селектор даних складається із великої кількості логічних елементів, розміщених у одному корпусі ІС.

Селектор даних типу «1 із 8» наведений на рисунку 2.8. Зверніть увагу на наявність з лівої сторони селектора восьми *інформаційних входів*, пронумерованих цифрами від 0 до 7, і трьох *селекторних входів* у нижній частині селектора даних, позначених А, В і С. Основне призначення селектора даних - пересилка з певного входу на вихід W. Вибір входу, з якого пересилаються дані, визначається двійковим кодом, що поступає на селекторні входи (рисунк 2.8). Селектор даних працює за тим самим принципом, що і поворотний перемикач (рисунк 2.8).

2.9). Для зміни входу для пересилки даних змінюється двійковий код на селекторних входах.

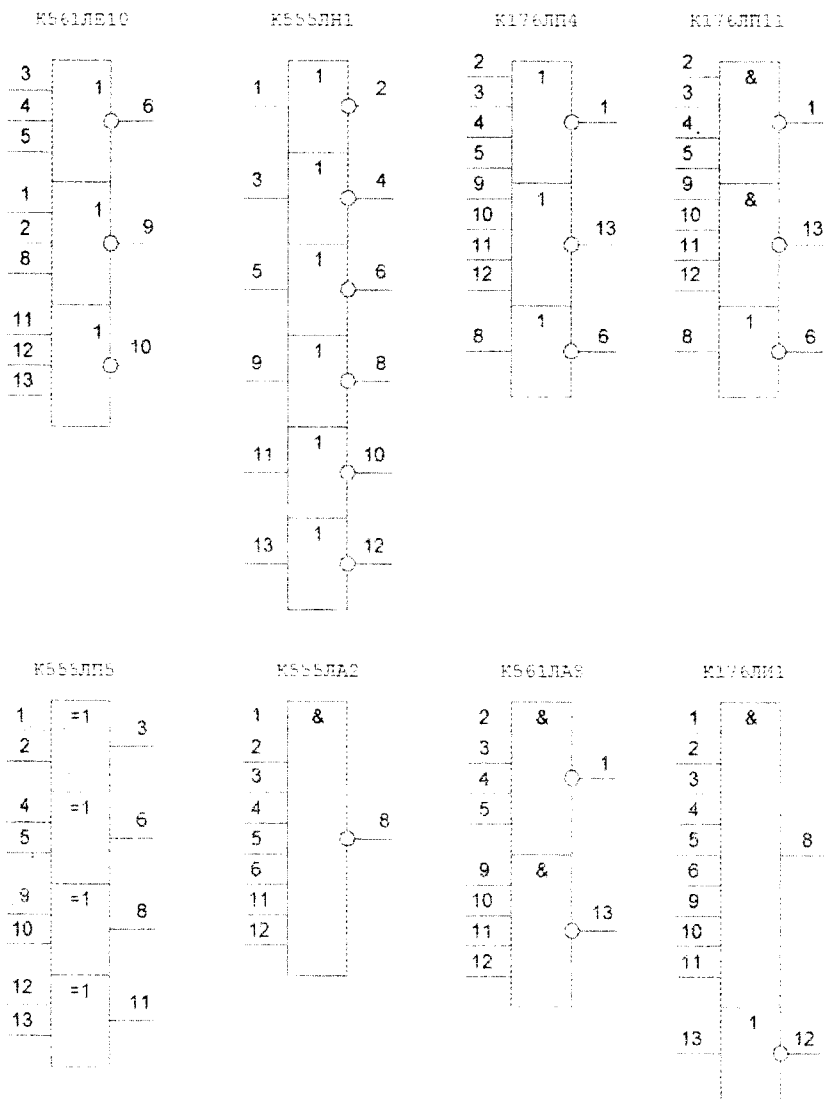


Рисунок 2.7 - Приклади графічного позначення логічних елементів різних серій

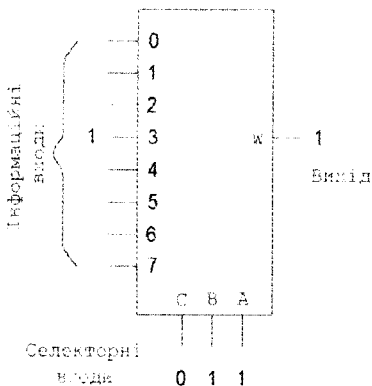


Рисунок 2.8 - Умовне позначення селектора даних «1 із 8»

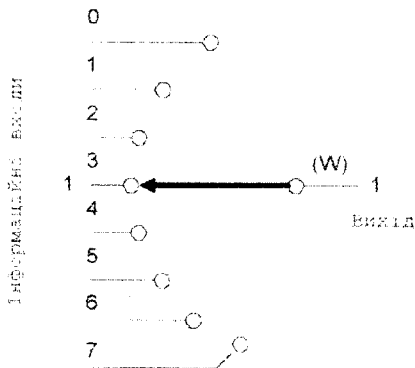


Рисунок 2.9 - Однополюсний восьмипозиційний поворотний перемикач, діючий як селектор даних

Наведемо приклад конструювання логічних схем. Нехай задано спрощену функцію перемикання

$$Y = x_1 \cdot x_2 \cdot x_3 \cdot x_4 \vee \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} \vee x_1 \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4 \vee x_1 \cdot x_2 \cdot \overline{x_3} \cdot \overline{x_4} \vee \overline{x_1} \cdot x_2 \cdot x_3 \cdot \overline{x_4} \vee \overline{x_1} \cdot x_2 \cdot \overline{x_3} \cdot x_4 \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \cdot x_4$$

Наведемо на рисунку 2.10 схему, що відповідає цій функції перемикання. Якби для побудови цієї функції було використано стандартні ІС, то їх потрібно було б 6-9 штук. Таке рішення було б дуже неекономічним. З меншими затратами ця задача вирішується за допомогою селектора даних. З метою пояснення функція перемикання на рисунку 2.11 записана у вигляді таблиці істинності. До цієї таблиці доданий селектор даних «1 із 16». Відмітимо, що логічні 0 і 1 подаються на шістнадцять інформаційних входів селектора у відповідності із стовпцем значень виходу y таблиці істинності. Ці з'єднання залишаються постійними для даної таблиці істинності. На селекторні входи (D, C, B і A) подаються двійкові числа, що відповідають різним комбінаціям входів в таблиці істинності. Якщо, наприклад, на селекторні входи D, C, B, A подано двійкове число 0000, то на вихід W селектора даних поступає логічна 1.

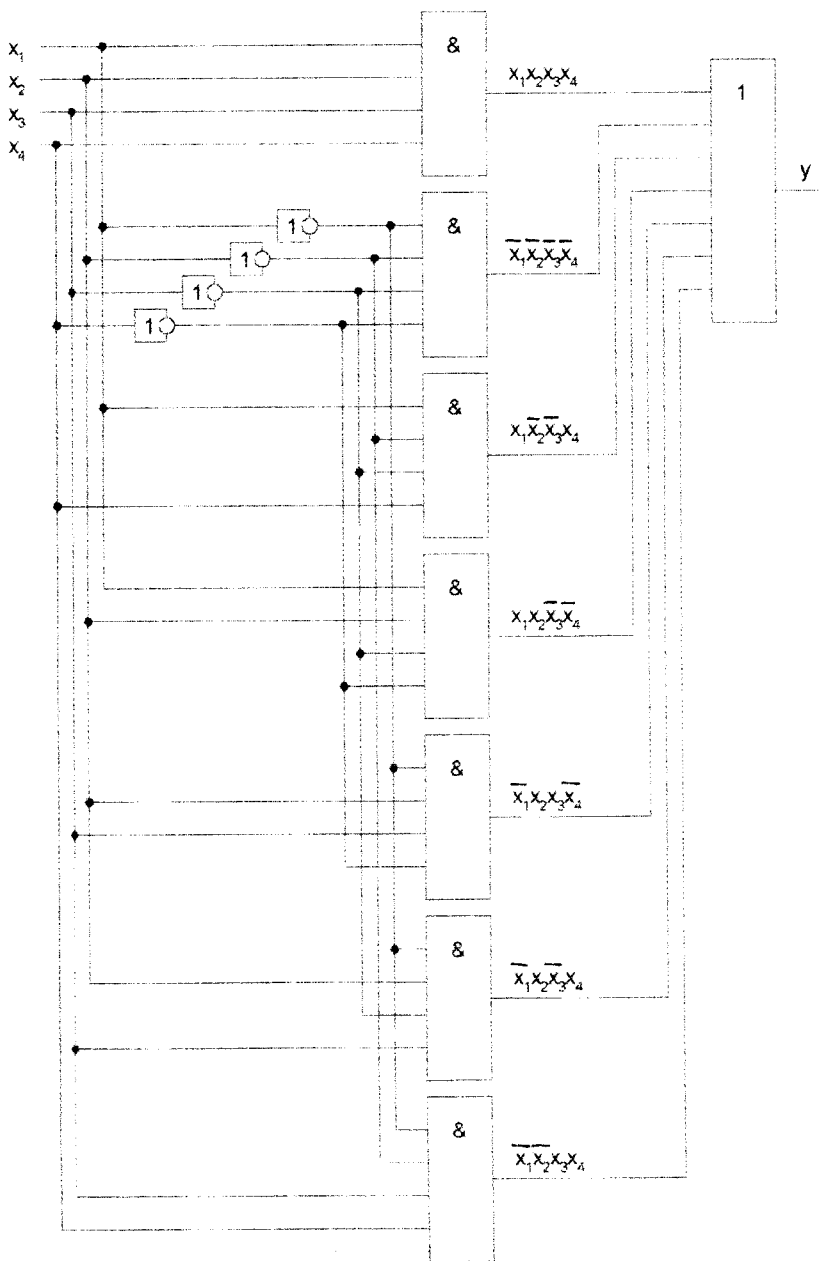


Рисунок 2.10 - Логічна схема для функції перемикання

Перший рядок таблиці істинності вимагає, щоб на виході W логічна одиниця появлялась в тому випадку, коли всі змінні D, C, B і A приймають значення 0. Якщо на селекторні входи D, C, B і A поступить двійкове число 0001, то у відповідності до вимог таблиці істинності на виході W появиться логічний 0. Будь-яка комбінація вхідних змінних D, C, B і A генерує необхідний вихід згідно з таблицею істинності.

Використання селектора даних є простим, зручним і ефективним методом вирішення задач побудови комбінаційних логічних схем.

Селектори даних називаються також *мультиплексорами*.

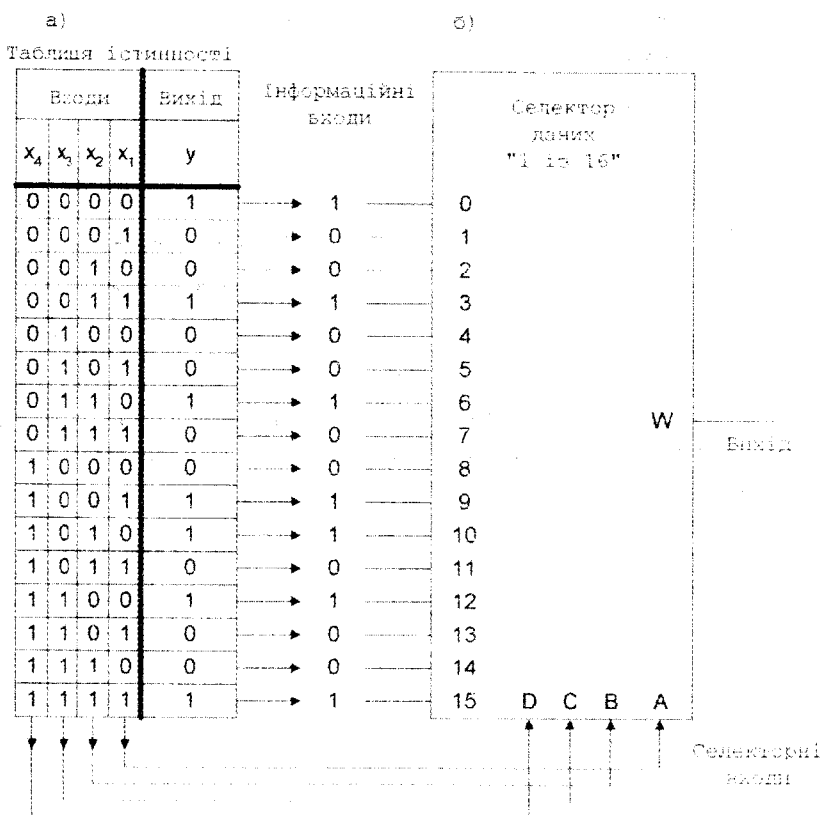


Рисунок 2.11 - Вирішення логічної задачі за допомогою селектора даних

2.5 ТРИГЕРИ ТА ЇХНІ ХАРАКТЕРИСТИКИ

Найпростішими цифровими автоматами із пам'яттю є тригери. *Тригер* -це прилад послідовнісного типу з двома стійкими станами рівноваги, призначений для запису і зберігання інформації. Під дією вхідних сигналів тригер може переходити з одного стійкого стану в інший. При цьому напруга на його виході стрибкоподібно змінюється.

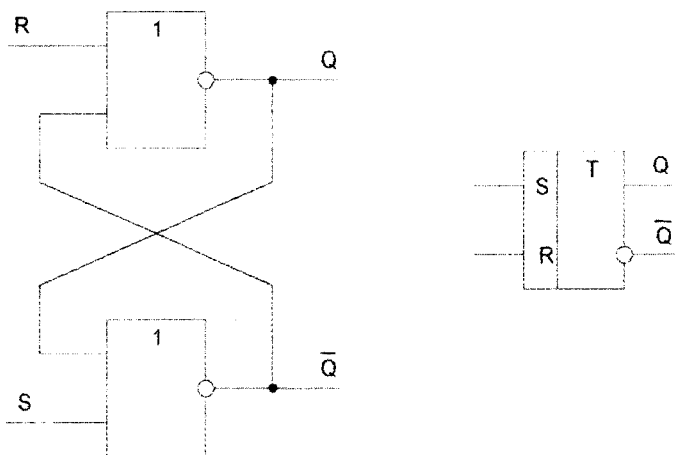
Як правило, тригер має два виходи - прямий та інверсний. Число входів залежить від структури і функцій, що виконуються тригером. За способом запису інформації тригери поділяють на асинхронні і синхронізовані (тактовані). В асинхронних тригерах інформація може записуватися безперервно і визначається інформаційними сигналами, діючими на входах у даний момент часу. Якщо інформація заноситься в тригер тільки в момент дії так званого синхронізуючого сигналу, то такий тригер називають *синхронізованим* або *тактованим*. Окрім інформаційних входів, синхронізовані тригери мають тактовий вхід (вхід синхронізації). В цифровій техніці прийняті такі позначення входів та виходів тригерів:

- Q – прямий вихід тригера;
- \bar{Q} - інверсний вихід тригера;
- S - роздільний вхід установки в одиничний стан (напруга високого рівня на прямому виході Q);
- R - роздільний вхід установки в нульовий стан (напруга низького рівня на прямому виході Q);
- D - інформаційний вхід (на нього подається інформація, призначена для занесення в тригер);
- C - вхід синхронізації;
- T - лічильний вхід.

Найбільше розповсюдження в цифрових приладах отримали RS-тригер з двома установчими входами, тактований D-тригер і лічильний T-тригер. Розглянемо функціональні можливості кожного з них.

Асинхронний RS-тригер. В залежності від логічної структури розрізняють RS-тригери з прямими і інверсними входами. Їхні схеми і умовні позначення наведені на рисунку 2.12. Тригери такого типу побудовані на двох логічних елементах: 2АБО-НІ - тригер з прямими входами (рисунок 2.12, а), 2І-НІ - тригер з інверсними входами (рисунок 2.12, б). Вихід кожного з елементів під'єднаний до одного з входів іншого елемента, що забезпечує тригеру два стійких стани. Наведена таблиця 2.6 істинності для кожного з цих тригерів.

В таблиці 2.6 Q^t і \bar{Q}^t позначають рівні, які були на виході тригера до подачі на його входи так званих активних рівнів. *Активним* називають логічний рівень, що діє на вході логічного елемента і однозначно визначає логічний рівень вихідного сигналу (незалежно від логічних рівнів, що діють на інших входах). Для елементів АБО-НІ за активний рівень приймають високий рівень, а для елементів І-НІ - низький рівень. Рівні, подача яких на один з входів не призводить до модифікації логічного рівня на виході елемента, називають *пасивними*. Рівні Q^{t+1} і \bar{Q}^{t+1} позначають логічні рівні на виході тригера після подачі інформації на його входи. Для тригера з прямими входами $Q^{t+1} = 1$ при $S=1$ і $R=0$; $Q^{t+1} = 0$ при $S=0$ і $R=1$; $Q^{t+1} = Q^t$ при $S=0$ і $R=0$. При $R=S=1$ стан тригера буде невизначеним (*), бо під час дії інформаційних сигналів логічні рівні на виході тригера однакові ($Q^{t+1} = \bar{Q}^{t+1} = 0$), а після закінчення їхньої дії тригер може рівноймовірно прийняти будь-який із стійких станів. Тому така комбінація є забороненою.



a)

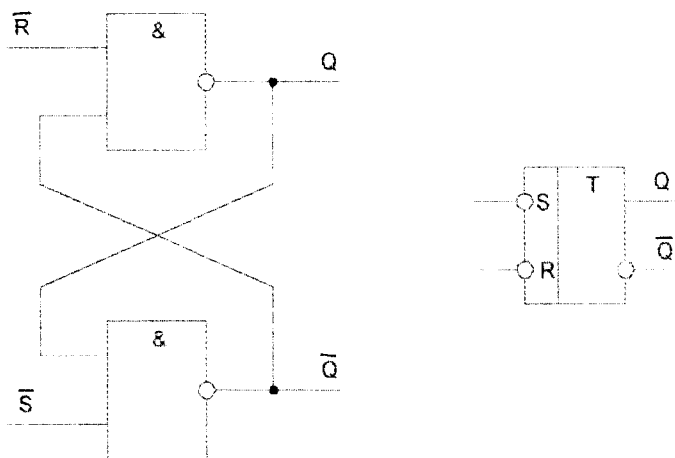


Рисунок 2.12 - Схеми та умовні позначення RS-тригерів

Режим $S=1, R=0$ називають режимом запису 1 (бо $Q^{n+1}=1$); режим $S=0$ і $R=1$ - режимом запису 0. Режим $S=0, R=0$ називається режимом зберігання інформації, бо інформація на виході залишається незмінною. Для тригера з інверсними входами режим запису логічної 1 реалізується при $S=0, R=1$, режим запису логічного 0 - при $S=1,$

$R=0$. При $S=R=1$ забезпечується зберігання інформації. Комбінація $S=R=0$ є забороненою.

Таблиця 2.5 - Таблиці істинності асинхронних RS-тригерів

S	R	Q	\bar{Q}	Q^{n+1}	\bar{Q}^{n+1}
0	1	0	1	0	1
1	0	0	1	1	0
0	0	0	1	0	1
1	1	0	1	*	*
0	1	1	0	0	1
1	0	1	0	1	0
0	0	1	0	1	0
1	1	1	0	*	*

\bar{S}	\bar{R}	Q	\bar{Q}	Q^{n+1}	\bar{Q}^{n+1}
0	1	0	1	1	0
1	0	0	1	0	1
0	0	0	1	*	*
1	1	0	1	0	1
0	1	1	0	1	0
1	0	1	0	0	1
0	0	1	0	*	*
1	1	1	0	0	1

Тактовий D-тригер. Він має інформаційний вихід і вхід синхронізації. Одна із можливих структурних схем одноканального D-тригера і його умовне позначення наведені на рисунку 2.13.

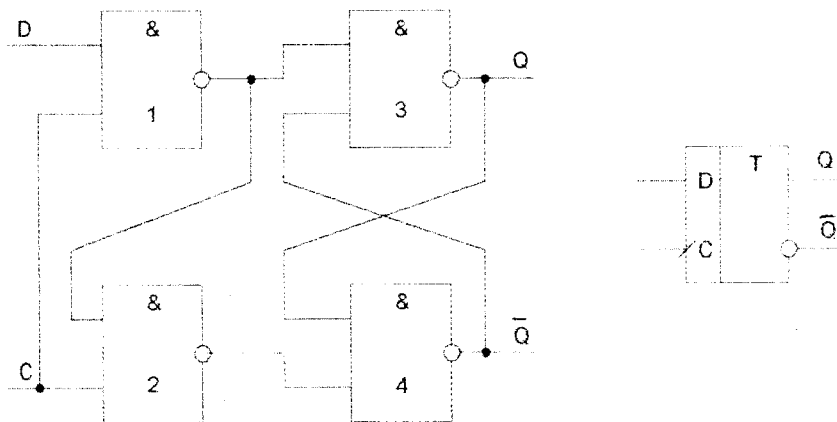


Рисунок 2.13 - Схема та умовне позначення тактового D-тригера

Якщо рівень сигналу на вході $C=0$, стан тригера стійкий і не залежить від рівня сигналу на інформаційному вході. При цьому на

входи RS-тригера з інверсними входами (елементи 3 і 4) надходять пасивні рівні ($S=R=1$). При подачі на вхід синхронізації рівня $C=1$ інформація на прямому виході буде повторювати інформацію, що подається на вхід D . Таким чином, при $C=0$ $Q^{t+1} = Q^t$, а при $C=1$ $Q^{t+1} = D$ (таблиця 2.6).

Таблиця 2.6 - Таблиця істинності тактового D-тригера

D	Q	Q^{t+1}
0	0	0
0	1	0
1	0	1
1	1	1

Тут Q^t означає логічний рівень на прямому виході до подачі імпульсу синхронізації, а Q^{t+1} - логічний рівень на цьому виході після подачі імпульсу синхронізації.

В такому тригері відбувається затримка сигналу на виході по відношенню до сигналу, поданого на вхід, під час паузи між синхросигналами. Для стійкої роботи тригера необхідно, щоб протягом синхроімпульса інформація на вході була незмінною.

Тактові D-тригери можуть бути з потенційним і динамічним управлінням. У перших з них інформація записується протягом часу, при якому рівень сигналу $C=1$. В тригерах з динамічним управлінням інформація записується тільки протягом перепаду напруги на вході синхронізації. Динамічні входи зображають на схемах трикутником. Якщо верхівка трикутника звернута в сторону мікросхеми, то тригер «спрацьовує» по фронту вхідного імпульсу, якщо від неї - по зрізу імпульсу. В такому тригері інформація на виході може бути затримана на один такт по відношенню до вхідної інформації.

Лічильний Т-тригер (рисунок 2.14). Його називають також тригером зі лічильним входом. Він має один вхід керування T і два виходи Q і \bar{Q} . Інформація на виході такого тригера змінює свій знак на протилежний при кожному позитивному (або при кожному негативному) перепаді напруги на вході. В серії мікросхем, що випускаються, Т-тригерів, як правило, немає. Але тригер такого типу може бути створений на базі тактового D-тригера, якщо його інверсний вихід з'єднати з інформаційним входом. Як видно з діаграми, частота сигналу на виході Т-тригера в два рази нижче частоти сигналу на вході, тому такий тригер можна використовувати як подільник частоти і двійковий лічильник.

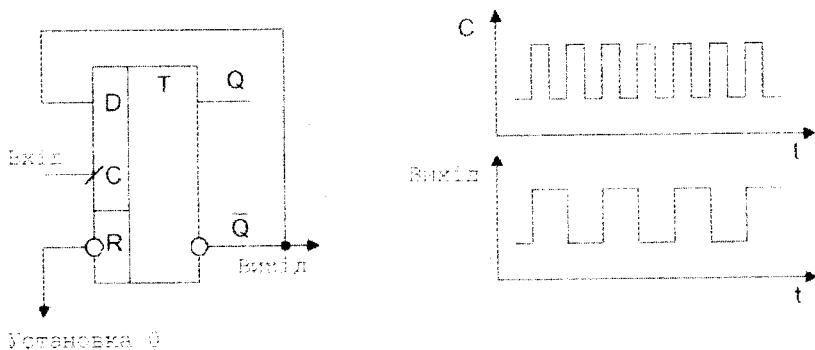


Рисунок 2.14 - Лічильний тригер

В серіях мікросхем, що випускаються, є також універсальні JK-тригери. При відповідному під'єднанні вхідної логіки JK-тригер може виконувати функції тригера будь-якого іншого типу.

Умовні графічні позначення тригерів на принципових схемах наведені на рисунку 2.15.

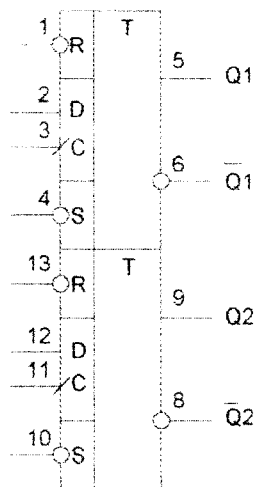


Рисунок 2.15 - Графічні позначення тригерів

2.6 ГЕНЕРАТОРИ І ФОРМУВАЧІ ІМПУЛЬСІВ

На базі логічних елементів цифрових приладів можуть бути сконструйовані різноманітні генератори імпульсів. Наведемо декілька конкретних прикладів.

Генератор (рисунок 2.16) виробляє імпульси в широкому діапазоні частот - від одиниць герц до декількох кілогерц. Залежність частоти f (кГц) від ємності конденсатора $C1$ (пФ) виражається приблизною формулою $f \approx 3 \cdot 10^5 / C1$. Скважність імпульсної напруги практично рівна 2. При зниженні напруги джерела живлення на 0.5 В частота генерованих імпульсів зменшується на 20%.

В генераторі, що наведений на рисунку 2.17, тривалість імпульсів можна регулювати змінним резистором $R2$ (скважність змінюється від 1.5 до 3), а частоту - резистором $R1$. Наприклад, в генераторі з $C1=0.1$ мкФ при вилученні резистора $R2$ тільки резистором $R1$ частоту генерованих імпульсів можна змінювати від 8 до 125 кГц. Для

одержання іншого діапазону частот необхідно змінити ємність конденсатора С1.

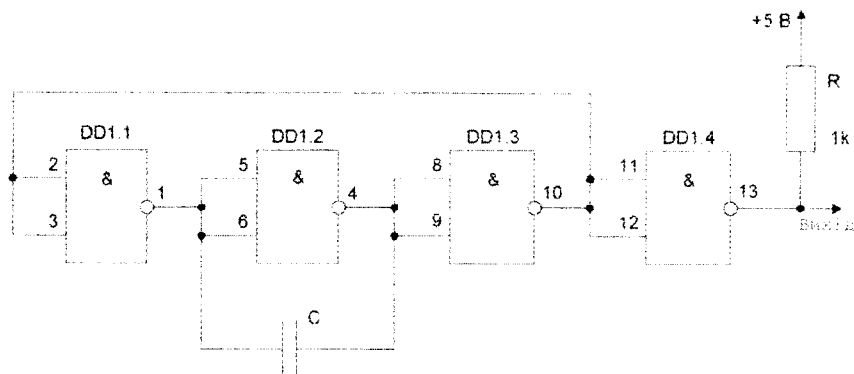


Рисунок 2.16 - Генератор імпульсів

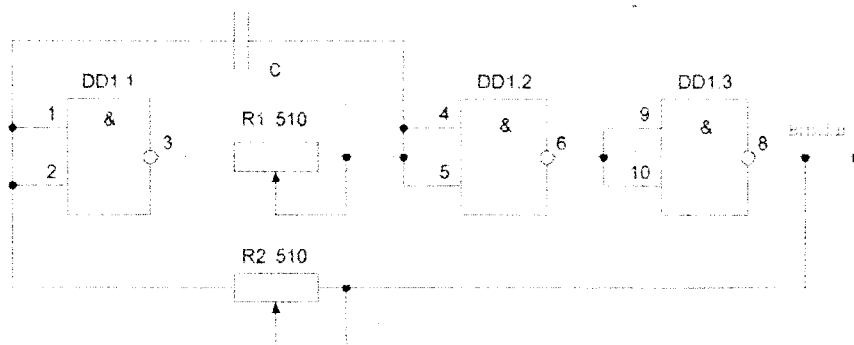


Рисунок 2.17 - Генератор імпульсів з регульованою тривалістю

Широку зміну частоти генерованих імпульсів (майже 50 тисяч разів) забезпечує прилад, зібраний по схемі на рисунку 2.18. Мінімальна частота імпульсів тут близько 0.25 Гц. Тривалість імпульсів регулюють резистором R1. Частоту слідування можна визначити за формулою $f = 1 / 2 R1 C1$, де f - частота, Гц; $R1$ - опір, Ом; $C1$ ємність, Ф.

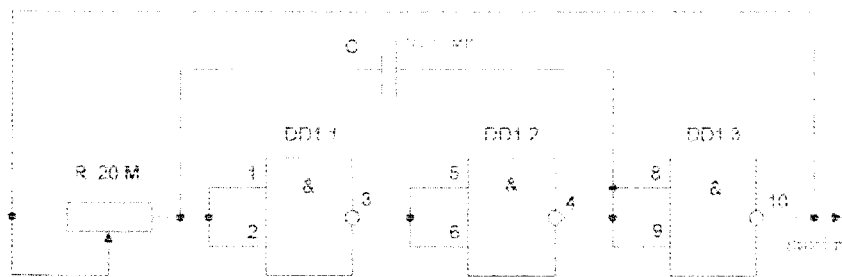


Рисунок 2.18 - Генератор імпульсів з регульованою тривалістю

При реалізації цифрових приладів різного призначення часто необхідно сформувати короткі імпульси по фронтах вхідного сигналу. Зокрема, такі імпульси використовують для скиду лічильників, як імпульси синхронізації при записі інформації в регістри тощо. На рисунку 2.19 наведена схема і часові діаграми формувача коротких від'ємних імпульсів за позитивним перепадом напруги на його вході. При зміні напруги $U_{вх}$ від низького рівня до високого цей перепад без затримки надходить на вхід 13 елемента DD1.4. Водночас на вході 13 елемента DD1.4 напруга високого рівня зберігається протягом часу розповсюдження сигналу через елементи DD1.1-DD1.3 (біля 75 нс.) В результаті на протязі цього часу на виході приладу зберігається напруга низького рівня. Після цього на вході 12 встановлюється напруга низького рівня, а на виході приладу - високого. Таким чином, формується короткий негативний імпульс, фронт якого збігається з фронтом вхідної напруги. Щоб такий прилад використовувати для формування від'ємного імпульсу по зрізу вхідного сигналу, його треба доповнити ще одним інвертором (рисунок 2.20).

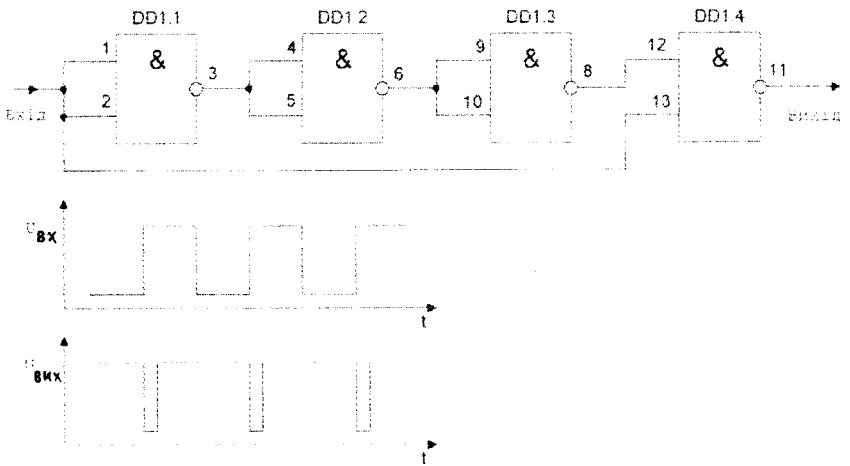


Рисунок 2.19 - Формувач імпульсів по фронту вхідного сигналу

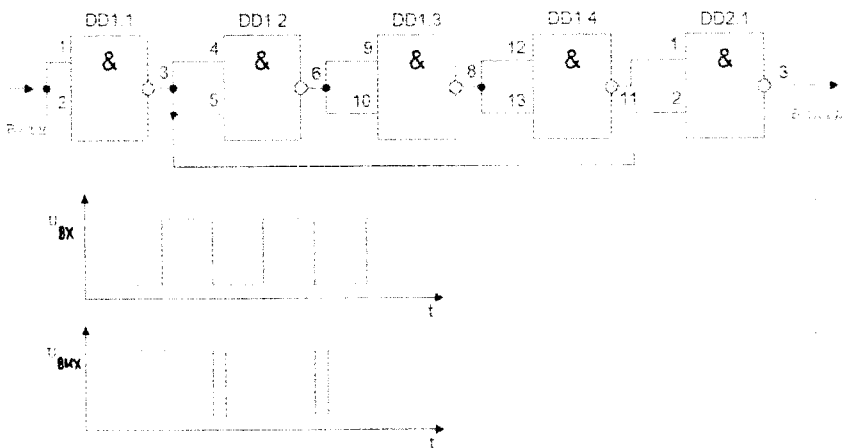


Рисунок 2.20 - Формувач імпульсів по зрізу вхідного сигналу

На рисунку 2.21 зображені схема і часова діаграма роботи формувача імпульсів по фронту і зрізу вхідного сигналу. Тривалість кожного імпульсу, що сформувався, рівна

$$t_{\text{и}} = t_{\text{д}} = n \cdot t_{\text{мр}}^{(1)} + (n+1) \cdot t_{\text{мр}}^{(2)}$$

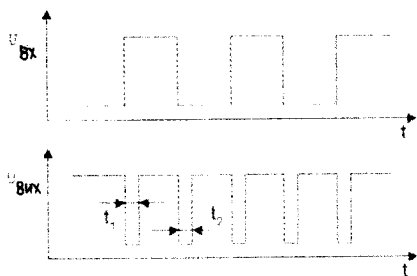
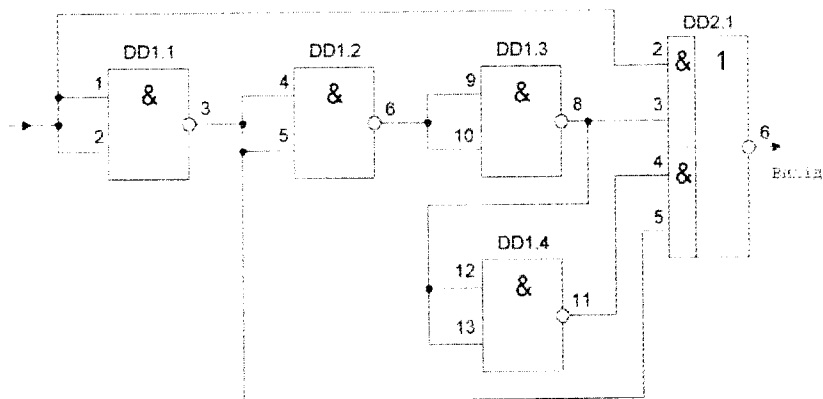


Рисунок 2.21 - Формувач імпульсів по фронту і зрізу вхідного сигналу

Тут n - парне число елементів, що беруть участь в затримці сигналі; $t_{з.р.}^{0,1}$, $t_{з.р.}^{1,0}$ - час затримки роботи елементів при переході від 0 до 1 та від 1 до 0 відповідно. Принцип роботи цього формувача аналогічний принципу роботи описаних раніше формувачів коротких імпульсів.

Формувачі імпульсів є і в складі мікросхем серії K555. Так, мікросхема K555АГ1 - це одновібратор з трьома входами, прямим та інверсним виходом і виводами для під'єднання зовнішніх трьох задаючих кіл (рисунок 2.22). Одновібратор може запускатися як позитивним, так і негативним перепадами вхідних сигналів при певній напрузі, не залежними від тривалості вхідних імпульсів. Перемикається

одновібратор негативним перепадом вхідного сигналу, поданого на один з входів А, в той час як на вхід В подана напруга високого рівня, або позитивним перепадом, поданим на вхід В, якщо на одному з входів А або А1 присутня напруга низького рівня.

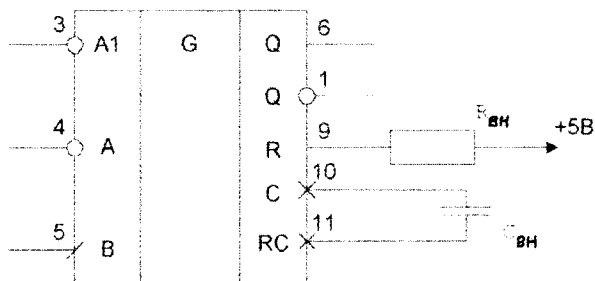


Рисунок 2.22 - Формувач імпульсів на мікросхемі K555AG1

При максимальному опорі резистора $R_{нм}=40$ кОм тривалість вихідного імпульсу не повинна перевищувати $0.9T$, де T - період слідування вхідних імпульсів. Тривалість вихідного імпульсу залежить від резистора $R_{нм}=(0-40)$ кОм і $C_{нм}=(0-1000)$ мкФ і визначається формулою: $t_{н}=RC \ln 2$. Тут $R=2k+R_{нм}$, $2k$ - опір внутрішнього резистора.

В склад серії K555 входить також мікросхема K555AG3. В одному корпусі в ній містяться два одновібратори. Варіанти підключення зовнішніх часозадаючих елементів і часова діаграма роботи одновібратора зображені на рисунку 2.23. Одновібратор також запускається або негативним перепадом вхідного сигналу на вході А при високому рівні на входах В і R, або позитивним перепадом напруги на вході В при низькому рівні на вході А і високому рівні на вході R. Тривалість імпульсу $t_{н1}$ визначається постійною часу часозадаючого кола, але може бути зменшена за рахунок подачі на вхід R напруги низького рівня при $t_{н2}<t_{н1}$.

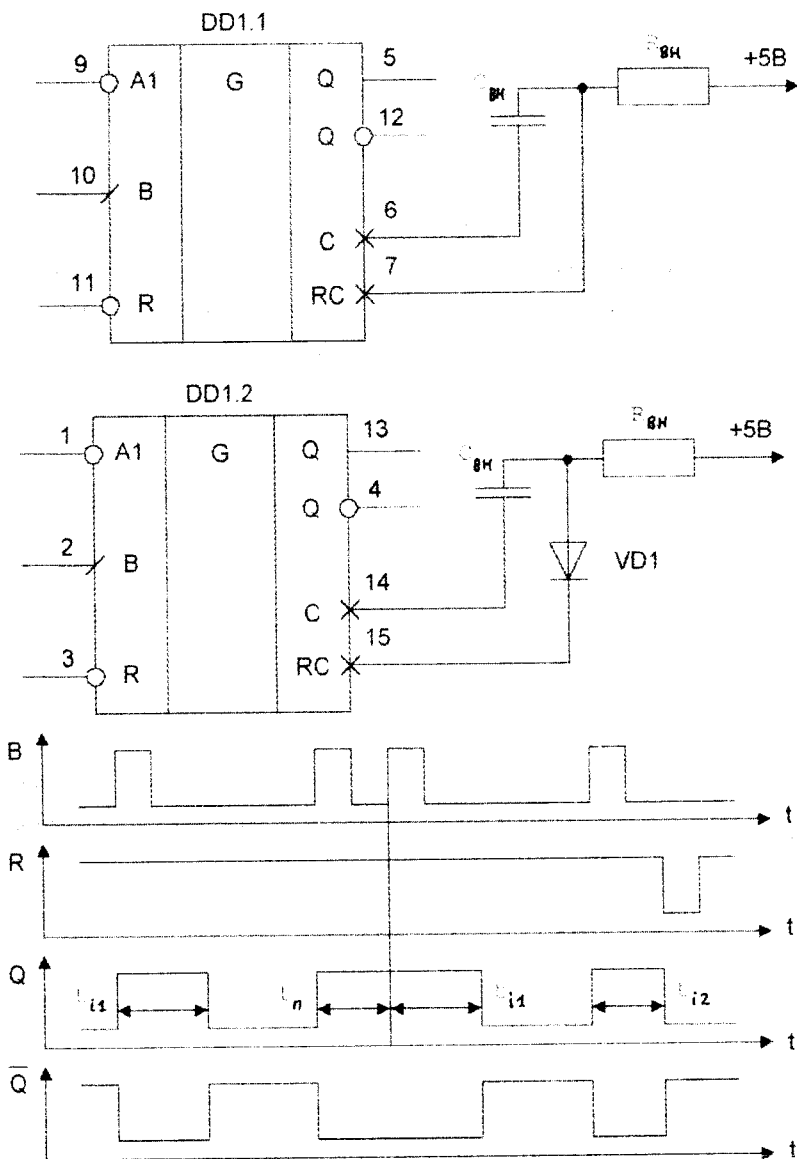


Рисунок 2.23 - Варіанти формувача імпульсів на мікросхемі K555AG3

Список питань для самоконтролю

1. Що таке комбінаційна схема і цифровий автомат?
2. Які основні параметри мікросхем з транзисторно-транзисторною логікою?
3. Які основні параметри мікросхем з комплементарними метал-окисел-напівпровідник?
4. Що таке логічні елементи і які вони існують?
5. Поясніть суть способів спрощення логічних задач.
6. Назвіть основні види тригерів та наведіть їх характеристики.
7. Наведіть декілька схем генераторів і формувачів імпульсів.

РОЗДІЛ 3 ОСНОВНІ ВУЗЛИ ЦИФРОВИХ ПРИЛАДІВ

3.1 РЕГІСТРИ

Кілька тригерів можна об'єднати в *регістр* - вузол для зберігання чисел з двійковим поданням цифр розрядів. Основними видами регістрів є паралельні і послідовні (зсувні).

В паралельному регістрі на тактових D-тригерах (рисунок 3.1) код числа, що запам'ятовується, подається на інформаційні входи всіх тригерів і записується в регістр з приходом тактового імпульсу. Вихідна інформація змінюється з подачею нового вхідного слова і приходом наступного імпульсу запису. Такі регістри використовують в системах оперативної пам'яті. Число тригерів в них дорівнює максимальній розрядності слів, що зберігаються у ньому.

Схема послідовного регістра і часова діаграма, що ілюструє його роботу, наведені на рисунок 3.2. З приходом тактового імпульсу С перший тригер записує код X (0 або 1), що знаходиться в цей момент на його вході D, а кожний наступний тригер перемикається в стан, в якому до цього знаходився попередній. Так відбувається тому, що сигнал, який записується, проходить із входу D тригера до виходу Q із затримкою, більшою тривалості фронту тактового імпульсу (протягом якого відбувається запис). Кожний тактовий імпульс послідовно зсуває код числа у регістрі на один розряд. Тому для запису N-розрядного коду необхідно N тактових імпульсів. На діаграмі видно, що чотирирозрядне число 1011 було записане у відповідні розряди регістра (1 - Q4, 0 - Q3, 1 - Q2, 1 - Q1) після приходу четвертого тактового імпульсу. До приходу наступного тактового імпульсу це число зберігається в регістрі у виді паралельного коду на виході Q4-Q1. Якщо необхідно отримати інформацію, що зберігається у послідовному коді, то її знімають із виходу Q4 в моменти приходу наступних чотирьох

імпульсів (5-9). Такий режим називається режимом послідовного зчитування.

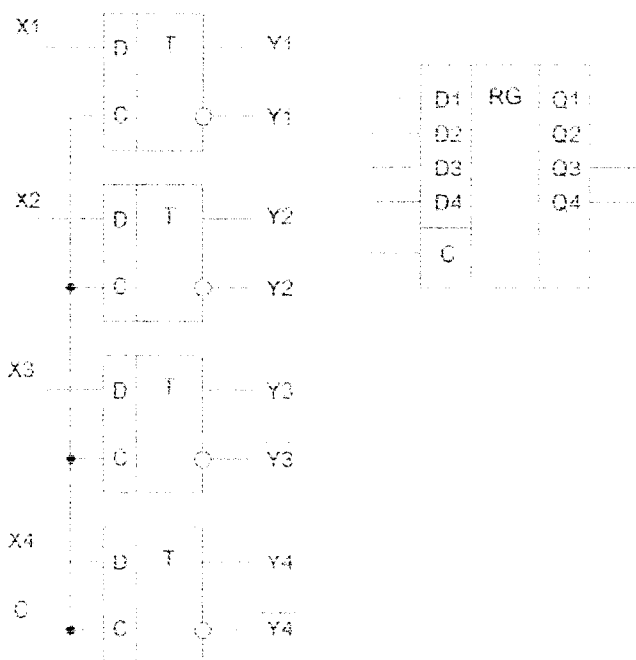


Рисунок 3.1 - Паралельний регістр на тактових D-тригерах

Дуже зручні універсальні регістри, що дозволяють здійснювати як послідовний, так і паралельний запис і зчитування. Такі регістри можна використовувати як перетворювачі паралельного коду в послідовний і навпаки. Наприклад, мікросхема К555ИР1 (рисунок 3.3) - чотирирозрядний універсальний зсувний регістр. Регістр працює в режимі зсуву по тактових імпульсах, що надходять на вхід С1, якщо на вході V2 є напруга низького рівня. Вхід V1 служить для введення інформації в перший розряд регістра в цьому режимі. Якщо ж на вході V2 напруга високого рівня, то регістр здійснює паралельний запис інформації із входів D1-D4 по імпульсах синхронізації, що надходять на вхід С2.

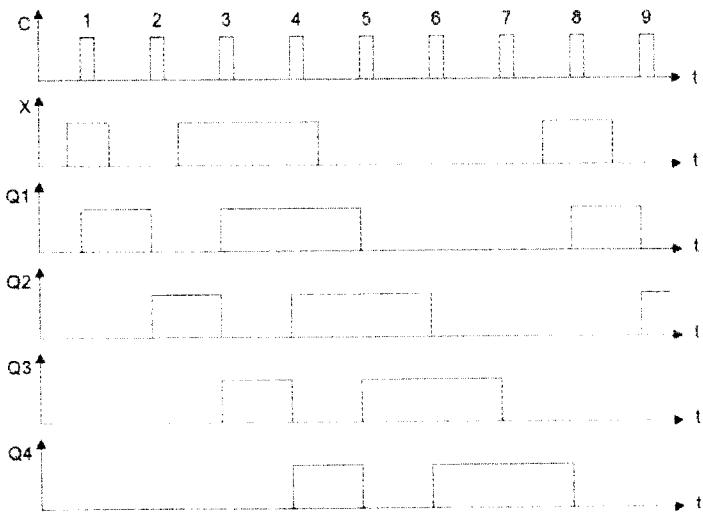
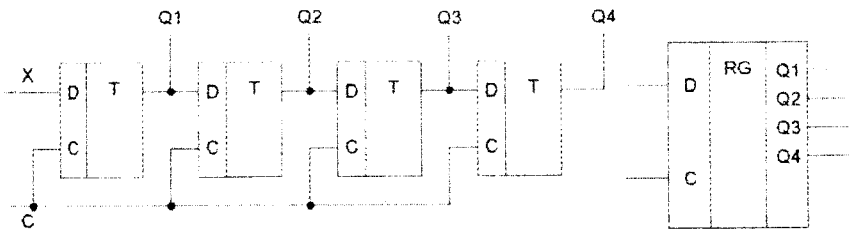


Рисунок 3.2 - Послідовний регістр

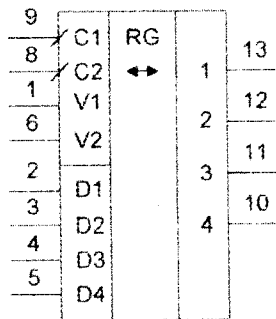


Рисунок 3.3 - Чотирирозрядний зсувний регістр

3.2 ЛІЧИЛЬНИКИ

Лічильником називають прилад, призначений для підрахунку числа імпульсів, поданих на вхід. Вони, як і зсувні регістри, складаються з ланцюжка тригерів. Розрядність лічильника, а отже, і число тригерів, визначається максимальним числом, до якого він рахує.

Регістр зсуву можна перетворити в кільцевий лічильник, якщо вихід останнього тригера з'єднати з входом D першого. Схема такого лічильника на N розрядів наведена на рисунку 3.4. Перед початком підрахунку імпульсом початкової установки в нульовий розряд лічильника (Q_0) записується логічна 1, в інші розряди — логічні 0. З початком рахунку кожний з лічильних імпульсів T , що приходять, перезаписує 1 в наступний тригер, і число імпульсів, що надійшли, визначається за номером виходу, на якому є 1. Передостанній ($N-1$) імпульс переведе в одиничний стан останній тригер, а N -ий імпульс перенесе цей стан на вихід нульового тригера, і підрахунок розпочнеться спочатку. Таким чином, можна побудувати кільцевий лічильник з довільним коефіцієнтом перерахунку (будь-якою основою числення), змінюючи лише число тригерів в ланцюжку.

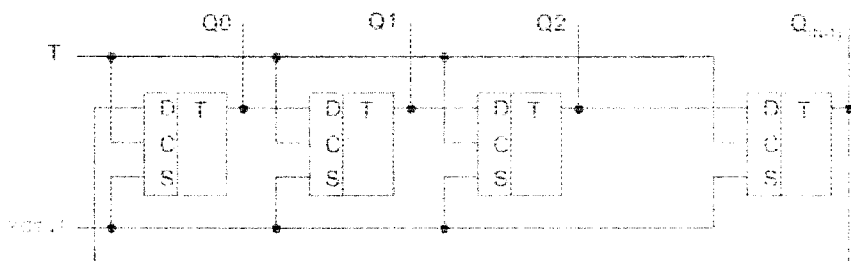


Рисунок 3.4 - Кільцевий лічильник на регістрі зсуву

Недолік такого лічильника - велике число тригерів, необхідних для його побудови. Більш економічні, а тому і більш розповсюджені лічильники, які побудовані на лічильних T-тригерах. Після кожного

тактового імпульсу Т сигнал на вході D змінюється на протилежний і тому частота вихідних імпульсів вдвічі менша частоти імпульсів, що надходять. Зібравши послідовний ланцюжок з n лічильних тригерів (з'єднуючи вихід попереднього тригера із входом С наступного), ми отримаємо частоту $f_{вих} = f_{вх} \cdot 2^{-n}$. При цьому кожний вхідний імпульс змінює код числа на виході лічильника на 1 в інтервалі від 0 до $N = 2^n - 1$.

Мікросхема К555ІЕ5 (рисунок 3.5) містить лічильний тригер (вхід С1) і подільник на вісім (вхід С2), створений трьома з'єднаними послідовно тригерами. Тригери спрацьовують по зрізу вхідного імпульсу (по переходу з 1 в 0). Якщо з'єднати послідовно всі чотири тригери, то одержимо лічильник за модулем $2^4=16$. Максимальне число, що зберігається в лічильнику при повному заповненні його одиницями дорівнює $N=2^4-1=15=(1111)_2$. Такий лічильник працює з коефіцієнтом рахунку К (модулем), кратним цілій степені 2, і в ньому відбувається циклічний перебір $K=2^n$ стійких станів. Лічильник має входи примусової установки в 0.

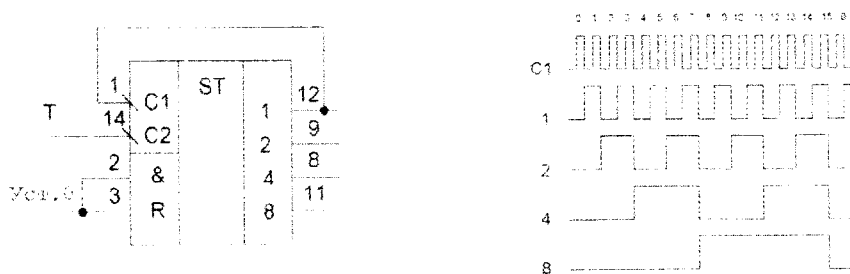


Рисунок 3.5 - Лічильник з коефіцієнтом перерахування 16 і його часова діаграма

Часто потрібні лічильники з числом стійких станів, відмінним від 2^n . Наприклад, в електронних годинниках є мікросхеми з коефіцієнтом рахунку 6 (десятки хвилин), 10 (одиниці хвилин), 7 (дні тижня), 24

Як видно з схем і діаграм (рисунки 3.4-3.6), лічильники можуть виконувати функції подільників частоти, тобто приладів, що формують з імпульсної послідовності з частотою $f_{вх}$ імпульсну послідовність, на виході останнього тригера, з частотою $f_{вих}$, в K разів меншу за вхідну. При такому використанні лічильників немає необхідності знати, яке число в ньому записане в поточний момент, тому подільники в деяких випадках можуть бути значно простіші за лічильники. Наприклад, мікросхема K555IE1 - це подільник на 10, а K555IE8 - подільник із змінним коефіцієнтом ділення $K=64/n$, де $n=1....63$.

Крім розглянутих лічильників, що підсумовують, широко застосовують реверсивні лічильники на мікросхемах K555IE6, K555IE7, у яких в залежності від режиму роботи вміст лічильника або збільшується на одиницю (режим додавання), або зменшується на одиницю (режим віднімання) після приходу чергового лічильного імпульсу.

Мікросхема K555IE1 (рисунок 3.7) - подільник на 10. Установка її тригерів в 0 здійснюється одночасною подачею високого рівня на входи 1 і 2 (елемент I). Лічильні імпульси подають на вхід 8 або 9 (при цьому на іншому вході повинен бути високий рівень), або водночас на обидва входи (елемент I).

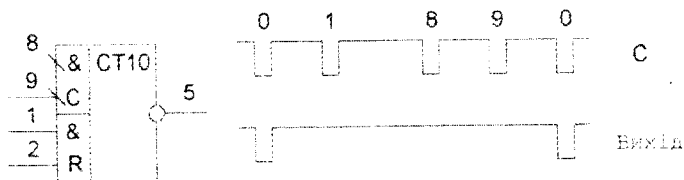


Рисунок 3.7 - Подільник частоти

У склад мікросхеми K555IE2 (рисунок 3.8) входять тригер з лічильним входом (вхід C1) і подільник на 5 (вхід C2). При з'єднанні виходу лічильного тригера із входом C2 утвориться двійково-десятьковий лічильник (діаграма його роботи аналогічна діаграмі на

рисунку 3.6). Підрахунок відбувається по зрізу імпульсу. Лічильник має входи установки в 0 (R0 з логікою I) і входи установки в 9 (R9 з логікою I).

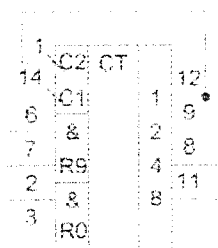


Рисунок 3.8 - Двійково-десятковий лічильник

В мікросхему K555IE4 (рисунок 3.9) входять лічильний тригер і подільник на 6.

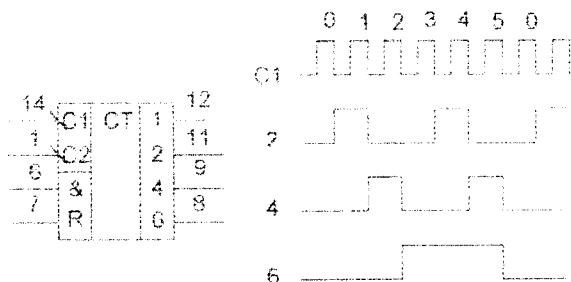


Рисунок 3.9 - Лічильник на мікросхемі K555IE4 та часова діаграма його роботи

Мікросхеми K555IE6 і K555IE7 - реверсивні лічильники з попереднім записом; перший із них - двійково-десятковий, другий - чотирирозрядний двійковий. Установка їх в 0 відбувається при високому рівні на вході R. В лічильник можна записати число, двійковий код якого поданий на входи D1-D4 (в K555IE6 від 0 до 9, в K555IE7 від 0 до 15). Для цього на вхід S необхідно подати низький рівень (на входах C1 і C2 - високий рівень, на вході R - низький). Рахування почнеться із записаного числа по імпульсах низького рівня.

що подаються на вхід С1 (в режимі додавання) або С2 (в режимі віднімання). Інформація на виході змінюється по фронту лічильного імпульсу. При цьому на другому лічильному вході і вході S повинен бути високий рівень, на вході R - низький, а стан входів D байдужий. Водночас з кожним десятим (шістнадцятим) на вході С1 імпульсом на виході Р1 з'являється вихідний імпульс, який його повторює, що може подаватися на вхід наступного лічильника. В режимі віднімання водночас з кожним імпульсом на вході С2, що переводить лічильник в стан 9 (15), на виході Р2 з'являється вихідний імпульс. Часова діаграма роботи лічильника наведена на рис. 3.11. На діаграмі в режимі паралельного запису ($S=0$) було записане число 6 (високий рівень на входах D2 і D3).

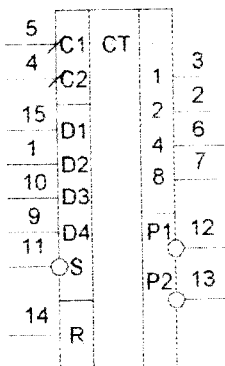


Рисунок 3.10 - Реверсивний лічильник

Для правильної роботи цих і всіх інших лічильників, виконаних за КМОН- технологією (серії K164, K176, K564, K561), необхідно після ввімкнення живлення (або після зниження напруги джерела живлення до 3 В) встановлювати їх у вихідний нульовий стан подачею імпульсу високого рівня на вхід R. В протилежному випадку лічильники можуть працювати із випадковими коефіцієнтами перерахування. Імпульс скиду після ввімкнення живлення може подаватися автоматично, якщо ввести часозадаюче RC-коло та інвертор (рисунок 3.12).

анодом. Лічильники можна використовувати спільно з ріднокристалічними індикаторами. У цьому випадку на вхід С подають меандр з частотою $f > 50$ Гц. При послідовному з'єднанні лічильників сигнал знімається з виходу 6 (К176ИЕ3) або 10 (К176ИЕ4).

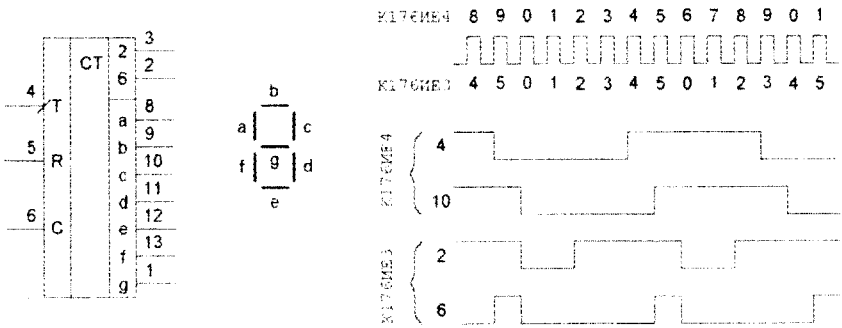


Рисунок 3.13 - Лічильник за модулем 6 (10) з дешифратором та часові діаграми його роботи

3.3 ПЕРЕТВОРЮВАЧІ КОДІВ

Перетворювачі кодів служать для переведення однієї форми числа в іншу. Їх вхідні і вихідні змінні однозначно зв'язані між собою. Цей зв'язок можна задати таблицями перемикачів або логічними функціями. Розглянемо найбільш розповсюджені в практиці види перетворювачів кодів. *Шифратор (кодер)* перетворює сигнал в n -розрядний двійковий код. Найбільше застосування він знаходить в приладах введення інформації (пультах управління) для перетворення десяткових чисел в двійкову систему числення. Припустимо, на пульті десять кнопок з гравіюванням від 0 до 9. При натиску будь-якої з них на вхід шифратора подається одиничний сигнал (X_0 - X_9). На виході шифратора повинен з'явитися двійковий код (Y_1 , Y_2 , ...) цього десяткового числа. Як видно з таблиці перемикачів (таблиця 3.1), в

цьому випадку потрібен перетворювач з десятима входами і чотирма виходами.

Таблиця 3.1 - Таблиця перемикачів шифратора

Десяткове число	Двійковий код				Десяткове число	Двійковий код			
	Y8	Y4	Y2	Y1		Y8	Y4	Y2	Y1
0	0	0	0	0	5	0	1	0	1
1	0	0	0	1	6	0	1	1	0
2	0	0	1	0	7	0	1	1	1
3	0	0	1	1	8	1	0	0	0
4	0	1	0	0	9	1	0	0	1

На виході Y1 одиниця з'являється при натиску будь-якої непарної клавіші X1, X3, X5, X7, X9, тобто $Y1 = X1 \vee X3 \vee X5 \vee X7 \vee X9$. Для інших виходів логічні вирази мають вигляд: $Y2 = X2 \vee X3 \vee X6 \vee X7$; $Y4 = X4 \vee X5 \vee X6 \vee X7$; $Y8 = X8 \vee X9$. Отже, для шифратора знадобляться чотири елементи АБО: п'ятиходовий, два чотиривходових і двовходовий (рисунк 3.14).

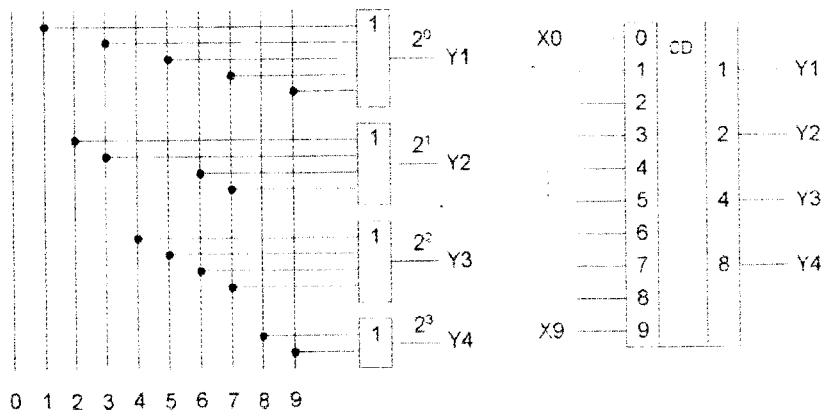


Рисунок 3.14 - Схема шифратора на елементах АБО і його умовне графічне позначення

Дешифратор (декодер) перетворює код, що надходить на його входи, в сигнал тільки на одному з його виходів. Дешифратори широко застосовуються в приладах управління, в системах цифрової індикації з газорозрядними індикаторами, для побудови розподільників імпульсів по різних колах тощо.

Умовне позначення дешифратора на мікросхемі K555ИД1 з десятима виходами для дешифрування одного розряду двійково-десятькового коду 8421 і частина його принципової схеми наведені на рисунку 3.15. Будь-якому вхідному двійковому коду відповідає низький рівень тільки на одному виході, а на всіх інших зберігається високий рівень.

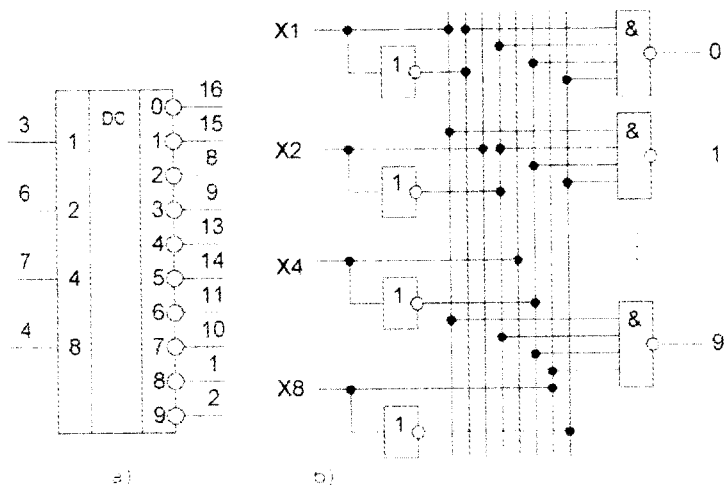


Рисунок 3.15 - Дешифратор на мікросхемі K555ИД1: а) умовне графічне позначення; б) принципова схема

Дешифратори входять в усі серії мікросхем ТТЛ і КМОН. Наприклад, дешифратор K555ИД4 (два дешифратори в корпусі, рисунок 3.16, б) перетворює двійковий код в код «1 з 4», K555ИД1 і K176ИД1 в код «1 з 10», K555ИД3 (рисунок 3.16, а) - в код «1 з 16».

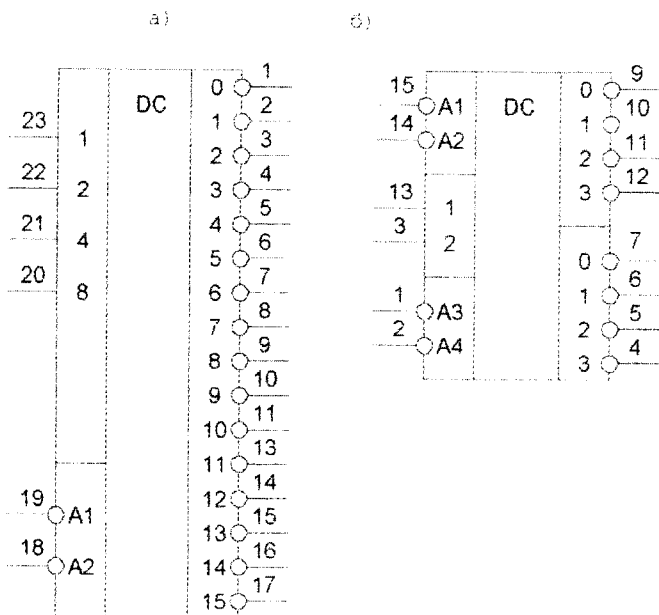


Рисунок 3.16 - Приклади дешифраторів

Дешифратор на мікросхемі К555ИД1 призначений для роботи з декадними газорозрядними індикаторами. Його вихід під'єднують безпосередньо до катодів (які мають форму десяткових цифр) газорозрядного індикатора, анод якого через резистор під'єднаний до джерела живлення напругою 200-250 В. Вихідні сигнали цієї мікросхеми відрізняються від ТТЛ рівня і тому для під'єднання до неї інших мікросхем потрібно застосовувати додаткові прилади узгодження.

Мікросхема К555ИД4 складається з двох дешифраторів на 4 з об'єднаними адресними входами (виводи 3 і 13) і роздільними входами стробування. Стробуванням називається виділення сигналу в певний момент часу. У даному випадку - це поява вихідного сигналу в моменти, коли на входах стробування є сигнал дозволу. Якщо на обох входах А1 і А2 будуть низькі рівні, то на виході верхнього за схемою дешифратора, номер якого відповідає еквіваленту вхідного коду, буде

також низький рівень. Для нижнього (за схемою) дешифратора необхідно виконання умов: $A3=1$ і $A4=0$.

Дешифратор на мікросхемі K555ИД3 має чотири входи для прийому чисел в коді 8421 і 16 виходів. Два входи стробування (для передачі сигналу на A1 і A2 необхідно подати низькі рівні) дозволяють об'єднати мікросхеми для одержання дешифраторів на 32 виходи (рисунк 3.17), 64 виходи (потрібно чотири мікросхеми).

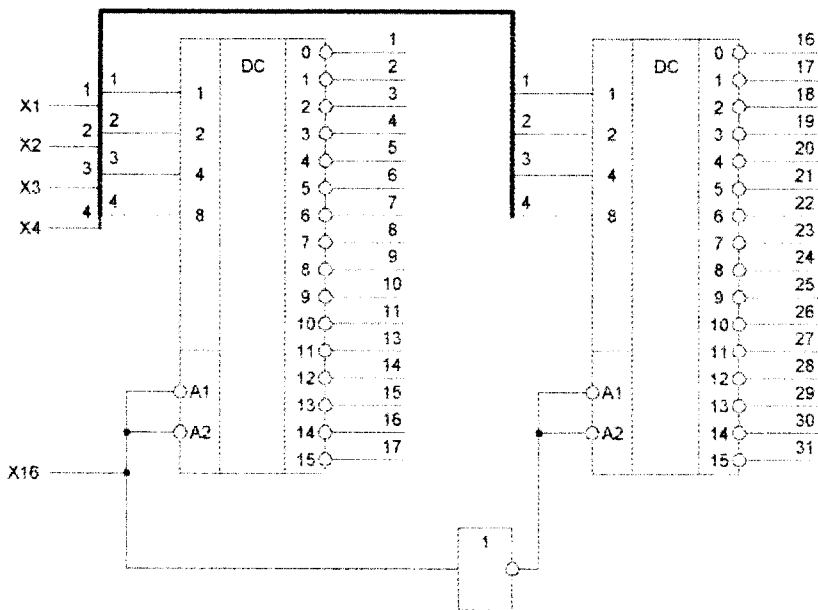


Рисунок 3.17 - Дешифратор на 32 виходи

Перетворювач двійково-десятькового коду в код семисегментного індикатора. Числа на табло і пультах висвітлюються, як правило, в десятковому кодi. Для цього можна використати дешифратор на мікросхемі K555ИД1 разом з газорозрядним індикатором. Однак застосування таких індикаторів в практиці небажано через необхідність використання джерела живлення високої напруги (≈ 200 В). Зараз широке розповсюдження отримали так звані семисегментні

світлодіодні і рідиннокристалічні індикатори, що працюють при тих же напругах, що і мікросхеми. В них індикація здійснюється за допомогою семи елементів (рисунок 3.18). Подаючи керуючу напругу на окремі елементи індикатора і викликаючи його світіння (світлодіодні індикатори) або змінюючи його забарвлення (рідиннокристалічні індикатори), можна отримати зображення десяткових цифр 0, 1, ..., 9. Деякі мікросхеми - перетворювачі коду 8421 в семисегментний показані на рисунок 3.19.

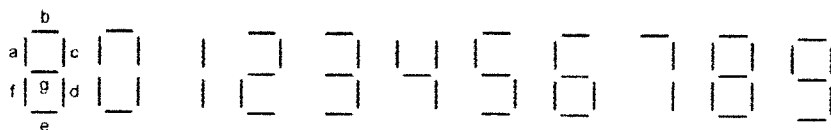


Рисунок 3.18 - Стилізоване зображення цифр в семисегментних індикаторах

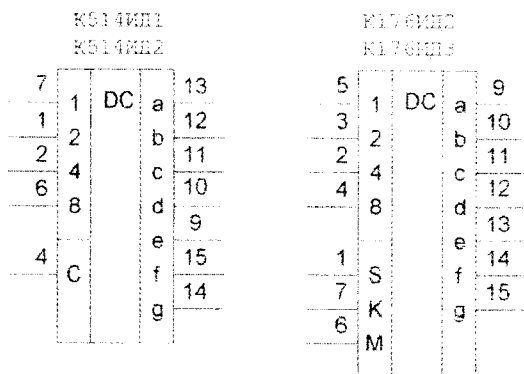


Рисунок 3.19 - Перетворювачі двійково-десятьового коду в семисегментний

На мікросхеми серії К514 подають входні сигнали рівня ТТЛ. Сигнал С служить для гасіння індикації (напругою низького рівня). При нормальній роботі рівень сигналу С=1. Дешифратор на мікросхемі К514ИД1 працює зі світлодіодними індикаторами, які мають роздільні аноди, а на К514ИД2 - з роздільними катодами. Дешифратор К514ИД2

під'єднують до індикаторів через струмообмежувальні резистори (200 - 500 Ом), а перший має такі резистори у своєму корпусі.

Мікросхеми К176ИД2 і К176ИД3 є перетворювачами коду з вхідним регістром пам'яті. Запис інформації в пам'ять відбувається по фронту тактового сигналу, що подається на вхід S (при цьому сигнал на вході K=0). Якщо сигнал K=1, дешифратор блокується. Вихідний код цих дешифраторів - прямий при M=0 і зворотний при M=1. Дешифратори призначені для роботи з рідиннокристалічними і люмінесцентними індикаторами. Вони можуть працювати і зі світлодіодними індикаторами при напрузі джерела живлення 9-12 В з зниженою яскравістю світіння (через обмеження струму до 2-3 мА).

Мультиплексор — вузол, що здійснює перетворення паралельних цифрових кодів в послідовні. Його застосовують для послідовного опитування заданого числа інформаційних сигналів і передачі їх на один вихід.

Умовне позначення мультиплексора з чотирма інформаційними входами і його принципова схема показані на рисунку 3.20. На вихід Q такого приладу передається логічний рівень того інформаційного входу D_i, номер якого i в двійковому коді заданий на адресних входах A₁, A₂. Із принципової схеми випливає, що

$$Q = D_0 \cdot \overline{A_1} \cdot \overline{A_2} \vee D_1 \cdot A_1 \cdot \overline{A_2} \vee D_2 \cdot \overline{A_1} \cdot A_2 \vee D_3 \cdot A_1 \cdot A_2.$$

Число інформаційних входів може бути збільшене, але при цьому доведеться збільшити і розрядність адреси.

В інтегральному виконанні випускаються мультиплексори на два входи (чотири елемента в одному корпусі), на чотири входи (два в одному корпусі), на вісім і шістнадцять входів (деякі з них показані на рисунку 3.21). Всі вони мають вхід дозволу вибірки V (напругою низького рівня). Мікросхема К561ЛС2 містить чотири елементи, кожний з яких реалізує функцію $Q = D_1 \cdot X_1 \vee D_2 \cdot X_2$. Для перетворення в двоканальний комутатор її доповнюють інвертором.

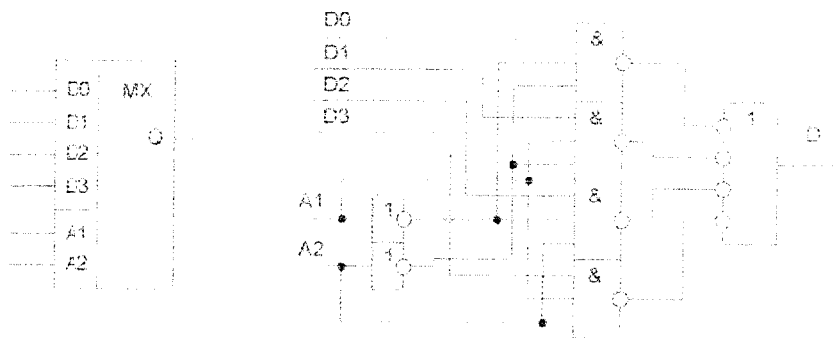


Рисунок 3.20 - Умовне позначення і принципова схема мультимплексора з чотирма інформаційними входами

3.4 СУМАТОРИ

Суматор призначений для арифметичного додавання двох чисел. З принципу додавання багаторозрядних двійкових чисел випливає, що в кожному i -му розряді знаходиться сума трьох чисел за модулем два (додавки A , B , і число перенесення, що надійшло з молодшого розряду P) і формується сигнал переносу в старший розряд P_{i+1} .

Для прикладу проаналізуємо таблицю істинності однорозрядного суматора (таблиця 3.2) і запишемо логічні вирази для вихідних величин

$$S = A \cdot \bar{B} \cdot \bar{P}_n \vee \bar{A} \cdot B \cdot \bar{P}_n \vee \bar{A} \cdot \bar{B} \cdot P_n \vee A \cdot B \cdot P_n$$

$$P_{i+1} = A \cdot B \cdot \bar{P}_n \vee A \cdot \bar{B} \cdot P_n \vee \bar{A} \cdot B \cdot P_n \vee A \cdot B \cdot P_n$$

За цими функціями можна побудувати суматор на елементах І і АБО (рисунок 3.22). Умовне зображення однорозрядного суматора наведено на рисунку 3.23. Для додавання двох багаторозрядних двійкових чисел використовують багаторозрядні суматори, які є найпростішим видом послідовного з'єднання однорозрядних суматорів (рисунок 3.24).

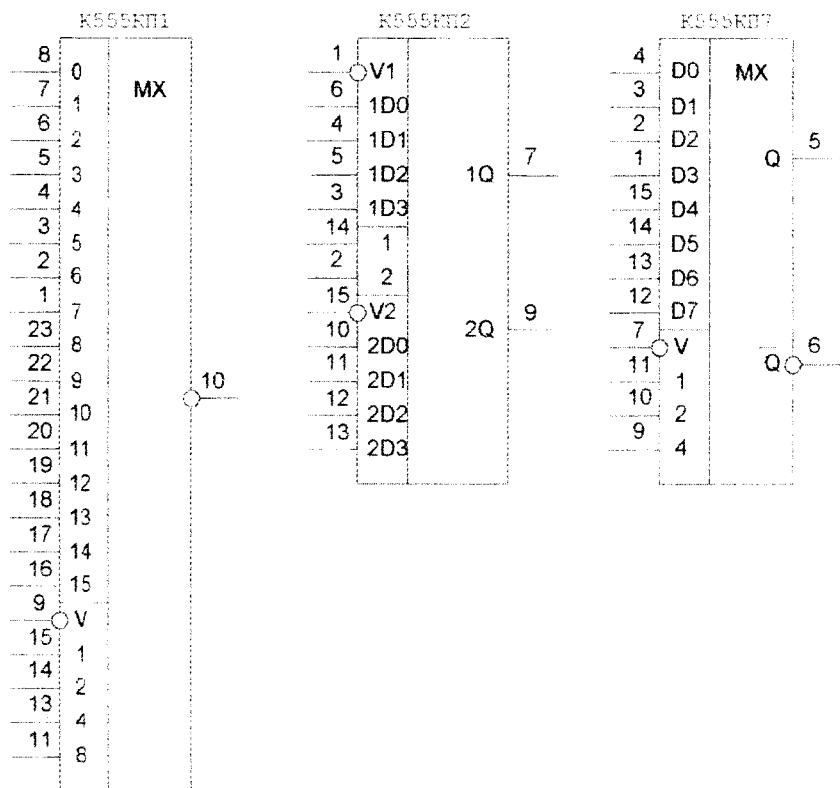


Рисунок 3.21 - Умовні графічні позначення мультиплексорів

Таблиця 3.2 - Таблиця істинності однорозрядного суматора

Вхід			Вихід	
Доданки		Перенесення	Сума	Перенесення
A	B	P_i	S	P_{i+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

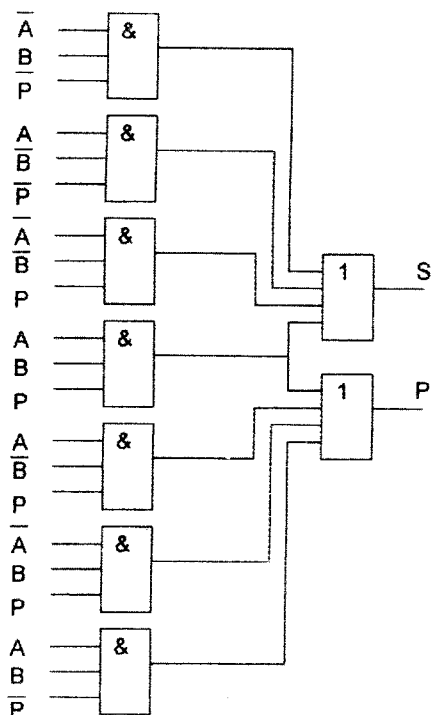


Рисунок 3.22 - Принципова схема однорозрядного суматора

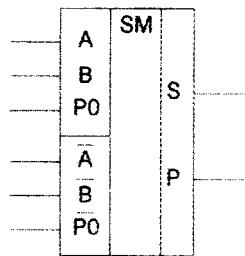


Рисунок 3.23 - Умовне зображення однорозрядного суматора

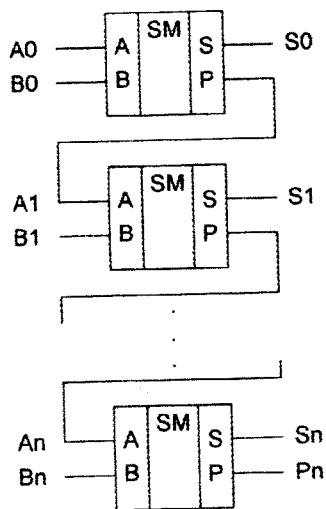


Рисунок 3.24 - Схема багаторозрядного суматора

В серіях мікросхем є одно-, дво- і чотирирозрядні суматори, які можна об'єднати для одержання суматорів з будь-якою розрядністю. В серію К555, наприклад, входять три суматори: однорозрядний К555ИМ1, дворозрядний К555ИМ2 і чотирирозрядний К555ИМ3 (рисунок 3.25).

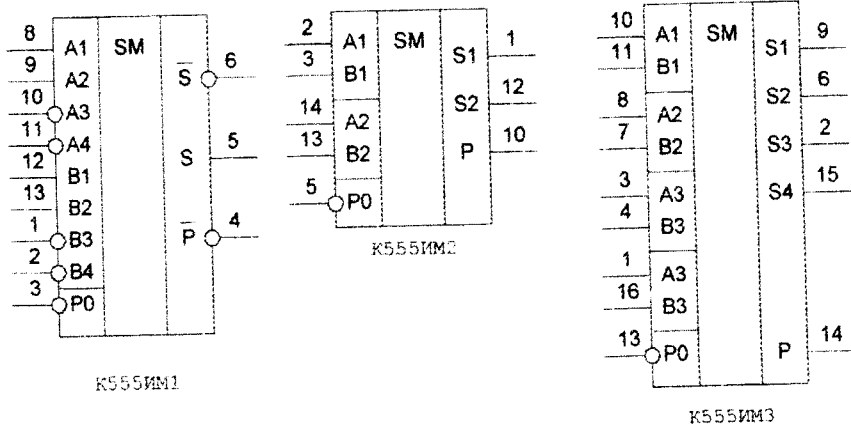


Рисунок 3.25 - Приклади суматорів

Список питань для самоконтролю

1. Що таке регістр і як реалізуються паралельний і послідовний регістри?
2. Що таке лічильник і як він реалізується?
3. Як реалізуються різні коефіцієнти перерахування в лічильниках?
4. Що таке двійково-десятковий лічильник?
5. Як реалізується реверсивний лічильник?
6. Як реалізується схема скиду лічильника в нуль?
7. Що таке шифратор і як він реалізується?
8. Що таке дешифратор і як він реалізується?
9. Наведіть приклади шифраторів і дешифраторів.
10. Як реалізується перетворювач двійково-десятькового коду в код семисегментного індикатора?
11. Що таке мультиплексор і як він реалізується?
12. Що таке суматор і як він реалізується?

РОЗДІЛ 4 ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ ЦИФРОВОЇ ТЕХНІКИ

4.1 ТИПИ ЗАПАМ'ЯТОВУВАЛЬНИХ ПРИСТРОЇВ

Для зберігання невеликих масивів кодових слів можуть використовуватися регістри. Але вже при необхідності зберігати десятки слів використання регістрів призводить до невиправдано великих апаратурних витрат. Для зберігання великих об'ємів слів будують *запам'ятовувальні пристрої (ЗП)* з використанням спеціальних мікросхем, в кожній з яких може зберігатися інформація великого об'єму.

За функціями, що виконуються, розрізняють такі типи ЗП:

- оперативний запам'ятовувальний пристрій (ОЗП);
- постійний запам'ятовувальний пристрій (ПЗП);
- перепрограмований постійний запам'ятовувальний пристрій (ППЗП).

ОЗП призначене для використання в умовах, коли необхідно вибирати і поновлювати інформацію, що зберігається в високому темпі роботи процесора цифрового пристрою. Завдяки цьому, в ОЗП передбачаються три режими роботи:

- режим зберігання при відсутності звертання до ЗП;
- режим читання слів, що зберігаються;
- режим запису нових слів.

ПЗП призначений для зберігання деякої інформації, яка не руйнується при відмиканні джерела живлення. В ПЗП передбачається два режими роботи:

- режим зберігання;
- режим читання з високою швидкістю.

Режим запису не передбачається. ПЗП використовуються для зберігання даних, команд, за якими цифрові пристрої функціонують.

ППЗП в процесі функціонування цифрового пристрою використовується як ПЗП. Вони відрізняються від ПЗП тим, що дозволяють поновлювати записану інформацію, тобто в ньому передбачається режим запису. Але на відміну від ОЗП, запис інформації потребує відключення ППЗП від цифрового пристрою, і виконується за допомогою спеціальних призначених для запису пристроїв (програмакторів). Перепрограмовані ПЗП дорожчі за ПЗП, і їх використовують в процесі відлагодження розроблюваного пристрою, після чого їх можна замінити дешевшими ПЗП.

4.2 ОСНОВНІ ПАРАМЕТРИ ЗАПАМ'ЯТОВУВАЛЬНИХ ПРИСТРОЇВ

ЗП вміщує деяке число N комірок, в кожній з яких може зберігатися слово з певним числом розрядів n . Комірки послідовно нумеруються двійковими числами. Номер комірки називається адресою. Якщо для подання адрес використовуються комбінації n -розрядного двійкового коду, то число комірок в ЗП може скласти $N=2^n$.

Кількість інформації, яка може зберігатися в ЗП, визначає його *ємність*. Ємність можна виразити числом комірок N з вказанням розрядності n слів, які зберігаються в них, в формі $N \times n$ або її можна визначити добутком $M=N \cdot n$ біт. Часто розрядність комірок вибирають кратною байту (1 байт дорівнює 8 бітам). Тоді і ємність зручно подавати в байтах. Великі значення ємності виражаються в одиницях $K=2^{10}=1024$. Наприклад, $M=64$ Кбайт означає ємність, що дорівнює $M=64 \cdot 1024$ байт $=64 \cdot 1024 \cdot 8$ біт.

Швидкодія ЗП характеризується двома параметрами:

- часом вибірки t_s , який є інтервалом часу між моментом подачі сигналу вибірки при запису і моментом вибірки;
- моментом, коли допустиме наступне звертання до пам'яті.

ЗП будуються із набору однотипних мікросхем ЗП з певним їх з'єднанням. Кожна мікросхема ЗП, крім часу звертання і ємності, характеризується споживаною потужністю, набором напруг живлення, типом корпусу (число виводів). Мікросхеми ППЗП додатково характеризуються часом зберігання записаної в них інформації (по закінченні якого інформація, що зберігається в них, може самовільно змінитися), допустимою кількістю циклів перезапису (після чого мікросхема вважається непридатною для використання).

Перелік і основні характеристики різних типів ЗП вітчизняного виробництва наведені в таблиці 4.1 - ОЗП, таблиця 4.2 - ПЗП з однократним електричним програмуванням, таблиця 4.3 - ППЗП.

Таблиця 4.1 - Основні характеристики оперативних запам'ятовувальних пристроїв

Мікросхема	Інформаційна ємність, біт (організація, слово × розряд)	Час вибірки, нс	Напруга джерела живлення, В	Споживана потужність, мВт	Число виводів
K155PY5	256 (256 × 1)	60	5	700	16
KP188PY2A	256 (256 × 1)	500	5	$P_{ст} = 0.05$ $P_{дин} = 10$	16
K500PY410	256 (256 × 1)	25	-5.2	750	16
K500PY415	1024 (1024 × 1)	30	-5.2	730	16
KP565PY2A	1024 (1024 × 1)	450	5	300	16
KP537PY2A	4096 (4096 × 1)	300	5	50	18
KP541PY1A	4096 (4096 × 1)	120	5	450	18
KP565PY1A	4096 (4096 × 1)	200	12; 5; -5	3; 0.25; 0.125	22
KP541PY31	8192 (8192 × 1)	150	5	550	20
KP541PY3	16384 (16384 × 1)	150	5	550	20
KP581PY4	16384 (16384 × 1)	200	12; 5; -5	500; 0.05; 2	22

Таблиця 4.2 - Основні характеристики постійних запам'ятовувальних пристроїв

Мікросхема	Інформаційна ємність, біт (організація, слово × розряд)	Час виборки, нс	Напруга джерела живлення, В	Споживана потужність, мВт	Число виводів
K155PE3	256 (256×1)	50	5	550	16
KP500PE149	1024 (256×4)	35	-5.2	730	16
K541PT1	1024 (256×4)	80	5	400	16
K556PT4	1024 (256×4)	70	5	650	16
KP556PT5	4096 (512×8)	70	5	950	24
KP565PT1	4096 (1024×4)	300	-12; 5; -5	$P_{ст}=3; 10; 0.5$ $P_{длн}=130; 1;$ 95	22

Таблиця 4.3 - Основні характеристики перепрограмованих постійних запам'ятовувальних пристроїв

Мікросхема	Інформаційна ємність, біт (організація, слово × розряд)	Час виборки, нс	Час зберігання, год.	Число циклів перезапису	Напруга джерела живлення, В	Споживана потужність, мВт	Число виводів
<i>ППЗП із багатократним електричним перепрограмуванням</i>							
KP505PP4A	512 (256×2)	1200	3000	10 ⁴	-9; 5	350; 200	24
K505PP4	1024 (512×2)	1200	3000	10 ⁴	-9; 5	350; 200	24
KP558PP11	1024 (256×4)	5000	3000	10 ⁴	-12; 5	120; 50	24
KP558PP1	1024 (256×4)	5000	3000	10 ⁴	-12; 5	120; 50	24
<i>ППЗП із ультрафіолетовим стиранням та електричним записом</i>							
K573PФ1	8192 (1024×8)	450	15000	10	12; -5; 5	850; 225; 75	24
K573PФ11	4096 (512×8)	450	15000	10	12; -5; 5	850; 225; 75	24
K573PФ13	4096 (1024×4)	450	15000	10	12; -5; 5	850; 225; 75	24
K573PФ2	16384 (2048×8)	900	10000	10	5	225	24
K573PФ21	8192 (1024×8)	900	10000	10	5	225	24
K573PФ23	8192 (2048×4)	900	10000	10	5	225	24

4.3 ОПЕРАТИВНІ ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ

На рисунку 4.1 наведена типова структура мікросхеми ОЗП. Інформація зберігається у накопичувачі. Накопичувач – це матриця, яка складена із *елементів пам'яті* (ЕП), розташованих уздовж рядків та стовпців. Елемент пам'яті може зберігати 1 біт інформації (логічна 1 або логічний 0). Крім того, він забезпечується керуючими колами для установки елемента в будь-який із трьох режимів:

- *режим зберігання*, в якому він відмикається від входу і виходу мікросхеми;
- *режим читання*, в якому вміщувана в ЕП інформація видається на вхід мікросхеми;
- *режим запису*, в якому в ЕП записується нова інформація, що поступає із входу мікросхеми.

Кожному ЕП присвоєно номер, який називається *адресою* елемента. Для пошуку потрібного ЕП вказуються рядок і стовець, які відповідають положенню ЕП в накопичувачі. Адреса ЕП у вигляді двійкового числа приймається по шині адреси в реєстр адреси. Число розрядів адреси зв'язано з ємністю накопичувача. Число рядків і стовпців накопичувача вибираються рівними цілій степені 2. І якщо число рядків $N_{\text{ряд}} = 2^{n_1}$, і число стовпців $N_{\text{стовп}} = 2^{n_2}$, то загальне число ЕП (ємність накопичувача)

$$N = N_{\text{ряд}} \cdot N_{\text{стовп}} = 2^{n_1} \cdot 2^{n_2} = 2^{n_1+n_2} = 2^n,$$

де $n = n_1 + n_2$ - число розрядів адреси, яка приймається у реєстр адреси.

Наприклад, при ємності $N=2^{10}=1024$ число розрядів адреси $n=10$; при цьому вибирається $n_1=n_2=n/2=5$, в цьому випадку число рядків і число стовпців накопичувача рівно $2^{n_1}=2^{n_2}=32$.

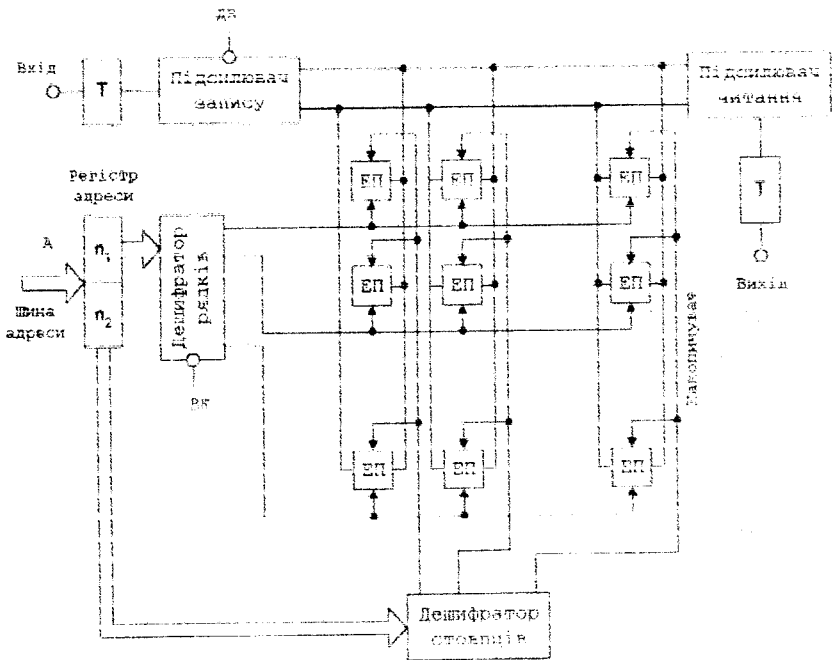


Рисунок 4.1 - Структура мікросхеми ОЗП

Розряди реєстра адреси діляться на дві групи: одна група в n_1 розрядів визначає двійковий номер рядка, в якій в накопичувачі розміщений ЕП, інша група в n_2 розрядів визначає двійковий номер стовпця, в якому розміщений ЕП, що вибирається. Кожна група розрядів адреси подається на відповідний дешифратор: дешифратор рядків і дешифратор стовпців. При цьому кожен з дешифраторів створює на одному з своїх вихідних кіл рівень логічної 1 (на інших виходах дешифратора встановлюється рівень логічного 0); вибраний ЕП знаходиться під впливом рівня логічної 1 водночас по колах рядків і стовпців. При читанні вміст ЕП подається на підсилювач читання і з нього на вихідний тригер і вихід мікросхеми. Режим запису встановлюється подачею сигналу на вхід дозволу запису (ДЗ). При рівні логічного 0 на вході ДЗ відкривається підсилювач запису і біт

інформації зі входу даних надходить у вибраній ЕП і запам'ятовується у ньому.

Дані процеси відбуваються в тому випадку, якщо на вході вибору кристалу (ВК) діє активний рівень логічного 0. При рівні логічної 1 на цьому вході, на всіх виходах дешифратора встановлюється рівень логічного 0 і ЗП переходить в режим зберігання.

На рисунку 4.2 показано умовне графічне позначення мікросхеми ОЗП.

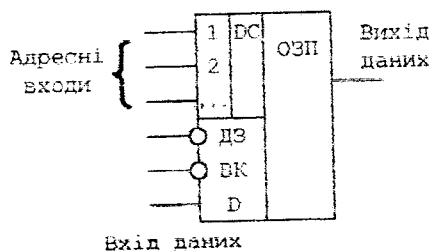


Рисунок 4.2 - Умовне позначення мікросхеми ОЗП

Розглянемо послідовність подачі сигналів в режимах читання і запису. На рис. 4.3, а зображена часова діаграма сигналів в режимі читання. З певною затримкою $t_{зат1}$ відносно моменту подачі адреси і сигналу в коло ВК (зв'язаної

із процесами дешифрації адреси і ввімкнення вихідних кіл вибраного ЕП) на виході мікросхеми виникає вміст вибраного ЕП. В режимі запису (рисунок 4.3, б) повинні бути дотримані умови, що виключили би порушення вмісту комірок, в які не проводиться звертання. Це забезпечується тим, що сигнал в коло РЗ подається із затримкою $t_{зат2}$ відносно моменту подачі сигналів у колі адреси, ВК і вхідних даних і знімається сигнал в колі ДЗ раніше, ніж буде знятий сигнал в колі ВК. В протилежному випадку, при передчасній подачі сигналу ДЗ, може відбутися запис в комірку з адресою, що не збігається з інформацією на адресних входах мікросхеми.

Мікросхеми ОЗП допускають нарощування ємності пам'яті шляхом нарощування розрядності (i, отже, розрядності збережуваних в них слів) і нарощування числа комірок (j, значить, числа слів, які можна зберігати у пам'яті).

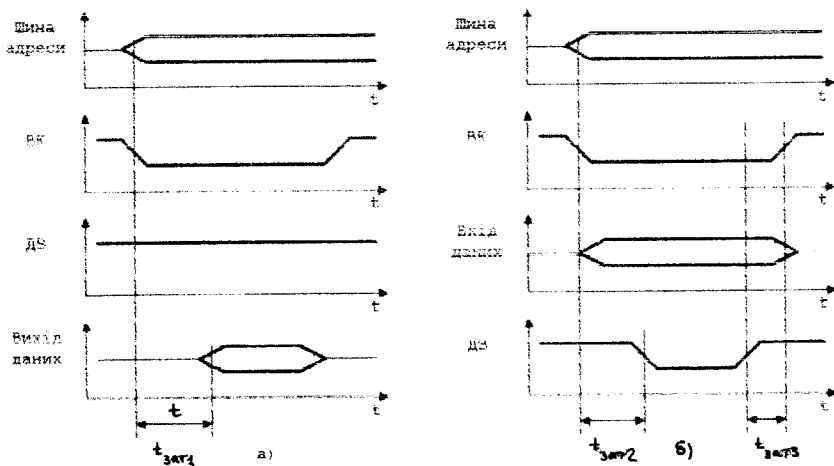


Рисунок 4.3 - Часові діаграми сигналів: а) в режимі читання; б) в режимі запису

Таким чином, використовуючи відповідне число мікросхем в певному сполученні, можна побудувати пам'ять з необхідною організацією.

Розглянемо схему нарощування розрядності комірок (рисунок 4.4). На всі мікросхеми подається одна і та сама адреса. При читанні кожною мікросхемою видається певний розряд зчитуваного слова. При запису вхідне слово порозрядно заноситься в ЕП окремих мікросхем. Таким чином, якщо мікросхеми мають організацію $N \times 1$ (N однорозрядних комірок), то для блоку пам'яті з організацією $N \times n$ (N комірок з розрядністю кожної з них, рівною n) потрібно n мікросхем.

На рисунку 4.5 показана схема нарощування числа і розрядності комірок. Блок пам'яті складається з мікросхем, що утворюють окремі лінії (ряди), кожна з яких будується за схемою нарощування розрядності (рисунок 4.4). Розряди адреси блоку пам'яті в цьому випадку діляться на дві групи: A_1 і A_2 . Група розрядів A_2 визначає номер лінії, група розрядів A_1 - номер комірки у вибраній лінії. Вибір

лінії здійснюється за допомогою дешифратора, на вхід якого подається A_2 , а кожний з виходів під'єднано до входу ВК певної лінії. Таким чином, в залежності від кодової комбінації, що міститься в A_2 , на відповідному виході дешифратора з'являється рівень логічного 0, що забезпечує вибір певної лінії мікросхем. На входи ВК інших ліній з виходу дешифратора надходить рівень логічної 1, і мікросхеми цих ліній встановлюються в режим зберігання, в якому вони не реагують на адресу групу A_1 .

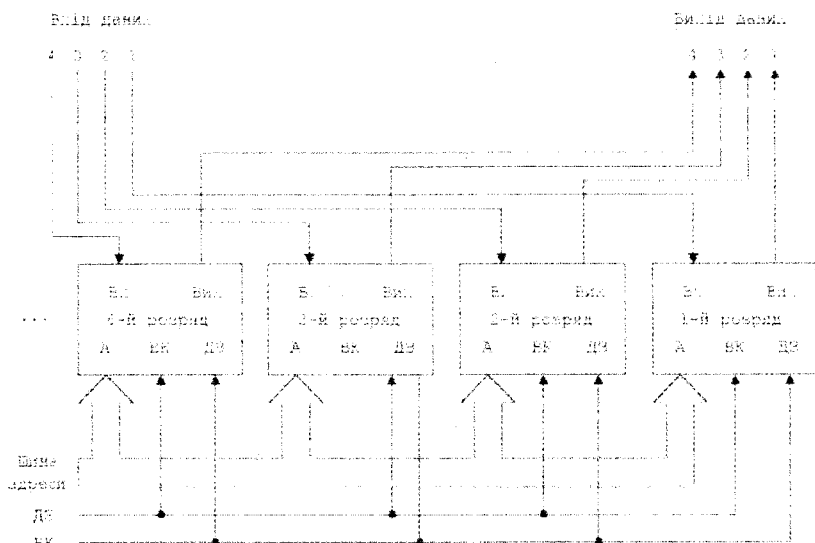


Рисунок 4.4 - Схема нарощування розрядності комірок ЗП

Розглянемо приклад нарощування ємності блоку пам'яті. Нехай на мікросхемах з організацією 1024×1 необхідно побудувати блок пам'яті, що є організацію 4096×8 , тобто блок пам'яті на 4096 8-розрядних комірках. Нарощування розрядності вимагає в кожній лінії схеми на рисунку 4.5 використати 8 мікросхем; для збільшення числа комірок з 1024 до 4096 (в 4 рази) необхідно передбачити 4 лінії мікросхем. Таким чином, загальне число мікросхем $8 \times 4 = 32$. В такому

блоку пам'яті адреса для звертання формується таким чином. Для вибору лінії в адресі знадобиться дворозрядна група A_2 , кожній з чотирьох кодових комбінацій цієї групи (00, 01, 10, 11) буде відповісти певна лінія в блоку пам'яті. Вибір комірки в лінії мікросхем потребує наявності в адресі 10-розрядної групи A_1 (число комбінацій 10-розрядної групи $2^{10}=1024$ рівно числу ЕП в мікросхемі). Таким чином, адреса розглядуваного блоку пам'яті повинна мати 12 розрядів.

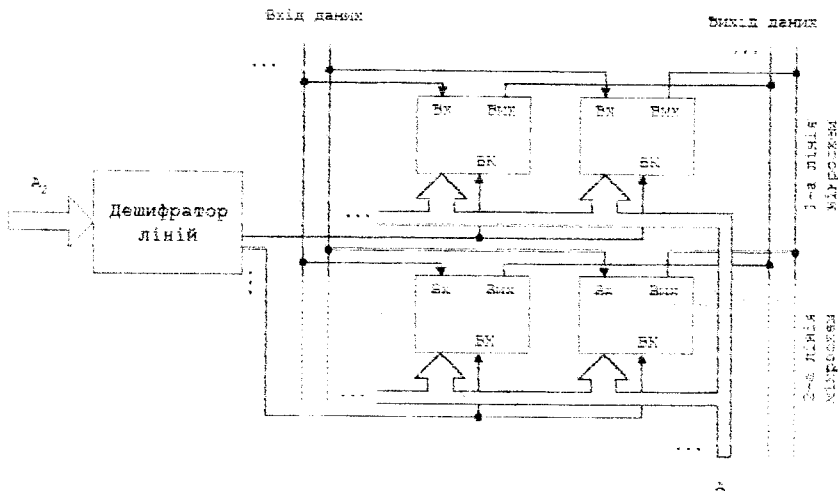


Рисунок 4.5 - Схема нарощування числа і розрядності комірок ЗП

В кожному стовпці матриці мікросхем на рисунку 4.5 виходи всіх мікросхем об'єднуються в коло відповідного розряду виходу даних блоку, всі входи даних - в коло відповідного розряду входу даних блока пам'яті.

4.4 ПОСТІЙНІ ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ

Як і ОЗП, ПЗП складаються з комірок, звернувшись до яких, можна вивести їх вміст. Відміна від ОЗП полягає в тому, що інформація

в комірки записується одноразово, після чого в процесі експлуатації використовуються лише режим читання.

За способом занесення інформації ПЗП поділяють на два види: ПЗП, програмовані маскою на підприємстві-виробнику, і ПЗП, програмовані користувачем.

В перших інформація заноситься в процесі виготовлення мікросхеми за допомогою відповідного фотошаблону. Очевидно, такий спосіб запису придатний у тих випадках, коли проводиться випуск великої партії ПЗП з однією і тією ж записаною в них інформацією. Промисловість випускає такі ПЗП, наприклад, для використання в якості перетворювача двійкового коду в певні двійково-десяткові коди і інших перетворювачів. В них вхідна кодова комбінація слугує адресою комірки, а вміст комірки — вихідною кодовою комбінацією (наприклад, кодовою комбінацією двійково-десятькового коду).

В ПЗП, програмованих користувачем, запис інформації проводиться безпосередньо користувачем за допомогою спеціальних приладів, що називаються програматорами. Програматор подає в мікросхему відповідні напруги для запису інформації, що набирається на клавіатурі. Цими напругами здійснюється перепалювання плавких перемичок в елементах пам'яті. Очевидно, один раз записана в ПЗП інформація в подальшому не може бути змінена. При необхідності змінити вміст ПЗП мікросхеми з раніше записаною інформацією замінюються новими, в які записуються нові дані.

На рисунку 4.6 наведена структура ПЗП, програмованого користувачем. Як і в ОЗП, матриця-накопичувач складається з елементів пам'яті (ЕП), які утворюють рядки і стовпці, але на відміну від ОЗП при зчитуванні з накопичувача видається вміст цілого рядка елементів пам'яті. Такий рядок звичайно містить декілька слів. За допомогою селектора з рядка виділяється і передається на вихід потрібне слово.

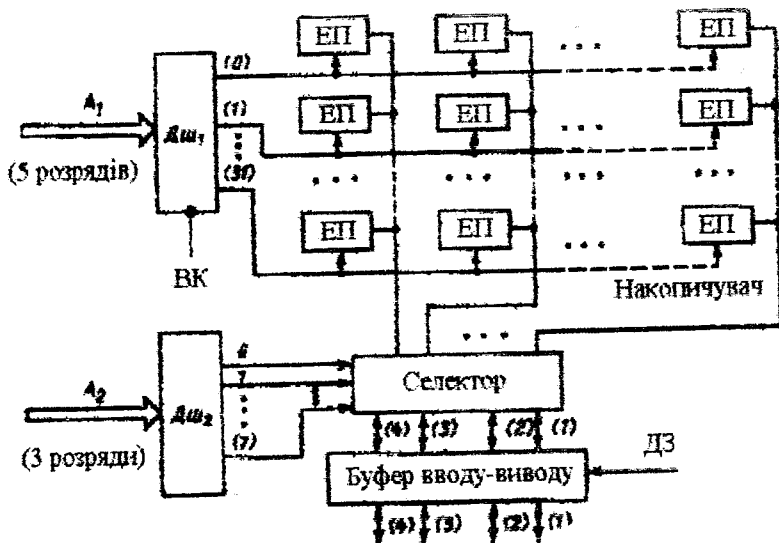


Рисунок 4.6 - Структура ПЗП, який програмується користувачем

Нехай, наприклад, ПЗП має ємність $M=2^{10}$ біт, розбитих на $N=2^8$ слів по $2^2=4$ розрядів у кожному слові. Накопичувач буде містити 2^{10} елементів пам'яті, розташованих вздовж $2^5=32$ рядків і $2^5=32$ стовпців. При звертанні повинна вказуватися адреса слова; ця адреса в даному прикладі буде містити 8 розрядів, що розбиваються на дві групи розрядів A_2 і A_1 : 5-розрядну групу A_1 і 3-розрядну групу A_2 .

Група A_1 подається на дешифратор $Дш_1$, який вибирає одну з $2^5=32$ рядків накопичувача. Вміст рядка складається з 32 бітів або восьми 4-розрядних слів. Номер слова в рядку задається групою A_2 . Дешифратор $Дш_2$ перетворює цю адресну групу в сигнал на одному з восьми своїх виходів. За цим сигналом в селекторі із вмісту рядка виділяється потрібне слово, яке передається через буфер вводу-виводу на вихід мікросхеми.

На рисунку 4.7 показана принципова схема накопичувача і селектора для даного прикладу. Схема побудована на біполярних

транзисторах (біполярні транзистори використовуються для побудови ПЗП із високою швидкістю).

Накопичувач містить 2^{10} транзисторів (елементів пам'яті), що утворюють 32 рядки і 32 стовпці. Колектори транзисторів накопичувача підімкнені до джерела живлення (для спрощення рисунку кола, що з'єднують колектори транзисторів із джерелом живлення, не показані). В коло емітера кожного транзистора ввімкнена плавка перемичка (на рисунку перемички показані кружечками). Перемичка виготовляється з ніхром, полікремнію або титанату вольфраму і має опір в декілька десятків ом. При програмуванні для перепалювання перемички достатньо через транзистор пропустити імпульс струму 20...30 мА тривалістю порядку 1 мс. При роботі в режимі читання струми в транзисторах накопичувача істотно менші і вони не можуть викликати перепалювання тих перемичок, що в процесі програмування залишені неперепаєними.

Транзистори VT0...VT7 працюють в схемі селектора, багатоемітерні транзистори MT1...MT4 — в схемі буфера вводу-виводу.

Розглянемо процеси при запису інформації. На входи дешифраторів адреси подаються адресні групи A_1 і A_2 і на одному з виходів кожного дешифратора утвориться рівень логічної 1. Нехай від дешифратора Дш₁ рівень логічної 1 надходить в рядок з номером 1, а від дешифратора Дш₂ рівень логічної 1 надходить в коло з номером 0 і в селекторі відкривається транзистор VT₀. При цьому в накопичувачі виявляться відкритими обведені штриховою лінією (рисунком 4.7) транзистори (назвемо ці транзистори вибраними). Далі підвищимо напругу U_{on} і подамо на вихід мікросхеми кодову комбінацію, що записується у вибрану четвірку розрядів накопичувача (виводи мікросхеми, які при читанні використовуються як виходи зчитуваного слова, при запису використовуються як входи для подачі слова, що записується).

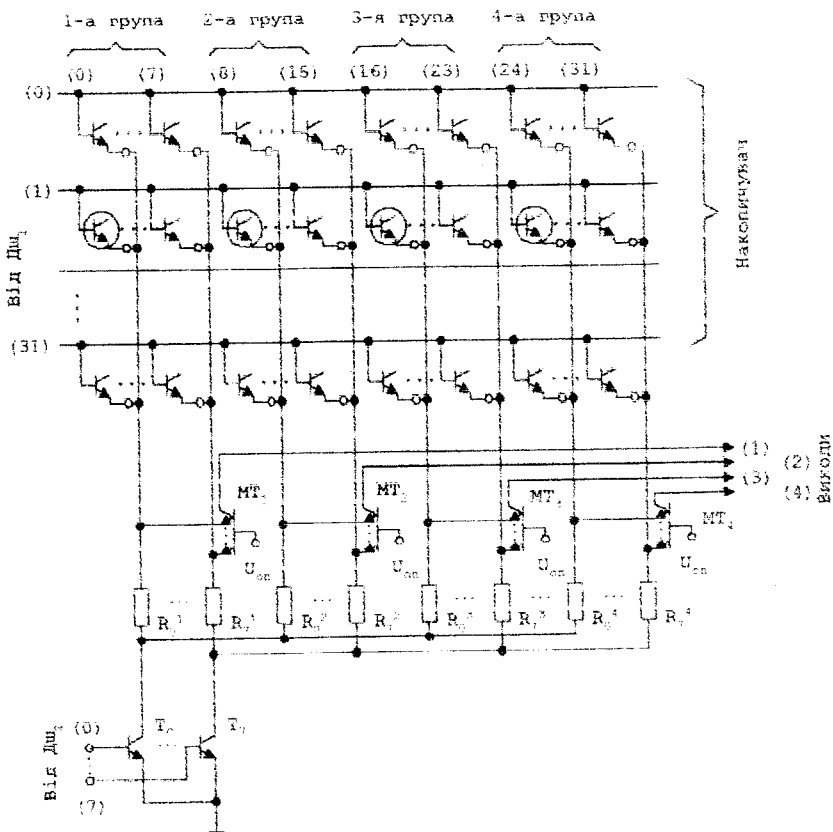


Рисунок 4.7 - Принципова схема накопичувача і селектора ПЗП

Нехай на другий вхід мікросхеми подано рівень логічної 1. При цьому відкривається багатоemisний транзистор MT_2 в буфері вводу-виводу; емітерний струм цього транзистора, протікаючи через резистор R_0^* , створює напругу, що замикає другий транзистор у вибраній четвірці транзисторів накопичувача. Таким чином, стан транзисторів вибраної четвірки визначається записуванням словом (вибраний транзистор відкритий, якщо у відповідному розряді записуваного слова міститься логічний 0, і, навпаки, цей транзистор закритий, якщо розряд слова, що записується, містить логічну 1). Після цього підвищимо

значення напруги колекторного живлення транзисторів накопичувача. Через відкриті вибрані транзистори потече великий струм, що викличе перепалювання перемичок в емітерному колі цих транзисторів. Отже, перемичка в колі емітера вибраного транзистора перепалюється, якщо на відповідний вихід поданий логічний 0.

Таким чином може бути записана потрібна інформація у всі елементи накопичувача.

Розглянемо процеси при читанні інформації з ПЗП. При подачі адреси (адресних груп A_1 і A_2) відбувається, як вже розглядалося вище, вибір певної четвірки транзисторів накопичувача. Якщо перемичка в ланцюзі емітера вибраного транзистора не перепалена, струм цього транзистора створює на резисторі напругу, що замикає відповідний багатоемітерний транзистор, якщо ж перемичка перепалена, то багатоемітерний транзистор відкритий. Відкритий або закритий стан багатоемітерних транзисторів MT_1, \dots, MT_n визначає значення розрядів слова.

Розглянемо ПЗП типу K556PT4 і його програмування. Мікросхема ПЗП (рисунок 4.8, а) має організацію 256×4 . У відповідності з цим в ній передбачено 8 адресних входів (виводи мікросхеми 5, 6, 7, 4, 3, 2, 1, 15) і 4 входів-виходів даних (виводи 12, 11, 10, 9), що є виходами в режимі читання і входами в режимі запису. Вивід 16 використовується для під'єднання джерела живлення, вивід 8 — загальний, вивід 14 (С) — вивід програмування.

Режим читання встановлюється подачею напруги 5 В на вивід 16, на виводи 13 (ВК) і 14 (С) — напруги рівня логічного 0. Виходи даних 12, 11, 10, 9 побудовані за схемою з відкритим колектором, тому для зняття даних вони вимагають ввімкнення за схемою, показаною на рисунку 4.8, б.

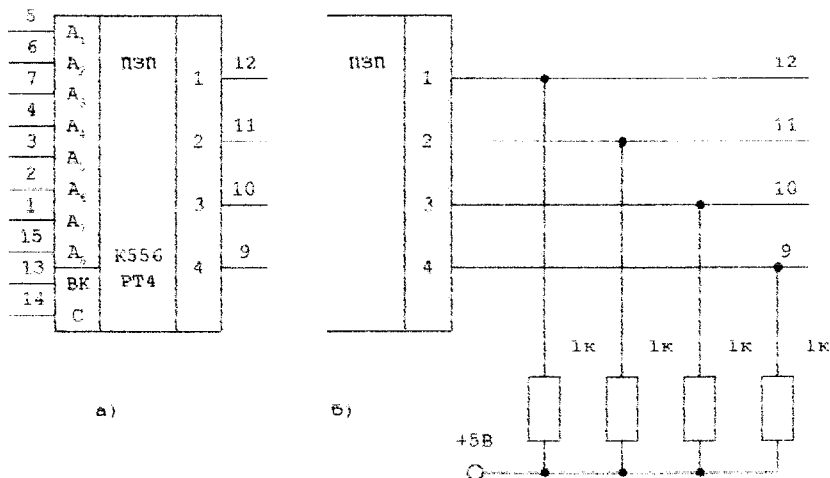


Рисунок 4.8 - Мікросхема ПЗП K556PT4:

а) умовне позначення; б) схема ввімкнення виходів типу "відкритий колектор"

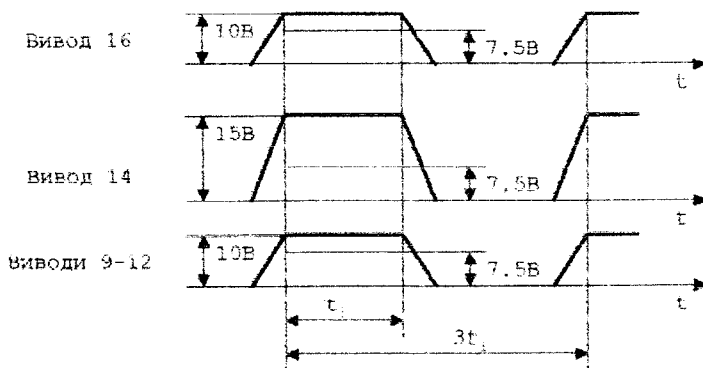


Рисунок 4.9 - Часові діаграми сигналів при запису інформації в ПЗП

При програмуванні (в режимі запису) подаються імпульси у відповідності до часової діаграми, що показана на рисунку 4.9:

- 1) на адресних входах встановлюється адреса комірки;
- 2) напруга живлення (на виводі 16) підвищується від 5 В до 10 В (джерело живлення повинно бути розраховане на струм не менше 400 мА);

3) на вивід програмування 14 подається напруга 15 В (струм джерела повинен бути обмежений рівнем 100 мА);

4) на вивід програмування через резистор 300 Ом подається напруга 10 В (при запису логічної 1). В одному циклі можна програмувати тільки один розряд.

Нарощування ємності ПЗП проводиться за тими же схемами, що і нарощування ємності ОЗП.

4.5 ПЕРЕПРОГРАМОВАНІ ПОСТІЙНІ ЗАПАМ'ЯТОВУВАЛЬНІ ПРИБОРИ

Переграмовані ПЗП мають всі переваги ПЗП, зберігаючи записану в них інформацію невизначено довго і при відімкненому живленні. В той же час в них допускається стирання записаної інформації і запис нової інформації. Однак, якщо читання здійснюється за частки мікросекунди, то запис вимагає на багато порядків більшого часу.

Розглянемо принцип роботи наведеного на рисунку 4.10, а елемента пам'яті з електричним записом інформації і стиранням ультрафіолетовим світлом. Транзистор VT_1 служить для вибірки елемента пам'яті. Зберігання інформації здійснюється в транзисторі VT_2 . Особливість транзистора VT_2 , структура якого показана на рисунку 4.10, б, полягає в тому, що він має ізолюваний затвор. При подачі достатньо великої напруги до $p-n$ -переходу витоків або стоків відбувається інжекція електронів в затвор, після чого цей заряд може утримуватися на затворі тривалий час. Негативний заряд на затворі, притягуючи дірки, створює в n -області провідний p -канал між витоків і стоком. Транзистор опиняється в стані логічного 0. Якщо ж до $p-n$ -переходу не прикладалося підвищеної напруги, заряд на затворі буде відсутній, транзистор опиняється в закритому стані (стані логічної 1).

Стирання інформації в одних мікросхемах проводиться шляхом подачі відповідних напруг, в інших — шляхом подачі ультрафіолетового випромінювання через прозору кварцеву кришку в корпусі мікросхеми. Під дією напруг або світлового випромінювання, діючого протягом приблизно 10 хв., знімається заряд із затворів транзисторів і всі транзистори накопичувача встановлюються в стан непровідності. Звичайне кімнатне освітлення практично не впливає на стан транзисторів.

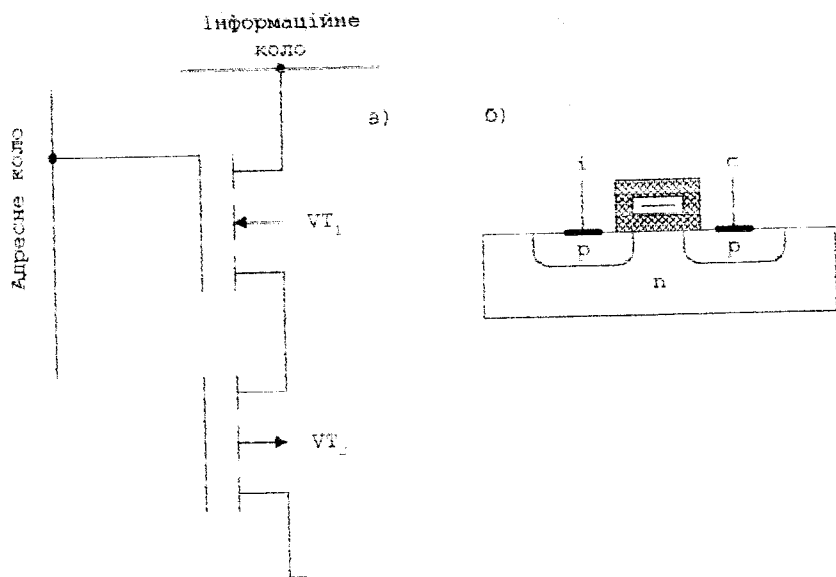


Рисунок 4.10 - Елемент пам'яті ППЗП: а) схема, б) структура

Розглянемо мікросхему ППЗП типу К573РФ1 (рисунок 4.11) і її програмування.

Дана мікросхема має організацію 1024×8, в ній передбачено 10 адресних входів (виводи з номерами 8, 7, 6, 5, 4, 3, 2, 1, 23, 22) і 8 входів-виходів даних (виводи 9, 10, 11, 13, 14, 15, 16, 17), сумісні з ТТЛ-логікою.

Режим читання інформації. Мікросхема вимагає трьох джерел живлення +12 В (вивід 19), +5 В (вивід 24), -5 В (вивід 21) відносно спільного виводу 12. На вході ВК/Зп (вивід 20) і вході програмування (вивід 18) встановлюється напруга рівня логічного 0. Виводи 9...11, 13...17 використовуються як виходи даних, на яких виникає кодова комбінація вмісту комірки пам'яті, адреса якої подана на адресні входи мікросхеми.

Режим стирання інформації. Стирання інформації здійснюється подачею на мікросхему випромінювання високої інтенсивності з довжиною хвилі не більше 400 нм через прозору для променів кришку. Як джерело ультрафіолетового випромінювання можуть бути використані лампи типу ДРТ-220 або ДРТ-375. В процесі стирання, виводи мікросхеми повинні бути закорочені. Після стирання в усіх розрядах всіх комірок пам'яті мікросхеми встановлюється логічна 1.

Режим запису інформації. Цикл запису починається подачею на вхід ВК/Зп (вивід 20) напруги +12 В. На адресних входах послідовно встановлюються адреси комірок пам'яті, інформація, яка записується в комірки у виді паралельних 8-розрядних кодових комбінацій, подається на виводи 9...11, 13...17, які в режимі запису використовуються як входи записуваних даних. Після подачі кодових комбінацій адреси і записуваного числа з деякою часовою затримкою подається імпульс програмування рівня 26 В на вхід

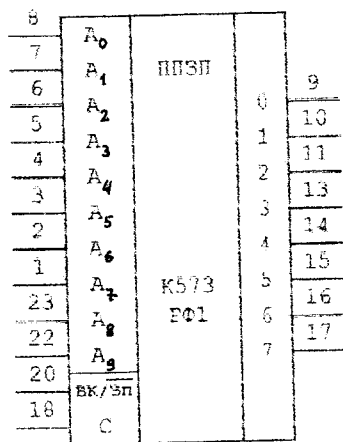


Рисунок 4.11 - Умовне позначення мікросхеми К573РФ1

програмування 3 (вивід 18). Часова діаграма імпульсів в режимі запису наведена на рисунку 4.12. Подача по одному імпульсу програмування

на кожну з адреси визначає цикл запису. Протягом кожного циклу запису повинні програмуватися всі комірки пам'яті. Програмування окремих комірок або груп комірок неприпустимо. Необхідне число циклів програмування пам'яті визначається формулою $N=100 \text{ мс}/t_i$, де t_i — тривалість імпульсу програмування, мс. Так, якщо $t_i=0.5 \text{ мс}$, то для впевненого запису інформації потрібно $N=200$ циклів запису.

Перепрограмовані ПЗП дорожчі за ПЗП і їх застосовують в процесі налагодження мікропроцесорних приладів, коли необхідно уточнити інформацію, що повинна зберігатися в пам'яті. Після налагодження ПЗП можна замінити більш дешевим ПЗП.

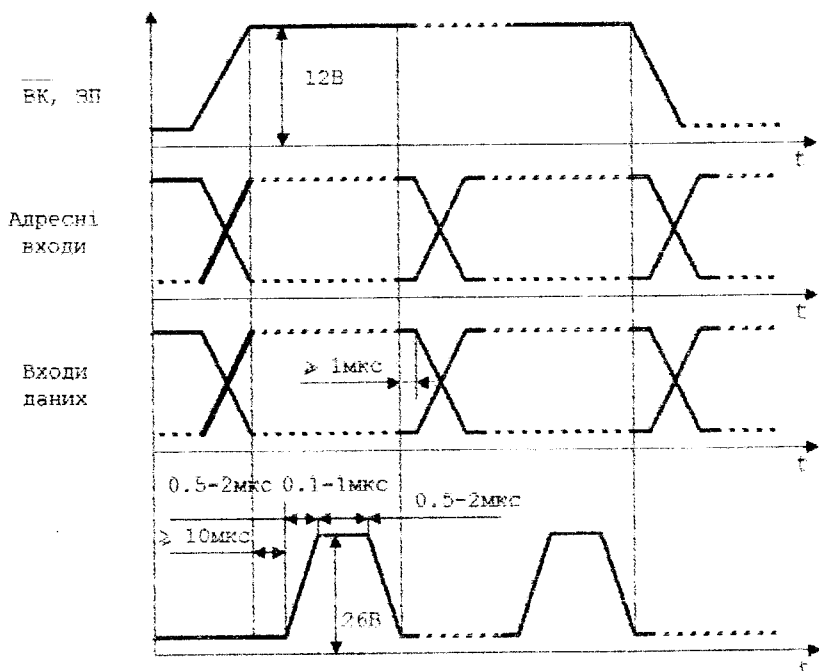


Рисунок 4.12 - Часові діаграми процесу запису інформації в ПЗП

Список питань для самоконтролю

1. Назвіть типи запам'ятовувальних пристроїв і поясніть режими їх роботи.
2. Які існують основні параметри запам'ятовувальних пристроїв?
3. Яка структура та принцип дії оперативних запам'ятовувальних пристроїв?
4. Яка структура та принцип дії постійних запам'ятовувальних пристроїв?
5. Яка структура та принцип дії перепрограмованих постійних запам'ятовувальних пристроїв?

РОЗДІЛ 5 ПРИСТРОЇ ВВЕДЕННЯ ТА ВИВЕДЕННЯ ЦИФРОВОЇ ІНФОРМАЦІЇ

5.1 ПРИСТРОЇ ВВЕДЕННЯ ЦИФРОВОЇ ІНФОРМАЦІЇ

Будь-яка цифрова система вміщує засоби введення-виведення інформації. Як пристрої введення для формування керуючих та кодових сигналів можуть використовуватися кнопкові перемикачі і контактні клавіатури. Як пристрої виведення широко використовують кнопкові, цифрові, знакові індикатори та індикаторні табло на їх основі.

Сигнал за допомогою кнопкових перемикачів формується шляхом замикання-розмикання ними електричного кола (рисунок 5.1, а). Іншим методом отримання сигналу є використання так званого "контактного щупа" (рисунок 5.1, б). Тут з виходу контактної площини у вихідному стані знімають потенціальний сигнал U_w , а в момент дотику площини щупом рівень сигналу стає рівним нулю. Сигнали, що формуються контактною парою, супроводжуються деренчанням (рисунок 5.1, в), тривалість якого складає 8-12 мс. Для усунення деренчання в отриманому сигналі (рисунок 5.1, г) на виході контакту встановлюють спеціальні формувачі. На рисунку 5.2 приведені схеми найбільш поширених формувачів. У формувачі на рисунку 5.2, а використовується принцип безпосередньої установки RS-тригера у відповідності до стану перемикача SB1. Форма сигналу з виходу формувача приведена на рисунку 5.1, з. Формувач на рисунку 5.2, б - це однорозрядний тактований регістр з періодом вхідних тактів $T_1 \geq 10-20$ мс. Його роботу ілюструють діаграми на рисунку 5.2, в. Перший формувач простий, але для його під'єднання до перемикача SB1 потрібні два резистори (R1, R2) і двопровідна лінія. Для другого формувача потрібен один резистор R3 і однопровідна лінія, але

додатково потрібна подача тактових імпульсів. Перевагою другого способу є часова прив'язка моменту появи вихідного сигналу з внутрішніми процесами пристрою, для якого цей сигнал формується, при цьому як тактові імпульси використовуються вже існуючі в пристрої сигнали.

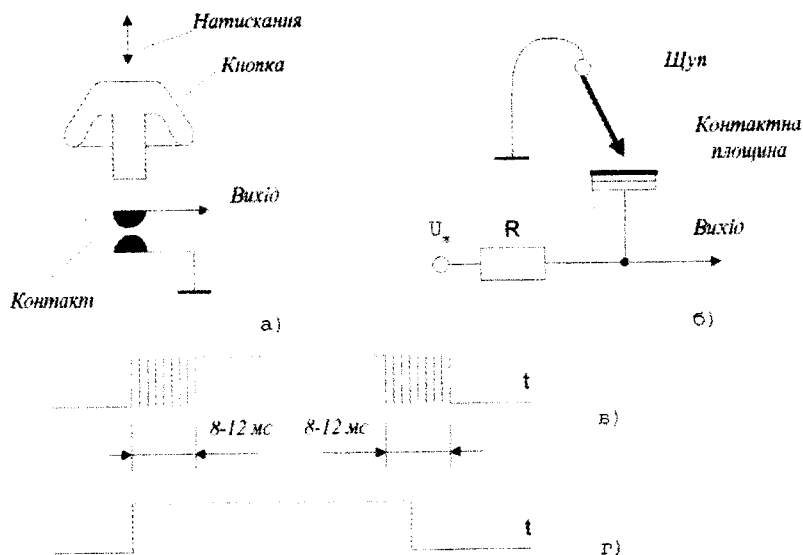
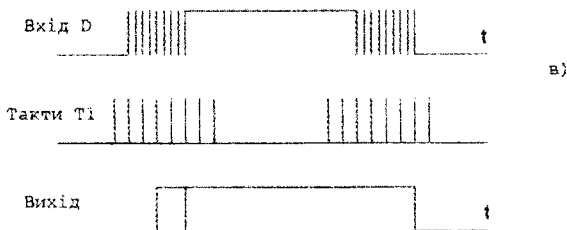
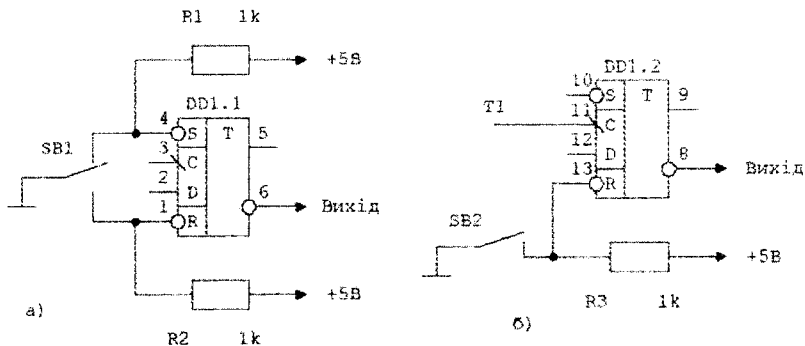


Рисунок 5.1 - Методи формування електричного контакту в формувачах сигналів і сигнали формувача

Формування кодових сигналів виконується в пристроях кодування. Додатковими функціями пристрою кодування є: формування сигналу "Гот." (готовність) для керування перезаписом сформованого коду; блокування роботи при одночасному натискуванні кількох клавіш і захист від деренчання.

Пристрій кодування, структурна схема якого наведена на рисунку 5.3, містить: клавіатуру вводу КЛ; кодуючий блок КБ; вузол захисту і формування вихідних сигналів ФС (число n на шині вказує число ліній в цій шині).



Рисунку 5.2 - Формувачі сигналів і часова діаграма формувача

Найбільше поширення отримали комбінаційні пристрої кодування і пристрої із сканованою клавіатурою.

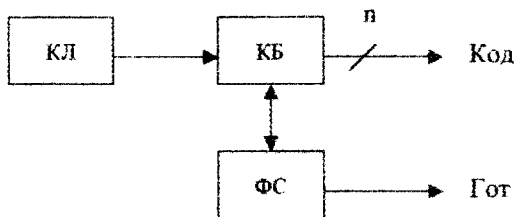


Рисунок 5.3 - Структурна схема пристрою кодування

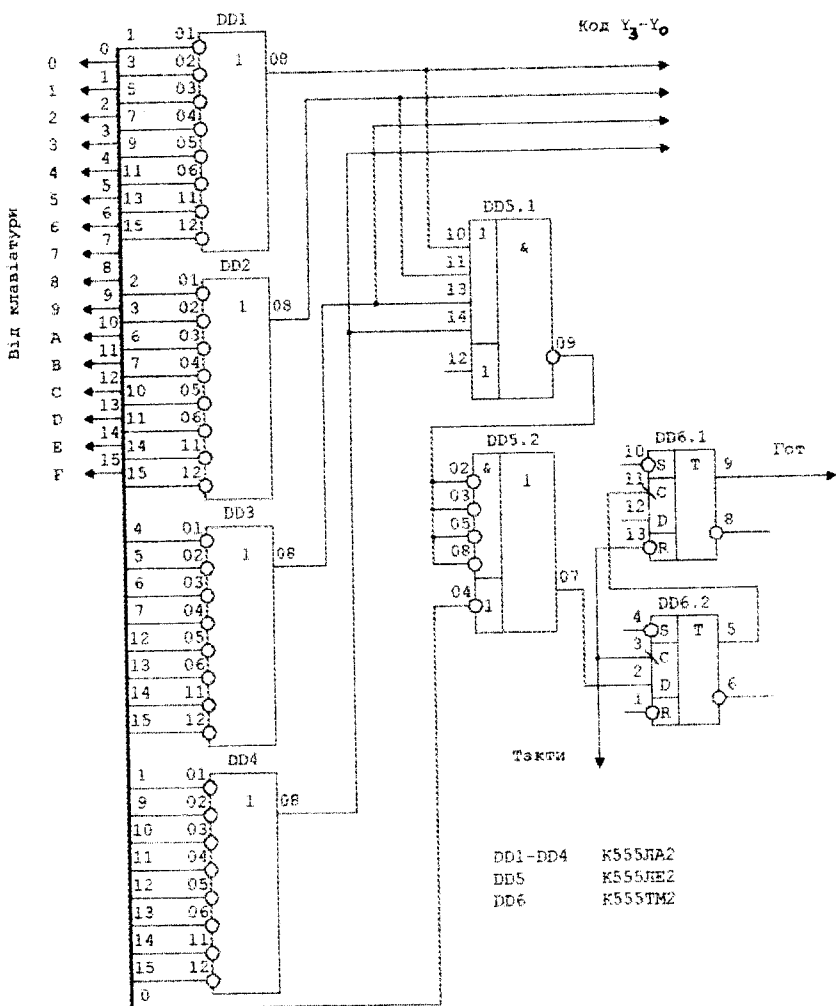


Рисунок 5.4 - Принципова схема блока кодування комбінаційного типу

Комбінаційний пристрій кодування (рисунок 5.4) формує 16 чотирирозрядних кодів. Блок кодування в пристрої утворюють чотири елементи АБО-НІ на DD1-DD4. Вузол ФС пристрою вмикає

п'ятивходову зборку АБО-НІ (DD5.1, DD5.2) і формувачі сигналів на тригерах DD6.1 і DD6.2.

При натисканні будь-якої клавіші клавіатури вводу вихідні сигнали з елементів DD1-DD4 утворюють відповідний чотирирозрядний код, на виході тактованого тригера DD6.2 формується сигнал "Натискання". Тригер DD6.1 встановлюється в одиничний стан по фронту сигналу і скидається після закінчення такту на вході R.

Пристрій кодування на основі клавіатури, що сканується (рисунок 5.5) також формує чотирирозрядний двійковий код і вміщує: блок сканування (послідовно ввімкнені чотирирозрядний двійковий лічильник DD2, шістнадцятивходовий мультиплексор DD3), формувач сигналу "Готовність" на тригері DD4.1 і елементі І-НІ DD1.2. Термін "сканування клавіатури" означає послідовне опитування станів всіх її елементів.

В пристрої 16 виходів клавіатури вводу під'єднані до 16 входів мультиплексора DD3. В основному режимі лічильник DD2 працює від зовнішніх тактів, які поступають через елемент DD1.1. Для кожного із станів лічильника мультиплексор проводить опитування стану (натиснутий-відпущений) відповідного контакту клавіатури вводу. В момент опиту натиснутого контакту на виході мультиплексора формується сигнал високого рівня, який готує тригер DD4.1 для установки в 1 по зрізу вхідного такту. З появою сигналу "Готовність" припиняється подача тактів на лічильник DD2, а стан лічильника відповідає значенню вихідного коду пристрою. При відпущенні клавиші КЛ пристрій повертається у початковий стан.

Перевагою пристрою із сканованою КЛ у порівнянні з комбінаційним є: менші апаратні витрати, наявність захисту від формування хибного коду при одночасному натискуванні кількох клавіш КЛ.

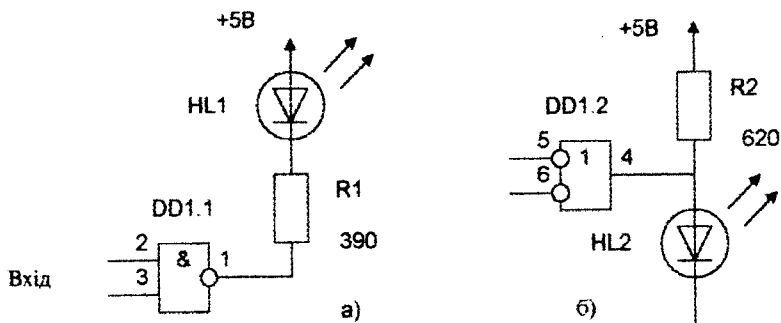
5.2 ЕЛЕМЕНТНА БАЗА СВІТЛОВИХ ІНДИКАТОРНИХ ПРИСТРОЇВ

Найпростішими приладами для відображення інформації в цифрових пристроях є: світлодіоди, цифрові індикатори і світлові табло.

У напівпровідникових світлодіодах використовується властивість р-п переходу випромінювати світло у видимій частині спектру при протіканні через нього прямого струму. Світлодіоди бувають червоного, жовтого, зеленого і оранжевого кольорів, а також із змінним кольором. Важливим параметром світлодіода є сила світла, яка вимірюється в мілліканделах (мКд). Вона пропорційна прямому струму, який протікає через світлодіод. Світлодіоди виготовляють з направленим і розсіяним випромінюванням. Перші з них виконують в металевому корпусі з лінзою, яка забезпечує направлене випромінювання. Розсіяне випромінювання створюють світлодіоди в пластмасовому корпусі із прозорого компаунду.

Постійна пряма напруга для світлодіодів різних типів складає 2-3 В, а значення прямого (робочого) струму — від 5 до 20 мА. Світлодіоди можна використовувати для індикації рівнів на виході мікросхем ТТЛ і транзисторних каскадів. Світлодіод може засвітитися як при низькому, так і при високому рівнях сигналу на виході мікросхеми. Схеми ввімкнення таких індикаторів зображені на рисунку 5.6.

Крім світлодіодів випускають цифрові, знакові, лінійні і матричні світлодіодні індикатори і табло. Цифрові і знакові індикатори бувають однорозрядними і багаторозрядними, їх знаки складаються із семи і більше (9, 11, 16, 18, ...) сегментів. Крім сегментів індикатори мають децимальну крапку чи кому.



DD1 K555ЛА8
 HL1, HL2 АЛ307А

Рисунок 5.6 - Варіанти ввімкнення світлодіодів для індикації сигналів низького (а) і високого (б) рівнів

Із цифрових найбільше поширення отримали семисегментні індикатори, в яких стилізоване зображення цифр (і деякого набору букв) складають із семи лінійних сегментів, розташованих у вигляді цифри вісім (рисунок 5.7). Висвічування сегмента, що вибирається, чи групи сегментів при отриманні зображення знаку забезпечується ввімкненням їх в коло проходження струму.

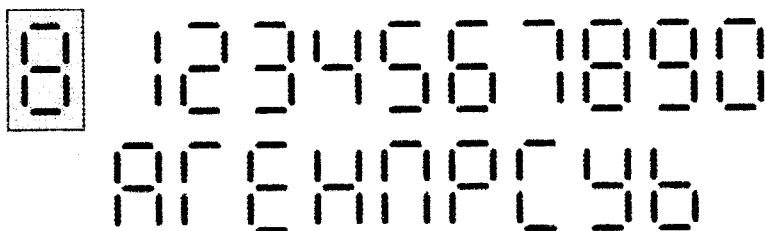
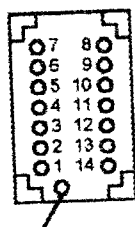
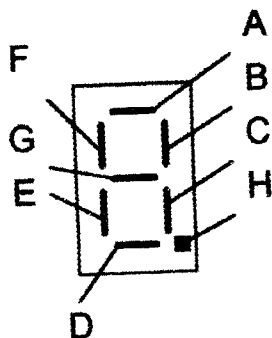


Рисунок 5.7 - Зображення знаків на основі семисегментного індикатора

На рисунку 5.8 подані зовнішній вигляд і принципові схеми індикаторів АЛС324, А, Б. Лінійні шкали на основі світлодіодів - це

мікросхеми, що утворені послідовно з'єднаними світлодіодними сегментами, які вмикаються пристроєм керування. Лінійні шкали використовують для відображення інформації, яка безперервно змінюється, наприклад, для індикації рівня сигналу. Лінійна шкала у ввімкненому стані виглядає як лінія, що світиться, довжина якої визначається числом задіяних сегментів.

Знак 7.5x5.2 мм²



Кольорова крапка

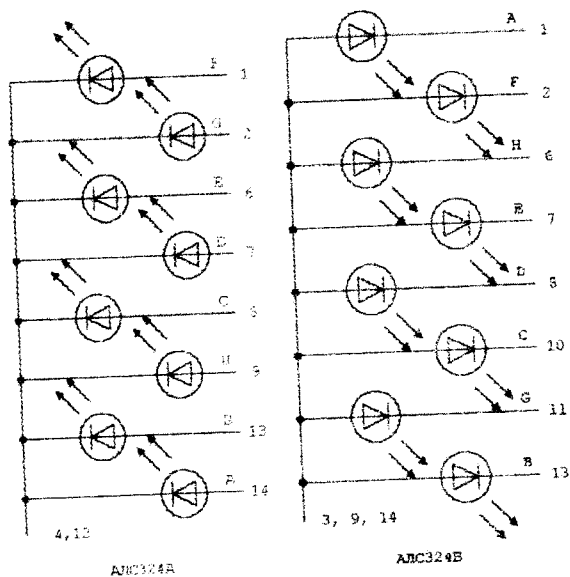


Рисунок 5.8 - Цифрові світлодіодні індикатори АЛС324

Оскільки рідиннокристалічні індикатори не випромінюють світла, то для зчитування з них цифрової інформації потрібне або природне освітлення, або додаткове джерело світла. Принцип дії подібного індикатора ґрунтується на залежності прозорості органічної речовини, що заповнює індикатор, від величини діючого на неї електричного поля. Завдяки цьому змінюється контрастність окремих фрагментів індикатора, з яких формується необхідне зображення.

Розмір знака та індикаційного поля індикатора конструктивно нічим не обмежені. Промисловість випускає багато типів рідиннокристалічних індикаторів, які широко використовуються в електронних годинниках, мікрокалькуляторах та інших пристроях з цифровою індикацією. Всі рідиннокристалічні індикатори працюють на змінному струмі, їх робоча напруга керування складає 4-15 В. Струм індикатора, як правило, не перевищує сотень мікроампер, що і визначило їхнє використання в малогабаритних економічних пристроях.

Окрім світлодіодних і рідиннокристалічних індикаторів в цифрових пристроях можуть використовуватися і газорозрядні індикатори. Ці індикатори мають один чи два аноди і десять катодів, виконаних у вигляді цифр від 0 до 9. Анод газорозрядного індикатора через резистор під'єднують до джерела постійної чи пульсуючої напруги 200-300 В. Середнє значення анодного струму для більшості індикаторів складає 1.5-3 мА. При подачі напруги між анодом і одним із катодів останній починає світитися. В результаті висвічується певна цифра.

5.3 ПРИСТРОЇ ІНДИКАЦІЇ

Великий інтерес викликають пристрої відображення цифрової інформації, які побудовані з використанням статичної і динамічної індикації.

Спосіб статичної індикації полягає в постійному підсвічуванні індикатора від одного джерела інформації. Наприклад, в електронних годинниках (рисунок 5.9) кожний із цифрових індикаторів блока індикації через власний перетворювач коду (дешифратор) постійно під'єднаний до "своєї" декади лічильника. В цьому випадку "втрати" на індикацію n знаків є $11n$ з'єднувальних провідників і n дешифраторів. З використанням суміщених мікросхем, наприклад лічильник — дешифратор — індикатор, кількість з'єднувальних провідників значно зменшиться.

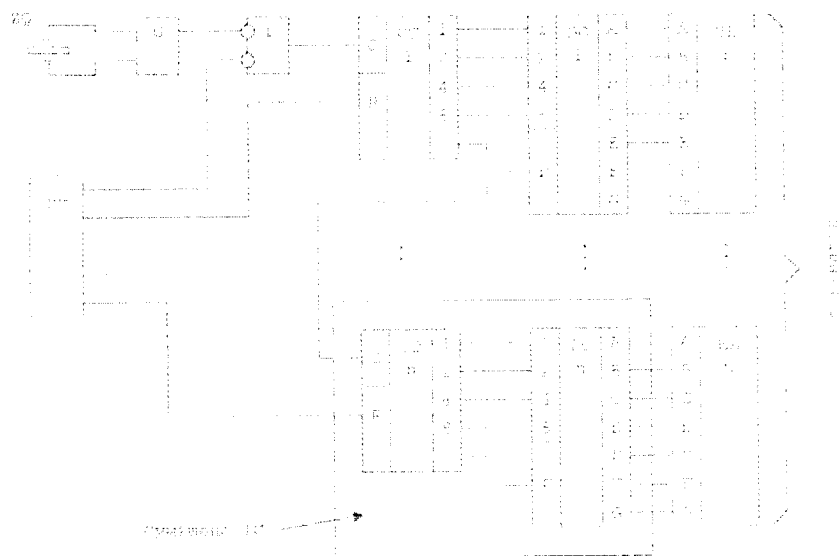


Рисунок 5.9 - Структурна схема пристрою з блоком статичної індикації

Суть динамічної індикації полягає в почерговому циклічному під'єднанні кожного індикатора до джерела інформації через загальне коло перетворення коду. Перевага цього способу — економія в перетворювачах коду і з'єднувальних проводах. Остання є суттєвою при віддаленні блока індикації від джерела інформації. Переваги цього

способу особливо помітні при числі знаків, що висвічуються, більшому ніж 4-6.

Принципи побудови цифрового табло на n знаків пояснюється на прикладі пристрою, структурна схема якого приведена на рисунку 5.10. Пристрій вміщує: n -канальний мультиплексор МХ, виконаний за схемою $n \times 4$ лінії на 1, дешифратор DC1 двійково-десятькового коду в код семисегментного індикатора, блок керування на n станів, який включає двійковий лічильник СТ і дешифратор DC2. Лічильник СТ працює в режимі безперервного підрахунку імпульсів. Коефіцієнт перерахунку лічильника $K=n$. Кожний стан лічильника СТ забезпечує підготовку відповідного індикатора до висвічування інформації від дешифратора DC1 і передачу через мультиплексор МХ на DC1 інформації від відповідного джерела.

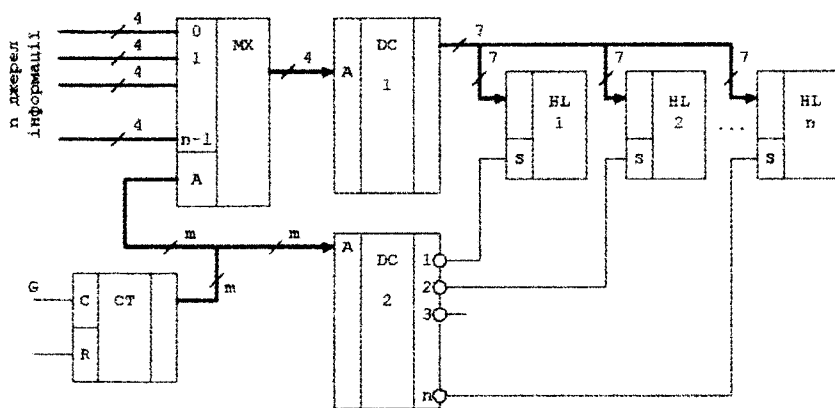


Рисунок 5.10 - Структурна схема блока динамічної індикації

Час світіння одного індикатора протягом циклу роботи лічильника

СТ

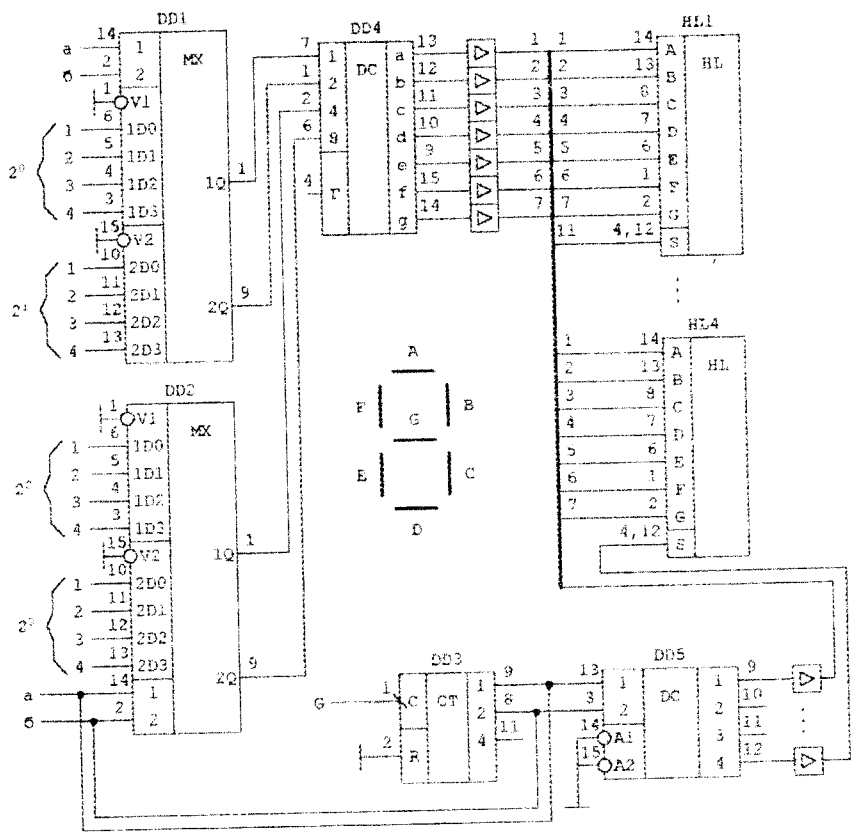
$$t_i = \frac{T_n}{n},$$

де $T_{ц}$ - час виконання циклу; $t_i = T_{ц}$ - рівне періоду слідування імпульсу

Г.

Для усунення мерехтіння зображення на індикаторі час циклу встановлюють в межах від 10 до 15 мс.

Практична схема пристрою, який забезпечує роботу чотирирозрядного цифрового табло, наведена на рисунку 5.11.



- DD1, DD2 К555КН2
- DD3 К555ИЕ5
- DD4 К514ИД1
- DD5 К555ИД4
- HL1-HL4 АМС324А

Рисунку 5.11 - Принципова схема блоку динамічної індикації

Список питань для самоконтролю

1. Назвіть види та принципи дії пристроїв вводу цифрової інформації.
2. Як працюють комбінаційні пристрої кодування?
3. Як працюють пристрої із сканованою клавіатурою?
4. Назвіть основні види та принципи дії світлових індикаторних пристроїв.
5. Наведіть варіанти ввімкнення світлодіодів.
6. Що таке статична індикація і як вона реалізується?
7. Що таке динамічна індикація і як вона реалізується?

Літэратура

1. Потемкин И. С. Функциональные узлы цифровой автоматики.- М.: Энергоатомиздат, 1988.
2. Хоуп Г. Проектирование цифровых вычислительных устройств. - М.: Мир, 1982.
3. Титце У., Шенк К. Полупроводниковая схемотехника.- М.:Мир. 1985.
4. Оберман Р.М. Счет и счетчики: Пер. с англ.- М.:Радио и связь, 1984.
5. Применение интегральных схем. Практическое руководство. В 2-х кн.: Пер. с англ.- М.:Мир, 1987.
6. Мальцева Л.А. и др. Основы цифровой техники- М.: Радио и связь, 1986.
7. Шило В. Л. Популярныe цифровые микросхемы: Справочник.- М.: Радио и связь, 1987.
8. Пухальский Г.И., Новосельцева Т. Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник.- М.:Радио и связь, 1990.
9. Иванов В.Н. и др. Полупроводниковые оптоэлектронные приборы: Справочник.- М.: Энергоатомиздат, 1989.
10. Интегральные микросхемы / Б.В.Тарабрин и др. - М.: Энергоатомиздат, 1985.
11. Корнейчук В.Н. и др. Вычислительные устройства на микросхемах: Справочник.- К.: Техніка, 1986.
12. Токхейм Р. Основы цифровой электроники: Пер. с англ.- М.:Мир, 1988.
13. Нефедов А.В. и др. Зарубежные интегральные микросхемы для промышленной электронной аппаратуры: Справочник.- М.: Энергоатомиздат, 1989.

14. Полупроводниковые приборы: Диоды, тиристоры, оптоэлектронные приборы: Справочник / А. В. Боюков и др.-М.: Энергоатомиздат, 1985.
15. Полупроводниковые приборы: Диоды высокочастотные, диоды импульсные, оптоэлектронные приборы: Справочник / А.В.Титцевич и др. - М.: Радио и связь. 1989.
16. Полупроводниковые БИС запоминающих устройств: Справочник/ В.В.Баранов и др. - М.: Радио и связь, 1986.
17. Справочник по устройствам цифровой обработки информации/ А.А.Молчанов и др.- К.: Техніка, 1987.
18. Алексеенко А.Г., Шагурин И. И. Микросхемотехника- М.:Связь, 1982.
19. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства: Учебное пособие для вузов.- СПб.: Политехника, 1996.

Міністерство освіти і науки України
Вінницький державний технічний університет
Навчальне видання

Володимир Олександрович Поджаренко
Володимир Юрійович Кучерук
Валерій Юрійович Марущак

Основи цифрової техніки.

Навчальний посібник

Редактор В.О.Дружиніна
Коректор З.В.Поліщук

Формат 29,7×42 ¼
Гарнітура TextBook
Друк різнографічний
Зам. № 2000 - 009С
Тираж 39 прим.

Віддруковано в комп'ютерному інформаційно-видавничому центрі ВДТУ
м.Вінниця, Хмельницьке шосе, 95, ВДТУ, ГНК, 9-й поверх
Тел. (0432) 44-01-59