СПРАВОЧНИК

В. И. ЗУБЧУК
В. Л. СИГОРСКИЙ
А. Н. ШКУРО

СПРАВОЧНИК ПО ЦИФРОВОЙ СХЕМОТЕХНИКЕ

Издательство «Техника»

В.И.ЗУБЧУК
В.П.СИГОРСКИЙ
А.Н.ШКУРО

СПРАВОЧНИК ПО ЦИФРОВОЙ СХЕМОТЕХНИКЕ

Киев
«Тэхника»
1990

ББК 32.844.1я2
З-91
УДК 681.51 (031)

Рецензент канд. техн. наук *В. П. Денисенко*
Редакция литературы по электронике, кибернетике и связи
Зав. редакцией *З. В. Божко*

Зубчук В. И. и др.
З-91 Справочник по цифровой схемотехнике /В. И. Зубчук, В. П. Сигорский, А. Н. Шкуро. —К.: Тэхника, 1990. — 448 с.
ISBN 5-335-00584-X

Приведены схемные реализации цифровых интегральных микросхем (ИМС) комбинационного (шифраторы, дешифраторы, преобразователи кодов, мультиплексоры, демультиплексоры, сумматоры, компараторы) и последовательностного (триггеры, счетчики, регистры, ОЗУ, ПЗУ, ППЗУ) типов. Даны структуры и особенности функционирования микропроцессорных комплектов с фиксированной и наращиваемой разрядностью и структуры однокристальных микро-ЭВМ, а также рекомендации по их применению при проектировании цифровых устройств.

Рассчитан на инженерно-технических работников, занимающихся разработкой и эксплуатацией цифровой техники, может быть полезен студентам вузов.

З $\frac{2302030700-192}{М202\ (04)-90}$ 132.90 ББК 32.844.1я2

ISBN 5-335-00584-X

© Зубчук В. И., Сигорский В. П., Шкуро А. Н., 1990

НТБ ЕПИ
г. ВИННИЦА

ПРЕДИСЛОВИЕ

Быстрое развитие современной микроэлектроники и, в частности, цифровой схемотехники сопровождается вовлечением в эту область все более широкого круга разработчиков новых функциональных узлов, устройств и систем, а также пользователей компонентной базы и традиционных схемотехнических решений в новых прикладных областях. При этом специалист в области цифровой схемотехники должен обладать обширными знаниями в способах математического описания функционирования цифровых схем на логическом и электрическом уровнях, знать современную компонентную базу цифровой схемотехники и предпочтительные области ее применения, свободно ориентироваться в промышленных сериях интегральных микросхем и перспективах их дальнейшего совершенствования, овладеть методами построения структур цифровых устройств и систем, включая средства микропроцессорной техники.

Уровень выполняемых разработок по цифровой схемотехнике в значительной мере зависит от полноты и своевременности обновления соответствующей теоретической и справочной литературы. К настоящему времени сформировался и надежно закрепился существенный разрыв между литературой по теоретическим вопросам схемотехники, освещающей методологию построения цифровых элементов, устройств и систем, и справочной литературой, в которой обычно приводятся описания выпускаемых промышленностью изделий электронной техники. В данном справочнике изложены с единых позиций как методологические, так и информационные аспекты цифровой схемотехники. По замыслу авторов, справочник должен помочь в решении задач схемотехнического проектирования, а также предоставить разработчику первичную информацию. Изложение материала вполне доступно как для специалистов по электронной технике, так и для студентов средних и высших учебных заведений и подготовленных радиолюбителей.

Отзывы и пожелания просим направлять по адресу: 252601 Киев, 1, ул. Крещатик, 5. Издательство «Техника».

Глава 1
ЧИСЛА И КОДЫ

1.1. СИСТЕМЫ СЧИСЛЕНИЯ

В дискретной технике вся информация независимо от ее характера представляется в числовой форме, причем используются только позиционные системы счисления. В этих системах любое целое неотрицательное n-разрядное число записывается в виде последовательности n цифр $x_{n-1}x_{n-2}\ldots x_1\ x_0$. Число a различных символов (0, 1, 2, ..., $a-1$), принятых для представления цифр, определяет основание системы счисления. Вклад цифры в изображаемое число зависит как от этого основания, так и от занимаемой ею позиции (разряда) в последовательности цифр. Цифра x_k входит с весом a^k и означает $x_k a^k$, а вся последовательность цифр $x_{n-1}x_{n-2}\ldots x_1x_0$ выражает в системе счисления с основанием a число

$$x_{n-1}a^{n-1}+x_{n-2}a^{n-2}+\cdots+x_1a^1+x_0a^0. \qquad (1.1)$$

Привычная десятичная система ($a=10$) использует цифры 0, 1, 2, ..., 9, так, что, например: $3175=3\cdot10^3+1\cdot10^2+7\cdot10^1+5\cdot10^0$. В вычислительной технике преимущественное значение получила двоичная система счисления [88], для которой достаточно двух цифр 0 и 1. Двоичный разряд представляет собой наименьшее количество информации, называемое битом. Последовательность двоичных цифр $x_{n-1}x_{n-2}\ldots x_1x_0$ служит записью двоичного числа

$$x_{n-1}2^{n-1}+x_{n-2}2^{n-2}+\cdots+x_12^1+x_02^0.$$

Среди других систем счисления чаще всего используются восьмеричная и шестнадцатеричная. В восьмеричной системе цифры изображаются теми же символами, что и в десятичной, а в шестнадцатеричной системе к ним добавляется еще шесть символов A, B, C, D, E, F, которые соответствуют десятичным числам 10, 11, 12, 13, 14, 15. Запись первых 32 чисел в системах счисления с основанием 2, 8 и 16 показаны в табл. 1.1. Если требуется указать основание системы счисления, запись числа сопровождается десятичным индексом. Например:

$$10110_2=(1\cdot2^4+1\cdot2^3+0\cdot2^2+1\cdot2^1+0\cdot2^0)=26_{10};$$
$$5327_8=(5\cdot8^3+3\cdot8^2+2\cdot8^1+7\cdot8^0)=2775_{10};$$
$$2DF9_{16}=(2\cdot16^3+13\cdot16^2+15\cdot16^1+9\cdot16^0)=11769_{10}.$$

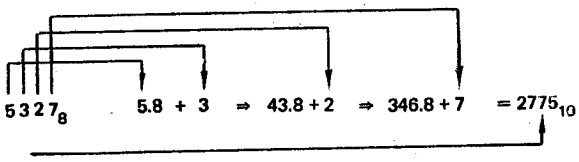
Отсюда видно, что для преобразования числа из любой системы счисления в десятичную достаточно вычислить значение соответствующего многочлена, подставив в него десятичные значения разрядов и основания системы счисления. Вычисления удобно выполнять по схеме Горнера, основанной на представлении многочлена (1.1) в виде

$$(\ldots((x_{n-1}a+x_{n-2})a+x_{n-3})a+\ldots+x_1)a+x_0,$$

Таблица 1.1

Десятичное число	В системе счисления с основанием			Десятичное число	В системе счисления с основанием		
	2	8	16		2	8	16
0	0	0	0	16	10000	20	10
1	1	1	1	17	10001	21	11
2	10	2	2	18	10010	22	12
3	11	3	3	19	10011	23	13
4	100	4	4	20	10100	24	14
5	101	5	5	21	10101	25	15
6	110	6	6	22	10110	26	16
7	111	7	7	23	10111	27	17
8	1000	10	8	24	11000	30	18
9	1001	11	9	25	11001	31	19
10	1010	12	*A*	26	11010	32	1*A*
11	1011	13	*B*	27	11011	33	1*B*
12	1100	14	*C*	28	11100	34	1*C*
13	1101	15	*D*	29	11101	35	1*D*
14	1110	16	*E*	30	11110	36	1*E*
15	1111	17	*F*	31	11111	37	1*F*

т. е. цифра x_{n-1} старшего разряда переводимого числа умножается на основание a исходной системы счисления и результат суммируется со следующей цифрой, затем этот процесс повторяется, пока не дойдет до цифры младшего разряда. Например, преобразование восьмеричного числа в десятичное по этой схеме представляется следующим образом:



Наибольшее десятичное число, которое можно представить n-разрядным числом в системе счисления с основанием a, равно $(a^n - 1)$. При этом для представления a^n чисел необходимо по a различных цифр на каждый разряд, т. е. всего $q = na$ цифр. В то же время количество чисел, которые можно представить в системе счисления с основанием a, располагая q цифрами, выражается функцией $a^{q/a}$. Она достигает максимума при равенстве a основанию натуральных логарифмов $e \approx 2{,}7$, что указывает на троичную систему как наиболее экономичную. В свое время этот вывод служил одним из оснований для построения троичных вычислительных машин, но с развитием интегральной технологии он потерял свое значение. В вычислительной технике доминирующую роль по-прежнему играет двоичная система благодаря таким ее преимуществам как удобство технической реализации, простота арифметических и логических операций и др. Между тем в информационно-измерительной технике применяются также многозначные элементы и структуры,

с помощью которых осуществляются различные операции в десятичной и других системах счисления [52, 53].

В общем случае, когда число имеет дробную часть, последняя отделяется от целой части разделительным символом — точкой или запятой:

$$\underbrace{x_{n-1}x_{n-2}\ldots x_1x_0}_{n \text{ цифр целой части}} \cdot \underbrace{x_{-1}x_{-2}\ldots x_{-m}}_{m \text{ цифр дробной части}},$$

что соответствует числу:

$$\underbrace{x_{n-1}a^{n-1} + x_{n-2}a^{n-2} + \ldots + x_1a^1 x_0a^0}_{\text{целая часть числа}} +$$

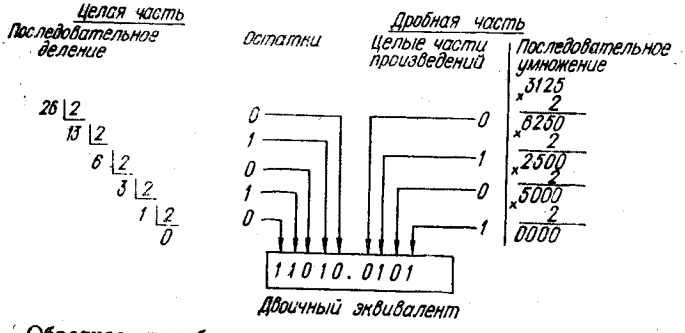
$$\underbrace{+ x_{-1}a^{-1} + x_{-2}a^{-2} + \ldots + x_{-m}a^{-m}}_{\text{дробная часть числа}}.$$

Выражение любого числа в десятичной системе сводится к вычислению его многочленного представления, например: $405{,}37_8 = (4 \cdot 8^2 + 0 \cdot 8^1 + 5 \cdot 8^0 + 3 \cdot 8^{-1} + 7 \cdot 8^{-2})_{10} = 261{,}140625_{10}$.

Арифметические операции над числами в любой системе счисления выполняются по тем же правилам, что и в десятичной системе.

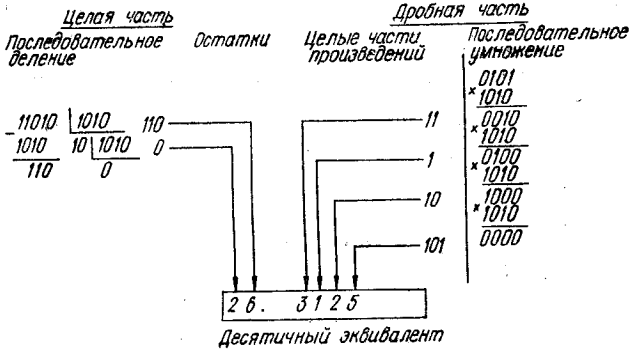
1.2. ПРЕОБРАЗОВАНИЕ ЧИСЕЛ

Чаще всего приходится переводить десятичные числа в двоичные и обратно, что можно выполнить с помощью универсального алгоритма, применяемого раздельно для целой и дробной частей. Перевод целой части десятичного числа в двоичную систему сводится к записи в обратном порядке остатков (0 или 1), получаемых при делении исходного числа и каждого последующего частного на два. Дробная часть получается из целых частей (0 или 1) при ее последовательном умножении на два, причем такое умножение продолжается до тех пор, пока дробная часть обратится в нуль или получится требуемое количество знаков после разделительной точки. Покажем, например, что $26.3125_{10} = 11010.0101_2$:



Обратное преобразование двоичного числа в десятичное можно выполнить аналогично с тем различием, что делить и умножать нужно на 10 в двоичной системе, т. е. на 1010_2. Так,

соотношение $11010.0101_2 = 26.3125_{10}$ получается следующим образом:



Как видно, при использовании этого алгоритма цифры десятичного эквивалента двоичного числа выражаются первоначально в двоичной системе. Отводя для каждого десятичного разряда четыре двоичных разряда (тетраду), получим двоично-десятичную запись числа:

$$26.3125 = \underbrace{0010}_{2}\ \underbrace{0110}_{6} \cdot \underbrace{0011}_{3}\ \underbrace{0001}_{1}\ \underbrace{0010}_{2}\ \underbrace{0101}_{5}.$$

Такое представление чисел удобно при обработке в вычислительных машинах информации, характеризующейся большим количеством исходных данных и результатов в десятичной системе счисления.

Проще всего переводятся в двоичные числа восьмеричные и шестнадцатеричные, основания которых представляют собой целые степени двойки, т. е. $8 = 2^3$ и $16 = 2^4$. Для этого достаточно каждый разряд восьмеричного числа представить тройкой (триадой), а шестнадцатеричного — четверкой (тетрадой) двоичных разрядов. Например:

$$5327_8 = 101\ 011\ 010\ 111;$$
$$2DF9_{16} = 0010\ 1101\ 1111\ 1001.$$

Обратный перевод двоичного числа в восьмеричное или шестнадцатеричное выполняется его разбиением на блоки (триады или тетрады) влево и вправо от разделительного символа. Недостающие разряды в крайнем левом и правом блоках дополняются нулями. Затем каждая триада заменяется восьмеричным, а каждая тетрада шестнадцатеричным числом. Например:

$$1101010.11101 = 001\ 101\ 010.111\ 010 = 152.72_8;$$
$$1101010.11101 = 0110\ 1010.1110\ 1000 = 5A.D8_{16}.$$

Восьмеричное и шестнадцатеричное представления двоичных чисел повсеместно используются для более компактной записи при программировании и вводе программ в вычислительные машины. В частности, шестнадцатеричная система удобна для представления укрупненной единицы информации — байта, равного 8 битам, для чего достаточно двузначного шестнадцатеричного числа.

1.3. МАШИННОЕ СЛОВО

Сигналы, играющие роль носителей информации, представляются в цифровых системах последовательностями бит (или байт), которые объединяются в слова. Длина слова может быть любой, обычно в диапазоне от 4 до 128 бит. Численное выражение слова понимается как значение соответствующей переменной. Цифровые сигналы могут представляться в двух формах: с фиксированной или с плавающей запятой.

При представлении числа в форме с фиксированной запятой n-разрядное слово разбивается на три части. Первый бит используется для знака (0 для положительных чисел и 1 для отрицательных). Остальные разряды распределяются между целой и дробной частями числа с жестким положением места разделе-

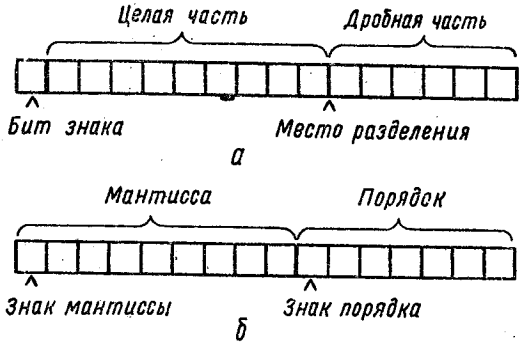


Рис. 1.1

ния, т. е. указанием количества отводимых разрядов (рис. 1.1,*а*). Если для дробной части выделено m бит, то наибольшее по абсолютной величине число не может превосходить $(2^{n-1}-1)2^{-m}$. Ограниченность диапазона представляемых чисел и жесткое расположение фиксированной запятой — основные недостатки этого способа, которые могут привести к потере точности при выполнении арифметических операций вследствие переполнения.

Более удобной является форма с плавающей запятой. Она основана на соотношении $N = M2^E$, где M — мантисса и E — порядок числа N. Величины M и E могут быть как положительными, так и отрицательными, но M всегда дробное число, меньше единицы, а E — целое число. Тем не менее обе эти величины представляются как целые числа и для каждого из них (включая знаки) отводится в слове определенное количество разрядов (рис. 1.1,*б*). При этом разрядность мантиссы влияет на точность, а разрядность порядка — на диапазон представляемых чисел.

Сдвиг мантиссы на один разряд влево увеличивает, а вправо — уменьшает ее вдвое. Чтобы такие сдвиги не влияли на значение числа, необходимо соответственно уменьшить и увеличить порядок на единицу. Сдвиг мантиссы влево допустим только при наличии старшего нулевого разряда. Если же старший разряд равен 1, то это соответствует максимально возможному значению данной мантиссы, которое лежит в диапазоне $2^{-1} \leqslant M < 1$. Числа с таким представлением мантиссы называют нормализованными,

и они чаще всего используются в вычислительных системах. Процесс нормализации состоит в сдвиге числа на необходимое количество разрядов влево или вправо с соответствующим уменьшением или увеличением порядка.

Если мантисса и порядок нормализованного числа занимают соответственно p и q разрядов, то минимальное и максимальное значения (в десятичной записи)

$$N_{\min} = 0{,}5 \times 2^{-(2^q-1-1)} \text{ и } N_{\max} = (1 - 2^{-p+1})2^{(2^q-1-1)},$$

что определяет диапазон представления чисел $N_{\min} \leqslant N \leqslant N_{\max}$. В этом отношении форма с плавающей запятой предпочтительна.

При сложении чисел с плавающей запятой необходимо сначала выравнять показатели слагаемых, для чего мантисса одного из них сдвигается на число разрядов, равное разности показателей. Умножение сводится к определению произведения мантисс и суммы показателей. Соответствующие операции выполняются над целыми числами, а результат обычно (хотя и не всегда) нормализуется.

Машинное слово не обязательно должно иметь структуру, показанную на рис. 1.1. Используются и другие варианты расположения мантиссы и порядка, а также их знаков. Но слово, как правило, содержит целое число байт. Числа в форме с плавающей запятой для повышения точности могут представляться двумя последовательными словами.

1.4. ОБРАТНЫЙ И ДОПОЛНИТЕЛЬНЫЙ КОДЫ

Обратный код n-разрядного числа N с основанием a дополняет его до максимально возможного значения $a^n - 1$, т. е. $N_0 = a^n - 1 - N$. При этом цифра каждого разряда обратного кода N_0 дополняет соответствующую цифру исходного числа N до наибольшей цифры $a - 1$ (для десятичных чисел — до 9). Дополнительный код числа N получается как разность $N_0 = a^n - N$, так что он больше обратного кода на 1.

Сложение целых двоичных чисел с учетом знаков можно свести к обычному суммированию их дополнительных или обратных кодов. Эти коды для положительных чисел совпадают с прямым кодом, в котором один разряд (обычно старший) используется для кодирования знака числа (0 для положительного и 1 для отрицательного). Обратный код для отрицательного числа получается из прямого заменой 0 на 1 и 1 на 0 во всех разрядах, включая и знаковый. Чтобы выразить отрицательное число в дополнительном коде, достаточно к обратному коду прибавить 1.

Сложение в дополнительном коде осуществляется по правилам двоичной арифметики разряд за разрядом, включая знаковые разряды. Возможный перенос из знакового разряда игнорируется. При этом результат получается также в дополнительном коде. Например:

$$\begin{array}{rl} + & (+9)_{10} = 0\ 1001 \\ & (-5)_{10} = 1\ 1011 \\ \hline & (+4)_{10} = \widehat{10}\ 0100 \end{array} \qquad \begin{array}{rl} + & (+7)_{10} = 0\ 0111 \\ & (-13)_{10} = 1\ 0011 \\ \hline & (-6)_{10} = 1\ 1010 \end{array} \qquad \begin{array}{rl} + & (-8)_{10} = 1\ 1000 \\ & (-6)_{10} = 1\ 1010 \\ \hline & (-14)_{10} = \widehat{11}\ 0010 \end{array}$$

Перенос игнорируется — Перенос отсутствует — Перенос игнорируется

Для алгебраического сложения можно воспользоваться и обратным кодом. Как и ранее, коды слагаемых, включая

и знаковые разряды, суммируются как двоичные числа. Но перенос из старшего (знакового) разряда, если он возникает, не игнорируется, а прибавляется к младшему разряду суммы, которая также получается в обратном коде. Такой перенос называется круговым, а сложение — циклическим. Например:

$$\begin{array}{r} (+15)_{10} = 0\,1111 \\ (-5)_{10} = 1\,1010 \\ \hline \text{Круговой перенос} \quad 10\,1001 \\ +1 \longrightarrow 1 \\ \hline (+10)_{10} = 0\,1010 \end{array} \qquad \begin{array}{r} (+7)_{10} = 0\,0111 \\ (-11)_{10} = 1\,0100 \\ \hline (-4)_{10} = 1\,1011 \\ \text{Круговой перенос} \\ \text{отсутствует} \end{array}$$

Если оба слагаемых имеют одинаковые знаки, то может случиться переполнение, признаком которого служит различие знаков слагаемых и суммы. Другой признак основан на том, что переполнение происходит тогда и только тогда, когда при сложении имеет место один из переносов — в знаковый разряд или из знакового разряда, но не оба. В обратном коде этот признак следует применять до кругового переноса.

Вычитание в дополнительном и обратном кодах сводится к сложению путем замены знака (а значит, и кода) вычитаемого.

1.5. ДВОИЧНО-ДЕСЯТИЧНЫЕ КОДЫ

Для представления информации в десятичной системе счисления и выполнения операций над десятичными числами в цифровых устройствах используется двоично-десятичное кодирование [18], при котором каждая десятичная цифра представляется группой двоичных цифр. Число битов в таких группах строго фиксируется (их должно быть не менее четырех) с сохранением всех левых нулевых разрядов. В практике используется несколько разновидностей двоично-десятичных кодов (табл. 1.2), сохраняющих свое значение благодаря полезным специфическим особенностям.

Таблица 1.2

Десятичные цифры	Двоичные коды десятичных цифр			
	8421	2421	С избытком 3	2 из 5
0	0000	0000	0011	11000
1	0001	0001	0100	00011
2	0010	0010	0101	00101
3	0011	0011	0110	00110
4	0100	0100	0111	01001
5	0101	1011	1000	01010
6	0110	1100	1001	01100
7	0111	1101	1010	10001
8	1000	1110	1011	10010
9	1001	1111	1100	10100

Наиболее естественным и популярным считается упоминавшийся (см. гл. 1.2) код прямого замещения, в котором каждая цифра десятичного числа заменяется соответствующим четырехразрядным двоичным числом. Его другое название код 8421 отражает значение весовых множителей, приписываемых соответствующим битам в кодирующей группе, в связи с чем он называется также взвешенным кодом. Удобства этого кода проявляются при машинном переводе из десятичной системы в двоичную и обратно, а также при суммировании на обычных двоичных сумматорах благодаря его аддитивности (сумма кодов двух цифр представляет код суммы).

Избыточность тетрады, допускающей 16 кодовых комбинаций, позволяет создавать и другие варианты двоично-десятич-

ных кодов с использованием четверки битов на десятичный разряд. Один из них код 2421 также взвешенный, но старший разряд имеет вес не 8, а 2. Его положительная особенность состоит в том, что замена в кодирующей тетраде нулей на единицы, а единиц на нули превращает каждую десятичную цифру x в $9 - x$, т. е. получается обратный код. Для превращения его в дополнительный код достаточно прибавить единицу. Коды с таким свойством называют самодополнительными. Они применяются при выполнении арифметических операций над десятичными числами в обратном или дополнительном коде.

Самодополнительным является и код с избытком 3, который получается прибавлением $3_{10} = 0011_2$ к каждой цифре кода прямого замещения. Как и код 2421, он удобен для выполнения операций над десятичными числами. При этом легко определяется перенос, так как сумма двух слагаемых, каждое из которых берется с избытком 3, получится с избытком 6, что исключает лишние кодовые комбинации (для получения правильного кода суммы из полученного результата вычитается 3). Но этот код в отличие от кодов 8421 и 2421 не является взвешенным, вследствие чего мало удобен для преобразования чисел из одной системы в другую.

Используются также двоично-десятичные коды, в которых кодирующие тетрады дополняются избыточными битами с тем, чтобы использовать эту избыточность для придания кодам специфических свойств, служащих для обнаружения ошибок и тем самым для повышения надежности вычислительных систем.

Так, в коде 2 из 5 каждая десятичная цифра представляется пятью разрядами, из которых два и только два содержат единицы. Если появится ошибка в одном из двоичных разрядов, т. е. если нуль превратится в единицу или единица превратится в нуль, то общее число единиц окажется больше или меньше двух, что можно обнаружить простым их подсчетом. Другой способ обнаружения одиночной ошибки основан на использовании бита, которым дополняется какой-либо код, для контроля четности. Значение дополнительного бита выбирается таким, чтобы общее число единиц в кодирующей группе всегда было четным или нечетным (в зависимости от принятого правила контроля). Рассмотренные способы обнаруживают одиночные ошибки, точнее, нечетное количество ошибок, но не реагируют на двойные и вообще четное количество ошибок. Существуют более сложные способы построения корректирующих кодов, используемых в технике связи, но в обычных вычислительных системах из-за громоздкости они не применяются.

Операции над десятичными числами выполняются с помощью несколько дополненной двоичной арифметики. Так, при сложении двух чисел в коде прямого замещения 8421 необходимо добавить корректирующее слагаемое $6_{10} = 0110_2$ к каждой тетраде, в которой в процессе суммирования получена недопустимая цифра (1010, 1011, 1100, 1101, 1110 и 1111) или возник перенос в следующую тетраду. Например:

$$
\begin{array}{rr}
 & 38_{10} = 0011\ 1000 \\
+ & 16_{10} = 0001\ 0110 \\
\hline
\text{Коррекция} + & 0100\ 1110 \\
 & 0000\ 0110 \\
\hline
 & 54_{10} = 0101\ 0100
\end{array}
\qquad
\begin{array}{rr}
 & 29_{10} = 0010\ 1001 \\
+ & 58_{10} = 0101\ 1000 \\
\hline
\text{Коррекция} + & 1000\ 0001 \\
 & 0000\ 0110 \\
\hline
 & 87_{10} = 1000\ 0111
\end{array}
$$

При вычитании чисел в коде 8421 коррекция сводится к вычитанию $6_{10} = 0110_2$ из каждой тетрады разности, которая потребовала заем. Например:

$$
\begin{array}{rl}
 & \overset{\downarrow}{\vdots} \\
-\ 63_{10} = & 0110\ 0011 \\
\ \ 27_{10} = & 0010\ 0111 \\
\hline
\text{Коррекция}\ - & 0011\ 1100 \\
 & 0000\ 0110 \\
\hline
36_{10} = & 0011\ 0110
\end{array}
$$

Сложение и вычитание десятичных чисел со знаками выполняются с использованием обратного или дополнительного кодов аналогично соответствующим операциям, рассмотренным в §1.4.

1.6. КОД ГРЕЯ

Среди невзвешенных двоичных кодов специальные применения находят такие, у которых переход к соседнему числу сопровождается изменениями только в одном разряде (коды с обменной единицей). Так, в технике аналого-цифрового преобразования и пересчетных устройствах широко используется код Грея [73], называемый также циклическим или рефлексно-двоичным кодом (табл. 1.3). Он позволяет существенно сократить время преобразования, упростить кодирующую логику, а также повысить эффективность защиты от нежелательных сбоев при переходах выходного кода. Недостатком кода Грея является то, что в нем затруднено выполнение арифметических операций и цифроаналоговое преобразование. Поэтому при необходимости код Грея преобразуется в обычный двоичный код.

Таблица 1.3

Десятичные числа	Двоичный код	Код Грея	Десятичные числа	Двоичный код	Код Грея
0	0000	0000	8	1000	1100
1	0001	0001	9	1001	1101
2	0010	0011	10	1010	1111
3	0011	0010	11	1011	1110
4	0100	0110	12	1100	1010
5	0101	0111	13	1101	1011
6	0110	0101	14	1110	1001
7	0111	0100	15	1111	1000

Переход от двоичного кода к коду Грея осуществляется по правилу (рис. 1.2,*а*): старшие разряды совпадают, а любой следующий разряд $\hat{x}_k$ кода Грея равен сумме по модулю 2 соответствующего x_k и предыдущего x_{k-1} разрядов двоичного кода, т. е. $\hat{x}_k = x_k \oplus x_{k-1}$ (сумма по модулю 2 равна арифметической сумме без учета переноса в старший разряд). При обратном переходе (рис. 1.2,*б*) старшие разряды также совпадают, но каждый следующий разряд получается в результате суммирования по модулю 2 полученного предыдущего разряда двоичного кода и соответствующего разряда кода Грея, т. е. $x_k = x_{k-1} \oplus \hat{x}_k$. Эту

процедуру можно также свести к последующему просмотру и преобразованию цифр кода Грея, начиная со старшего разряда: цифра остается без изменения, если число предшествующих единиц четно (нуль считается четным числом) и инвертируется, если число предшествующих единиц нечетно.

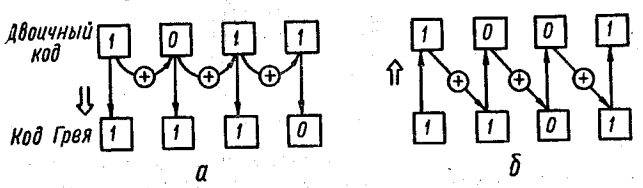


Рис. 1.2

1.7. АЛФАВИТНО-ЦИФРОВЫЕ КОДЫ

Для представления алфавитно-цифровой информации в вычислительной системе необходимо закодировать все используемые символы — цифры, буквы, знаки препинания, математические и специальные знаки, управляющие и другие символы, образующие ее алфавит. Код символа — это машинная единица информации, которая представляется группой двоичных разрядов, называемой слогом. Длина слога зависит от количества символов в алфавите и может быть различной, но преимущественное распространение получили восьмиразрядные (байтовые) слоги, посредством которых можно закодировать 256 символов. Организованная совокупность кодов всех символов образует алфавитно-цифровой код.

В ЕС ЭВМ применяются байтовые алфавитно-цифровые коды ДКОИ (двоичный код обработки информации) и КОИ-8 (код обмена информацией, восьмибитовый), которые приведены в табл. 1.4 и 1.5. Последовательность байтовых слогов составляет машинное слово, длина которого обычно равна целому числу байт и ограничивается возможностью считывания из оперативной памяти или записи в нее за одно обращение (в ЕС ЭВМ до 256 байт). В свою очередь, слова объединяются в фразы, а фразы — в блоки, которые располагаются компактно во внешней памяти и могут перезаписываться одной командой. Более крупная машинная порция информации — файл обычно состоит из некоторого количества блоков и соответствует информационному массиву, описывающему определенное множество объектов. Информация, размещенная в магнитофонной кассете, пакете дисков, колоде перфокарт, называется томом.

Наряду с описанной иерархией алфавитно-цифрового кодирования предусматриваются специальные форматы для десятичных чисел, экономящие память и удобные при выполнении арифметических операций. Числа представляются в прямом коде, могут снабжаться знаками и занимать переменную длину. Десятичные цифры кодируются в коде 8421 соответствующими тетрадами от 0000 до 1001, а остальные шесть тетрад от 1010 до 1111 используются для кодирования знаков и служебных символов. Различают два способа байтового кодирования десятичных данных — зонный и упакованный.

В зонном формате для каждой цифры отводится целый байт, причем сама цифра представляется четверкой правых битов,

Таблица 1.4

	Зональная группа															
a_8	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
a_7	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
a_6	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
a_5	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

a_8	a_7	a_6	a_5	a_4	a_3	a_2	a_1		00	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15
				0	0	0	0	0	ПУС	АР1	Пробел	0	@	P	′	p	Д00	Д16			ю	п	Ю	П
				0	0	0	1	1	НЗ	СУ1	1	1	A	Q	a	q	Д01	Д17				я		Я
				0	0	1	0	2	НТ	СУ2	,,	2	B	R	b	r	Д02	Д18			б		Б	
				0	0	1	1	3	КТ	СУ3	#	3	C	S	c	s	Д03	Д19			ц		Ц	
				0	1	0	0	4	КП	СТЛ	¤	4	D	T	d	t	Д04	Д20			д	Т	Д	
				0	1	0	1	5	КТМ	НЕТ	%	5	E	U	e	u	Д05	Д21						У
				0	1	1	0	6	ДА	СИН	&	6	F	V	f	v	Д06	Д22			ф	ж	Ф	Ж
				0	1	1	1	7	ЗВ	КБ	′	7	G	W	g	w	Д07	Д23			г	В	Г	
				1	0	0	0	8	ВШ	АН	(	8	H	X	h	x	Д08	Д24				ь		Ь
				1	0	0	1	9	ГТ	КН	)	9	I	Y	t	y	Д09	Д25			и	ы	И	Ы
				1	0	1	0	10	ПС	ЗМ	*	:	J	Z	j	z	Д10	Д26			й	з	Й	З
				1	0	1	1	11	ВТ	АР2	+	;	K	[	k	{	Д11	Д27			к	ш		Ш
				1	1	0	0	12	ПФ	РФ	,	<	L	\	l	/	Д12	Д28			л	э	Л	Э
				1	1	0	1	13	ВК	РГ	—	=	M	]	m	}	Д13	Д29			м	щ		Щ
				1	1	1	0	14	РУС	РЗ	.	>	N	^	n	—	Д14	Д30			н	ч		Ч
				1	1	1	1	15	ЛАТ	РЭ	/	?	O	_	o	ЗБ	Д15	Д31				ъ		ЗБ

Таблица 1.5

	Зональная группа															
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
				0	0	0	0	0	ПУС	АР1	Д00	Д16	Пробел	&	—		ц	й	я	ь	{	}	\	0
				0	0	0	1	1	НЗ	СУ1	Д01	Д17			/		а	j	—	ы	A	J	ДЗ1	1
				0	0	1	0	2	НТ	СУ2	Д02	СИН					ъ	k	s	з	B	K	S	2
				0	0	1	1	3	КТ	СУ3	Д03	Д19					с	l	t	ш	C	L	T	3
				0	1	0	0	4	Д28	Д29	Д04	Д20					d	m	u	э	Д	M	U	4
				0	1	0	1	5	ГТ	Д05	ПС	Д21					е	n	v	щ	E	N	V	5
				0	1	1	0	6	Д06	ВШ	КБ	Д22				ю	f	o	ш	ч	F	O	W	6
				0	1	1	1	7	ЗБ	Д07	АР2	КП					у	p	x	ъ²	G	P	X	7
				1	0	0	0	8	Д23	АН	Д08	Д24				б	h	q	y	ю	H	Q	Y	8
				1	0	0	1	9	Д13	КН	Д09	Д25				\	i	r	z		I	R	Z	9
				1	0	1	0	A	Д14	Д18	Д10	Д26	[	]	|	:	d	к		Б				з
				1	0	1	1	B	ВТ	Д15	Д11	Д27	·	¤	1	#		л		ц	и		У	ш
				1	1	0	0	C	ПФ	РФ	Д12	СТП	<	*	%	@	ф	м	т	д	й	п	Ж	э
				1	1	0	1	D	ВК	РГ	КТМ	НЕТ	(	)	—	'	г	н				я		щ
				1	1	1	0	E	РУС	РЗ	ДА	Д30	+	;	>	=			ж	ф	л		Ь	ч
				1	1	1	1	F	ЛАТ	РЗ	ЗВ	ЗМ	!	^'	?	,,	u	п	в	г			Ы	ЗБ

а четверку левых занимает специальный код, называемый зоной. Код знака числа (если он нужен) помещается на место зоны в младший разряд. В системе ДКОИ плюс кодируется четверкой 1100, минус — 1101 и зона — 1111, а в системе КОИ-8 соответственно 1010, 1011 и 0101. Например, число —7.362 в зонном формате при работе с кодом ДКОИ имеет вид

$$\underbrace{1111\,0111}_{7}\quad \underbrace{1111\,0011}_{3}\quad \underbrace{1111\,0110}_{6}\quad \underbrace{1101\,0010}_{-2}$$

Упакованный формат использует каждый байт для представления двух чисел, кроме младшего байта, в котором правая четверка битов отводится для кода знака. Если левая четверка битов самого старшего байта окажется свободной, она заполняется нулями, т. е. десятичное число всегда занимает целое число байтов. Например:

$$\underbrace{0000}_{0}\,\underbrace{0111}_{7}\quad \underbrace{0011}_{3}\,\underbrace{0110}_{6}\quad \underbrace{0010}_{2}\,\underbrace{1101}_{-}$$

При выполнении арифметических операций используется только упакованный формат, в котором десятичное число может занимать до 16 байт, что соответствует 31 десятичному разряду и знаку. Зонный формат используется при операциях ввода-вывода десятичных данных. В вычислительных системах предусматривается возможность взаимного преобразования форматов, причем информация о месте расположения разделительного знака дробного числа фиксируется в самой программе.

Глава 2

АЛГЕБРА ЛОГИКИ

2.1. ЛОГИЧЕСКИЕ ФУНКЦИИ

Вследствие того что сигналы в цифровых системах представляются двоичными кодами, математическое моделирование таких систем основано на использовании двузначной логики [29; 68; 80], в которой переменные могут принимать только одно из двух значений. Эти значения соответствуют двум возможным состояниям реальных объектов (истинное или ложное высказывание, высокое или низкое напряжение, наличие или отсутствие данного признака и т. п.). Они обозначаются цифрами 0 и 1, буквами Л (ложно) и И (истинно) или вообще любыми двумя различающимися символами. В технических приложениях обычно используются цифровые обозначения, которые естественным образом связаны с двоичными кодами.

В общем случае логические переменные могут принимать одно из k значений (k-значная логика). Перечень всех k символов, соответствующих области значений, называют алфавитом, а сами символы — буквами этого алфавита. Логические функции могут зависеть от одной, двух и вообще любого числа переменных (аргументов). Областью определения k-значной функции от n переменных $y = f(x_1, x_2, ..., x_n)$ служит множество наборов $(x_1, x_2, ..., x_n)$, являющихся словами длины n, где каждый из аргументов замещается буквами k-ичного алфавита. Так как количество всевозможных слов длины n в k-ичном алфавите

равно количеству различных n-разрядных чисел с основанием k, т. е. k^n, а каждому такому слову можно сопоставить одно из k значений, то общее количество k-значных функций от n переменных выражается числом $k^{(k^n)}$. Многозначная логика располагает собственным аппаратом и используется для математического моделирования таких объектов, компоненты которых характеризуются многими состояниями. Между тем двузначная логика наряду с предельной простотой характеризуется и достаточной общностью, так как к ней можно свести и задачи моделирования многозначных структур.

Количество всевозможных двоичных функций выражается числом 2^{2^n}, а область определения таких функций представляет собой всевозможные наборы из n двоичных цифр и их общее количество равно 2^n. При увеличении n количество двоичных функций быстро возрастает (при $n = 3$ оно равно 256, а при $n = 5$ уже превышает 4 млрд.). Но функции одной и двух переменных еще можно перечислить и подробно исследовать, так как их количество сравнительно невелико (4 при $n = 1$ и 16 при $n = 2$).

2.2. ТАБЛИЦЫ СООТВЕТСТВИЯ

Множество функций n переменных можно представить с помощью таблицы соответствия, столбцы которой отводятся для 2^n слов длины n, а строки — для 2^{2^n} функций. При этом номера столбцов определяются расположенными над ними n-разрядными двоичными числами, которые читаются по вертикали сверху вниз. Номера функций отождествляются с 2^n-разрядными двоичными числами, записанными в соответствующих строках таблицы. Таблицу соответствия часто называют также таблицей истинности. Таблица соответствия для булевых функций одной переменной $y = f(x)$ имеет вид (справа указаны обозначения функций)

x	0	1	$f(x)$
y_0	0	0	0
y_1	0	1	x
y_2	1	0	$\bar{x}$
y_3	1	1	1

Функции $y_0 = 0$ и $y_3 = 1$ представляют собой константы (соответственно тождественный нуль и тождественную единицу), так как они не изменяют своих значений при изменении аргумента. Функция $y_1 = x$ — это повторение, так как ее значения просто совпадают со значениями переменной x. Единственной нетривиальной функцией является $y_2 = \bar{x}$, называемая отрицанием или инверсией (читается «не x»). Она равна 1, когда аргумент принимает значение 0, и равна 0 при аргументе 1.

Всевозможные 16 функций двух переменных приведены в табл. 2.1, где указаны наиболее употребительные обозначения и названия. Шесть из приведенных функций не зависят или от x_1, или от x_2, или от обоих вместе. Это константы ($y_0 = 0$ и $y_{15} = 1$), повторения ($y_3 = x_1$ и $y_5 = x_2$) и отрицания ($y_{10} = \bar{x}_2$ и $y_{12} = \bar{x}_1$), являющиеся функциями одной из переменных (x_1 или x_2). Среди остальных 10 функций две (y_4 и y_{11}) отличаются от соот-

НТБ ВГТУ
г. ВИННИЦА

Таблица 2.1

x_1 x_2	0 0 1 1 0 1 0 1	Обозначения	Названия функции	Чтение	Булевы формулы
y_0	0 0 0 0	0	Константа 0	Любое 0	0
y_1	0 0 0 1	x_1x_2; $x_1 \wedge x_2$	Конъюнкция	x_1 и x_2	x_1x_2
y_2	0 0 1 0	$x_1 \leftarrow x_2$	Отрицание импликации	x_1, но не x_2	$x_1\bar{x}_2$
y_3	0 0 1 1	x_1	Повторение x_1	Как x_1	x_1
y_4	0 1 0 0	$x_2 \leftarrow x_1$	Отрицание обратной импликации	x_2, но не x_1	$\bar{x}_1x_2$
y_5	0 1 0 1	x_2	Повторение x_2	Как x_2	x_2
y_6	0 1 1 0	$x_1 \oplus x_2$	Сумма по модулю 2	Или x_1, или x_2	$\bar{x}_1x_2 + x_1\bar{x}_2$ $(x_1+x_2)(\bar{x}_1+\bar{x}_2)$
y_7	0 1 1 1	x_1+x_2; $x_1 \vee x_2$	Дизъюнкция	x_1 или x_2	$x_1 + x_2$
y_8	1 0 0 0	$x_1 \downarrow x_2$	Стрелка Пирса	Ни x_1, ни x_2	$\bar{x}_1\bar{x}_2$
y_9	1 0 0 1	$x_1 \sim x_2$	Эквиваленция	x_1 как x_2	$\bar{x}_1\bar{x}_2 + x_1x_2$ $(x_1+\bar{x}_2)(\bar{x}_1+x_2)$
y_{10}	1 0 1 0	$\bar{x}_2$	Отрицание x_2	Не x_2	$\bar{x}_2$
y_{11}	1 0 1 1	$x_2 \rightarrow x_1$	Обратная импликация	Если x_2, то x_1	$x_1 + \bar{x}_2$
y_{12}	1 1 0 0	$\bar{x}_1$	Отрицание x_1	Не x_1	$\bar{x}_1$
y_{13}	1 1 0 1	$x_1 \rightarrow x_2$	Импликация	Если x_1, то x_2	$\bar{x}_1 + x_2$
y_{14}	1 1 1 0	x_1/x_2	Штрих Шеффера	Не x_1, или не x_2	$\bar{x}_1 + \bar{x}_2$
y_{15}	1 1 1 1	1	Константа 1	Любое 1	1

ветствующих им функций (y_2 и y_{13}) лишь порядком расположения аргументов. Поэтому из 16 булевых функций двух переменных оригинальными являются только восемь: y_1, y_2, y_6, y_7, y_8, y_9, y_{13}, y_{14}. Можно также заметить, что среди булевых функций некоторого числа переменных содержатся всевозможные функции меньшего числа переменных, которые называются вырожденными функциями. Так, среди функций одной переменной имеются две вырожденные — константы 0 и 1, которые можно рассматривать как функции от нуля переменных. Функции двух переменных содержат те же константы и четыре функции одной переменной и т. д.

Функции от любого числа переменных можно получить с помощью суперпозиции, т. е. замещения переменных некоторыми функциями. Например, подставляя в ab вместо a дизъюнкцию $x_1 + x_2$ и вместо b импликацию $x_2 \to c$, а затем вместо c отрицание $\overline{x_3}$, получаем $(x_1 + x_2)(x_2 \to \overline{x_3})$. Таблица соответствия для этой функции трех переменных x_1, x_2 и x_3 записывается на основе таблиц элементарных функций (табл. 2.1):

x_1	0	0	0	0	1	1	1	1
x_2	0	0	1	1	0	0	1	1
x_3	0	1	0	1	0	1	0	1
$x_1 + x_2$	0	0	1	1	1	1	1	1
$\overline{x_3}$	1	0	1	0	1	0	1	0
$x_2 \to \overline{x_3}$	1	1	1	0	1	1	1	0
$(x_1+x_2)(x_2 \to \overline{x_3})$	0	0	1	0	1	1	1	0

Если во всех наборах значений аргументов функция равна 0 или 1, то она вырождается в соответствующую константу и называется тождественным нулем или тождественной единицей.

2.3. ФУНКЦИОНАЛЬНАЯ ПОЛНОТА

Как видно из табл. 2.1, все функции попарно связаны между собой посредством отрицания, т. е. $y_i = \overline{y_{15-i}}$ ($i = 0, 1, \ldots, 15$). Отсюда следуют зависимости для констант $0 = \overline{1}$ и $1 = \overline{0}$, для функции одной переменной $x = \overline{\overline{x}}$ (двойное отрицание) и для функций двух переменных:

$$x_1x_2 = \overline{x_1/x_2};\ x_1 \leftarrow x_2 = \overline{x_1 \to x_2};\ x_1 \oplus x_2 = \overline{x_1 \sim x_2};\ x_1 + x_2 = \overline{x_1 \downarrow x_2};$$
$$x_1/x_2 = \overline{x_1x_2};\ x_1 \to x_2 = \overline{x_1 \leftarrow x_2};\ x_1 \sim x_2 = \overline{x_1 \oplus x_2};\ x_1 \downarrow x_2 = \overline{x_1 + x_2}.$$

Из этих зависимостей следует, что любую функцию двух переменных, включая константы, можно выразить в аналитической форме через совокупность шести функций, содержащей отрицание и любую из каждой пары (y_0, y_{15}), (y_1, y_{14}), (y_2, y_{13}), (y_6, y_9), (y_7, y_8). Например, такую совокупность наряду с константой 0 и отрицанием $\overline{x}$ могут составлять функции: конъюнкция x_1x_2, дизъюнкция $x_1 + x_2$, импликация $x_1 \to x_2$ и эквиваленция $x_1 \sim x_2$. Все они используются в исчислении высказываний. Рассматривая буквы переменных как некоторые высказывания, которые могут быть истинными или ложными, можно образовывать сложные высказывания с помощью *сентенциональных*

связок, соответствующих функциям этих переменных. При этом отрицанию соответствует связка *не*, конъюнкции — *и*, дизъюнкции — *или*, импликации — *если, то* и эквиваленции — *если и только если*.

Между тем выбранная совокупность шести функций является избыточной. С помощью таблицы соответствия можно показать, что импликация и эквиваленция выражаются через остальные функции этой совокупности: $x_1 \to x_2 = \overline{x_1} + x_2$; $x_1 \sim x_2 = (x_1 + \overline{x_2})(\overline{x_1} + x_2)$.

x_1	0 0 1 1	По табл. 2. 1
x_2	0 1 0 1	
$\overline{x_1}$	1 1 0 0	
$\overline{x_2}$	1 0 1 0	
$\overline{x_1} + x_2$	1 1 0 1	$x_1 \to x_2$
$x_1 + \overline{x_2}$	1 0 1 1	
$(x_1 + \overline{x_2})(\overline{x_1} + x_2)$	1 0 0 1	$x_1 \sim x_2$

Приняв во внимание, что $x\overline{x} = 0$ и $x + \overline{x} = 1$, можно сократить комплект элементарных функций до трех: отрицания $\overline{x}$, конъюнкции x_1x_2 и дизъюнкции $x_1 + x_2$. Совокупность этих функций положена в основу *булевой алгебры*, которая преимущественно используется при математическом моделировании цифровых систем (в последней колонке табл. 2.1 приведены выражения через булевы функции). Но и этот комплект не является необходимым с точки зрения функциональной полноты. Из соотношений $x_1 + x_2 = \overline{\overline{x_1}\,\overline{x_2}}$ и $x_1x_2 = \overline{\overline{x_1} + \overline{x_2}}$, в справедливости которых также можно убедиться с помощью таблицы соответствия, следует, что все функции выражаются через отрицание и конъюнкцию или через отрицание и дизъюнкцию. Более того, для записи любой функции достаточно одной из двух элементарных функций — стрелки Пирса или штриха Шеффера. Это вытекает из соотношений: $\overline{x} = x \downarrow x = x/x$; $x_1x_2 = (x_1/x_2)/(x_1x_2)$; $x_1 + x_2 = (x_1 \downarrow x_2) \downarrow (x_1 \downarrow x_2)$, которые доказываются аналогично.

Система функций, суперпозицией которых может быть представлена любая функция из некоторого множества логических функций, называется *функционально полной*. Если в такой системе допускаются константы 0 и 1, то ее называют *ослабленно функционально полной*. Система функций является *минимально полной*, если удаление из нее любой функции превращает эту систему в неполную. Необходимое и достаточное *условие функциональной полноты* состоит в том, что выбранные функции должны в совокупности обладать всеми свойствами, приведенными в табл. 2.2 (звездочкой ✳ отмечены свойства, которыми обладает данная функция).

Как видно из табл. 2.2, рассмотренные выше системы функций удовлетворяют условию функциональной полноты. Выбрав любую элементарную функцию и дополнив ее одной или несколькими функциями так, чтобы они вместе образовали функционально полную систему, можно выразить через них все другие функции. Например, выбрав импликацию вместе с константой 0 (можно было бы вместо константы 0 взять отрицание, сумму по модулю 2 или отрицание импликации), выразим ди-

Таблица 2.2

Функция	Обозначение	Свойства				
		Несохранение 0	Несохранение 1	Несамодвойственность	Нелинейность	Немонотонность
Константа 0	0		*	*		
Константа 1	1	*		*		
Отрицание	$\bar{x}$	*	*			*
Конъюнкция	x_1x_2			*	*	
Дизъюнкция	$x_1 + x_2$			*	*	
Импликация	$x_1 \to x_2$	*		*	*	
Эквиваленция	$x_1 \sim x_2$	*		*		*
Отрицание импликации	$x_1 \leftarrow x_2$		*	*	*	*
Сумма по модулю 2	$x_1 \oplus x_2$		*	*		
Штрих Шеффера	x_1/x_2	*	*	*	*	*
Стрелка Пирса	$x_1 \downarrow x_2$	*	*	*	*	*

зъюнкцию $x_1 + x_2 = (x_1 \to x_2) \to x_2$ и отрицание $\bar{x} = x \to 0$, через которые, в свою очередь, выражаются и все остальные функции.

2.4. БУЛЕВА АЛГЕБРА

Логические функции, приведенные в табл. 2.1, можно рассматривать как *элементарные операции* над одной или двумя двоичными переменными. Функционально полная система таких операций образует на множестве двузначных переменных алгебру логики. Таких алгебр можно представить столько же, сколько наберется подходящих функционально полных систем. Но наиболее распространена *булева алгебра*, в которой в качестве основных операций приняты конъюнкция x_1x_2 (И), дизъюнкция $x_1 + x_2$ (ИЛИ) и отрицание $\bar{x}$ (НЕ). Часто конъюнкцию и

дизъюнкцию называют соответственно *логическим произведением* и *суммой*, а отрицание — *инверсией*. Используются также и другие варианты обозначений: для конъюнкции $x_1 \wedge x_2$, для дизъюнкции $x_1 \vee x_2$ и для отрицания x'. Чтобы избежать в сложных формулах лишних скобок, которые появляются при суперпозиции функций, установлен жесткий порядок выполнения операций — конъюнкция предшествует дизъюнкции. Свойства булевых операций И, ИЛИ, НЕ определяются таблицами соответствующих функций (см. табл. 2.1) и могут быть представлены в виде

x_1	x_2	x_1x_2
0	0	0
0	1	0
1	0	0
1	1	1

x_1	x_2	$x_1 + x_2$
0	0	0
0	1	1
1	0	1
1	1	1

x	$\bar{x}$
0	1
1	0

Здесь использована другая форма таблицы соответствия, в которой всевозможные комбинации значений переменных записываются по строкам, а для значений функции при этих комбинациях отводится столбец. Использование той или иной формы в конкретных случаях обусловлено удобством, а часто и просто привычкой.

Из приведенных определений булевых операций вытекают основные свойства булевой алгебры (табл. 2.3), которые можно доказывать *методом совершенной индукции*, т. е. проверкой для всех возможных комбинаций значений переменных. Любые свойства булевой алгебры можно также доказать аналитически без обращения к таблицам соответствия на основе первых пяти свойств, которые играют при этом роль аксиом. Например, идемпотентность дизъюнкции доказывается следующими преобразованиями: $x + x = (x + x)1 = (x + x)(x + \bar{x}) = x + x\bar{x} = x + 0 = x$. Следует подчеркнуть, что знак равенства в формулах алгебры логики не имеет количественного смысла и означает *равносильность функций* в левой и правой частях. Две функции считаются равносильными, если при любых значениях аргументов они принимают одинаковые значения.

Свойства булевой алгебры используются для преобразования и упрощения логических формул, а также для доказательства теоретических положений. *Коммутативность* и *ассоциативность* позволяют выполнять операции И и ИЛИ, группируя переменные в любом порядке. Первая форма *дистрибутивности* указывает на допустимость вынесения общего множителя за скобки, как в обычной алгебре. Но вторая форма в обычной алгебре аналога не имеет, что является одним из основных отличий ее от алгебры логики. Свойства отрицания подчеркивают взаимодополнительную природу логических переменных. Повторы переменной и константы позволяют избавляться от постоянных слагаемых и множителей или при необходимости вводить их. *Двойное отрицание* не изменяет переменную, что можно рассматривать как пустую операцию. На основе *идемпотентности* можно удалять повторяющиеся переменные, вследствие чего в булевой алгебре не имеют смысла показатели степени и числовые коэффициенты, что также существенно отличает ее от обычной алгебры. *Законы де Моргана* позволяют свести отрицание сложного выражения к отрицанию отдельных переменных. Последние четыре свойства (*склеивание*, *поглощение*, *замещение*

Таблица 2.3

Свойства	Первая форма (′)	Вторая форма (″)
1. Коммутативность	$x+y=y+x$	$xy=yx$
2. Ассоциативность	$x+(y+z)=$ $=(x+y)+z$	$x(yz)=(xy)z$
3. Дистрибутивность	$x(y+z)=xy+xz$	$x+yz=$ $=(x+y)(x+z)$
4. Дополнение	$x+\bar{x}=1$	$x\bar{x}=0$
5. Повтор переменной	$x+0=x$	$x1=x$
6. Повтор константы	$x+1=1$	$x0=0$
7. Двойное отрицание	$\bar{\bar{x}}=x$	$\bar{\bar{x}}=x$
8. Идемпотентность	$x+x=x$	$xx=x$
9. Законы де Моргана	$\overline{x+y}=\bar{x}\bar{y}$	$\overline{xy}=\bar{x}+\bar{y}$
10. Склеивание	$xy+x\bar{y}=x$	$(x+y)(x+\bar{y})=x$
11. Поглощение	$x+xy=x$	$x(x+y)=x$
12. Замещение	$x+\bar{x}y=x+y$	$x(\bar{x}+y)=xy$
13. Выявление	$xy+\bar{x}z=$ $=xy+\bar{x}z+yz$	$(x+y)(\bar{x}+z)=$ $=(x+y)(\bar{x}+z)\cdot(y+z)$

и *выявление*) полезны при различных преобразованиях и упрощениях булевых формул.

Приведенные в табл. 2.3 пары свойств характеризуются специфической симметрией, выражающей *принцип дуальности* алгебры логики. В каждой паре одна форма получается из другой взаимной заменой операций И и ИЛИ, а также констант 0 и 1. В связи с этим операции И и ИЛИ, как и константы 0 и 1, называются дуальными. Вообще замена в любой формуле алгебры логики каждой операции и константы на дуальные приводит к дуальной формуле. Формула или функция, равносильная своей дуальной, называется *автодуальной* (как, например, двойное отрицание).

С принципом дуальности непосредственно связано обобщение законов де Моргана на любое число переменных. Если функция $\varphi^*(x_1, x_2, \ldots, x_n)$ дуальная функции $\varphi(x_1, x_2, \ldots, x_n)$, то

$$\overline{\varphi}(x_1, x_2, \ldots, x_n) = \varphi^*(\overline{x_1}, \overline{x_2}, \ldots, \overline{x_n}), \qquad (2.1)$$

откуда следует, что отрицание некоторой функции можно определить заменой в дуальной функции каждой переменной ее отрицанием. Пусть, например, задана функция $y = x + \bar{v}z$. Дуальная ей $y^* = x(v + \bar{z})$ и, следовательно, $\bar{y} = \bar{x}(\bar{v} + z)$.

Из выражения (2.1) также следует, что дуальная функция выражается как отрицание исходной функции, в которой каждая переменная замещена ее отрицанием:

$$\varphi^*(x_1, x_2, \ldots, x_n) = \overline{\varphi}(\overline{x_1}, \overline{x_2}, \ldots, \overline{x_n}), \qquad (2.2)$$

что позволяет построить таблицу соответствия дуальной функции заменой значений исходной функции и всех переменных на противоположные (0 на 1 и 1 на 0). Так, для приведенного выше примера

x	0	0	0	0	1	1	1	1
v	0	0	1	1	0	0	1	1
z	0	1	0	1	0	1	0	1
$y = x + \bar{v}z$	0	0	1	0	1	1	1	1
$y^* = x(v + \bar{z})$	0	0	0	0	1	0	1	1
$\bar{y} = \bar{x}(\bar{v} + z)$	1	1	0	1	0	0	0	0

Как видно, для получения таблицы соответствия дуальной функции достаточно отрицание исходной функции записать в обратном порядке.

2.5. СТАНДАРТНЫЕ ФОРМЫ

Два способа представления булевой функции — с помощью логической формулы и таблицы соответствия — взаимно связаны между собой в том смысле, что имеется возможность переходить от одного способа к другому. Построение таблицы соответствия по логической формуле рассмотрено ранее. Обратная задача — запись логической формулы по данной таблице соответствия решается на основе стандартных форм.

В *совершенной дизъюнктивной нормальной форме*, называемой также *канонической суммой минтермов* или *стандартной*

суммой произведений, каждому набору значений переменных, при котором функция равна единице, соответствует свой *минтерм*. Он выражается как логическое произведение всех переменных, причем те переменные, которые в данном наборе имеют значение нуль, входят в произведение с отрицанием, а имеющие значение единица — без отрицания. Дизъюнкция (сумма) минтермов, построенных для всех наборов с единичными значениями функции, и является канонической суммой минтермов, соответствующей заданной таблице истинности.

Другая стандартная форма, дуальная рассмотренной выше, называется *совершенной конъюнктивной нормальной формой*. В технической литературе ее также называют *каноническим произведением макстермов* или *стандартным произведением сумм*. В этой форме *макстермы* соответствуют тем наборам значений переменных, на которых функция равна нулю. Каждый макстерм представляет собой логическую сумму всех переменных, причем те переменные, которые на данном наборе имеют значение единицы, входят в сумму с отрицанием, а имеющие значение нуль — без отрицания. Конъюнкция (произведение) макстермов, построенных для всех наборов с нулевыми значениями функции, и является соответствующим каноническим произведением макстермов.

Следующий пример иллюстрирует запись стандартных форм по заданной таблице соответствия

x_1	0	0	0	0	1	1	1	1
x_2	0	0	1	1	0	0	1	1
x_3	0	1	0	1	0	1	0	1
y	0	1	1	0	1	1	0	1

$$y = \overline{x_1}\,\overline{x_2}x_3 + \overline{x_1}x_2\overline{x_3} + x_1\overline{x_2}\,\overline{x_3} + x_1\overline{x_2}x_3 + x_1x_2x_3 =$$
$$= (x_1 + x_2 + x_3)(x_1 + \overline{x_2} + \overline{x_3})(\overline{x_1} + \overline{x_2} + x_3).$$

Если булева функция задана логической формулой, то ее можно привести к стандартной форме последовательностью эквивалентных преобразований, основанных на свойствах булевой алгебры. Сначала с помощью теорем де Моргана исходное выражение приводится к такому виду, чтобы знаки отрицания относились только к отдельным переменным. Затем на основе свойств дистрибутивности осуществляется преобразование к одной из форм — сумме произведений или произведению сумм. На заключительном этапе используются свойства $x + \overline{x} = 1$ и $x\overline{x} = 0$ для введения недостающих переменных в минтермы и макстермы, а также свойства идемпотентности $x + x = x$ и $xx = x$ для исключения повторяющихся слагаемых и сомножителей. Например, функция $v = \overline{x}(x + \overline{y + z}) + z$ предварительно преобразуется к виду $\overline{x}(x + \overline{yz}) + z = \overline{x}x + \overline{x}\overline{yz} + z = \overline{x}\overline{yz} + z = \overline{x}\overline{y} + z$, после чего имеем: $\overline{x}\overline{y}(z + \overline{z}) + (\overline{x} + \overline{x})(y + \overline{y})\overline{z} = \overline{x}\overline{y}z + \overline{x}\overline{y}\overline{z} + xyz + \overline{x}yz + x\overline{y}z + \overline{x}yz = \overline{x}yz + \overline{x}\overline{y}\overline{z} + xyz + x\overline{y}\overline{z} + \overline{x}\overline{y}z$ (каноническая сумма минтермов) или $(\overline{x} + z)(y + z) = (\overline{x} + y\overline{y} + z)(x\overline{x} + y + z) = (\overline{x} + y + z)(\overline{x} + \overline{y} + z)(x + y + z)(\overline{x} + y + z) = (\overline{x} + y + z)(\overline{x} + \overline{y} + z)(x + y + z)$ (каноническое про-

изведение макстермов). Соответствующая таблица истинности имеет вид

x	0	0	0	0	1	1	1	1
y	0	0	1	1	0	0	1	1
z	0	1	0	1	0	1	0	1
v	0	1	1	1	0	1	0	1

В качестве стандартных рассматриваются также нормальные формы, минтермы (или макстермы) которых в отличие от совершенных нормальных (канонических) форм не обязательно должны содержать все переменные данной функции. В зависимости от числа k входящих в них переменных они называются *минтермами* (*или макстермами*) *k-го ранга*. Данная функция представляется единственной канонической формой, но соответствующих ей эквивалентных нормальных форм может быть различное количество. Поиск среди них минимальных форм является одной из главных задач синтеза логических схем.

2.6. ПРЕОБРАЗОВАНИЕ И УПРОЩЕНИЕ ФОРМУЛ

Основные свойства булевой алгебры позволяют осуществлять эквивалентные преобразования формул для их упрощения или приведения к требуемому виду, а также для доказательства логических правил и теорем. Иллюстрацией преобразования булевых выражений может служить, например, доказательство свойства выявления (см. табл. 2.3) $xy + \bar{x}z + yz = xy + \bar{x}z + 1yz = xy + \bar{x}z + (x + \bar{x})\,yz = xy + \bar{x}z + xyz + \bar{x}yz = (xy + xyz) + (\bar{x}z + \bar{x}zy) = xy\,(1 + z) + \bar{x}z\,(1 + y) = xy \cdot 1 + \bar{x}z \cdot 1 = xy + \bar{x}z$.

Здесь использованы последовательно свойства 5″ и 1″, 4′, 3′, 2′ и 1″, 3′, 1′ и 6′, 5″ (штрихами отмечены соответственно первая и вторая формы). Как видно, в выражении $xy + \bar{x}z + yz$ *дополнительный член* yz представляет собой произведение переменных (или формул) при x и $\bar{x}$ в порождающих членах xy и $\bar{x}z$ и не влияет на значение этого выражения при условии, что порождающие члены присутствуют.

Процесс упрощения сводится к последовательному применению тех или иных общих свойств с тем, чтобы уменьшить общее количество вхождений в формулу переменных и символов логических операций. Между тем далеко не очевидно, какое из свойств наиболее целесообразно использовать на каждом шаге, поэтому работа с формулами на интуитивном уровне подобна блужданию в лабиринте. Этому процессу можно придать целенаправленный характер, если воспользоваться свойствами склеивания, поглощения и выявления, представив предварительно исходное выражение в нормальной форме. В дальнейшем преобразования выполняются в дизъюнктивной нормальной форме (сумме минтермов), а соответствующие правила для конъюнктивной нормальной формы (произведения макстермов) можно получить на основе принципа дуальности.

Склеивание $xy + x\bar{y} = x$ (под x можно понимать любое выражение) позволяет заменить два минтерма, отличающихся вхождением только одной переменной (с отрицанием и без него), одним минтермом более низкого ранга. Пусть, например, функция задана в виде канонической суммы минтермов: $y =$

$= \bar{x}_1x_2\bar{x}_3 + \bar{x}_1x_2x_3 + x_1\bar{x}_2\bar{x}_3 + x_1\bar{x}_2x_3 + x_1x_2x_3$. Группируя члены и применяя операцию склеивания, имеем $y = (\bar{x}_1x_2\bar{x}_3 + \bar{x}_1x_2x_3) + (x_1\bar{x}_2\bar{x}_3 + x_1\bar{x}_2x_3) + x_1x_2x_3 = \bar{x}_1x_2 + x_1\bar{x}_2 + x_1x_2x_3$. При другом варианте группирования получим $y = \bar{x}_1x_2\bar{x}_3 + (x_1x_2x_3 + x_1x_2x_3) + (x_1\bar{x}_2\bar{x}_3 + x_1\bar{x}_2x_3) = \bar{x}_1x_2\bar{x}_3 + x_2x_3 + x_1x_2$.

Последующие упрощения основаны на свойствах поглощения и выявления. *Поглощение* $x + xy = x$, если под x и y понимать не только переменные, но и любые булевы выражения, позволяет исключить все минтермы, в которые в качестве сомножителя входит некоторый другой минтерм более низкого ранга. Наряду с этим дополнительный член, который вводится на основе свойства выявления, можно использовать для поглощения и/или замещения других членов (минтермов). Эта операция, называемая *обобщенным склеиванием*, всегда возможна, если исходная формула наряду с порождающими членами содержит минтермы, в которые в качестве сомножителя входит дополнительный член, например:

$$xy + \bar{x}z + yzv = xy + \bar{x}z + yzv + yz = xy + \bar{x}z + yz = xy + \bar{x}z$$

yz — *дополнительный член* *поглощение* *выявление*

Здесь дополнительный член поглотил yzv, после чего удаляется как не влияющий на значение полученного выражения. В случаях, когда дополнительный член поглощает один из порождающих членов, его удалять нельзя и, следовательно, происходит замещение этого порождающего члена. Например:

$$x + \bar{x}y + yz = x + \bar{x}y + yz + y = x + \bar{x}y + y = x + y$$

y — *дополнительный член* *поглощение* *замещение*

Здесь дополнительный член поглощает минтерм yz и замещает породивший его минтерм $\bar{x}y$. Заметим, что это выражение можно было бы упростить и без введения дополнительного члена с помощью поглощения и замещения: $x + \bar{x}y + yz = x + y + yz = x + y$.

Применяя изложенную процедуру к рассматриваемому примеру для первого варианта группирования $\bar{x}_1x_2 + x_1\bar{x}_2 + x_1x_2x_3$, получаем $\bar{x}_1x_2 + x_1\bar{x}_3 + x_2x_3$ или $\bar{x}_1x_2 + x_1\bar{x}_2 + x_1x_3$. Аналогично второй вариант $\bar{x}_1x_2\bar{x}_3 + x_2x_3 + x_1\bar{x}_2$ упрощается к виду $\bar{x}_1x_2 + x_2x_3 + x_1\bar{x}_2$, что повторяет уже полученный результат для первого варианта. Таким образом, исходная формула преобразуется к двум формам, которые в данном случае являются и минимальными. К такому же результату можно было бы прийти, применяя только простое склеивание, если в исходном выражении повторить минтерм $\bar{x}_1x_2x_3$ или $x_1\bar{x}_2x_3$, о чем, конечно, не так просто догадаться в самом начале преобразования. Следует заметить, что с применением обобщенного склеивания можно упрощать формулы, заданные в любой форме, а не обязательно в канонической. В то же время эта операция не проходит, если порождающие члены содержат различное вхождение (с отрицанием и без него) не одной, а двух или больше переменных. Например, $x(yz) + \bar{x}(\bar{y}z)$, так как

при этом дополнительный член $(yz)(\bar{y}z)$ обращается в тождественный нуль.

Хотя в рассмотренном примере получены минимальные формы, в общем случае процедура склеивания минтермов не гарантирует этого. Она обеспечивает лишь преобразование к *сокращенной* форме, минтермы которой называют *простыми импликантами*. Так как склеиваемые минтермы покрываются минтермом низшего ранга, сокращенная форма не содержит таких импликант, которые целиком покрываются какой-либо одной импликантой. В то же время среди простых импликант могут быть такие, которые покрываются совокупностями других импликант и, следовательно, являются избыточными. После удаления избыточных импликант приходим к *тупиковым формам*, среди которых находятся и *минимальные формы*. Следует заметить, что для данной функции существует единственная сокращенная форма, в то время как тупиковых и минимальных форм может быть несколько. Для минимизации булевых формул разработан ряд методов, среди которых наиболее известны алгоритм Квайна—Мак-Класки и графический метод, основанный на картах Карно.

2.7. АЛГОРИТМ КВАЙНА — МАК-КЛАСКИ

Этот метод включает в себя два этапа — преобразование исходной функции к сокращенной форме с помощью операции склеивания и получение минимальной формы путем исключения избыточных простых импликант.

Преобразование булевых формул путем склеивания удобно выполнять в символическом виде, где минтермы записываются в столбик словами длины n, буквы которых соответствуют всем переменным данной функции. Входящие в минтерм переменные называются *связанными* и представляются значениями, при которых минтерм равен единице (1 для x_i и 0 для $\bar{x}_i$). Не входящие в минтерм переменные являются свободными и обозначаются через $\times$. Минтермы n-го ранга канонической формы представляются просто наборами значений переменных, на которых функция равна единице.

При склеивании пары минтермов n-го ранга, отличающихся только значениями переменной x_i, появляется минтерм $(n-1)$-го ранга M_{n-1}, который входит в качестве сомножителя в исходные минтермы, т. е. $M_{n-1}x_i + M_{n-1}\bar{x}_i = M_{n-1}(x_i + \bar{x}_i) = M_{n-1}$. При этом представляющий его символ получается замещением в символе склеиваемого минтерма значения переменной x_i на $\times$. Аналогично склеивание пары минтермов $(n-1)$-го ранга приводит к появлению минтерма $(n-2)$-го ранга с двумя свободными переменными и т. д. Принято говорить, что склеиваемые минтермы *покрываются* результирующими минтермами более низкого порядка.

Чтобы уменьшить количество сравниваемых пар, целесообразно разбить множество минтермов на классы, в каждом из которых содержатся символы с одинаковым числом единиц (или нулей), и упорядочить эти классы по возрастающему (или убывающему) числу единиц. Так как объединяться могут только такие минтермы, символы которых содержат точно на одну больше или на одну меньше единиц, то достаточно ограничиться попарным сравнением символов соседних классов. Рассмотрим

в качестве примера функцию четырех переменных, заданную таблицей соответствия:

x_1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
x_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
x_3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
x_4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
y	0	0	0	1	1	1	0	1	0	1	0	1	1	1	0	0

Множество символов минтермов этой функции после упорядочения и разбиения на классы представляют минтермы канонической формы:

$$M_4 = \left\{ \begin{array}{c|ccc|ccc} 0 & 0 & 0 & 1 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 \\ 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{array} \right\}.$$

Объединяя минтермы и отмечая (значком $\vee$) те из них, которые покрываются минтермами низшего ранга, имеем

$$M_3 = \left\{ \begin{array}{c|ccccccc} \check{0} & \check{\times} & 0 & 0 & \times & 1 & \check{\times} & 1 & \check{1} \\ 1 & 1 & \times & 1 & 0 & 0 & 1 & \times & 1 \\ 0 & 0 & 1 & \times & 1 & \times & 0 & 0 & 0 \\ \times & 0 & 1 & 1 & 1 & 1 & 1 & 1 & \times \end{array} \right\}; \quad M_2 = \left\{ \begin{array}{c} \times \\ 1 \\ 0 \\ \times \end{array} \right\}.$$

Неотмеченные символы соответствуют простым импликантам сокращенной формы $y = \bar{x}_1 x_3 x_4 + \bar{x}_1 x_2 x_4 + \bar{x}_2 x_3 x_4 + x_1 \bar{x}_2 x_4 + x_1 \bar{x}_3 x_4 + x_2 \bar{x}_3$. Для минимизации этой формы строится таблица покрытий, столбцы которой соответствуют минтермам канонической формы, а строки — простым импликантам (табл. 2.4).

Таблица 2.4

Простые импликанты	Минтермы канонической формы								Обозначения простых импликант
	0100	0011	0101	1001	1100	0111	1011	1101	
0 × 1 1		V				V			*A*
0 1 × 1			V			V			*B*
× 0 1 1		V					V		*C*
1 0 × 1				V			V		*D*
1 × 0 1				V				V	*E*
× 1 0 ×	V		V		V			V	*F*

Здесь меткой V отмечены те минтермы, которые покрываются простыми импликантами. При переходе от сокращенного покрытия к минимальному следует прежде всего выделить те импликанты, называемые *экстремалями*, которые покрывают минтермы данной функции, не покрываемые никакими другими импликантами. Экстремали соответствует та строка таблицы, которая содержит единственную метку в каком-либо столбце. В рассматриваемом примере единственная экстремаль представлена символом (× 10 ×), которому соответствует минтерм $x_2\bar{x}_3$. Удаляя строки экстремалей и все столбцы, в которых эти строки имеют метки, получаем более простую таблицу (табл. 2.5).

Таблица 2.5

Простые импликанты	Минтермы канонической формы				Обозначение простых импликант
	0 0 1 1	1 0 0 1	0 1 1 1	1 0 1 1	
0 × 1 1	V		V		*A*
0 1 × 1			V		*B*
× 0 1 1	V			V	*C*
1 0 × 1		V		V	*D*
1 × 0 1		V			*E*

На основе этой таблицы выбираем простые импликанты, которые дополняют выделенное множество экстремалей (*ядро покрытия*) до минимального покрытия функции. В данном случае целесообразно выбрать простые импликанты (0 × 11) и (10 × 1), которые совместно с экстремалью (× 10 ×) и образуют минимальное покрытие $y = \bar{x}_1x_3x_4 + x_1\bar{x}_2x_4 + x_2\bar{x}_3$.

Полный перебор всевозможных тупиковых форм с целью выделения минимальных форм для функций с большим числом аргументов практически нереален вследствие комбинаторной сложности изложенного метода. Поэтому для минимизации формул используются приближенные алгоритмы. Так, в соответствии с *минимаксным алгоритмом* включение в минимизируемую форму очередной импликанты осуществляется по следующему правилу: выбирается столбец таблицы покрытий с наименьшим количеством меток и среди строк, имеющих в этом столбце метки, выбирается строка с наибольшим числом меток, которая и определяет требуемую импликанту, причем все минтермы, покрываемые этой импликантой, а значит, и соответствующие им столбцы вычеркиваются. Процедура повторяется до тех пор, пока не будут вычеркнуты все столбцы.

2.8. АЛГЕБРАИЧЕСКИЙ МЕТОД ОБРАЗОВАНИЯ ТУПИКОВЫХ ФОРМ

Образование тупиковых покрытий на заключительном этапе формализуется с помощью алгебраического метода. Простые импликанты обозначаются какими-либо символами (обычно для этой цели используются прописные буквы латинского алфавита) и по столбцам таблицы покрытий записываются дизъюнкции тех импликант, которые отмечены в данном столбце. Смысл этой записи вытекает из того, что любая из отмеченных импликант покрывает данный минтерм. Покрытие функции выражается конъюнкцией всех записанных дизъюнкций. Упрощая это выражение на основе тождеств булевой алгебры, переходим к дизъюнктивной форме, каждый член которой представляет собой конъюнкцию простых импликант и соответствует тупиковому покрытию рассматриваемой функции.

Так, для примера из предыдущего параграфа с учетом обозначений простых импликант в таблице покрытий имеем $F(A+C)(B+F)(D+E)\,F(A+B)(C+D)(E+F) = F(A+C)(A+B)(D+E)(C+D) = F(A+BC)(D+CE) = ADF + ACEF + BCDF + BCEF$. Замещая в каждом конъюнктивном члене простые импликанты их символами, получаем выражения четырех тупиковых покрытий в символическом виде

$$C_1 = \begin{Bmatrix} 0 & 1 & \times \\ \times & 0 & 1 \\ 1 & \times & 0 \\ 1 & 1 & \times \end{Bmatrix}; \quad C_2 = \begin{Bmatrix} 0 & \times & 1 & \times \\ \times & 0 & \times & 1 \\ 1 & 1 & 0 & 0 \\ 1 & 1 & 1 & \times \end{Bmatrix};$$

$$C_3 = \begin{Bmatrix} 0 & \times & 1 & \times \\ 1 & 0 & 0 & 1 \\ \times & 1 & \times & 0 \\ 1 & 1 & 1 & \times \end{Bmatrix}; \quad C_4 = \begin{Bmatrix} 0 & \times & 1 & \times \\ 1 & 0 & \times & 1 \\ \times & 1 & 0 & 0 \\ 1 & 1 & 1 & \times \end{Bmatrix},$$

которым соответствуют равносильные тупиковые формы: $y_1 = \bar{x}_1\bar{x}_3x_4 + x_1\bar{x}_2x_4 + x_2\bar{x}_3$; $y_2 = \bar{x}_1x_3x_4 + \bar{x}_2x_3x_4 + x_1\bar{x}_3x_4 + x_2\bar{x}_3$; $y_3 = \bar{x}_1x_2x_4 + \bar{x}_2x_3x_4 + x_1x_2x_4 + x_2x_3$; $y_4 = x_1x_2x_4 + x_2x_3x_4 + x_1\bar{x}_3x_4 + x_2x_3$.

Каждая форма характеризуется числом вхождений переменных, называемых *ценой покрытия*. Для первой тупиковой формы цена покрытия равна 8, а для трех остальных 11, поэтому первая форма является минимальной.

Алгебраические преобразования упрощаются, если исходить из таблицы покрытий, получаемой после извлечения экстремалей. Тогда результатом таких преобразований являются множества простых импликант, дополняющих совокупность экстремалей до тупиковых покрытий. Сравнивая эти множества по их цене, выбираем *минимальные дополнения*, которые совместно с множеством экстремалей образуют минимальные покрытия. Так, в рассматриваемом примере после извлечения импликанты F на основе упрощенной таблицы покрытий записываем $(A+C)(D+E)(A+B)(C+D) = (A+BC)(CE+D) = ACE + BCE + B\bar{C}D + AD$. Отсюда находим минимальное дополнение $\bar{x}_1x_3x_4 + x_1\bar{x}_2x_4$, которое совместно с экстремалью $x_2\bar{x}_3$ и дает минимальную форму.

2.9. КАРТЫ КАРНО

Карты Карно представляют собой специально организованные таблицы соответствия, на которых удобно осуществляются операции склеивания при упрощении функции на пути к минимальным формам. Столбцы и строки таблицы соответствуют всевозможным наборам значений переменных, причем эти наборы расположены в таком порядке, что каждый последующий отличается от предыдущего только одной из переменных. Благодаря этому соседние ячейки по горизонтали и вертикали отличаются значением только одной переменной. Ячейки, расположенные по краям таблицы, также считаются соседними и обладают этим свойством. На рис. 2.1 показаны карты Карно для двух, трех и четырех переменных.

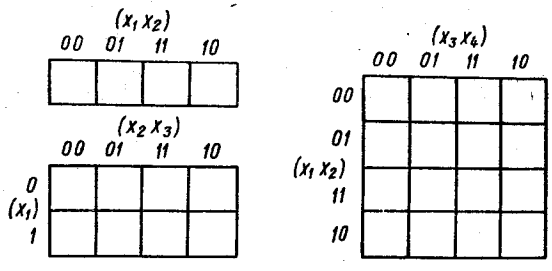


Рис. 2.1

Каждому набору значений переменных по строкам и столбцам соответствует своя ячейка, расположенная на их пересечении. Она заполняется единицей, если на соответствующем наборе функция принимает единичное значение, или нулем при нулевом значении функции (нули обычно не вписываются, а оставляются пустые клетки). Таким образом, отмеченные ячейки соответствуют минтермам, а неотмеченные — макстермам канонических форм. Например, на рис. 2.2,*а* показана карта Карно для функции, заданной таблицей соответствия из рассмотренного в § 2.7 примере.

Операции склеивания двух минтермов n-го ранга исходной формулы соответствует на карте Карно объединение двух соседних ячеек, отмеченных единицами, и эта объединенная пара ячеек представляет собой результирующий минтерм $(n-1)$-го ранга. Аналогично склеивание двух минтермов $(n-1)$-го ранга в минтерм $(n-2)$-го ранга представляется объединением соответствующих пар ячеек в прямоугольную группу из четырех соседних ячеек и т. д. Полное число ячеек в любой группе всегда выражается целой степенью двойки $2^a \cdot 2^b = 2^{a+b}$, где a и b — соответственно целые числа пар ячеек по горизонтали и вертикали, причем каждая такая группа отображает минтерм $(n-a-b)$-го ранга и покрывает 2^{a+b} минтермов n-го ранга исходной канонической формы. Так, на рис. 2.2,*б* показано сокращенное покрытие, импликанты которого образованы в результате склеивания минтермов функции, изображенной на рис. 2.2,*а*. На рис. 2.2, *в—е* показаны тупиковые покрытия рассматриваемой функции, причем покрытие на рис. 2.2,*в* является минимальным.

Считывание минтермов с карты Карно осуществляется последовательным рассмотрением групп ячеек. В минтерм входят только те переменные, которые сохраняют свои значения в данной группе, причем значениям 1 соответствует сама переменная, а значению 0 — ее отрицание. Переменные, которые принимают в данной группе различные значения (0 и 1), являются свободными и в данном минтерме отсутствуют. Примеры считы-

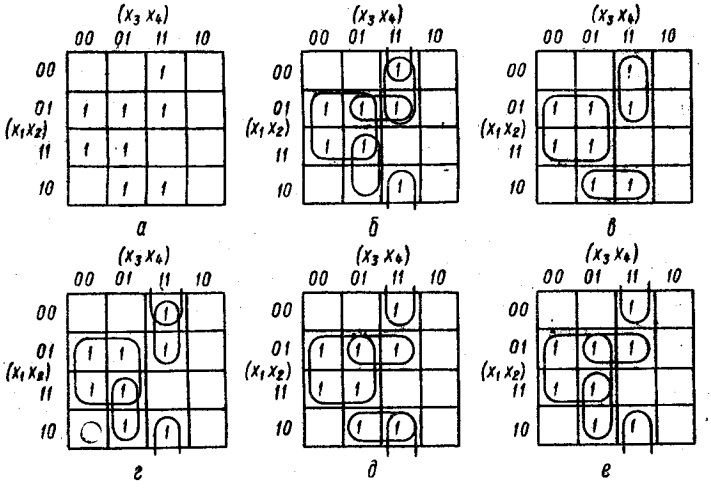


Рис. 2.2

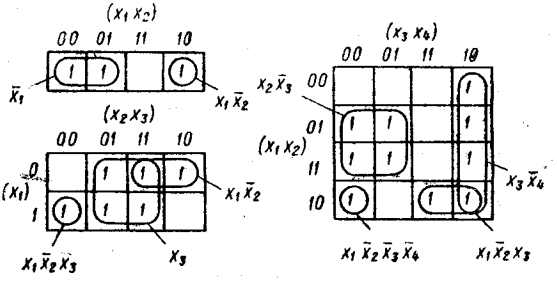


Рис. 2.3

вания минтермов с карт Карно для различного числа переменных показаны на рис. 2.3.

Любая совокупность групп ячеек, покрывающая все отмеченные ячейки, соответствует некоторой сумме минтермов различных рангов, которая равнозначна данной функции. Стремление к простейшей форме интуитивно понимается как поиск такого минимального покрытия, число групп в котором было бы поменьше, а сами группы были покрупнее. Действительно, чем меньше групп в покрытии, тем меньше минтермов в формуле, а при увеличении размеров группы соответственно понижается

ранг минтерма, а значит, уменьшается количество содержащихся в нем переменных. Практически для отыскания минимального покрытия на карте Карно прежде всего выбирается отмеченная ячейка, входящая в такую наибольшую группу, которая покрывает любые другие возможные группы с этой ячейкой. После формирования этой наибольшей группы по тому же признаку выбирается другая еще не покрытая ячейка и формируется ее наибольшая группа. Этот процесс продолжается до тех пор, пока все отмеченные ячейки окажутся в тех или иных группах либо останутся только такие непокрытые ячейки, которые можно сгруппировать различными способами. Из возможных вариантов выбираются те, которые приводят к минимальным покрытиям.

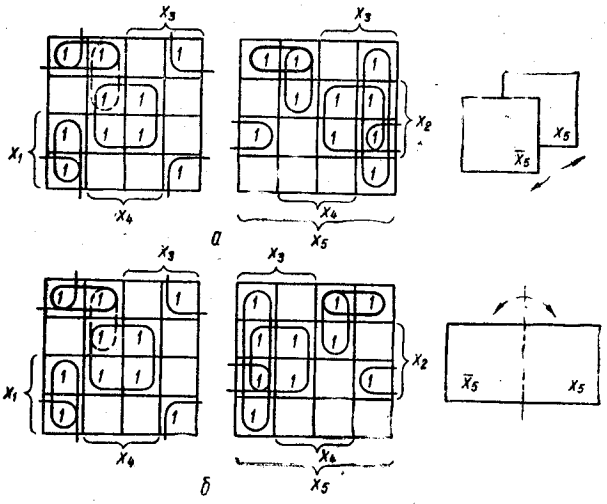


Рис. 2.4

Наглядность карт Карно позволяет решать задачи минимизации, не прибегая к промежуточным покрытиям — сокращенным и тупиковым формам, что существенно упрощает этот процесс. К сожалению, возможности этого метода ограничиваются по существу функциями четырех переменных. При большем числе переменных приходится прибегать к различным ухищрениям и основное преимущество — наглядность теряется. Тем не менее этот метод еще используется в инженерной практике для пяти, шести, а иногда и большего числа переменных, что требует увеличения количества карт Карно. Так, при пяти переменных используются две карты, одна из которых соответствует инверсии пятой переменной, а другая — этой же переменной без инверсии, причем они размечаются либо одинаково и сравниваются наложением (рис. 2.4,*а*), либо симметрично и сравниваются относительно оси симметрии (рис. 2.4,*б*). Для упрощения разметки строки и столбцы, соответствующие значениям 1 для некоторой переменной, выделяются фигурной скобкой. Теперь смежными считаются и такие ячейки, которые занимают на картах одинаковые или симметричные области (в зависимости

от способа разметки). В качестве примера на рис. 2.4 показана функция, заданная таблицей соответствия:

x_1	00000000000000001111111111111111
x_2	00000000111111110000000011111111
x_3	00001111000011110000111100001111
x_4	00110011001100110011001100110011
x_5	01010101010101010101010101010101
f	11111100001101111000110011100111

Сначала строятся простейшие покрытия на каждой карте раздельно, с которых списываются две функции: для левой карты $f_л = \bar{x}_2\bar{x}_4\bar{x}_5 + x_2x_4\bar{x}_5 + x_1\bar{x}_3\bar{x}_4\bar{x}_5 + \bar{x}_1\bar{x}_2\bar{x}_3\bar{x}_5$ и для правой карты $f_п = x_3\bar{x}_4x_5 + x_2x_3x_5 + x_1x_2\bar{x}_4x_5 + \bar{x}_1\bar{x}_2\bar{x}_3x_5 + \bar{x}_1\bar{x}_3x_4x_5$. Затем ищу-

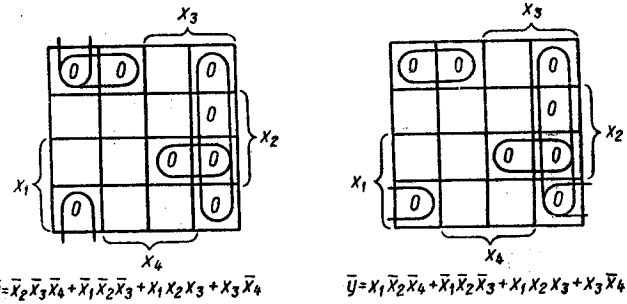


Рис. 2.5

тся такие импликанты в этих функциях, которые различаются только вхождением x_5 и их можно объединить. В данном случае это $\bar{x}_1\bar{x}_2\bar{x}_3\bar{x}_5$ и $\bar{x}_1x_2\bar{x}_3\bar{x}_5$ (соответствующие им группы ячеек, обведенные жирной линией на рис. 2.4, *а*, совпадают при наложении, а на рис. 2.4, *б* они расположены симметрично), в результате объединения которых получается импликанта $\bar{x}_1\bar{x}_3$. Наконец, можно также дополнять одну из карт несущественными импликантами, которые можно считать соседними импликантам другой карты и, объединяя их между собой, упрощать результирующее выражение. Так, в левую карту можно добавить импликанту $\bar{x}_1\bar{x}_3x_4\bar{x}_5$ (на рис. 2.4 она показана пунктиром), которая, объединяясь с импликантой правой карты $\bar{x}_1x_3x_4x_5$, дает $\bar{x}_1\bar{x}_3x_4$. Окончательное выражение получаем как сумму $f_л + f_п$ с учетом выполненных преобразований: $f = \bar{x}_2x_4\bar{x}_5 + x_2x_4\bar{x}_5 + x_1\bar{x}_3\bar{x}_4\bar{x}_5 + x_3\bar{x}_4x_5 + x_2x_3x_5 + x_1x_2 + \bar{x}_1\bar{x}_2x_3 + \bar{x}_1x_3x_4$.

Для функций шести переменных потребовалось бы четыре карты Карно, а с каждой новой переменной количество требуемых карт увеличивается вдвое и, например, для восьми переменных уже равно 16. В практике используются и другие графические структуры, например, карты Вейча, которые отличаются только способом разметки переменных. Ясно, что графические методы пригодны для минимизации вручную сравнительно простых функций. В то же время машинные методы

анализа и проектирования логических схем основаны на формальном алгоритме Квайна-Мак-Класки и его разновидностях.

Для получения минимальной формы инверсии функции необходимо найти на карте Карно минимальное покрытие совокупности нулевых ячеек и описать соответствующую формулу по указанному выше правилу. Так, для функции на рис. 2.2,*а* имеются два таких покрытия (рис. 2.5), отличающихся только одной импликантой. Если требуется найти минимальную форму как произведения макстермов, то в соответствии с изложенным в § 2.4 правилом достаточно в выражении для инверсной функции заменить все логические операции на дуальные, а вхождения переменных — на инверсные: $\bar{y} = (x_2 + x_3 + x_4)(x_1 + x_2 + x_3) \times (\bar{x}_1 + \bar{x}_2 + \bar{x}_3)(\bar{x}_3 + x_4) = (\bar{x}_1 + x_2 + x_4)(x_1 + x_2 + x_3)(\bar{x}_1 + \bar{x}_2 + \bar{x}_3)(\bar{x}_3 + x_4)$. Эти же формы можно записать на основе принципа дуальности непосредственно по минимальным покрытиям нулевых ячеек карты Карно. Для этого достаточно каждую группу ячеек идентифицировать как сумму переменных при инверсной разметке карты Карно, т. е. считая отмеченные значения переменных нулевыми.

Глава 3

РЕАЛИЗАЦИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ

3.1. ЛОГИЧЕСКИЕ СХЕМЫ

Логические схемы являются структурными моделями цифровых устройств, реализующих логические функции. Они отображают преобразование входных переменных $x_1, x_2, \ldots, x_n$ в вы-

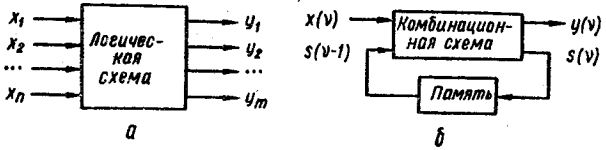


Рис. 3.1

ходные $y_1, y_2, \ldots, y_m$ (рис. 3.1,*а*). Если значения выходных переменных определяются комбинацией значений переменных на входах только в данный момент, то такие схемы называют *комбинационными*. Если же выход $y(\nu)$ зависит не только от входа $x(\nu)$ в данный тактовый момент ν, но и от состояния $s(\nu - 1)$ в предыдущий момент, то такие схемы называют *последовательностными*. Они содержат наряду с комбинационными схемами элементы памяти, которые сохраняют предыдущее состояние до следующего такта (рис. 3.1,*б*). Оба типа схем объединяются под названием *конечные автоматы* в предположении, что все переменные принимают значения из конечных алфавитов. Особое значение имеют конечные автоматы с двузначным структурным алфавитом, зависимости между входами и выходами которых выражаются булевыми функциями. Последовательностные схемы называются также *конечными автоматами с памятью*.

Простейшими компонентами комбинационной схемы являются вентили, реализующие элементарные операции. Графиче-

Таблица 3.1

Название вентиля	Графические изображения	Булева формула
И (Конъюнктор)		$f = xy = \overline{\bar{x} + \bar{y}}$
ИЛИ (Дизъюнктор)		$f = x + y = \overline{\bar{x}\bar{y}}$
НЕ (Инвертор)		$f = \bar{x}$
И—НЕ (Штрих Шеффера)		$f = \overline{xy} = \bar{x} + \bar{y}$
ИЛИ—НЕ (Стрелка Пирса)		$f = \overline{x + y} = \bar{x}\bar{y}$
Исключающее ИЛИ		$f = x \oplus y = \bar{x} \oplus \bar{y} = x\bar{y} + \bar{x}y$
Исключающее ИЛИ—НЕ		$f = \overline{x \oplus y} = \bar{x} \oplus y = xy + \overline{xy}$
Повторитель		$f = x = \bar{\bar{x}}$

ские изображения наиболее употребительных вентилей даны в табл. 3.1 (инверсные входы и выходы обозначаются маленькими кружочками). В качестве компонентов могут рассматриваться и некоторые соединения вентилей, образующих *подсхемы*. Соответственно говорят о логическом моделировании на различных уровнях — вентильном, регистровом и т. д. При моделировании на вентильном уровне логические формулы выражаются в булевом базисе И, ИЛИ, НЕ, поэтому и логические схемы обычно строятся с помощью аналогичного набора вентилей. Между тем могут оказаться удобными и другие вентили, преобразование к которым обеспечивается надлежащей методикой. В частности, широко используются логические схемы на основе вентиля И—НЕ, реализующего штрих Шеффера, а также ИЛИ—НЕ, реализующего стрелку Пирса, что допустимо благодаря функциональной полноте каждой из этих операций (см. табл. 2.2). Логические схемы непосредственно не связаны с физической

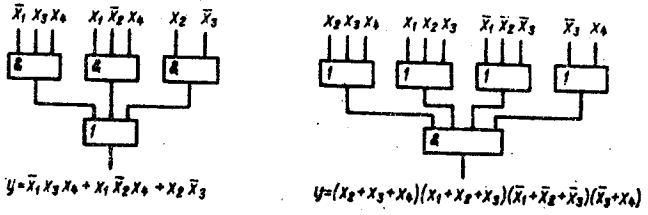


Рис. 3.2

природой и конструкцией вентилей. Тем не менее при выборе функционального базиса для реализации логических функций учитываются технико-экономические характеристики реальных компонентов цифровых устройств с тем, чтобы с наибольшей эффективностью обеспечить техническую реализацию логических схем.

Переход от булевой функции к логической схеме в булевом базисе очевиден: достаточно в соответствии с формулой обозначить входы вентилей и соединить их между собой надлежащим образом. Так, на рис. 3.2 показаны логические схемы, реализующие минимальные формы, полученные в примерах §§ 2.7 и 2.9.

Функции, заданные в нормальной диъзюнктивной или конъюнктивной форме, реализуются двухступенчатыми схемами. Первая ступень реализует произведения или суммы переменных, а вторая — соответственно суммы минтермов или произведения макстермов. Двухступенчатые схемы предпочтительны по быстродействию, которое вследствие инерционности логических вентилей пропорционально числу ступеней. Однако в инженерной практике приходится по различным причинам обращаться к многоступенчатым схемам.

3.2. МНОГОСТУПЕНЧАТЫЕ РЕАЛИЗАЦИИ

Характерным примером многоступенчатых схем может служить реализация функции, обеспечивающей проверку на четность набора из переменных. Она равна единице тогда и только тогда, когда число единичных значений входных переменных нечетное и выражается как сумма по модулю 2 : $f(x_1, x_2, \ldots,$

$x_n) = x_1 \oplus x_2 \oplus \ldots \oplus x_n$. Реализация этой функции двухступенчатой схемой при значительном числе n нереальна, так как потребовалось бы 2^{n-1} вентилей И на n входов каждый и один вентиль ИЛИ на 2^{n-1} входов. Это следует из того, что среди 2^n наборов значений переменных всегда половина нечетных, и каноническая форма функции содержит 2^{n-1} минтермов. К тому же она не минимизируется, так как не содержит ни одной пары склеивающихся минтермов (на карте Карно отмеченные ячейки располагаются в шахматном порядке). В то же время данная

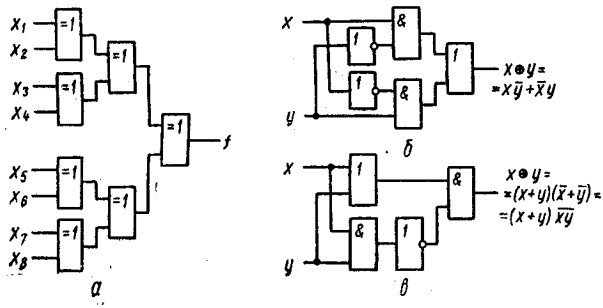


Рис. 3.3

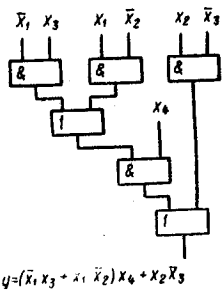


Рис. 3.4

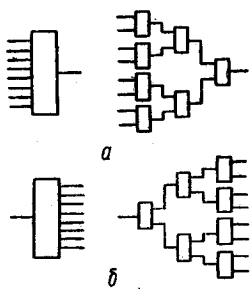


Рис. 3.5

функция реализуется многоступенчатой схемой, состоящей из двухвходовых вентилей исключающее ИЛИ, которые выполняют операцию сумма по модулю 2, причем для функции n переменных таких вентилей требуется $(n-1)$. Соответствующая схема при $n = 8$ показана на рис. 3.3,*а*. Реализация в булевом базисе требует замены вентилей исключающее ИЛИ соответствующими булевыми эквивалентами — дизъюнктивными (рис. 3.3,*б*) или конъюнктивными (рис. 3.3,*в*). В результате функция реализуется двухвходовыми вентилями И и ИЛИ совместно с вентилями НЕ, причем всего требуется $3(n-1)$ логических вентилей и $2(n-1)$ инверторов.

Многоступенчатые реализации появляются также вследствие преобразований стандартных форм, вызванных практическими ограничениями по числу входов вентиля (*коэффициенту разветвления*) и числу выходов (*коэффициенту нагружения*). В одном

из способов уменьшение числа входов достигается разложением булевой формулы на множители. Например, функция $y = \bar{x}_1 x_3 x_4 + x_1 \bar{x}_2 x_4 + x_2 \bar{x}_3$, двухступенчатая реализация которой показана на рис. 3.2, преобразуется к виду: $y = (\bar{x}_1 x_3 + x_1 \bar{x}_2) x_4 + x_2 \bar{x}_3$. Соответствующая многоступенчатая реализация, в которой используются только двухвходовые вентили, показана на рис. 3.4.

Любые ограничения на коэффициенты разветвления и нагружения можно удовлетворить заменой вентилей с недопустимо большим числом входов и выходов так называемыми *древовидными схемами* (рис. 3.5). Одна из таких схем уже использовалась выше для реализации функции проверки на четность. Вентиль на n входов реализуется древовидной схемой, состоящей из $(n - 1)$ двухвходовых вентилей, причем число ступеней равно $\lceil \log_2 n \rceil$, т. е. наименьшему целому числу, большему или равному $\log_2 n$ (рис. 3.5,*а*). Аналогично вентиль с n выходами реализуется древовидной схемой, которая содержит также $\lceil \log_2 n \rceil$ ступеней, а каждый вентиль имеет один вход и два выхода (рис. 3.5,*б*).

3.3. ФАКТОРИЗАЦИЯ

В общем случае учет реальных ограничений на нагрузочные способности источников входных и внутренних переменных и на коэффициенты разветвления конъюнкторов предшествует синтезу логической схемы в булевом базисе и называется *факторизацией*. Этот процесс формализуется с помощью таблицы импликант $\varphi_1, \varphi_2, \ldots, \varphi_n$, покрывающих данную функцию и соответствующих минтермам дизъюнктивной нормальной формы $\varphi_1 + \varphi_2 + \cdots + \varphi_m$. Таблица содержит $2n$ столбцов для переменных и их инверсий, а также m строк для импликант. Например, для функции $f = \bar{x}_1 x_2 x_3 x_4 \bar{x}_5 + \bar{x}_3 x_4 + x_1 x_4 x_5 + x_1 \bar{x}_2 x_4$ она выглядит следующим образом:

	x_1	x_2	x_3	x_4	x_5	$\bar{x}_1$	$\bar{x}_2$	$\bar{x}_3$	$\bar{x}_4$	$\bar{x}_5$
φ_1		1	1	1		1				1
φ_2				1				1		
φ_3	1			1	1					
φ_4	1			1			1			

При заданном коэффициенте нагружения $k_н$ факторизации подлежат источники переменных, имеющие больше $k_н$ выходов. Для этого необходимо в таблице импликант из столбца факторизуемой переменной перенести по тем же строкам избыточные единицы в дополнительные столбцы так, чтобы число единиц в каждом из них было не больше $k_н$. Такие столбцы соответствуют дополнительным вентилям, которые должны быть связаны с данным источником. Для учета этих связей необходимо добавить к таблице соответствующее количество строк и записать в них по столбцу факторизуемой переменной единицы. При $k_н = 3$ приведенная выше таблица преобразуется к виду:

	x_1	x_2	x_3	x_4	x_5	$\bar{x}_1$	$\bar{x}_2$	$\bar{x}_3$	$\bar{x}_4$	$\bar{x}_5$	Ψ_1
φ_1		1	1			1				1	1
φ_2								1			1
φ_3	1				1						1
φ_4	1			1			1				
Ψ_1				1							

Здесь из столбца x_4 перенесены в дополнительный столбец Ψ_1 три единицы и добавлена строка Ψ_1 с единицей в столбце x_4. Это соответствует преобразованию источника переменной x_4,

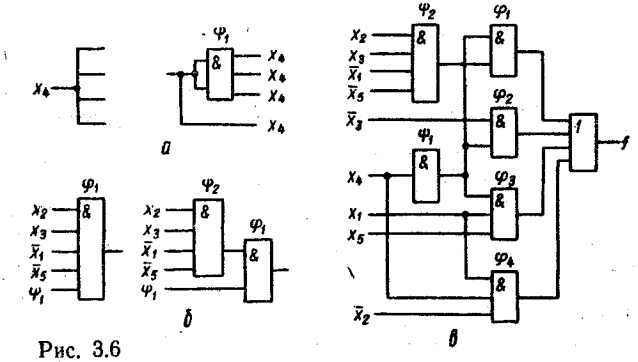


Рис. 3.6

как показано на рис. 3.6,*а*, где через Ψ_1 обозначен дополнительный вентиль, размножающий данную переменную x_4. Факторизация входов при заданном коэффициенте разветвления $k_р$ осуществляется аналогично распределением избыточных единиц по дополнительным строкам. Так, в рассматриваемом примере при заданном $k_р = 4$ таблица импликант преобразуется к виду:

	x_1	x_2	x_3	x_4	x_5	$\bar{x}_1$	$\bar{x}_2$	$\bar{x}_3$	$\bar{x}_4$	$\bar{x}_5$	Ψ_1	Ψ_2
φ_1											1	1
φ_2								1			1	
φ_3	1				1						1	
φ_4	1			1			1					
Ψ_1				1								
Ψ_2		1	1			1				1		

Здесь из строки Ψ_1 перенесены четыре единицы в дополнительную строку Ψ_2, а в первой строке дополнительного столбца Ψ_2 занесена единица. Это соответствует преобразованию вентиля с пятью входами, как показано на рис. 3.6 *б*. Преобразованной таблице соответствует комбинационная схема, приведенная на рис. 3.6,*в*. Другой вариант многоступенчатой реализации можно получить посредством преобразования функции к скобочной форме: $f = (\bar{x}_1 x_2 x_3 \bar{x}_5 + \bar{x}_3 + x_1(\bar{x}_2 + x_5))x_4$.

3.4. БАЗИСЫ И — НЕ И ИЛИ — НЕ

Вследствие функциональной полноты функций Шеффера и стрелки Пирса (см. табл. 2.2) реализующие их вентили И—НЕ или ИЛИ—НЕ могут представлять любую булеву операцию И, ИЛИ, НЕ и таким образом самостоятельно образовать базис, в котором реализуется любая логическая функция. Это целесообразно с двух точек зрения. Во-первых, при проектировании логических схем можно обойтись одним единственным типом вентиля, что позволяет предельно унифицировать этот процесс. Во-вторых, для большинства серий ТТЛ- и КМОП-логик вентиль И—НЕ, как и ИЛИ—НЕ, является базисным и предпочтителен во многих отношениях. Вследствие этого реализация логических схем в базисах И—НЕ и ИЛИ—НЕ получила широкое распространение в практике.

Булевы операции И, ИЛИ, НЕ выражаются через штрих Шеффера $x/y = \overline{xy} = \bar{x} + \bar{y}$ соотношениями $xy = \overline{\overline{xy}} = \overline{x/y}$, $x + y = \overline{\overline{x}\,\overline{y}} = \overline{x}/\overline{y}$, $\bar{x} = \overline{xx} = x/x$. Отсюда следует, что вентиль И—НЕ, таблица соответствия которого дана на рис. 3.7,*а*, эквивалентен вентилю НЕ—ИЛИ (см. табл. 3.1) и позволяет реализовать булевы операции, как показано на рис. 3.7,*б—г*. Для реализации инверсии имеются два варианта: либо на все входы вентиля И—НЕ подается переменная x, либо на все входы, кроме входа x, подается единица. Обычно эти особенности на схемах отсутствуют и используется упрощенное представление с одним входом (рис. 3.7,*б*).

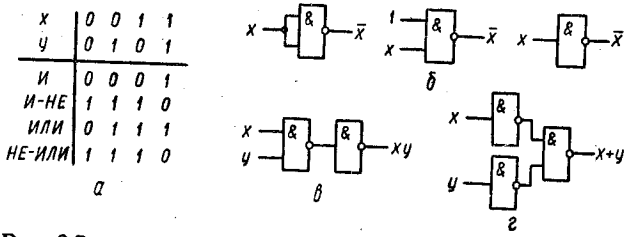


Рис. 3.7

Переход к базису И—НЕ осуществляется проще всего для двухуровневых схем И/ИЛИ или при задании функции в стандартной форме суммы минтермов, что видно на простом примере $f = xy + zv$ (рис. 3.8). Исходная схема в булевом базисе (рис. 3.8,*а*) преобразуется к такому виду (рис. 3.8,*б*), что пары инверторов оказываются соединенными последовательно и выполняют двойную инверсию сигналов. После их удаления схема с вентилями И—НЕ существенно упрощается (рис. 3.8,*в*)

и по своей структуре полностью совпадает с исходной схемой. Таким образом, для перехода от двухуровневой схемы И—ИЛИ к схеме в базисе И—НЕ достаточно заменить все вентили вентилями И—НЕ.

В случае произвольных многоступенчатых схем сначала преобразуются по изложенному выше правилу соседние уровни И—ИЛИ, а остальные вентили И и ИЛИ заменяются их эквивалентами в базисе И—НЕ (рис. 3.7). В качестве примера на рис. 3.9,*а* показана схема, полученная в результате такого преобразования из схемы рис. 3.6,*в*.

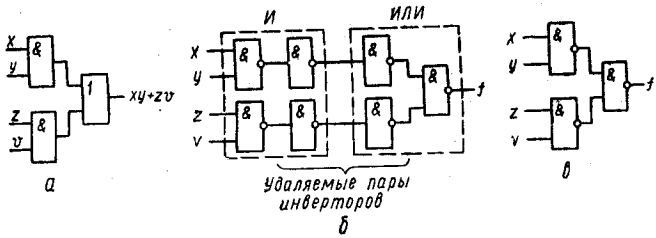


Рис. 3.8

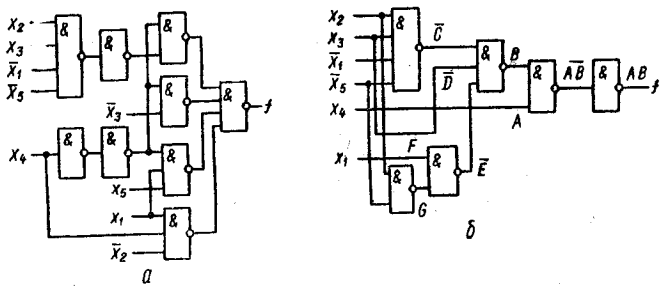


Рис. 3.9

Если исходной является не схема, а заданная функция, то в базисе И—НЕ ее можно реализовать в любой форме последовательным применением соотношения, следующего из закона де Моргана: $A + B = \overline{\bar{A} + \bar{B}}$, где A и B — любые выражения. Так, скобочное выражение функции из 3.3 $f = (\bar{x}_1 x_2 x_3 \bar{x}_5 + \bar{x}_3 + x_1(\bar{x}_2 + x_5))\, x_4$ можно представить последовательностью соотношений $f = AB$, где $A = x_4$ и $B = \bar{x}_1 x_2 x_3 \bar{x}_5 + \bar{x}_3 + x_1(\bar{x}_2 + x_5) = \overline{\bar{C}\bar{D}\bar{E}}$, где $C = \bar{x}_1 x_2 x_3 \bar{x}_5$, $D = \bar{x}_3$ и $E = x_1(\bar{x}_2 + x_5) = FG$, где $F = x_1$ и $G = \bar{x}_2 + x_5 = \overline{x_2 \bar{x}_5}$. Соответствующая схема показана на рис. 3.9,*б*.

Как видно из рассмотренных примеров, переход к базису И—НЕ не всегда сопровождается минимальной реализацией. Так, схема, полученная преобразованием из булевого базиса (рис. 3.6,*в*), содержит девять вентилей вместо семи (рис. 3.9,*а*), а непосредственная реализация скобочной формы — только шесть (рис. 3.9,*б*).

Операция ИЛИ — НЕ, реализующая стрелку Пирса $x \downarrow y = \overline{x + y} = \bar{x}\bar{y}$, позволяет выразить булевы функции соотношениями $xy = \overline{\overline{x + y}} = \bar{x} \downarrow \bar{y}$, $x + y = \overline{\overline{x + y}} = \overline{x \downarrow y}$, $\bar{x} = \overline{x + x} = x \downarrow x$. Отсюда следует, что вентиль ИЛИ—НЕ, таблица соответствия которого дана на рис. 3.10, *а*, эквивалентен вентилю НЕ—ИЛИ (см. табл. 3.1) и позволяет реализовать булевы операции, как показано на рис. 3.10, *б—г*. Вследствие дуальности операций И—НЕ и ИЛИ—НЕ соответствующие реализации вместе с сопровождающими их комментариями можно получить на основе принципа дуальности.

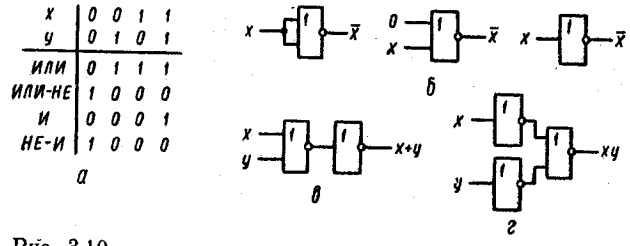


Рис. 3.10

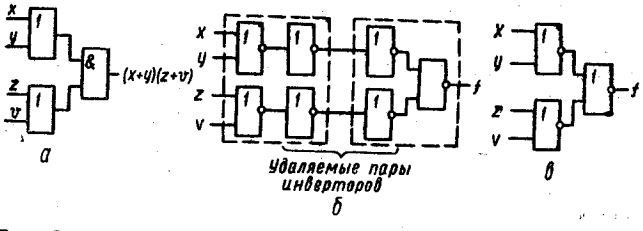


Рис. 3.11

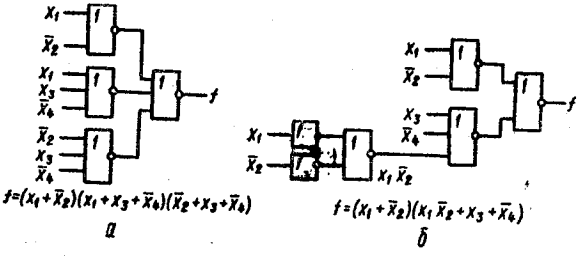


Рис. 3.12

На рис. 3.11, дуальном рис. 3.8, показан переход от двухуровневой схемы ИЛИ/И, которая соответствует конъюнктивной нормальной форме $f = (x + y)(z + v)$, к реализации в базисе ИЛИ—НЕ. Здесь исходная схема (рис. 3.11,*а*) преобразуется так, что можно устранить последовательно включенные пары инверторов (рис. 3.11,*б*). После этого получаем схему (рис. 3.11,*в*), которая по своей структуре полностью совпадает с исходной.

На рис. 3.12,*а*, *б* показаны две эквивалентные реализации в базисе ИЛИ—НЕ функции, заданной в нормальной и преобразованной формах.

3.5. СХЕМЫ С МНОГИМИ ВЫХОДАМИ

Реализацию нескольких функций одних и тех же переменных можно представить как простое объединение схем, реализующих каждую функцию отдельно. Но такой путь обычно не является наиболее экономичным. Часто бывает целесообразно преобразовать совокупность данных функций к такому виду, чтобы реализующие их схемы содержали общие части, а схема с многими выходами представляла собой единое целое. Задача сводится к выбору для каждой функции такого покрытия, которое включало бы возможно больше импликант, содержащихся в покрытиях других функций.

Примером такого подхода к синтезу схем с многими выходами может служить реализация *преобразователя кода прямого замещения* в двоично-десятичный код 2421, таблица соответствия которого имеет вид (табл. 3.2).

Таблица 3.2

Входы и выходы		0	1	2	3	4	5	6	7	8	9	Избыточные наборы
Код прямого замещения (входы)	x_1	0	0	0	0	0	0	0	0	1	1	1 1 1 1 1 1
	x_2	0	0	0	0	1	1	1	1	0	0	0 0 1 1 1 1
	x_3	0	0	1	1	0	0	1	1	0	0	1 1 0 0 1 1
	x_4	0	1	0	1	0	1	0	1	0	1	0 1 0 1 0 1
Двоично-десятичный код 2421 (выходы)	y_1	0	0	0	0	0	1	1	1	1	1	Функции не определены
	y_2	0	0	0	0	1	0	1	1	1	1	
	y_3	0	0	1	1	0	1	0	0	1	1	
	y_4	0	1	0	1	0	1	0	1	0	1	

Преобразователь кодов представляет собой схему с четырьмя входами x_1, x_2, x_3, x_4 и четырьмя выходами y_1, y_2, y_3, y_4, причем шесть наборов входных переменных не используются, и поэтому безразлично, какие значения принимают функции на этих наборах — 0 или 1. Такие функции называют *частично определенными*. При реализации можно доопределить их на избыточных наборах таким образом, чтобы получить наиболее экономичную схему.

На рис. 3.13,*а* показано, как используется возможность доопределения функций на избыточных наборах для получения экономичных покрытий на картах Карно (избыточные наборы отмечены звездочками), которые включали бы возможно больше однотипных импликант. Соответствующая логическая схема показана на рис. 3.13,*б*.

Другим примером, в котором используются частично определенные функции, является синтез *одноразрядного сумматора*, выполняющего арифметическое сложение двоичных чисел x_k и y_k k-го разряда и переноса из младшего разряда p_{k-1}. В ре-

зультате должны получиться сумма s_k и перенос в старший разряд p_k. Таблица соответствия сумматора имеет вид

x_k	0	0	0	0	1	1	1	1
y_k	0	0	1	1	0	0	1	1
p_{k-1}	0	1	0	1	0	1	0	1
s_k	0	1	1	0	1	0	0	1
p_k	0	0	0	1	0	1	1	1

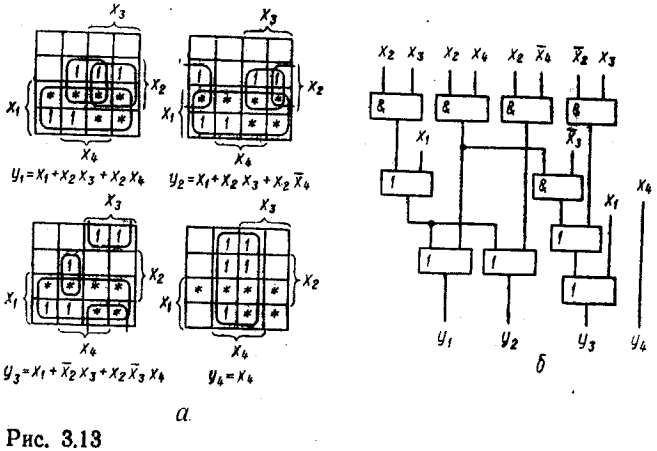


Рис. 3.13

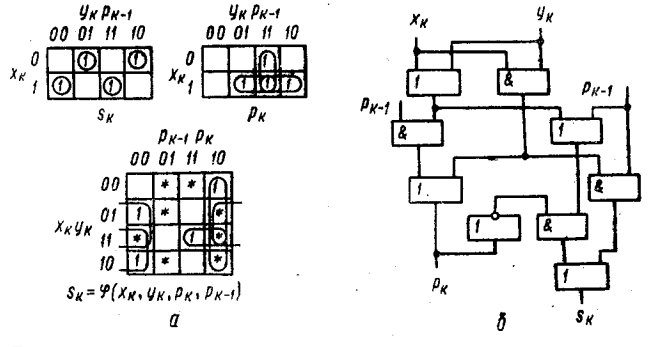


Рис. 3.14

Изображения функций s_k и p_k на картах Карно показано на рис.3.14,*а*, откуда получаем дизъюнктивные нормальные покрытия:

$s_k = \bar{x}_k\,\bar{y}_k\,p_{k-1} + \bar{x}_k\,y_k\,\bar{p}_{k-1} + x_k\bar{y}_k\,\bar{p}_{k-1} + x_k\,y_kp_{k-1}$ и $p_k = x_kp_{k-1} + x_ky_k + y_kp_{k-1}$. Как видно, выражение для s_k минимизации не поддается, так как ни одна пара минтермов не склеивается (на карте Карно для s_k отсутствуют соседние ячейки). Един-

ственная возможность его упростить — это использовать вынесение за скобки $s_k = (\bar{x}_k\bar{y}_k + x_k y_k)\ p_{k-1} + (\bar{x}_k y_k + x_k\bar{y}_k)\ \bar{p}_{k-1}$.

В подобных случаях для минимизации применяется прием, основанный на использовании более простой функции $p_k = f\ (x_k, y_k, p_{k-1})$ в качестве составной части другой функции s_k. При этом p_k рассматривается как переменная, т. е. $s_k = \varphi\,(x_k, y_k, p_{k-1}, p_k)$. Но таблица соответствия для s_k теперь содержит избыточные наборы переменных, которые отмечены звездочками

x_k	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
y_k	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
p_{k-1}	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
p_k	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
s_k	0	*	1	*	1	*	*	0	1	*	*	0	*	0	*

Минимальному покрытию на карте Карно соответствует выражение $s_k = x_k\bar{p}_k + y_k\bar{p}_k + p_{k-1}\bar{p}_k + x_k y_k p_{k-1}$. После вынесения за скобки получаем подготовленные для реализации выражения: $s_k = (x_k + y_k + p_{k+1})\bar{p}_k + x_k y_k p_{k-1}$; $p_k = x_k y_k + (x_k + y_k)\ p_{k-1}$. Соответствующая схема с двумя выходами показана на рис. 3.14,*б*.

Глава 4
ЭЛЕМЕНТЫ ЦИФРОВОЙ СХЕМОТЕХНИКИ

4.1. КЛАССИФИКАЦИЯ, ПАРАМЕТРЫ, ХАРАКТЕРИСТИКИ

Все многообразие цифровой схемотехники в зависимости от сложности выполняемых преобразований дискретных сигналов можно условно разделить на элементы, функциональные узлы, устройства и системы. Электронные схемы, реализующие простейшие функции алгебры логики, относят к классу элементов. Сюда относят схемы формирователей уровней, инверсии, сложения, умножения цифровых сигналов, значительную часть выпускаемых промышленностью компонентов цифровых интегральных микросхем (ИМС).

Функциональные узлы цифровой схемотехники выполняют функции генерирования, формирования импульсов по амплитуде и длительности, преобразования формы импульсных сигналов. К функциональным узлам относятся схемы, укорачивающие или расширяющие импульсы, автоколебательные генераторы прямоугольных импульсов (мультивибраторы, заторможенные генераторы-одновибраторы), генераторы линейно изменяющегося напряжения и тока, различные виды запоминающих ячеек — триггеров и т. д. Функциональные узлы строятся на основе элементарных ИМС и дискретных компонентов радиоэлектронной аппаратуры (РЭА).

Устройства цифровой схемотехники обычно выполняют преобразования над многоразрядными числами (счет, арифметические действия, шифрация, дешифрация, преобразование кодов, запоминание, считывание из памяти, отображение и т. д.) и состоят из комбинаций функциональных узлов и элементов. Это регистры, счетчики, сумматоры, преобразователи кодов, оперативные запоминающие устройства ЭВМ, мультиплексоры,

демультиплексоры, цифровые компараторы, преобразователи цифровой информации в аналоговую (ЦАП) и аналоговой информации в цифровую (АЦП). Цифровые устройства в соответствии с некоторой архитектурой объединяются в системы, наиболее типичными представителями которых являются ЭВМ.

Технические параметры цифровых систем, устройств и узлов однозначно обусловлены параметрами используемых в них элементов. Простейшими элементами цифровой схемотехники являются электронные переключатели напряжения и тока.

Качество проектируемых цифровых устройств характеризуется системой параметров, основными из которых являются быстродействие, энергопотребление, помехозащищенность, надежность, стоимость, масса, объем и др. Все технические параметры систем прямо связаны с параметрами элементной базы и в значительной степени являются взаимно противоречивыми. Например, для обеспечения высокого быстродействия часто разработчик вынужден допускать рост энергопотребления, а увеличение надежности устройств требует дополнительных аппаратурных затрат и, как следствие, увеличиваются физический объем, масса и стоимость изделия. Процесс проектирования цифровых устройств, как и любого проектирования вообще, представляет собой поиск разумного компромисса, обеспечивающего допустимые значения технических параметров изделия. Как правило, проектирование начинается с выбора элементной базы, представляющей собой совокупность простейших, конструктивно законченных электронных компонентов, обладающих свойством функциональной и технической полноты.

Функционально полная элементная база обеспечивает реализацию минимального набора функций преобразования сигналов, достаточного для построения сколь угодно сложного устройства обработки информации. Любой конечный цифровой автомат можно реализовать в базисе функционально полных систем функций алгебры логики (см. гл. 2).

Устройства на основе некоторого минимального набора базисных функций, как правило, не оптимальны по затратам оборудования, быстродействию и другим связанным с ними параметрам (масса, объем, стоимость). Поэтому функционально полный набор элементов расширяют введением дополнительных элементов, упрощающих в процессе синтеза цифровых автоматов операцию их технической реализации. Такие достаточные наборы элементов называют технически полными.

По назначению элементы цифровой схемотехники можно разделить на усилительные, формирующие, логические комбинационные, элементы памяти и последовательностные функциональные узлы, элементы потенциальной развязки, индикаторные элементы.

Усилительные элементы применяются для восстановления уровней цифровых сигналов, претерпевающих неизбежные изменения в процессе обработки информации, а также для согласования выхода какого-либо устройства с низкоомной нагрузкой или линией связи. Формирующие элементы предназначены для преобразования амплитудно-временных параметров сигналов, увеличения или уменьшения длительности фронта нарастания или спада сигнала, увеличения или уменьшения длительности импульса, привязки нулевого и единичного уровней цифрового сигнала к заданному уровню и т. д. Логические комбинационные элементы выполняют для реальных физических сигна-

лов функции преобразования алгебры логики без запоминания информации. В качестве элементов памяти используются триггеры с двумя или более устойчивыми состояниями. На основе запоминающих элементов строятся последовательностные функциональные узлы, оперирующие многоразрядными числами. Элементы потенциальной развязки предназначены для реализации информационной связи различных цифровых устройств, в которых дискретно преобразованные сигналы представлены существенно отличающимися уровнями сигналов. Такая ситуация может возникнуть в случае питания комплексируемых цифровых устройств от различных источников питания. Индикаторные элементы обеспечивают визуализацию цифровых сигналов при вводе и выводе информации.

По способу кодирования цифровых сигналов элементы цифровой схемотехники подразделяют на импульсные, динамические, потенциальные, импульсно-потенциальные, широтно-импульсные, фазо-импульсные. В импульсных устройствах двоично кодированный сигнал имеет значение «1» при наличии импульса или «0», если импульс в цепи отсутствует.

В динамических двоичных элементах единичное состояние идентифицируют по наличию в цепи непрерывной серии импульсов, а нулевое — по отсутствию серии импульсов.

В потенциальных элементах двоичные переменные кодируются соответствующей величиной электрического потенциала (или тока). В зависимости от способа присвоения значений «0» и «1» различным уровням электрического потенциала вводятся понятия положительной и отрицательной логики. Положительной называют логику, в которой уровень «1» представлен более высоким потенциалом, чем уровень «0». В случае отрицательной логики «1» кодируется низким уровнем сигнала, а «0» — высоким.

В импульсно-потенциальных элементах сигналы представляются как импульсами, так и потенциалами, которые, как правило, используются для разрешения либо запрещения передачи импульса в некоторую цепь. Характер сигнала целесообразно определять по отношению к периоду основной тактирующей последовательности устройства. Импульсным считается сигнал с длительностью меньше длительности такта, а потенциальным — больше длительности такта.

Широтно-импульсные элементы чаще всего используются в устройствах многозначной логики [52; 53]. При этом присваиваемое сигналу значение идентифицируется одним из допустимых соотношений длительности импульса $t_и$ и паузы $t_п$ при постоянной длительности периода T. Аналогично в фазо-импульсных элементах кодируемая сигналом цифра определяется положением импульса относительно некоторой опорной последовательности.

При любом способе кодирования сигналов в пределах используемой элементной базы должна быть обеспечена совместимость входных и выходных сигналов по амплитудно-временным параметрам. Это подразумевает единство правил дискретизации входных и выходных сигналов с учетом их естественного разброса. На рис. 4.1 на примере положительной логики показаны типичные области для двоично квантованного сигнала. Здесь A, E — области допустимых значений соответственно нулевого U^0 и единичного U^1 уровня сигнала, B, D — области допустимых

помех $U^0_{пом}$, $U^1_{пом}$ на уровне «0» и «1», C — область допустимых уровней порогового напряжения $U_{пор}$, при котором происходит переключение элемента. Допустимыми для двоичных потенциальных сигналов являются уровни, располагающиеся в областях A и E. Уровни напряжения ниже области A и выше области E недопустимы по техническим условиям на элементы, так как могут привести к выходу их из строя. Уровни напряжения из областей B и D недопустимы с точки зрения помехоустойчивости элемента, а в области C состояние элемента вообще не определено. Статические уровни двоичного сигнала должны располагаться в областях A и E при наихудших, но допустимых условиях нагрузки и при воздействии допустимых дестабилизирующих факторов (колебания напряжений источников питания, температуры окружающей среды, разброс и флуктуации параметров электронных компонентов, электромагнитные излучения, радиация и т. п.).

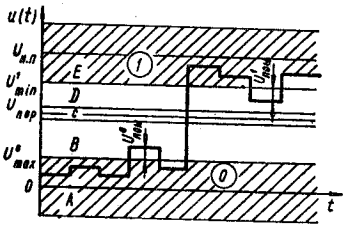


Рис. 4.1

Параметры цифровых элементов разделяют на эксплуатационные, экономические, технические. Эксплуатационные параметры отражают такие качества элементов, как длительность безотказной работы, удобство установки и демонтажа, ремонтопригодность, габариты, масса и т. д. Экономические параметры характеризуют стоимость элемента, энергоемкость, содержание дорогостоящих и редких материалов. Экономические и эксплуатационные параметры используются для описания уже реализованных изделий. На начальном этапе проектирования разработчик ориентируется в основном на технические параметры серийных или разрабатываемых элементов, так как именно технические параметры элементов определяют реализуемость проектируемого устройства в выбранном элементном базисе.

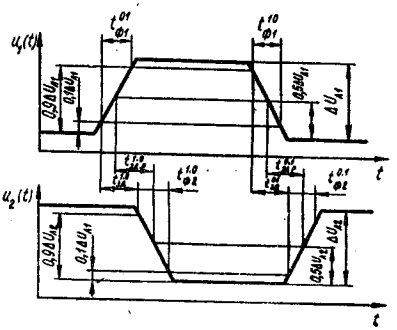


Рис. 4.2

Множество технических параметров разделяют на статические и динамические. Статические параметры характеризуют свойства и режимы работы элемента во всех предусмотренных техническими условиями состояниях.

Динамические параметры представляют собой ограничения, накладываемые на длительности этапов переходных процессов в цифровых элементах, и предельные частоты функционирования. Основные динамические параметры элементов во временной области показаны на рис. 4.2 на примере инвертирующего ЛЭ.

Параметры, относящиеся ко входному сигналу, отмечены нижним индексом «1», а к выходному сигналу — нижним индексом «2».

Основные статические параметры

Входное напряжение логического «0»	$U^0_{вх}$, В
Входное напряжение логической «1»	$U^1_{вх}$, В
Выходное напряжение «0»	$U^0_{вых}$, В
Выходное напряжение «1»	$U^1_{вых}$, В
Логический перепад: $\Delta U_л = U^1 - U^0$	$\Delta U_л$, В
Пороговое напряжение логического элемента (ЛЭ)	$U_{пор}$, В
Напряжение инжектора (для ЭСЛ)	$U_{инж}$, В
Статическая помехоустойчивость «0» — максимально допустимая амплитуда положительной (для положительной логики) помехи на уровне U^0	$U^0_п$, В
Статическая помехоустойчивость «1» — максимально допустимая амплитуда отрицательной (для положительной логики) помехи на уровне U^1	$U^1_п$, В
Статическая помехоустойчивость $U_{п.\ ст} = \min\{U^0_{п.\ ст}, U^1_{п.\ ст}\}$	$U_{п.\ ст}$, В
Опорное напряжение	$U_{оп}$, В
Ток потребления от источника отрицательного и положительного напряжения	$I^-_{пот}, I^+_{пот}$, мА
Входной ток «0»	$I^0_{вх}$, мА
Входной ток «1»	$I^1_{вх}$, мА
Выходной ток «0»	$I^0_{вых}$, мА
Выходной ток «1»	$I^1_{вых}$, мА
Мощность потребления в состоянии «0»	$P^0_{пот}$, мВт
Мощность потребления в состоянии «1»	$P^1_{пот}$, мВт
Средняя мощность потребления: $P_{пот.\ ср} = 0{,}5 \times 0{,}5\,(P^0_{пот} + P^1_{пот})$ . . .	$P_{пот.\ ср}$, мВт
Входное сопротивление ЛЭ при $U_{вх} = U^0$	$R^0_{вх}$, кОм
Входное сопротивление ЛЭ при $U_{1вх} = U^1$	$R^1_{вх}$, кОм
Выходное сопротивление ЛЭ при $U_{вых} = U^0$	$R^0_{вых}$, кОм
Выходное сопротивление ЛЭ при $U_{вых} = U^1$	$R^1_{вых}$, кОм
Коэффициент разветвления на выходе ЛЭ — максимально допустимое количество подключаемых к выходу аналогичных ЛЭ	$K_{раз}$
Коэффициент объединения на входе ЛЭ — максимально допустимое количество аналогичных входов ЛЭ	$K_{об}$
Сопротивление гальванической развязки	$R_с$, МОм

Основные динамические параметры

Длительность фронта переключения сигнала из состояния «0» в состояние «1»	$t_{ф}^{01}$, с
Длительность фронта переключения сигнала из состояния «1» в состояние «0»	$t_{ф}^{10}$, с
Длительность задержки выключения ЛЭ, измеряемая от уровня $0{,}1\Delta U_{вх}$ до уровня $0{,}9\Delta U_{вых}$	$t_{зд}^{01}$, с
Длительность задержки включения ЛЭ, измеряемая от уровня $0{,}9\Delta U_{вх}$ до уровня $0{,}1\Delta U_{вых}$	$t_{зд}^{10}$, с
Длительность задержки распространения сигнала при выключении логического элемента, измеренная от уровня $0{,}5\Delta U_{вх}$ отрицательного перепада до уровня $0{,}5\Delta U_{вых}$ положительного перепада	$t_{зд.\ р}^{01}$, с
Длительность задержки распространения сигнала при включении логического элемента, измеренная от уровня $0{,}5\Delta U_{вх}$ положительного перепада до уровня $0{,}5\Delta U_{вых}$ отрицательного перепада	$t_{зд.\ р}^{10}$, с
Среднее время задержки распространения сигнала $t_{зд.\ р.\ ср} = 0{,}5\,(t_{зд.\ р}^{01} + t_{зд.\ р}^{10})$	$t_{зд.\ р.\ ср}$, с
Длительность импульса на уровне $0{,}5\Delta U_{л}$	$t_{и}$, с
Максимальная рабочая частота, на которой в наихудших условиях гарантируется работоспособность элемента . . .	f_{max}, Гц
Предельно допустимая емкость нагрузки	$C_{н}$, Ф
Предельно допустимая индуктивность нагрузки	$L_{н}$, Гн

Помимо названных основных статических и динамических параметров элементов существует большое количество специфических параметров, характерных для ЛЭ определенного класса.

4.2. ХАРАКТЕРИСТИКИ ЦИФРОВЫХ СХЕМ

Характеристики представляют собой одно- или многомерные зависимости величин, определяющих состояние или режим работы электронных схем, от других величин, рассматриваемых как независимые. Их можно представить в аналитической, графической или табличной форме. Так же, как параметры, характеристики делятся на статические и динамические в зависимости от вида входных воздействий и откликов схемы. Статические характеристики не являются функцией частоты или времени и не связаны с динамическими параметрами. Характеристики электронных приборов получают путем непосредственных измерений (с последующей статистической обработкой) в допустимых точках либо с помощью моделирования схемы на компонентном уровне, если математические модели компонентов известны.

Среди статических характеристик наиболее часто используются вольт-амперные характеристики (ВАХ), определяющие

связь между токами и напряжениями на выводах электронной схемы в заданных внешних условиях. Реже в цифровой схемотехнике используются зависимости сопротивлений (проводимостей) по некоторому входу (выходу) и коэффициентов передачи от токов и напряжений на других выводах.

Основные статические характеристики следующие.

Входная ВАХ элемента — зависимость тока I_{1i} (напряжения U_{1i}) i-го входа от напряжения U_{1i} (тока I_{1i}) на этом же входе, а также от напряжений (токов) на остальных выводах при заданных величинах внешних воздействий. Выходная ВАХ — зависимость тока I_{2j} (напряжения U_{2j})от напряжения U_{2j} (тока I_{2j}) на j-м выходе, а также от напряжений (токов) на остальных выводах при заданных величинах внешних воздействий. Графически выходные ВАХ представляются семейством одномерных характеристик.

Производными от выходных ВАХ являются передаточные характеристики — зависимость выходного напряжения U_{2j} (тока I_{2j}) от входного напряжения U_{1i} (тока I_{1i}) при фиксированных напряжениях (токах) на остальных выводах.

Важными статическими характеристиками цифровых элементов являются зависимости токопотребления (энергопотребления) по каждому из l выводов, подключаемых к источникам питания.

Динамические характеристики цифровых элементов бывают двух типов и представляют собой зависимость динамических параметров элементов от электрических режимов и внешних факторов, а также зависимость некоторых статических параметров от рабочей частоты или временного интервала. К первому типу динамических характеристик относятся: зависимость длительности задержки распространения сигнала $t_{зд.\ р}$ от параметров нагрузки $Z_н$ (емкость $C_н$, индуктивность $L_н$, сопротивление нагрузки $R_н$, коэффициент разветвления по выходу $K_{раз}$); зависимость длительности задержки $t_{зд.\ р}$ от температуры и других внешних факторов; зависимость длительности фронта $t_ф^{01}$, $t_ф^{10}$ на выходе элемента от параметров входного сигнала. Ко второму типу характеристик относятся, например: зависимость мощности потребления $P_{пот}$ от частоты переключения элемента; зависимость допустимой амплитуды импульсной помехи $U_{пом}$ от ее длительности.

4.3. ЭЛЕКТРОННЫЕ КЛЮЧИ

Технические реализации цифровых схем, в которых сигналы представлены дискретно квантованными уровнями напряжения (тока), основаны на использовании электронных коммутаторов напряжения (тока), называемых электронными ключами.

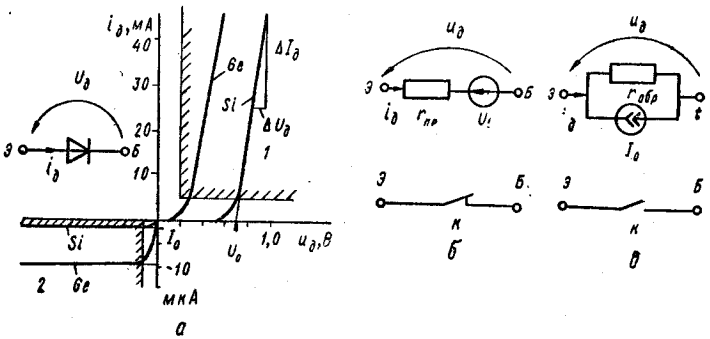
В качестве нелинейных приборов с управляемым сопротивлением в электронных ключах используются полупроводниковые диоды, транзисторы, фототранзисторы, тиристоры, оптроны, электронные лампы.

Диодные электронные ключи. В диодных ключах используется зависимость сопротивления диода от величины и знака приложенного напряжения. На рис. 4.3,*а* показаны типичные статические ВАХ германиевого (Ge) и кремниевого (Si) диодов, а на рис. 4.3,*б* и *в* — эквивалентные схемы замещения диода на по-

стоянном токе для линеаризованных (выделенных штриховкой) областей соответственно *1* и *2*. Ток *p-n*-перехода $i_д$ диода и напряжение $U_д^*$ на нем связаны соотношением [71]:

$$i_д = I_0 \{\exp [U_д^* / (m\varphi_т)] - 1\} = I_0 \{\exp [U_д^* q/(mkT)] - 1\}, \quad (4.1)$$

где I_0 — тепловой ток насыщения; $\varphi_т$ — температурный потенциал (при нормальной температуре $T = 298°$ К, $\varphi_т \approx 26$ мВ); k — постоянная Больцмана; T — абсолютная температура; q — заряд электрона; m — коэффициент, учитывающий влияние поверхностных токов утечки германиевых и генерации-рекомбинации в *p-n*-переходе кремниевых диодов (для германиевых диодов $m^{Ge} \approx 1{,}2 \ldots 1{,}5$, для кремниевых — $m^{Si} \approx 1{,}2 \ldots 2$). Тепловой ток насыщения I_0 практически не зависит от приложенного к диоду на-



а

Рис. 4.3

пряжения и определяется электрофизическими свойствами материала полупроводника и температурой его нагрева

$$I_0 = I_{00} \exp [-U_к/\varphi_т],$$

где I_{00} — константа, определяемая материалом полупроводника и концентрациями примесей; $U_к$ — контактная разность потенциалов ($U_к^{Ge} = 0{,}3 \ldots 0{,}4$ В, $U_к^{Si} = 0{,}6 \ldots 0{,}7$ В). Тепловой ток насыщения I_0 с ростом температуры экспоненциально нарастает. В приближенных расчетах принято считать, что ток I_0 в случае германиевого диода удваивается с увеличением температуры на каждые 10 °С, а в случае кремниевого — на каждые 7 °С.

С учетом активного сопротивления *p*- и *n*-областей, контактных сопротивлений выводов и соотношения (4.1) для реального диода [71]

$$U_д = U_д^* + i_д r = m\varphi_т \ln (i_д/I_0 + 1) + i_д r, \quad (4.2)$$

где r — суммарное активное сопротивление *p*-, *n*-областей и контактов диода.

Дифференциальное активное сопротивление диода получим из выражения (4.2)

$$r_д = \frac{dU_д}{di_д} = m\varphi_т/(I_0 + i_д) + r.$$

Сопротивление $r_д$ нелинейно и зависит от тока диода $i_д$. Но при достаточно больших напряжениях прямого смещения ($U_д \gg U_к$) сопротивление $r_д \approx r$, т.е. сопротивление эквивалентной схемы замещения диода (рис. 4.3,*б*) $r_{пр} \approx r$ и имеет порядок единиц и десятков ом. При обратном смещении диода ($U_д < 0$) $i_д \approx 0$, $r_д = r_{обр} = m\varphi_т/I_0 + r \approx m\varphi_т/I_0$ и имеет порядок десятков и сотен килоом.

Напряжение U_0 эквивалентного источника напряжения в схеме замещения (рис. 4.3,*б*) получают экстраполяцией квазилинейных участков области 1 ВАХ до пересечения с осью абсцисс, оно имеет порядок контактной разности потенциалов: $U_0 \approx U_к$.

Схема простейшего диодного ключа, управляемого источником сигнала U_1 и нагруженного на сопротивление $R_н$, показана на рис. 4.4,*а*, а на рис. 4.4,*б*, *в* — эквивалентные схемы

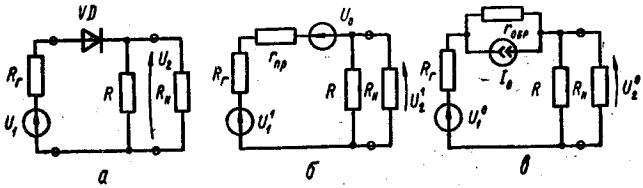


Рис. 4.4

замещения соответственно для сигнала логических «1» и «0» на входе*. Определим значения выходных напряжений в каждом из состояний ключа, воспользовавшись принципом суперпозиции. При низком уровне напряжения на входе ($U_1^0 \leqslant 0$) диод *VD* заперт, ключ разомкнут (рис. 4.4,*в*) и на его выходе устанавливается низкий уровень

$$U_2^0 = U_1^0 \frac{R \| R_н}{R_г + r_{обр} + R \| R_н} - I_0 [r_{обр} \| (R \| R_н + R_г)]. \quad (4.3)$$

При высоком уровне входного сигнала U_1^1 диод *VD* открыт, ключ замкнут (рис. 4.4,*б*) и на выходе ключа имеет место высокий уровень

$$U_2^1 = \frac{(U_1^1 - U_0)(R \| R_н)}{R_г + r_{пр} + R \| R_н} \approx U_1^1 - U_0. \quad (4.4)$$

Из соотношений (4.3), (4.4) видно, что перепад напряжения на выходе $\Delta U_2 = U_2^1 - U_2^0 < \Delta U_1 = U_1^1 - U_1^0$ (меньше на величину U_0). Ослабление сигнала на выходе тем больше, чем больше сопротивление источника сигнала $R_г$. Это недостаток диодного ключа на рис. 4.4. Другим его недостатком является прямая зависимость уровня «1» U_2^1 от входного сигнала U_1^1.

Второй вариант диодного ключа показан на рис. 4.5. При низком уровне входного сигнала диод *VD* открыт и через него

* В дальнейшем, если не будет специальных оговорок, будем рассматривать функционирование элементов в системе положительной логики.

протекает ток источника питания $U_{и.п}$, ограничиваемый сопротивлением R. Если $R \gg R_г$, $r_{пр}$, то практически все напряжение питания $U_{и.п}$ падает на сопротивлении R, поэтому на сопротивлении нагрузки ключа $R_н$ устанавливается низкий потенциал U_2^0 (рис. 4.5,*б*)

$$U_2^0 = U_{и.п}\frac{R_н \| (R_г + r_{пр})}{R + R_н \| (R_г + r_{пр})} + (U_1^0 + U_0)\frac{R \| R_н}{R_г + r_{пр} + R \| R_н}.$$

Если $R_г + r_{пр} \ll R \| R_н$, то $U_2^0 \approx U_1^0 + U_0$.

При высоком уровне входного сигнала, если выполняется условие $U_1^1 > U_{и.п} R_н/(R + R_н)$, диод VD заперт, входная цепь

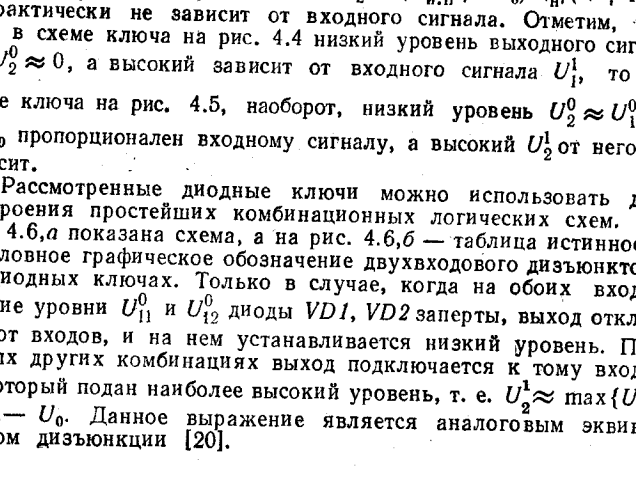


Рис. 4.5

отключена от нагрузки (рис. 4.5,*в*) и на выходе устанавливается высокий уровень напряжения

$$U_2^1 = U_{и.п}\frac{R_н \| (r_{обр} + R_г)}{R + R_н \| (r_{обр} + R_г)} + U_1^1\frac{R \| R_н}{R_г + r_{пр} + R \| R_н} + I_0(R \| R_н \| (R_г + r_{обр})).$$

Обычно $r_{обр} \gg R_г$, $R_н$, поэтому $U_2^1 \approx (U_{и.п} + RI_0) R_н/(R + R_н)$ и практически не зависит от входного сигнала. Отметим, что если в схеме ключа на рис. 4.4 низкий уровень выходного сигнала $U_2^0 \approx 0$, а высокий зависит от входного сигнала U_1^1, то в схеме ключа на рис. 4.5, наоборот, низкий уровень $U_2^0 \approx U_1^0 + U_0$ пропорционален входному сигналу, а высокий U_2^1 от него не зависит.

Рассмотренные диодные ключи можно использовать для построения простейших комбинационных логических схем. На рис. 4.6,*а* показана схема, а на рис. 4.6,*б* — таблица истинности и условное графическое обозначение двухвходового дизъюнктора на диодных ключах. Только в случае, когда на обоих входах низкие уровни U_{11}^0 и U_{12}^0 диоды $VD1$, $VD2$ заперты, выход отключен от входов, и на нем устанавливается низкий уровень. При любых других комбинациях выход подключается к тому входу, на который подан наиболее высокий уровень, т. е. $U_2^1 \approx \max\{U_{11}, U_{12}\} - U_0$. Данное выражение является аналоговым эквивалентом дизъюнкции [20].

Схема на рис. 4.6,*в* — вариант ключа на рис. 4.5 для двух входов. Если хотя бы один из диодов *VD1*, *VD2* открыт низким уровнем входного сигнала, выход схемы оказывается подключенным ко входу с наиболее низким потенциалом. И только тогда,

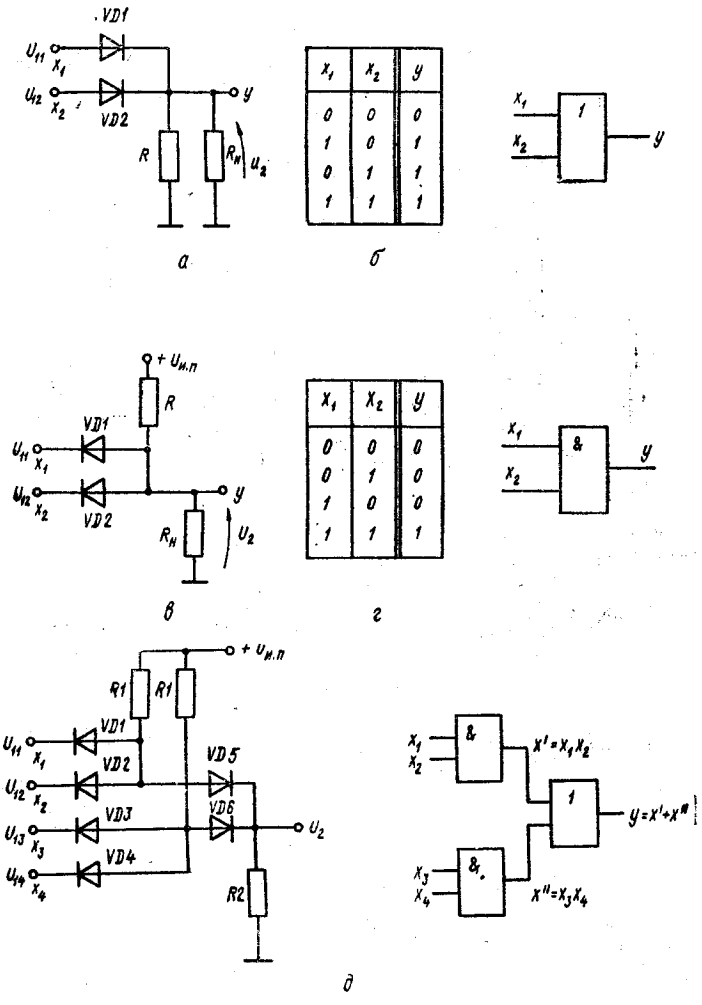


Рис. 4.6

когда все диоды заперты высокими уровнями на входах, выходная цепь отключается от входов и на нагрузке устанавливается высокий потенциал. Как следует из таблицы истинности на рис. 4.6,*г*, такая схема реализует логическую операцию конъюнкции. Ее аналоговый эквивалент определяется выражением $U_2^0 \approx \min\{U_{11}, U_{12}\} + U_0$.

На основе диодных ключей строятся двухступенчатые комбинационные логические элементы. Приведенная на рис. 4.6,*д* схема реализует логическую функцию $y = x_1x_2 + x_3x_4$ или для электрических сигналов $U_2 \approx \max\{\min[U_{11}, U_{12}], \min[U_{13}, U_{14}]\}$. Поскольку схема состоит из пассивных компонентов, входной сигнал ослабляется при прохождении каждой логической ступени. Для того чтобы амплитуда выходного сигнала U_2 была максимальной, необходимо выполнять условия $R_1 \ll R_2 \ll R_н$, что неизбежно ведет к росту энергопотребления схемы.

Инерционность диодных ключей обусловлена процессами накопления неосновных носителей в области *p-n*-перехода, емкостью *p-n*-перехода, емкостью между выводами диода и индуктивностью выводов. На рис. 4.7 показана полная модель диода, в которой $r_д$ — нелинейное сопротивление диода, r — активное сопротивление контактов и объема полупроводника, $r_{ут}$ — сопротивление утечки, зависящее от состояния поверхности и дефектов в *p-n*-переходе, C_0 — емкость между выводами диода, L — индуктивность выводов, $C_д$ — диффузионная емкость *p-n*-перехода, проявляющаяся при его прямом смещении, $C_б$ — барьерная емкость *p-n*-перехода, смещенного в обратном направлении.

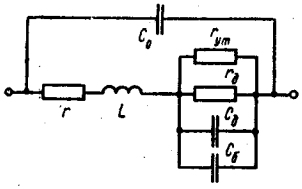


Рис. 4.7

Помимо инерционности диода длительность переходных процессов в диодных ключах зависит от параметров в общем случае комплексной нагрузки ($R_н$, $C_н$, $L_н$) и монтажных емкостей элемента.

Электронные ключи на биполярных транзисторах. Применение биполярных транзисторов в электронных ключах основано

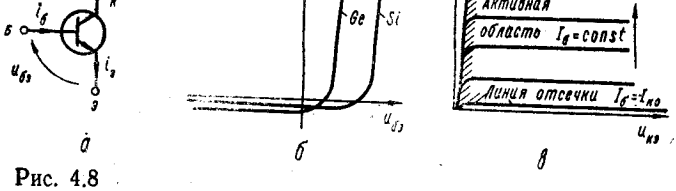


Рис. 4.8

на свойстве транзисторов изменять под действием управляющего сигнала сопротивление от весьма большого (сотни килоом) в режиме отсечки до значительно меньшего в активном режиме (единицы килоом) и весьма малого в режиме насыщения (единицы ом).

На рис. 4. 8, *а* показана схема включения биполярного транзистора с общим эмиттером (ОЭ); на рис. 4. 8,*б* — входные характеристики $i_б = f_1(U_{бэ})|_{U_{кэ}=const}$; на рис. 4. 8, *в* — выходные характеристики $i_к = f_2(U_{кэ})|_{I_б=const}$. Транзистор в ключевых устройствах работает в режиме большого сигнала и его свойства

можно описать нелинейной инжекционной моделью Эберса-Молла [71] из идеальных диодов и управляемых источников тока (рис. 4.9). Токи электродов транзистора в зависимости от приложенных к ним напряжений определяются соотношениями

$$\left.\begin{aligned} i_к &= \frac{J_{к0}\alpha_I}{\alpha(1-\alpha\alpha_I)}[(\exp(\lambda U_{бэ})-1)-\alpha(\exp(\lambda U_{кб})-1)];\\ i_э &= \frac{I_{к0}}{1-\alpha\alpha_I}[(\exp(\lambda U_{бэ})-1)\alpha_I-\exp(\lambda U_{кб})+1];\\ i_б &= i_э - i_к, \end{aligned}\right\}$$

где $\lambda = 1/(m\varphi_т)$; $I_{к0}$ — обратный ток коллектора; α и α_I — коэффициенты передачи тока эмиттера в цепь коллектора соответственно в нормальном и инверсном активных режимах. Приведенная модель используется в основном при машинных методах проектирования, а в приближенных расчетах используются кусочно-линейно аппроксимированные модели.

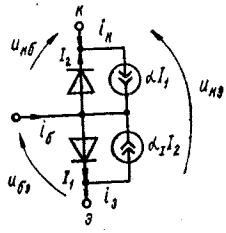


Рис. 4.9

Рассмотрим схему простейшего ключа на биполярном транзисторе *n-p-n*-типа (рис. 4.10,*а*). Нагрузкой ключа на транзисторе *VT* является резистор, подключенный между выходом и общей шиной ($R''_н$), либо между выходом и источником питания ($R'_н$), либо нагрузка может быть разделенной ($R'_н$, $R''_н$). Режим работы транзистора определяется источником входного сигнала $U_г$ и входной цепью из резисторов *R1*, *R2* и источника запирающего смещения — $U_{ип2}$. Резисторы *R1* и *R2* должны быть вы-

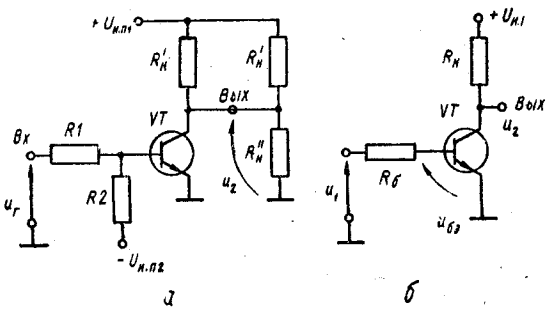


Рис. 4.10

браны так, чтобы при низком уровне входного сигнала U_1^0 транзистор *VT* был надежно заперт во всем рабочем диапазоне температур окружающей среды, а при высоком уровне U_1^1 на входе транзистор должен быть насыщен.

Источник смещения — $U_{и.п2}$ не обязателен, если режим отсечки транзистора обеспечивается низким уровнем входного

сигнала U_1^0 и условие запирания не нарушается при максимальной температуре окружающей среды.

Для упрощения анализа статики и динамики работы такого ключа преобразуем схему, воспользовавшись теоремой об эквивалентном генераторе. Компоненты преобразованной схемы (рис. 4.10,*б*) определяются из соотношений $U_{и.п} = U'_{и.п1}\frac{R''_н}{R'_н + R'_к \| R''_н}$; $R_к = R'_к \| R'_н \| R''_н$, $R_б = R_1 \| R_2$, $U_1 = (U_г R_2 - U_{и.п2} R_1)/(R_1 + R_2)$.

Для обеспечения режима отсечки транзистора необходимо, чтобы при низком уровне U_1^0 входного сигнала эмиттерный переход транзистора был заперт. Как видно из рис. 4.8,*б*, запирающим можно считать низкий потенциал U_1^0 на входе, обеспечивающий на эмиттерном переходе напряжение $U_{бэ} < U_0$. Если

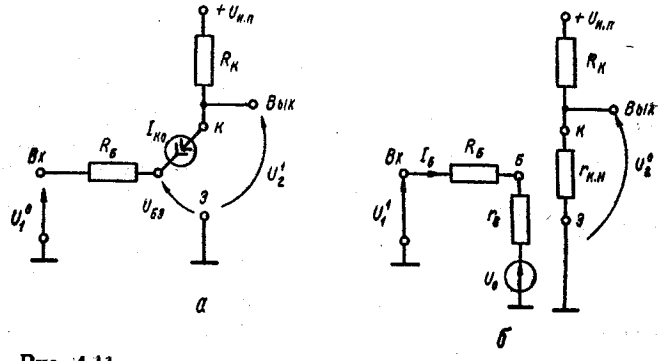


Рис. 4.11

данное условие выполняется, то оба перехода транзистора заперты и транзистор в схеме рис. 4.10,*б* в первом приближении можно заменить источником обратного тока коллекторного перехода $I_{к0}$ (рис. 4.11,*а*).

Тепловой ток $I_{к0}$ протекает через резистор $R_б$ и повышает потенциал базы. Чем выше температура коллекторного перехода, тем больше ток $I_{к0}$ и напряжение $U_{бэ}$. Условие запирания транзистора должно выполняться в наихудшем случае, т. е. при максимальной температуре коллекторного перехода и соответствующем токе $I_{к0max}$ через него:

$$U_{бэ} = U_1^0 + I_{к0max} R_б < U_0. \qquad (4.5)$$

Если условие (4.5) выполняется, транзистор *VT* заперт, на его коллекторе, являющемся выходом схемы, устанавливается высокий уровень

$$U_2^1 = U_{и.п} - I_{к0} R_к. \qquad (4.6)$$

Для отпирания транзистора на вход ключа необходимо подать высокий уровень $U_1^1 > U_0$. При этом транзистор может находиться в активном режиме или в насыщении. Режим насыщения наступает в том случае, если ток базы $I_б$ транзистора дости-

гает или превышает значение $I_{б.н}$, соответствующее положению рабочей точки транзистора на границе между активным режимом и режимом насыщения: $I_б \geqslant I_{б.н}$.

Входную цепь насыщенного транзистора можно в линеаризованном варианте представить подобно диоду последовательно соединенными объемным сопротивлением базы $r_б$ и источником напряжения U_0. Сопротивление между коллектором и эмиттером насыщенного транзистора определяется наклоном линии насыщения (рис. 4.8,*в*): $r_{к.н} = \Delta U_{кэ}/\Delta I_к \mid I_б > I_{б.н}$. Эквивалентная схема транзисторного ключа в режиме насыщения показана на рис. 4.11,*б*. Для этой схемы условие насыщения имеет вид

$$I_б = (U_1^1 - U_0)/(r_б + R_б) \geqslant I_{б.н} = I_{к.н}/\beta_{min} = U_{и.п}/(\beta_{min}(R_к + r_{к.н})). \quad (4.7)$$

Так как коэффициент усиления транзистора по току β имеет технологический разброс, неравенство (4.7) должно выполняться в наихудших условиях, т. е. при наименьшем допустимом значении $\beta = \beta_{min}$. Если условие (4.7) выполняется, транзистор *VT* насыщен и на выходе замкнутого ключа устанавливается низкий уровень $U_2^0 = U_{и.п} r_{к.н}/(R_к + r_{к.н})$.

Переходные процессы. Инерционность ключа на биполярном транзисторе характеризуется длительностью цикла переключения, который включает в себя: $t_{зд.вкл}$ — задержку включения транзистора при подаче на вход ключа высокого уровня сигнала U_1^1, удовлетворяющего условию (4.7); $t_{вкл}$ — длительность включения транзистора — время нарастания тока через транзистор от теплового $I_{к0}$ до тока насыщения $I_{к.н}$; $t_р$ — длительность задержки выключения, обусловленную рассасыванием заряда в базе при переходе транзистора из насыщения в активный режим; $t_{вык}$ — время выключения — уменьшения тока коллектора транзистора от тока насыщения $I_{к.н}$ до уровня тока $I_{к0}$; $t_ф^{01}$ — длительность фронта нарастания потенциала на коллекторе транзистора, связанную с зарядом емкостей нагрузки и монтажа.

Тогда полный цикл переключения или разрешающее время $t_{раз} = t_{зд.вкл} + t_{вкл} + t_р + t_ф^{01}$. Это время, которое необходимо для перезаряда паразитных емкостей монтажа схемы, межэлектродных емкостей транзистора, для накопления заряда неосновных носителей в базе транзистора при отпирании и рекомбинации этого заряда при запирании транзистора.

Поскольку коллекторный ток биполярного транзистора представляет собой ток экстракции неосновных носителей (здесь — электронов) из базы и пропорционален заряду в базе, переходные процессы удобно анализировать по динамике изменения заряда базы. Поэтому такой метод анализа переходных процессов называют методом заряда базы [27].

На рис. 4.12,*а* показан вариант эквивалентной схемы (см. рис. 4.10,*б*) транзисторного ключа, на которой показаны емкость нагрузки $C_н$ и эквивалентная входная емкость транзистора $C_{вх}$, определяемая емкостями эмиттерного и коллекторного переходов транзистора, а также паразитной емкостью монтажа.

Рассмотрим характерные участки переходного процесса по временным диаграммам (рис. 4.12,*б*).

1. До момента времени t_1 транзистор VT заперт низким уровнем входного сигнала U_1^0, удовлетворяющим условию (4.5). Ток в цепи базы транзистора определяется обратным током коллекторного перехода: $i_б = -I_{к0}$. Заряд Q базы в отсутствие инжекции неосновных носителей через эмиттерный переход практически отсутствует: $Q \approx 0$. В цепи коллектора протекает обратный ток коллекторного перехода $i_к = I_{к0}$. На выходе ключа поддерживается высокий уровень $U_2^1 = U_{и.п} - I_{к0} R_к$.

2. В момент t_1 потенциал на входе ключа скачком увеличивается от U_1^0 до U_1^1. Потенциал базы транзистора $U_б$ нарастает по

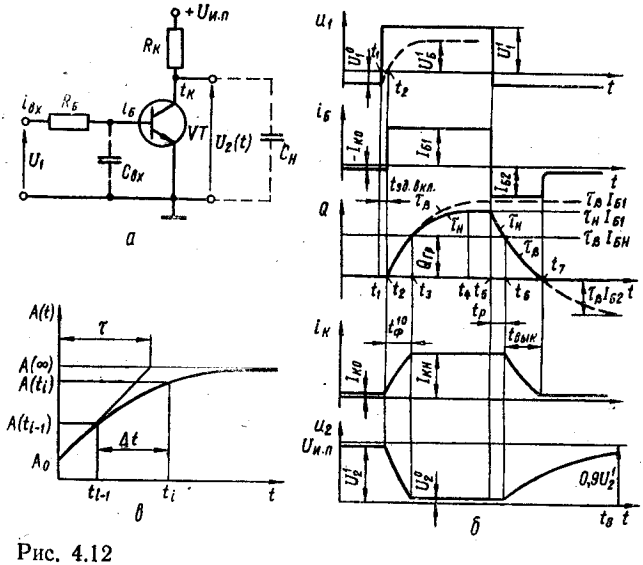


Рис. 4.12

мере заряда конденсатора $C_{вх}$ через сопротивление $R_б$. Напряжение $U_б$ увеличивается по экспоненциальному закону с постоянной времени $\tau_б = R_б C_{вх}$ от начального напряжения $U^0_{C_{вх}} = U_1^0 + R_б I_{к0}$ до асимптотического уровня $U_{C_{вх}}(\infty) = U_1^1 + R_б I_{к0}$. До момента t_2, пока напряжение на базе остается меньшим, чем пороговое напряжение U_0, транзистор остается в режиме отсечки, заряд базы, потенциал и ток коллектора не изменяются. Интервал времени от t_1 до t_2, когда потенциал базы $U_б$ (напряжение на эмиттерном переходе $U_{бэ}$) достигает уровня порогового напряжения U_0, определяет длительность задержки включения транзистора $t_{зд.вкл} = t_2 - t_1$. Для определения длительности $t_{зд.вкл}$ воспользуемся свойством экспоненциальной функции (рис. 4.12,*в*) $A(t) = A_0 + (A_\infty - A_0)(e^{-t/\tau} - 1)$, которое заключается в следующем: если известны параметры экспоненциальной функции A_∞ — асимптотическое значение, τ — постоянная времени, $A(t_к)$ и $A(t_i)$ —

уровни экспоненты, то длительность интервала от t_k до t_l определяется соотношением

$$\Delta t = t_l - t_k = \tau \ln \frac{A_\infty - A(t_k)}{A_\infty - A(t_l)}. \qquad (4.8)$$

Воспользовавшись этим выражением, определим длительность задержки включения

$$t_{\text{зд.вкл}} = \tau_б \ln \frac{U_1^1 + I_{к0} R_б - (U_1^0 + I_{к0} R_б)}{U_1^1 + I_{к0} R_б - U_0} \approx$$

$$\approx R_б C_{вх} \ln \frac{U_1^1 - U_1^0}{U_1^1 - U_0}. \qquad (4.9)$$

3. В момент t_2 потенциал базы превышает пороговое напряжение U_0, открывается эмиттерный переход и транзистор переключается из режима отсечки в активный режим. Инжектируемые эмиттером в базу неосновные носители (в *n-p-n*-транзисторе это электроны, а в *p-n-p* — дырки) нарушают равновесное состояние базы и начинается накопление заряда. Скорость накопления заряда тем больше, чем больше ток базы $i_б(t)$. При достаточно большом токе базы входную цепь транзистора можно представить в виде рис. 4.11,*б*. Тогда ток в цепи базы открытого транзистора $i_б(t) = (U_1(t) - U_0)/(R_б + r_б)$.

Приращение заряда неосновных носителей ΔQ в единицу времени на интервале Δt определяется выражением

$$\Delta Q/\Delta t = i_б(t) - Q/\tau_\beta, \qquad (4.10)$$

где τ_β — среднее время жизни неосновных носителей. В выражении (4.10) первое слагаемое характеризует увеличение заряда в базе (если $i_б(t) > 0$), а второе — уменьшение заряда вследствие конечного времени жизни неосновных носителей заряда и рекомбинации части носителей в активной области базы.

В пределе для бесконечно малых промежутков времени получаем дифференциальное уравнение первого порядка

$$dQ/dt = i_б(t) - Q/\tau_\beta. \qquad (4.11)$$

Если $U_1(t) = U_1^1 = \text{const}$, ток базы транзистора остается практически постоянным

$$i_б(t) = I_{б1} = \frac{U_1^1 - U_0}{R_б + r_б} \approx \frac{U_1^1}{R_б}$$

и решением уравнения (4.11) является экспоненциальная функция

$$Q(t) = Q_1(1 - \exp(-t/\tau_\beta)) + Q_0, \qquad (4.12)$$

$$\text{где } Q_1 = \tau_\beta I_{б1}. \qquad (4.13)$$

С ростом заряда в базе пропорционально увеличивается ток коллектора, возрастает падение напряжения на резисторе $R_к$ и падает потенциал коллектора. В момент t_3 транзистор переходит из активного режима в режим насыщения, прекращается

рост коллекторного тока на уровне (см. рис. 4.12) $I_{к.н} = U_{и.п}/(R_к + r_{к.н})$ и падение потенциала коллектора на уровне U_2^0.

Интервал от момента t_2 до t_3 представляет время включения транзистора $t_{вкл}$. Его длительность можно определить с помощью (4.12), если учесть, что заряд на этом интервале нарастает от $Q_0 \approx 0$ до значения

$$Q_{гр} = \tau_\beta I_{б.н}, \tag{4.14}$$

соответствующего положению рабочей точки транзистора на границе между активным режимом и насыщением. При этом заряд растет экспоненциально с постоянной времени τ_β и асимптотически приближается к уровню Q_1. Тогда с помощью выражения (4.8) и с учетом формул (4.13), (4.14) получаем

$$t_{вкл} = \tau_\beta \ln \frac{Q_1}{Q_1 - Q_{гр}} = \tau_\beta \ln \frac{\tau_\beta J_{б1}}{\tau_\beta I_{б1} - \tau_\beta I_{б.н}} = \tau_\beta \ln \frac{S}{S-1}, \tag{4.15}$$

где $S = I_{б1}/I_{б.н}$ — коэффициент насыщения транзистора.

Длительность переднего фронта выходного сигнала $t_ф^{10} \approx \approx t_{вкл}$.

4. На данном этапе все токи и напряжения, установившиеся в момент t_3, остаются постоянными. Переходный процесс характеризуется только продолжающимся накоплением заряда в базе сверх граничного значения $Q_{гр}$. Заряд неосновных носителей, превышающий величину $Q_{гр}$, называется избыточным. Заряд продолжает нарастать по экспоненте, но с изменившимся параметром экспоненты $\tau_н = 0{,}7...1{,}5\tau_\beta$, который характеризует среднее время жизни неосновных носителей в насыщенном режиме. Изменение среднего времени жизни неосновных носителей связано с перераспределением заряда в активной области базы при переходе транзистора из активного режима в режим насыщения. При этом для сплавных транзисторов $\tau_н < \tau_\beta$, а для диффузионных $\tau_н > \tau_\beta$. Можно полагать, что за время $t_н = 3\tau_н$ процесс накопления избыточного заряда $Q_{изб}$ заканчивается и заряд достигает значения

$$Q_2 = Q_{гр} + Q_{изб} = \tau_н I_{б1}. \tag{4.16}$$

Отношение накопленного заряда Q_2 к граничному $Q_{гр}$ согласно выражениям (4.14) и (4.16)

$$\frac{Q_2}{Q_{гр}} = \frac{\tau_н I_{б1}}{\tau_\beta I_{б.н}} \approx S$$

приближенно определяет коэффициент насыщения транзистора.

5. По заднему фронту входного сигнала в момент t_5 ток базы $i_б(t)$ транзистора скачком изменяется по величине (и знаку) $I_{б2} = (U_1^0 - U_0)/(R_б + r_б)$, нарушается равновесное состояние заряда базы и начинается его рассасывание. Избыточный заряд экспоненциально с постоянной времени $\tau_н$ уменьшается от величины Q_2, стремясь асимптотически к $Q_3 = \tau_н I_{б2}$. На данном этапе заряд в базе $Q(t) > Q_{гр}$ и транзистор остается насыщенным до момента t_6, когда заканчивается рекомбинация избыточ-

ного заряда и транзистор из насыщения переходит в активный режим. В интервале от t_5 до t_6 коллекторный ток $i_к$ и выходное напряжение U_2 остаются неизменными, и данный этап переходного процесса называют этапом рассасывания. Длительность этапа рассасывания

$$t_р = t_6 - t_5 = \tau_н \ln \frac{Q_з - Q_2}{Q_з - Q_{гр}} = \tau_н \ln \frac{I_{б2}\tau_н - I_{б1}\tau_н}{I_{б2}\tau_н - I_{бн}\tau_\beta} \approx \tau_н \ln \frac{S_{зап} - S}{S_{зап} - 1}, \quad (4.17)$$

где $I_{б2}/I_{б.н} = S_{зап}$ — коэффициент запирания.

6. В момент t_6 транзистор переходит в активный режим и от уровня $Q_{гр}$ заряд базы экспоненциально с постоянной времени τ_β уменьшается, стремясь асимптотически к $Q_4 = \tau_\beta I_{б2}$. При этом синхронно уменьшается ток коллектора $i_к$ и начинает нарастать выходное напряжение. Данный этап, называемый этапом выключения, заканчивается в момент t_7, когда достигается уровень $Q(t) \approx 0$. Длительность этапа выключения

$$t_{вык} = t_7 - t_6 = \tau_\beta \ln \frac{Q_4 - Q_{гр}}{Q_4} = \tau_\beta \ln \frac{I_{б2}\tau_\beta - I_{б.н}\tau_\beta}{I_{б2}\tau_\beta} = \tau_\beta \ln \frac{S_{зап} - 1}{S_{зап}}. \quad (4.18)$$

В момент t_7 транзистор переходит в режим отсечки, резко возрастает его входное сопротивление, ток базы устанавливается равным $i_б(t) = -I_{к0}$, а ток коллектора — $i_к(t) = I_{к0}$.

7. Продолжается нарастание выходного напряжения $U_2(t)$, связанное с зарядом через коллекторное сопротивление $R_к$ эквивалентной емкости нагрузки $C_0 = C_н + C_{к.б} + C_м$, где $C_н$, $C_{к.б}$, $C_м$ — емкости нагрузки, коллекторного перехода и монтажа. Длительность заднего фронта $t_ф^{01} \approx 3\tau_{зар} = 3R_к C_0$. В случае чисто активной нагрузки и незначительной емкости монтажа ($C_м \approx 0$) можно считать $t_ф^{01} \approx t_{вык}$.

Анализируя зависимость длительности разрешающего времени $t_{раз}$ транзисторного ключа от параметров его компонентов и управляющих сигналов, можно сделать следующие выводы: $t_{раз}$ тем меньше, чем меньше τ_β транзистора, т.е. чем больше граничная частота усиления $f_\alpha = (\beta + 1)/(2\pi\tau_\beta)$; с ростом коэффициента насыщения транзистора уменьшается длительность $t_{вкл}$, растет время рассасывания $t_р$, а длительность выключения $t_{вык}$ не изменяется; длительности рассасывания $t_р$ и выключения $t_{вык}$ тем меньше, чем больше коэффициент запирания $S_{зап}$.

Следовательно, минимум длительности $t_{раз}$ можно получить с помощью транзисторов требуемого частотного диапазона и оптимального выбора управляющих ключом уровней сигналов U_1^0 и U_1^1. Если тем не менее минимальное $t_{раз}$ больше допустимого, необходимо использовать схемотехнические методы форсирования переходных процессов в транзисторных ключах.

Ключ на биполярном транзисторе с нелинейной обратной связью. Длительность этапа включения транзистора $t_{вкл}$ можно

уменьшить, подавая на базу больший отпирающий ток. Согласно выражению (4.15) $t_{вкл}$ при этом уменьшается, но вследствие роста коэффициента насыщения S одновременно растет длительность этапа рассасывания $t_р$. В результате несмотря на дополнительные потери мощности быстродействие ключа не увеличивается. Одним из выходов в данной ситуации является исключение режима насыщения транзистора и обеспечение тем самым переключения его рабочей точки между активным режимом и режимом отсечки.

На рис. 4.13,*а* показана принципиальная схема транзисторного ключа, в котором использована нелинейная обратная связь (НОС) через диод *VD* (параллельная отрицательная обратная

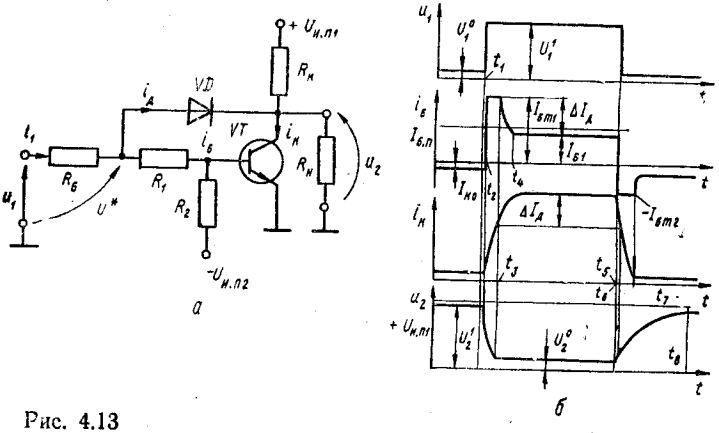


Рис. 4.13

связь по напряжению). Глубина такой НОС зависит от режима работы диода: если диод *VD* заперт, то влиянием обратной связи на работу ключа можно пренебречь. Если же диод *VD* открыт, то через его малое сопротивление $r_д$ реализуется глубокая обратная связь и коэффициент передачи напряжения в схеме $K_u^{о.с} = U_2/U_1 \approx -r_д/R_б \to 0$ $r_д \ll R_б$ и потенциал коллектора транзистора фиксируется.

На рис. 4.13,*б* показаны временные диаграммы переходных процессов при подаче на вход ключа положительного импульса. До момента t_1 на входе ключа действует низкий уровень U_1^0 сигнала, транзистор *VT* заперт, на его коллекторе поддерживается высокий потенциал U_2^1, который обусловливает обратное смещение диода *VD*. В момент t_1 входной сигнал скачком нарастает от нулевого U_1^0 до единичного уровня U_1^1. Через $t_{зд.вкл}$ в момент t_2 открывается эмиттерный переход и в базе транзистора устанавливается ток базы

$$I_{бm1} = [U_1^1 R_2 - U_{и.п2}(R_б + R_1) - U_0(R_б + R_1 + R_2)]/B,$$

где

$$B = R_б R_2 + R_1 R_2 + R_2 r_б + r_б R_1 + R_б r_б, \quad r_б \ll R_1,\ R_2,\ R_б.$$

По мере нарастания тока коллектора $i_к$ потенциал коллектора U_2 падает, одновременно уменьшается запирающее напряжение на диоде VD

$$U_д = U^* - U_2 = U_0 + I_{бm1} r_б + I_{1m} R_1 - U_2,$$

где $I_{1m} = \frac{U_1^1 (R_2 + r_б)}{B - R_2 r_б} + \frac{U_{и.\,п2} r_б - U_0 R_2}{B} \approx \frac{U_1^1}{R_б + R_1}$ — входной ток до момента отпирания диода.

В момент времени t_3, когда потенциал коллектора оказывается близким к напряжению насыщения, диод VD открывается и входной ток I_{1m} перераспределяется между диодом VD и резистором $R1$: ток резистора $R1$ уменьшается на величину приращения тока диода $\Delta I_д$. Поскольку ток диода замыкается через коллекторную цепь транзистора при практически постоянном потенциале коллектора, то коллекторный ток с момента t_3 нарастает на величину $\Delta I_д$. Потенциал коллектора открытого транзистора отличается от потенциала U^* на величину напряжения на открытом диоде. Если принять его равным пороговому напряжению диода $U_{0д}$, то приближенно (так как не учитывается небольшое изменение напряжения U^* после отпирания диода) напряжение на выходе

$$U_2^0 = U^* - U_{од} = U_0 + I_{бm1} r_б + I_{1m} R_1 - U_{0д}.$$

В момент t_4 устанавливаются постоянные значения токов базы $I_{б1}$, коллектора $I_к^1$ и диода.

По заднему фронту входного сигнала изменяется на противоположное направление тока через диод, восстанавливается его обратное сопротивление и к моменту t_6 диод выключается. Тем самым размыкается НОС и начинается рекомбинация заряда в базе током

$$I_{бm2} = [U_1^0 R_2 - U_{и.\,п2} (R_б + R_1) - U_0 (R_б + R_1 + R_2)]/B.$$

В дальнейшем переходные процессы в ключе с НОС аналогичны ранее рассмотренным в транзисторном ключе (см. рис. 4.12).

В рассмотренной схеме отсутствует задержка выключения из-за избыточного заряда базы транзистора, но имеет место процесс рассасывания носителей, накопленных в диоде. Поэтому на практике для реализации НОС выбирают быстродействующие импульсные диоды или диоды Шотки, работающие без накопления заряда.

Длительность этапов включения и выключения транзистора в схеме с НОС определяется отпирающим $I_{бm1}$ и запирающим $I_{бm2}$ токами базы, которые в свою очередь зависят от сопротивлений резисторов $R_б$, R_1, R_2 и уровней напряжений U_1^0, U_1^1, $U_{и.\,п2}$.

Выходное напряжение U_2^0 также зависит от параметров входного сигнала, что в переключательных схемах нежелательно. Схема, в которой резистор $R1$ заменен диодом $VD2$, показана на рис. 4.14, *а*. В этой схеме при отпирании диодов $VD1$, $VD2$ на коллекторе транзистора фиксируется потенциал $U_2^0 \approx U_0 + U_{од2} - U_{од1} \approx U_0$, где U_0 — пороговое напряжение транзистора, $U_{од1}$

и $U_{од2}$ — пороговые напряжения диодов *VD1* и *VD2* соответственно. Напряжение U_2^0 незначительно превышает напряжение на насыщенном транзисторе и не зависит от параметров входного сигнала.

Если в качестве диода *VD1* использовать диод Шотки, имеющий весьма малое пороговое напряжение $U_{0ш} \approx 0{,}1$ В, то диод *VD2* в цепи базы транзистора не требуется (рис. 4.14,*б*). Диод Шотки и коллекторный переход транзистора включены параллельно, но благодаря тому что пороговое напряжение диода $U_{0ш}$ существенно меньше порогового напряжения коллекторного перехода (для кремниевого транзистора $U_{0к} \approx 0{,}5...0{,}7$ В), диод Шотки открывается раньше и тем самым предотвращает насыщение транзистора.

В открытом состоянии на коллекторе транзистора устанавливается потенциал U_2^0, который можно определить по эквива-

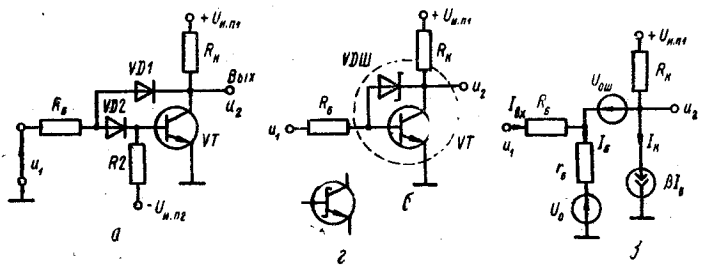


Рис. 4.14

лентной схеме ключа (рис. 4.14,*в*): $U_2^0 = I_б r_б + U_0 - U_{0ш}$. Напряжение U_2^0 мало (десятые доли вольт), не зависит от входного сигнала и сопротивлений в цепи базы и коллектора. Другим важным достоинством схемы (рис. 4.14,*б*) является ее высокое быстродействие: диод Шотки работает без накопления заряда, поэтому отсутствует этап восстановления обратного сопротивления диода. Достоинства транзистора с коллекторно-базовой связью через диод Шотки привели к созданию монолитной структуры диод Шотки — биполярный транзистор, который изготовляется в едином технологическом процессе, называется транзистором Шотки (рис. 4.14,*г*) и широко используется в интегральной схемотехнике.

Электронные ключи на полевых транзисторах. Для построения электронных ключей можно использовать полевые транзисторы: с управляющим *p-n*-переходом, с изолированным затвором и встроенным или индуцированным каналом. В цифровой схемотехнике наибольшее распространение получили полевые МДП-транзисторы (металл-диэлектрик-полупроводник) с индуцированным *p*- или *n*-каналом.

На рис. 4.15,*а*, *б* показаны стоковые и стоко-затворные ВАХ МДП-транзистора с индуцированным *n*-каналом. Если напряжение $U_{з.и} < U_{пор}$, то канал для переноса зарядов не индуцирован и транзистор заперт. Если $U_{з.и} > U_{пор}$, то в подзатворной области индуцируется *n*-канал, через него протекает

ток, определяемый напряжением $U_{с.и}$ между выводами канала, транзистор открыт и его рабочая точка находится в триодной либо пентодной области. На рис. 4.15,*в* приведено условное графическое изображение МДП-транзистора с индуцированным каналом *n*-типа.

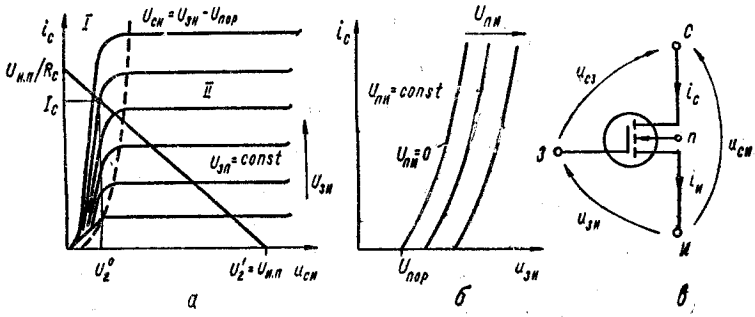


Рис. 4.15

На рис. 4.16,*а* показана схема простейшего ключа на МДП-транзисторе, включенном по схеме с общим истоком и с линейной стоковой нагрузкой $R_с$. Если нагрузкой ключа является активное сопротивление $R_н$, его можно, воспользовавшись соотношениями для эквивалентного генератора, включить в эквивалентное сопротивление $R_с$.

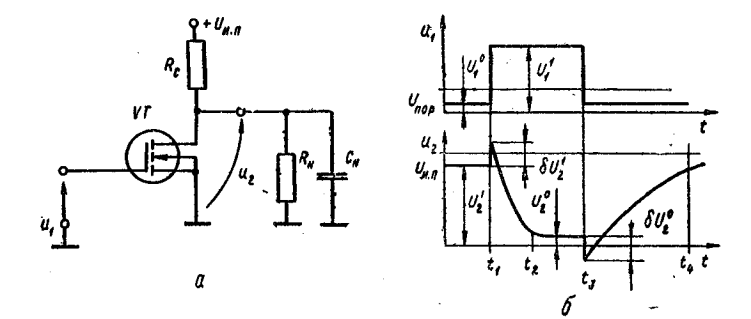


Рис. 4.16

Статический режим такого ключа определяется нагрузочной линией на семействе стоковых характеристик (рис. 4.15,*а*). При низком уровне входного сигнала $U_1^0 < U_{пор}$ МДП-транзистор находится в режиме отсечки и поскольку ток утечки через закрытый канал $I_{с.ут}$ весьма мал ($I_{с.ут} \leqslant 10^{-9}$ А), можно считать высокий уровень выходного сигнала $U_2^1 = U_{и.п}$. Потребление энергии от источника $U_{и.п}$ в закрытом состоянии ключа $P_{пот}^1 = 0$. При высоком уровне входного сигнала $U_1^1 > U_{пор}$ в транзисторе

индуцирован канал и через него протекает ток I_c^1, определяемый точкой пересечения нагрузочной линии со стоковой характеристикой $i_c = f(U_{c.и})|_{U_{з.и}=U_1^1}$. В зависимости от величины входного напряжения U_1, напряжения питания $U_{и.п}$ и сопротивления R_c рабочая точка транзистора оказывается в «триодной» области (крутых участков стоковых характеристик), слева от линии

$$U_{c.и} = U_{з.и} - U_{пор}, \tag{4.19}$$

представляющей собой геометрическое место точек перегиба стоковых характеристик (область *I* на рис. 4.15,*а*) либо в «пентодной» (область *II* пологих участков на рис. 4.15,*а*), справа от линии (4.19). На выходе ключа устанавливается низкий потенциал

$$U_2^0 = U_{и.п} - I_c R_c, \tag{4.20}$$

где I_c — ток стока, определяемый графически из рис. 4.15, *а*. Для аналитического определения рабочей точки открытого транзистора ($U_{c.и} = U_2^0$; $i_c = I_c$) необходимо совместно решить уравнение (4.20) и одно из аппроксимирующих стоковые характеристики уравнений [27] для триодной области: $i_c = \nu[(U_{з.и} - U_{пор})U_{c.и} - 0{,}5U_{c.и}^2]$ или для пентодной области: $i_c = 0{,}5\nu(U_{з.и} - U_{пор})^2$, где ν — удельная крутизна стоко-затворной характеристики.

Переходные процессы в ключах на полевых транзисторах обусловлены переносом носителей с подвижностью μ через канал длиной L и перезарядом межэлектродных емкостей транзистора (сток — затвор $C_{c.з}$, сток — исток $C_{c.и}$), а также емкости нагрузки $C_н$ и паразитной емкости монтажа $C_м$.

Время переноса носителей через канал $t_{пер} = 2{,}2L^2/(\mu U_{c.и})$, где для электронов подвижность $\mu_п = 0{,}04$ м²/(В · с.), а для дырок — $\mu_р = 0{,}02$ м²/(В · с.), благодаря чему *n*-канальные МДП-транзисторы обладают бо́льшим быстродействием. При длине канала L порядка единиц микрон и напряжении $U_{c.и}$ порядка десятков вольт $t_{пер}$ весьма мало и имеет порядок 10^{-9} с. Поэтому определяющим быстродействие ключей на МДП-транзисторе является процесс перезаряда межэлектродных и внешних емкостей транзистора.

На рис. 4.16,*б* показаны временные диаграммы идеализированного входного сигнала $U_1(t)$ и выходного сигнала $U_2(t)$. Скачок входного сигнала в момент t_1 обусловливает синфазную помеху δU_2^1 на выходе за счет передачи части входного сигнала непосредственно на выход через емкостный делитель напряжения из емкости $C_{c.з}$ и емкости C_0, включающей в себя емкость сток—исток $C_{c.и}$, емкость нагрузки $C_н$ и монтажа $C_м$:

$$\delta U_2^1 = (U_1^1 - U_1^0)\, C_{c.з}/(C_{c.з} + C_0),$$

где $C_0 = C_{c.и} + C_м + C_н$.

Далее емкость C_0 разряжается, а емкость $C_{c.з}$ перезаряжается через открытый транзистор и стоковый резистор R_c.

В основном скорость процесса на данном этапе определяется проводимостью открытого транзистора, выходное напряжение экспоненциально падает с постоянной времени разряда [92]

$$\tau_р = \frac{(C_0 + C_{с.\,з})\,R_с}{\nu\,(U_{и.\,п} - U_{пор})\,R_с + 1}\,. \qquad (4.21)$$

Тогда длительность отрицательного фронта выходного сигнала (интервал времени от t_1 до t_2, когда сигнал падает на 0,9 (U_2^1 — — U_2^0)) можно оценить, как

$$t_ф^{10} \approx 3\tau_р \approx \frac{3\,(C_0 + C_{с.\,з})}{\nu\,(U_{и.\,п} - U_{пор})}\,.$$

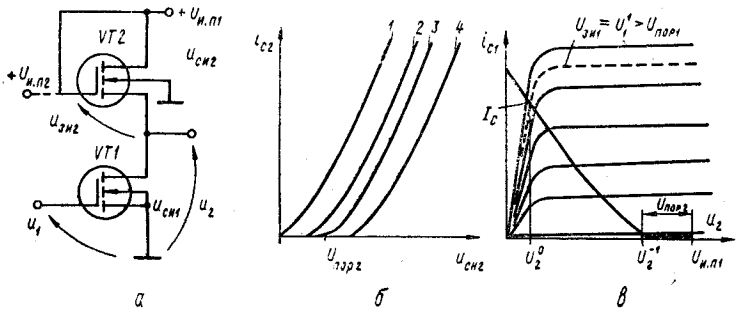


Рис. 4.17

По заднему фронту входного сигнала в момент t_3 формируется синфазный выброс $\delta U_2^0 \approx \delta U_2^1$. Затем транзистор быстро (единицы наносекунд) запирается и далее происходят заряд эквивалентной емкости C_0 и перезаряд емкости $C_{с.\,з}$, который протекает по экспоненциальному закону с постоянной времени заряда: $\tau_з = (C_0 + C_{с.\,з})\,R_с$. Соответственно длительность положительного фронта выходного сигнала $t_ф^{01} \approx 3\tau_з = 3R_с\,(C_0 + C_{с.\,з})$.

С позиций интегральной технологии рассмотренный ключ обладает существенными недостатками: сложно в едином технологическом цикле изготовлять транзисторы и высокоомные (стоковые — $R_с$) резисторы; велико потребление энергии в открытом состоянии $P_{пот}^0 = U_{и.\,п}^2 / R_с$.

Первый из недостатков устраняется в интегральных схемах заменой линейного резистора $R_с$ нелинейным, в качестве которого используется МДП-транзистор в двухполюсном включении (рис. 4.17,*а*) с закороченными затвором и стоком. Для транзистора *VT2* $U_{си\,2} = U_{зи\,2}$. Если на семействе стоковых характеристик транзистора *VT2* построить линию перегибов, разделяющую пентодную и триодную области (рис. 4.17,*б* — кривая *1*), для которой справедливо выражение (4.19), и сместить ее по оси напряжений на величину $U_{пор}$, получим нелинейную зависимость — ВАХ МДП-транзистора в двухполюсном включении

(рис. 4.17,*б* — кривая *3*). На этом же графике приведены ВАХ нагрузочного транзистора *VT2* при подаче на его затвор произвольного постоянного напряжения $U_{и.\,п2}$ (кривая *2* — если $U_{и.п1} < U_{и.\,п2} < U_{и.\,п1} + U_{пор}$, кривая *4* — если $U_{и.\,п2} < U_{и.\,п1}$). Для обеспечения ВАХ, близкой к линейной, в качестве нагрузочных изготавливают транзисторы с малой крутизной стоко-затворной характеристики и минимальным $U_{пор2}$.

Построим ВАХ нелинейного двухполюсника на семействе стоковых характеристик переключательного транзистора *VT1* как линию его нагрузки (рис. 4.17,*в*). Это позволяет графически определить уровни выходного напряжения ключа в выключенном U_2^1 и включенном U_2^0 состоянии, а также ток $I_с$ открытого транзистора *VT1* с нагрузкой *VT2*. Заметим, что в закрытом состоянии, когда оба транзистора закрыты, высокий уровень

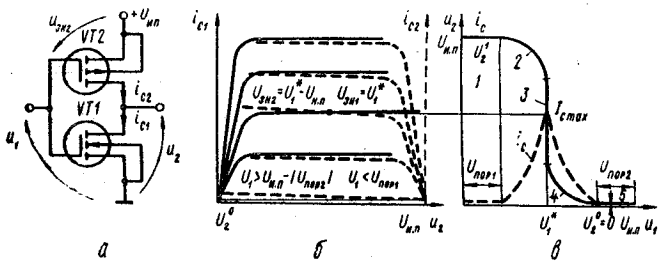


Рис. 4.18

U_2^1 определен не строго, так как зависит от случайных сопротивлений утечек транзисторов *VT1* и *VT2*:

$$U_2^1 = U_{и.\,п1} R_{ут1}/(R_{ут1} + R_{ут2})$$

и может изменяться в диапазоне $U_{и.\,п1} > U_2^1 > U_{и.\,п1} - U_{пор2}$.

Рассмотренная схема ключа более технологична для интегральной схемотехники, но имеет высокое потребление $P_{пот}^0 = U_{и.\,п1} I_с$, когда транзистор *VT1* открыт. Уменьшать мощность $P_{пот}$ простым увеличением сопротивление $R_с$ можно лишь до определенных пределов, определяемых соотношениями для максимально допустимых длительностей фронтов $t_ф^{10}$ и $t_ф^{01}$. Очевидно, энергопотребление электронного ключа можно уменьшить, если в качестве нагрузки использовать элемент с управляемым внутренним сопротивлением, который при запирании транзистора *VT1* должен иметь минимальное сопротивление, а при отпирании — максимальное.

В схеме на рис. 4.18,*а* в качестве нагрузки *n*-канального транзистора *VT1* использован *p*-канальный транзистор *VT2*, управляемый по цепи затвора входным сигналом U_1. В силу симметрии схемы каждый из транзисторов представляет собой управляемую нагрузку для другого транзистора. Разные типы проводимости при управлении одним и тем же сигналом U_1 обеспечивают взаимно противоположные режимы работы. По-

этому говорят, что транзисторы в данной схеме дополняют друг друга, образуют комплементарную структуру.

Вид статической передаточной характеристики комплементарной структуры зависит от соотношения напряжения питания $U_{и.п}$ и пороговых напряжений n-канального ($U_{пор1}$) и p-канального ($U_{пор2}$) транзисторов. Если $U_{и.п} > U_{пор1} + |U_{пор2}|$, то передаточная характеристика (рис. 4.18, *в*) содержит следующие характерные области.

I. $U_{з.и1} = U_1 < U_{пор1}$ — транзистор *VT1* в режиме отсечки, $|U_{з.и2}| = |U_1 - U_{и.п}| \gg |U_{пор2}|$ — транзистор *VT2* в триодном режиме. Выходное напряжение определяется как результат деления напряжения источника питания между большим сопротивлением утечки запертого транзистора *VT1* $R_{ут1} = 10^9 \ldots 10^{12}$ Ом и малым сопротивлением *VT2* в триодном режиме $r^{т}_{i2} \approx 10^2$ Ом, поэтому на выходе устанавливается высокий уровень $U^1_2 = U_{и.п} R_{ут1}/(R_{ут1} + r^{т}_{i2}) \approx U_{и.п}$. Типичное значение высокого уровня $U^1_2 = 0{,}999 U_{и.п}$. Потребляемый от источника питания ток мал $I^1_{пот} = U_{и.п}/(R_{ут1} + r^{т}_{i2}) \approx U_{и.п}/R_{ут1}$.

II. $U_{пор1} < U_1 < U_{п.т2}$; $U_{п.т2}$ — граничное напряжение перехода транзистора *VT2* из триодного режима в пентодный. В этой области *VT1* работает в пентодной, а *VT2* — в триодной области характеристик. Комплементарная пара находится в усилительном режиме с коэффициентом передачи напряжения $K_U = -\mu_1 [r^{п}_{i1} \| r^{т}_{i2}]$, где $r^{п}_{i1}$ — дифференциальное сопротивление стока транзистора *VT1* в пентодном режиме, $\mu_{1(2)}$ — статический коэффициент усиления транзистора *VT1* (*VT2*). K_U мал, так как $r^{т}_{i2} \ll r^{п}_{i1}$. Ток потребления $I_{пот}$ нарастает.

III. $U_{п.т2} < U_1 < U_{п.т1}$, $U_{п.т1}$ — граничное напряжение перехода транзистора *VT1* из пентодного режима в триодный. Оба транзистора находятся в пентодном режиме и обеспечивают максимальный коэффициент передачи напряжения $K_U = -(\mu_1 + \mu_2) \times [r^{п}_{i1} \| r^{п}_{i2}]$. Ток потребления продолжает нарастать к середине области III до величины $I_{c1} = I_{c2} = I_{c\,max}$ (рис. 4.18, *б*, *в*) и затем с ростом U_1 ток потребления начинает уменьшаться, так как транзистор *VT2* от значения $U_1 = 0{,}5 U_{и.п}$ закрывается быстрее, чем открывается *VT1*.

IV. $U_{п.т1} < U_1 < U_{и.п} - |U_{пор2}|$ — транзистор *VT1* из пентодного переходит в триодный режим, а *VT2* остается в пентодном. Коэффициент передачи напряжения меньше, чем в области III, $K_U = -\mu_2 [r^{т}_{i1} \| r^{п}_{i2}]$ и с ростом U_1 уменьшается, так как уменьшается дифференциальное сопротивление $r^{т}_{i1}$ транзистора *VT1* в триодном режиме. Ток потребления $I_{пот}$ уменьшается за счет запирания транзистора *VT2*.

V. $U_1 > U_{и.п} - |U_{пор2}|$ — транзистор *VT1* находится в триодном режиме, транзистор *VT2* — в режиме отсечки и через его сопротивление утечки $R_{ут2}$ течет весьма малый ток. Выходное

напряжение ключа $U_2^0 = U_{и.п} r_{i1}^{т}/(R_{ут2} + r_{i1}^{т}) \to 0$. Типичное значение низкого уровня на выходе $U_2^0 = 10^{-4} U_{и.п}$. Ток потребления от источника питания ничтожно мал

$$I_{пот}^0 = U_{и.п}/(R_{ут2} + r_{i1}^{т}) \approx U_{и.п}/R_{ут2}.$$

При использовании источника питания $U_{и.п} < U_{пор1} + |U_{пор2}|$ области II, III, IV передаточной характеристики (рис. 4.18,*в*) смыкаются и остаются только области I и V, для которых все сказанное выше остается справедливым. Появляется зона перекрытия областей I и V, в которой оба транзистора находятся в режиме отсечки и уровень выходного сигнала определяется сопротивлениями утечки запертых транзисторов

$$U_2 = U_{и.п} R_{ут1}/(R_{ут1} + R_{ут2}),$$

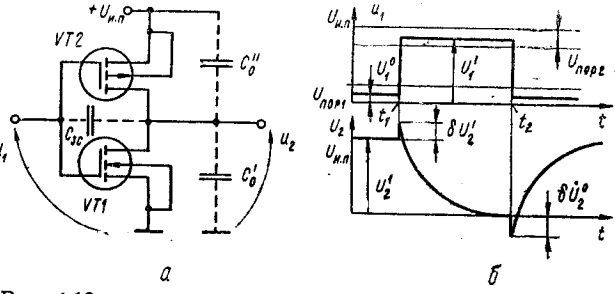


Рис. 4.19

причем $R_{ут1}$ и $R_{ут2}$ изменяются в довольно широких пределах по случайному закону. Неопределенность в зоне перекрытия устраняется при подключении внешней нагрузки.

Переходные процессы в ключе на комплементарных МДП-транзисторах определяются перезарядом межэлектродных емкостей транзисторов *VT1*, *VT2*, а также емкости нагрузки $C_н$ и паразитной емкости монтажа $C_м$ (рис. 4.19).

Пусть до момента t_1 $U_1 = U_1^0 < U_{пор1}$. Тогда транзистор *VT1* заперт, а *VT2* — в триодном режиме. На выходе ключа имеем высокий уровень сигнала $U_2^1 = U_{и.п}$, емкости $C'_н$, $C'_м$, $C'_{си}$ заряжены, а $C''_н$, $C''_м$, $C''_{си}$ — разряжены. Скачок входного сигнала U_1 в момент t_1 обуславливает синфазную помеху на выходе

$$\delta U_2^1 = (U_1^1 - U_1^0) C_{с.з}/(C'_0 + C''_0), \qquad (4.22)$$

где $C_{сз} = C_{сз1} + C_{сз2}$, $C'_0 = C_{си1} + C'_м + C'_н$, $C''_0 = C_{си2} + C''_м + C''_н$. Если $U_1^1 > U_{и.п} - |U_{пор2}|$, то транзистор *VT2* оказывается запертым, а *VT1* открыт и его рабочая точка по мере уменьшения выходного потенциала перемещается из пентодной области в триодную. Скорость спада выходного напряжения определяется разрядом емкости C'_0, зарядом C''_0 и перезарядом емкости $C_{зс}$ через открытый транзистор *VT1*, дифференциальное сопротивление которого r_{i1} по мере уменьшения потенциала U_2 также уменьшается.

Поэтому функция изменения $U_2(t)$ на рис. 4. 19, *б* отлична от экспоненциальной и длительность отрицательного фронта выходного сигнала можно определить с помощью соотношения [92]

$$t_{ф}^{10} = Cr_{i1}^{п}\left[\frac{2U_{пор1}}{U_{и.\,п} - U_{пор1}}\left(1 - \frac{0{,}1U_{и.\,п}}{U_{и.\,п} - U_{пор1}}\right) + \right.$$
$$\left. + \ln\left(20\,\frac{U_{и.\,п} - U_{пор1}}{U_{и.\,п}}\right)\right], \qquad (4.23)$$

где $C = C_0' + C_0'' + C_{зс}$.

По заднему фронту входного сигнала в момент t_2 на выходе ключа также формируется синфазная помеха δU_2, амплитуда которой определяется из уравнения (4.22). Транзистор *VT1* переходит в режим отсечки, транзистор *VT2* — сначала в пентодный, а затем по мере нарастания выходного напряжения U_2 (уменьшения напряжения $U_{с.\,и2} = U_2 - U_{и.\,п}$) —в триодный режим. Положительный фронт выходного сигнала также формируется по закону, отличному от экспоненциального и определяется соотношением [92]

$$t_{ф}^{10} = Cr_{i2}^{п}\,\frac{2\,|U_{пор2}|}{U_{и.\,п} - |U_{пор2}|}\left[1 - \frac{0{,}1U_{и.\,п}}{U_{и.\,п} - |U_{пор2}|} + \right.$$
$$\left. + \ln\left(20\,\frac{U_{и.\,п} - |U_{пор2}|}{U_{и.\,п}} - 1\right)\right]. \qquad (4.24)$$

Ток потребления $i_{пот}(t)$ также связан с перезарядом эквивалентной емкости C, поскольку сквозной ток через оба транзистора при практически мгновенном запирании одного из них можно не учитывать.

Ключи на комплементарных МДП-транзисторах (КМДПТ) обеспечивают высокое быстродействие при весьма малом энергопотреблении, которое зависит от частоты переключения. Они обеспечивают максимальное использование напряжения питания ($U_2^1 - U_2^0 \approx U_{и,\,п}$) и сохраняют работоспособность в широком диапазоне питающих напряжений. Наименьшим энергопотреблением характеризуются ключи, питаемые от источника напряжения $U_{и.\,п} < U_{пор1} + |U_{пор2}|$, в которых активная составляющая тока потребления $I_{пот.\,а} = 0$. Малое энергопотребление позволяет использовать ключи на КМДПТ в качестве базовых элементов интегральных схем с высокой степенью интеграции.

Отмеченные достоинства таких ключевых схем достигаются усложнением технологии их изготовления и увеличением стоимости, но по мере совершенствования технологии ИМС эти недостатки становятся все менее существенными.

4.4. ДИОДНО-ТРАНЗИСТОРНЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Диодно-транзисторные логические элементы (ДТЛ) имеют следующие достоинства: простоту схем, гибкость расширения функциональных возможностей (объединение выходов в монтажное ИЛИ, увеличение количества входов подключением внешних диодов и т. д.).

На рис. 4.20,*а* показана схема типичного *m*-входового элемента ДТЛ, который состоит из диодного ключа (диоды $VD1_1, \ldots, VD1_m$, резистор *R1*) и последовательно с ним связанного транзисторного ключа (*VD2*, *VD3*, *R2*, *R3*, транзистор *VT*). Диодный ключ в положительной логике реализует логическую функцию И, а транзисторный ключ помимо усиления сигнала с выхода диодного ключа по мощности и формированию требуемых уровней логического «0» и «1», выполняет также логическую функцию инверсии НЕ. Как видно из таблицы истинности для случая $m = 2$ (рис. 4.20,*б*), такой элемент реализует логическую функцию И—НЕ $y = \overline{x_1 \wedge x_2}$.

Аналогично, для произвольного *m*

$$y = \overline{\bigwedge_{i=1}^{m} x_i}. \qquad (4.25)$$

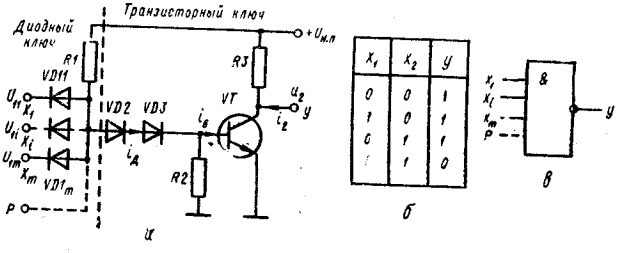


Рис. 4.20

Условное графическое обозначение ДТЛ-элемента, реализующего функцию (4.25), показано на рис. 4.20,*в*, где вход *p* обеспечивает возможность подключения внешних диодов и расширения функций элемента по И.

Особенностью электрической схемы рис. 4.20,*а* является использование в базовой цепи транзистора диодов *VD2*, *VD3*, которые предназначены для увеличения порогового напряжения транзисторного ключа и предотвращения срабатывания его от помех входных сигналов на уровне логического «0». Резистор *R2* включается между базой и общей шиной (либо подключается к источнику запирающего смещения) и обеспечивает протекание обратного тока коллекторного перехода $I_{к0}$ в режиме отсечки транзистора. Отсюда вытекает ограничение на величину сопротивления $R_2 < U_{0т}/I_{к0\,max}$, где $U_{0т}$, $I_{к0\,max}$ — пороговое напряжение транзистора *VT* и обратный ток коллектора при максимальной температуре окружающей среды.

Если хотя бы на одном из входов элемента установился низкий уровень входного сигнала U^0_{1i}, соответствующий входной диод $VD1_i$ открыт и через него протекает ток от источника питания $U_{и.п}$, ограниченный резистором *R1*. Напряжение на выходе диодного ключа (вывод *p*) U_{R1} определяется доминирующим (минимальным) входным сигналом U_1^{0*} и превышает его на величину падения напряжения на открытом диоде $U_{д1} = U_{0д1} + I_д r_д$:

$$U_{R1} = U_1^{0*} + U_{д1} = \min_{i=\overline{1,m}} \{U_{1i}\} + U_{0д1} + I_д r_д.$$

Если напряжение U_{R1} удовлетворяет условию $U_{R1} < U_{0д2} + U_{0д3} + U_{0т}$ или $U_1^{0*} = \min\{U_{1i}\} < U_{0д2} + U_{0д3} + U_{0т} - U_{0д1} \approx U_{0д} + U_{0т} = U_{пор}$, где $U_{0д2}$, $U_{0д3}$, $U_{0т}$ — пороговые напряжения соответственно диодов *VD2*, *VD3* и транзистора *VT*, то транзистор заперт и на его коллекторе поддерживается высокий потенциал $U_к = U_2^1 = U_{и.п} - I_{к0}R_3$. В случае когда ни на один из входов не подается низкий уровень U_1^0 (т. е. либо на входы подается высокий уровень, либо входы не подключены), ток резистора *R1* переключается через диоды *VD2*, *VD3* в базу транзистора, который открывается. Сопротивление R_1 выбирается так, чтобы транзистор был насыщен в наихудших условиях (при $\beta = \beta_{min}$ и максимальном токе нагрузки $i_2 = i_{2max}$):

$$R_1 = \frac{U_{и.п} - U_{пор}}{I_б^1} = \frac{U_{и.п} - U_{пор}}{SI_{б.н}} = \frac{(U_{и.п} - U_{пор})\beta_{min}R_3}{S(U_{и.п} + R_3 i_{2max})}. \quad (4.26)$$

Резисторы *R1* и *R3* в значительной мере определяют потребляемую элементом энергию $P_{пот}$ от источника питания. Они влияют и на быстродействие схемы, так как из выражения (4.26) коэффициент насыщения транзистора

$$S = \frac{R_3\beta_{min}(U_{и.п} - U_{пор})}{R_1(U_{и.п} + R_3 i_{2max})}$$

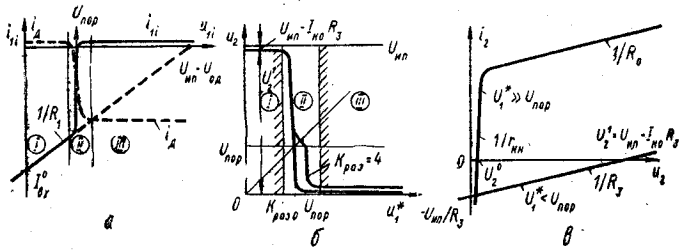


Рис. 4.21

и в соответствии с соотношениями (4.8), (4.15) и (4.17) определяет длительность задержки включения $t_{зд.вкл}$, время включения $t_{вкл}$, длительность процесса рассасывания $t_р$, а также длительность положительного фронта $t_ф^{01} \approx 3C_н R_3$.

Диоды *VD2*, *VD3* помимо увеличения порогового напряжения должны обеспечить быструю рекомбинацию заряда в базе транзистора *VT* под воздействием входного сигнала. Для этого заряд диодов *VD2*, *VD3* должен рассасываться дольше, чем заряд в базе транзистора, т. е. большое обратное сопротивление диодов $r_{обр}$ должно восстановиться после запирания транзистора.

На рис. 4.21 показаны статические вольт-амперные характеристики элемента ДТЛ (см. рис. 4.20): *а* — входные, *б* — передаточные, *в* — выходные.

Входная характеристика ИМС обычно снимается при отключенных остальных входах. На рис. 4.21,*а* показана зависимость от входного напряжения U_{1i} на i-м входе тока данного входа i_{1i} и тока $i_д$ диодов *VD2*, *VD3*, который приближенно равен току базы транзистора. На входной характеристике можно выделить следующие области:

I. $U_{1i} < U_{пор}$ — входной диод открыт, через него замыкается ток резистора *R1*, между входным напряжением и током имеет место линейная связь $i_{1i} = I^0_{вх} + U_{1i}/(R_1 + r_д)$, где $I^0_{вх} = (U_{0д} - U_{и.\,п})/(R_1 + r_д)$ — справочный параметр ИМС стандартных серий. Ток $i_д$ соответствует обратному току закрытых диодов, поэтому весьма мал.

II. $U_{1i} \approx U_{пор}$ — происходят запирание входного диода и одновременно отпирание транзистора, поэтому входной ток резко уменьшается с ростом U_{1i}, а ток $i_д$ соответственно нарастает за счет перераспределения тока резистора *R1*.

III. $U_{1i} > U_{пор}$ — входной диод заперт, поэтому входной ток «логической 1» $I^1_1 = I_{0д}$ весьма мал, ток диодов *VD2*, *VD3* максимален и не зависит от величины напряжения на входе.

Передаточная характеристика элемента — зависимость выходного напряжения U_2 от доминирующего входного сигнала U^*_1 (рис. 4.21, *б*). Вид передаточной характеристики зависит от типа и параметров нагрузки. Пусть нагрузкой ДТЛ-элемента являются входные цепи аналогичных элементов и количественно характеризуются коэффициентом разветвления $K_{раз}$. Соответственно входным на передаточной характеристике также можно выделить три области. В области *I*, где $U^*_1 < U_{пор}$, транзистор остается запертым и на его выходе поддерживается постоянное напряжение

$$U^1_2 = U_{и.\,п} - R_3 (I_{к0} + I^1_1 K_{раз}),$$

где I^1_1 — входной ток «логической 1» каждой из нагрузок.

В области *II* $U^*_1 \approx U_{пор}$, транзистор находится в активном режиме и схема обладает довольно большим коэффициентом усиления по напряжению. Коэффициент усиления оконечного каскада зависит от параметров нагрузки. В случае $K_{раз} \neq 0$ при достижении на выходе области *II* входных характеристик нагрузочных элементов дифференциальное сопротивление нагрузки резко уменьшается, это обусловливает уменьшение коэффициента усиления и на передаточной характеристике наблюдается соответствующий излом.

В области *III* транзистор насыщен и выходное напряжение «логического 0» не зависит от U^*_1, но зависит от параметров нагрузки:

$$U^0_2 \approx r_{к.\,н} (I^0_{вх} K_{раз} + U_{и.\,п}/R_3).$$

Выходные характеристики ДТЛ-элемента — зависимость выходного тока (тока нагрузки) i_2 от выходного напряжения U_2 при $U^*_1 = \text{const}$. На рис. 4.21, *в* семейство выходных характеристик

представлено двумя граничными характеристиками для $U_1^* \ll U_{пор}$ и $U_1^* \gg U_{пор}$. При $U_1^* \ll U_{пор}$ транзистор заперт и выходная характеристика по существу описывает ВАХ резистора $R3$, подключенного к источнику питания $U_{и.п}$. При $U_1^* \gg U_{пор}$ транзистор насыщен и выходное сопротивление ДТЛ-элемента определяется как $R^0_{вых} = r_{к.н} \parallel R_3 \approx r_{к.н}$. С ростом тока (втекающего) нагрузки уменьшается коэффициент насыщения и при достижении значения $I_2^1 = \beta (U_{и.п} - U_{0д2} - U_{0д3} - U_{0т})/R_1 - U_{и.п}/R_3$ транзистор из насыщения переходит в активный режим и его выходное сопротивление возрастает:

$$R^1_{вых} = r_{кэ} \parallel R_3 \approx R_3,$$

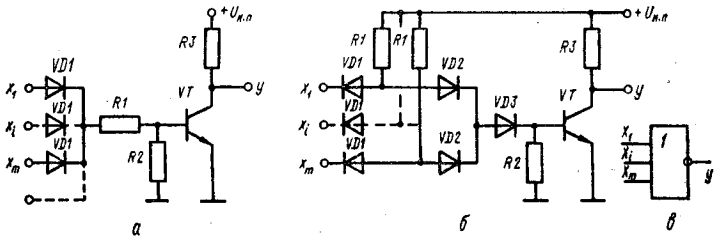


Рис. 4.22

где $r_{кэ}$ — выходное сопротивление транзистора в активном режиме. Как видно из выходных характеристик, нагрузочная способность ДТЛ-элемента в статическом режиме зависит от сопротивления R_3 и коэффициента усиления транзистора по току β. Чем меньше сопротивление R_3, тем больше I_2^1 и $K_{раз}$, но тем выше энергопотребление элемента. Сопротивление R_3 определяет скорость перезаряда нагрузочной емкости $C_н$ и длительность фронта $t_ф^{01}$.

Из других базовых ИМС ДТЛ-типа необходимо выделить элемент, выполняющий функцию инверсии $y = \bar{x}$ (НЕ) и элемент ИЛИ—НЕ. Первый из них — частный случай элемента И—НЕ при $m = 1$. Схемные реализации элемента ИЛИ—НЕ показаны на рис. 4.22. Схема на рис. 4.22,*а* проще, но обладает существенным недостатком: степень насыщения транзистора S, а следовательно, и быстродействие элемента зависит от уровня «логической 1» U_1^1 на входе, который может изменяться по многим причинам. Такую зависимость можно устранить усложнением схемы (рис. 4.22,*б*). На рис. 4.22,*в* показано условное графическое изображение элемента m ИЛИ—НЕ.

Нагрузочная способность ДТЛ-элемента увеличивается при использовании на его выходе двухтактного усилителя мощности. На рис. 4.23,*а*, *б* на примере ДТЛ-элемента двухступенчатой логики И—ИЛИ—НЕ показана схема усилителя мощности, часто используемого в ИМС на биполярных транзисторах. Здесь первый каскад (*VT1*) имеет два фазоинверсных выхода, которые управляют режимом транзисторов оконечного каскада на состав-

ном транзисторе $VT2$, $VT3$ и транзисторе $VT4$. Если доминирующий входной сигнал

$$U_1^* = \max\{\min\{U_{11}, U_{12}\}, \min\{U_{13}, U_{14}\}\} < U^0_{\text{пор}},$$

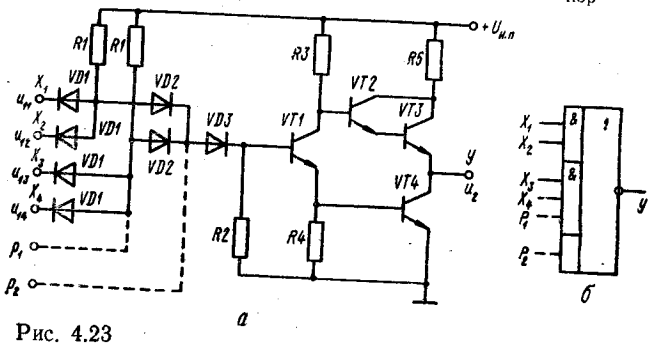


Рис. 4.23

то транзисторы $VT1$ и $VT4$ заперты, а $VT2$, $VT3$ открыты и на выходе формируется высокий уровень:

$$U_2^1 = U_{\text{и. п}} - I_{\text{к01}}R_3 - U_{\text{0т2}} - U_{\text{0т3}}.$$

Таблица 4.1

Тип ИМС	Функциональное назначение	$t_{\text{зд. р}}$, нс, не более	$I_{\text{пот}}$, мА, не более	УГО (рис. 4.24)
К 555: $I_1^0 \leqslant \lvert -0{,}36 \rvert$ мА; $I_1^1 \leqslant 20$ мкА; $I_2^1 \leqslant 0{,}1$ мА; $U_2^0 \leqslant 0{,}5$ В; $U_2^1 \geqslant 2{,}7$ В				
141/ЛА7	Два логических элемента 4И—НЕ	20/32	2,2	*а*
ЛА2	8И—НЕ	35	1,1	*б*
ЛА3	2И—НЕ	20	4,4	*в*
ЛА4	3И—НЕ	20	3,3	*г*
ЛА9	2И—НЕ с открытым коллекторным выходом	32	4,4	*в*
ЛА10	3И—НЕ с открытым коллекторным выходом	32	3,3	*г*
ЛЕ1	2ИЛИ—НЕ	20	5,4	*д*
ЛИ1	2И	24	8,8	*е*
ЛИ2	2И с открытым коллекторным выходом	35	8,8	*е*
ЛИ3	3И	24	6,6	*ж*
ЛИ6	4И	24	4,4	*з*
ЛЛ1	2ИЛИ	22	9,8	*и*
ЛН1/ЛН2	НЕ	20/32	6,6	*к*
ЛР4	4—4И—2ИЛИ—НЕ	20	1,3	*л*
ЛР11	2—2И—2ИЛИ—НЕ, 3—3И—2ИЛИ—НЕ	20	2,8	*м*
ЛП5	«Исключающее ИЛИ»	30	10	*н*

Если же $U_1^* > U_{\text{пор}}^1$, транзисторы *VT1* и *VT4* насыщены, а *VT2*, *VT3* — в режиме отсечки. На выходе устанавливается низкий уровень $U_2^0 = i_2 r_{\text{к. н}}$. В обоих состояниях сквозной ток через транзисторы *VT2*, *VT3* и *VT4* не протекает, так как в этой цепи

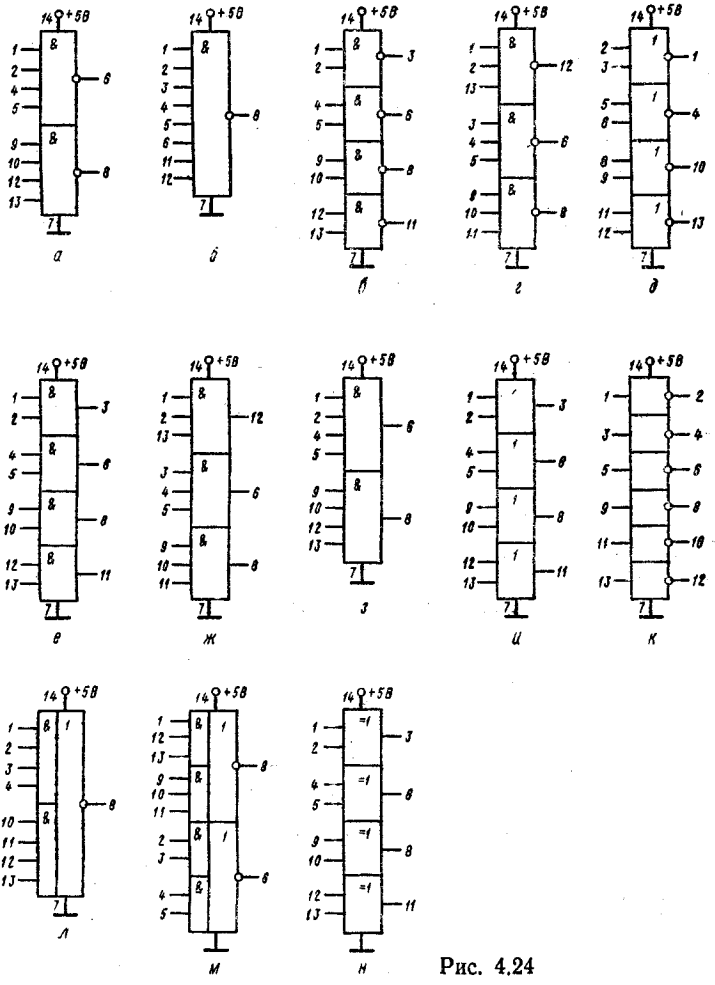


Рис. 4.24

всегда один транзистор заперт. Благодаря этому выходное сопротивление ДТЛ-элемента в обоих логических состояниях мало, а энергопотребление схемы не возрастает. Сквозной ток через оконечный каскад может протекать в переходном режиме «логического 0» в «логическую 1» на выходе. Для его ограничения в схему включен резистор *R5*. Нагрузочная способность таких элементов достигает $K_{\text{раз}} = 10$ и выше.

В табл. 4.1 приведены основные классификационные параметры ДТЛ-комбинационных элементов наиболее широко используемых промышленных серий ИМС [33]. В графе УГО (условное графическое обозначение) приведена позиция чертежа корпуса на рис. 4.24, на котором показан тип корпуса и функциональное назначение выводов ИМС.

4.5. ТРАНЗИСТОРНО-ТРАНЗИСТОРНЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Простейший элемент транзисторно-транзисторной логики (ТТЛ) получают из ДТЛ-элемента (см. рис. 4.20,*а*) заменой группы входных диодов *VD1*, а также диодов смещения *VD2*, *VD3* (рис. 4.25, *а*) многоэмиттерным биполярным транзистором (МЭТ) с числом эмиттеров, соответствующим числу входов *m* (рис. 4.25,*б*). Статические характеристики схемы рис. 4.25,*в*

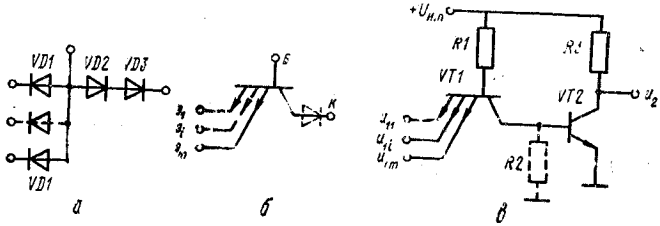


Рис. 4.25

подобны характеристикам ДТЛ-элемента (см. рис. 4.21). Отличие состоит в изменении порогового напряжения

$$U_{\text{пор}} = U_{\text{к. н1}} + U_{\text{0т2}} + (U_{\text{и. п}} - U_{\text{0т2}})\, r_{\text{б}}^{*}/R_1,$$

где $U_{\text{к.н1}}$ — напряжение коллектор — эмиттер насыщенного МЭТ, $U_{\text{0т2}}$ — пороговое напряжение транзистора *VT2*. Уменьшение порогового напряжения влечет за собой снижение помехоустойчивости. Кроме того, входной ток $I^{1}_{\text{вх}}$ при высоком уровне входного сигнала $U^{1}_{\text{вх}}$ заметно больше, чем в ДТЛ-элементе, так как представляет собой ток транзистора *VT1* в инверсном активном режиме.

Схема базового ТТЛ-элемента промышленных серий, реализующая логическую функцию И—НЕ, показана на рис. 4.26,*а*. В системе положительной логики МЭТ *VT1* с резистором *R1* в цепи базы реализуют логическую операцию И, а двухтактный усилитель мощности на транзисторах *VT2*, *VT3*, *VT5* (*VT4* используется как диод) выполняет функцию НЕ, обеспечивает формирование стандартных логических уровней выходного сигнала и согласование ТТЛ-элемента с заданной нагрузкой.

Режим работы МЭТ определяется доминирующим входным сигналом

$$U_1^{*} = \min\{U_{1i}\}, \qquad i = \overline{1,\ m},$$

а также входным сопротивлением транзистора *VT2*. Если потенциал базы транзистора *VT2* $U_{\text{б2}}$ меньше порогового напряжения U_{02}

(для кремниевых транзисторов $U_0^{Si} \approx 0{,}7$ В), транзистор $VT2$ находится в режиме отсечки, на его коллекторе поддерживается высокий потенциал $U_{к2} \approx U_{и.п}$, а на эмиттере — низкий потенциал $U_{э2} = U_{б5} \approx 0$. Поэтому транзистор $VT5$ также заперт, а транзисторы $VT3$, $VT4$ открыты (в активном режиме), но при отключенной нагрузке ток через $VT3$, $VT4$ определяется обратным током коллекторного перехода транзистора $VT5$ $I_{к0}$. Входное сопротивление транзистора $VT2$ велико и входной ток мал $I_{б2} = -I_{к02}$. С увеличением потенциала $U_{б2} > U_{02}$ транзистор $VT2$ переходит в активный режим, токи $I_{к2}$ и $I_{э2}$ увеличиваются, растет потенциал эмиттера $U_{э2}$ и падает потенциал коллектора $U_{к2}$. Пока

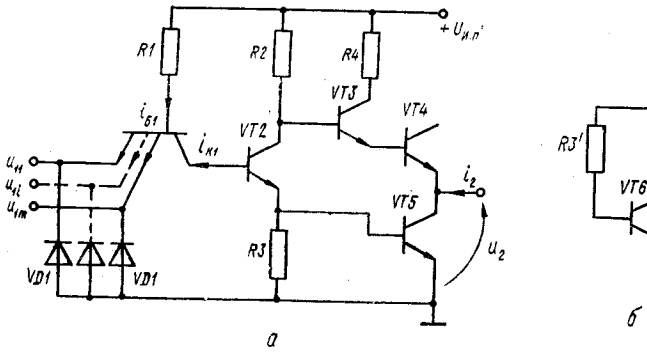


Рис. 4.26

потенциал $U_{э2}$ недостаточен для отпирания транзистора $VT2$, его входное сопротивление

$$R_{вх2} = r_{б2} + (\beta_2 + 1)(\varphi_т/I_{э2} + R_э) \approx R_э\beta_2\,[\varphi_т/(U_{б2} - U_{02}) + 1]$$

остается большим и входной ток $I_{б2} = I_{к1}$ незначительно возрастает. В момент отпирания транзистора $VT5$ полное эмиттерное сопротивление $R_{вх5} = [r_{б5} + (\beta_5 + 1)\,\varphi_т/I_{э5}] \parallel R_э$ и, следовательно, входное сопротивление транзистора VT_2

$$R_{вх2} = r_{б2} + (\beta_2 + 1)\,(R_э \parallel R_{вх5}) \approx r_{б2} + r_{б5}\,(\beta_2 + 1)$$

резко уменьшается и соответственно увеличивается ток $I_{б2} = I_{к1}$.

Резкое падение входного сопротивления, таким образом, происходит при $U_{б2} = U_{пор} \approx U_{02} + U_{05} \approx 1{,}4$ В. Поэтому при любой комбинации входных сигналов, если $U_1^* < U_{пор}$, ток базы МЭТ

$$I_{б1}^0 = (U_{и.п} - U_1^* - U_{01})/R_1$$

замыкается через один или несколько прямосмещенных эмиттерных переходов МЭТ и поддерживает его в режиме насыщения. Поскольку напряжение коллектор — открытый эмиттер в режиме насыщения транзистора $U_{к.н} \approx 0$, можно считать, что $U_{б2} = U_1^* +$

$+U_{к.н} \approx U_1^*$, т. е. входное напряжение усилителя $U_{б2}$ равно наименьшему из входных напряжений.

Если $U_1^* > U_{пор}$, то все эмиттеры МЭТ смещены в обратном направлении, а коллектор — в прямом и МЭТ работает в инверсном активном режиме. В цепи базы протекает ток

$$I_{б1}^1 \approx (U_{и.п} - U_{пор} - U_{0к1})/R_1,$$

($U_{0к1}$ — напряжение на открытом коллекторе МЭТ), который определяет входные токи «логической 1» I_{1i}^1. Сумма входных токов

$$\sum_{i=1}^{m} I_{1i}^1 = I_{б1}^1 \beta_I = I_{к1}^1 \frac{\beta_I}{\beta_I + 1} = I_{к1}^1 \alpha_I,$$

где α_I, β_I — коэффициенты передачи тока МЭТ в инверсном активном режиме. Ток $I_{к1}^1$ обеспечивает состояние насыщения транзистора *VT2* с коэффициентом насыщения

$$S = \frac{R_1 (U_{и.п} - U_{05})}{R_2 \beta_2 (U_{и.п} - U_{пор} - U_{0к1})}.$$

На коллекторе насыщенного транзистора *VT2* и базе *VT3* имеем низкий потенциал, слагающийся из напряжения на открытом эмиттерном переходе транзистора *VT5* и остаточного напряжения насыщения транзистора *VT2* $U_{к2}^0 = U_{б3}^0 = U_{б5} + U_{к.н2} \approx U_{б5}$. Выходное напряжение U_2 определяется напряжением коллектор — эмиттер транзистора *VT5* и в его насыщенном состоянии пропорционально току нагрузки I_2:

$$U_2^0 = r_{к.н5} I_2,$$

где $r_{к.н5}$ — сопротивление промежутка коллектор — эмиттер насыщенного транзистора *VT5*.

Во многих реализациях ТТЛ-элементы содержат во входной цепи защитные диоды *VD1*, которые предотвращают пробой эмиттерного перехода транзистора *VT2* входными сигналами и помехами отрицательной полярности. При напряжении на входе $U_{1i}^0 < -0{,}7$В открывается соответствующий диод *VD1*, шунтирует вход и напряжение $U_{б2}$ не падает существенно ниже — 0,7 В.

Статические входная (*а*), передаточная (*б*) и выходные (*в*) характеристики ТТЛ-элемента И—НЕ показаны на рис. 4.27.

Область *I* входной и передаточной характеристики ограничена изменением доминирующего входного сигнала в диапазоне $0 < U_1^* < U_0 \approx 0{,}7$ В. При этом входное сопротивление линейно и входной ток определяется выражением

$$i_i^I = (U_1 + U_{01} - U_{ип})/R_1.$$

Выходное напряжение остается неизменным и определяется выражением

$$U_2^1 = U_{и.п} - R_2 I_2^- / (\beta_3 + 1) - U_{03} - U_{04}, \qquad (4.27)$$

где I_2^- — абсолютное значение «вытекающего» из элемента тока нагрузки. При $U_{и.п} = 5$ В, $I_2^- = 0$ из выражения (4.27) получим типовое значение единичного выходного уровня ТТЛ-элемента: $U_2^1 = 5 - 2 \cdot 0{,}7 = 3{,}6$ В.

Излом входной характеристики в точке *А* появляется при наличии в ТТЛ-элементе защитных диодов *VD1* на входе.

Область *II* ограничена входными напряжениями $U_0 < U_1^* < 2U_0$. Так как транзистор *VT2* находится в активном режиме, входное сопротивление ИМС становится несколько меньше и определяется параллельно включенными сопротивлениями R_1 и $R_{вх2} \gg R_1$. Поэтому на входной характеристике в точке *В* наблюдается слабый излом.

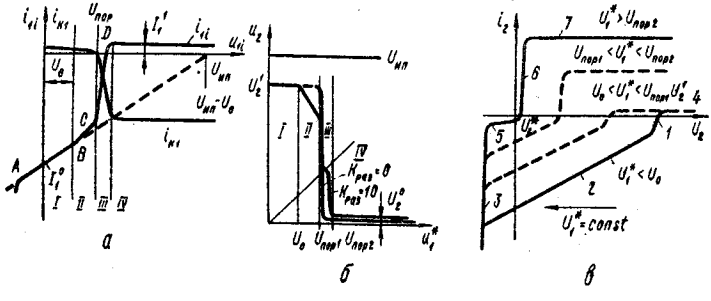


Рис. 4.27

Изменение выходного напряжения в области *II* обусловлено коэффициентами передачи фазоинверсного каскада на транзисторе $VT2 - K_{U2} = -R_2/R_3$ и эмиттерного повторителя на транзисторе $VT3 - K_{U3} \approx 1$.

Наличие области *II* снижает помехоустойчивость ТТЛ-элемента на низких уровнях входного сигнала, так как необходимо, чтобы $U_1^* + U_{пом}^0 < U_0$. Эта область устраняется и помехоустойчивость возрастает, если резистор R_3 (рис. 4.26,*а*) заменить нелинейным двухполюсником на транзисторе *VT6* (рис. 4.26,*б*). В этом случае область *I* входных и передаточных ВАХ расширяется до $U_1^* < 2U_0$. На рис. 4.27,*а*, *б* соответствующие ВАХ показаны штриховой линией.

Область *III* входной и передаточной характеристик формируется при малых (десятки милливольт) приращениях U_1^* в окрестности $U_1^* = U_{пор}$. На входной характеристике наблюдается переключение тока резистора *R1* из входной цепи в цепь базы транзистора *VT2*. Крутизна передаточной характеристики в области *III* максимальна, так как все транзисторы ТТЛ-элемента находятся в активном режиме и коэффициент передачи напряжения максимален. В случае большой нагрузки элемента ($K_{раз} = 10$) на уровне $U_2 = U_{пор}$ наблюдается излом передаточной характеристики, объясняемый той же причиной, что и в ДТЛ-элементе.

Область *IV* характеризует элемент во включенном состоянии. Выходное напряжение U_2^0 не зависит от входного, но зависит от тока нагрузки.

Выходные характеристики $i_2 = f_2(U_2)$ (рис. 4.27, *в*) в зависимости от значения параметра $U_1^* = \text{const}$ покрывают область между граничными характеристиками, определенными для $U_1^* \leqslant U_0$ и $U_1^* \geqslant U_{\text{пор}2}$. Если $U_1^* < U_0$, то при токе нагрузки $I_2 = 0$ на выходе формируется высокий уровень U_2^1 согласно выражению (4.27). При уменьшении выходного напряжения U_2 растет «вытекающий» из ИМС ток, и ток I_2 быстро нарастает (участок *1*), так как транзистор *VT3* в активном режиме и его выходное сопротивление мало: $R_{\text{вых}} = r_{э4} + r_{э3} + \dfrac{r_{б3} + R_2}{\beta_3 + 1}$. При переходе транзистора *VT3* в режим насыщения выходное сопротивление возрастает ($R_{\text{вых}2} \approx R_2$), крутизна характеристик уменьшается и остается постоянной вплоть до отрицательных напряжений (участок *2*). Участок *3* при $U_2 < 0$ обусловлен влиянием паразитного диода коллектор—подложка транзистора *VT5*. Увеличение $U_2 \geqslant U_2^1$ приводит к запиранию эмиттеров транзисторов *VT3* и *VT4*, поэтому на участке *4* выходной ток не зависит от U_2 $I_2^1 = I_{к05} + I_{э04}$.

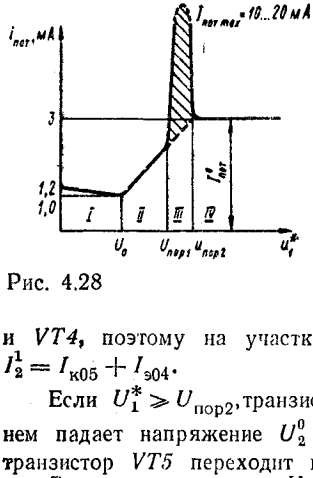


Рис. 4.28

Если $U_1^* \geqslant U_{\text{пор}2}$, транзистор *VT5* насыщен и при $I_2 = 0$ на нем падает напряжение $U_2^0 \approx 0{,}05 \ldots 0{,}1$ В. С уменьшением U_2 транзистор *VT5* переходит в инверсный активный режим (участок *5*), а с увеличением U_2 ток i_2 нарастает (участок *6*). При переходе транзистора *VT5* в активный режим его выходное сопротивление резко возрастает, а ток i_2 стабилизируется (участок *7*).

В диапазоне изменения входного параметра $U_0 < U_1^* < 2U_0$, что соответствует области *II* передаточной ВАХ, участки *1* и *2* выходной характеристики смещаются влево на величину напряжения, соответствующую приращению $\Delta U_2 = \Delta U_1^* R_2 / R_3$, и ограничены экстраполируемыми участками *3* и *4*. В режиме максимального усиления ТТЛ-элемента (область *III* передаточной ВАХ) транзистор *VT5* находится в активном режиме, поэтому выходной ток, соответствующий участку *4*, нарастает вплоть до граничного значения (участок *7*).

Потребляемый ТТЛ-элементом ток от источника питания также зависит от доминирующего входного сигнала (рис. 4.28). При $U_1^* = 0$ потребляемый ток $i_{\text{пот}}$ обусловлен только входными токами и ограничивается резистором *R1* (см. рис. 4.26, *а*). С ростом U_1^* в области *I* $i_{\text{пот}}$ уменьшается, так как уменьшается входной ток. В области *II* ток $i_{\text{пот}}$ нарастает за счет открывающегося транзистора *VT2*. В области *III* $i_{\text{пот}}$ достигает максимума, когда все

транзисторы элемента открыты. В области *IV* потребляемый ток $i_{пот}$ определяется базовой и коллекторной цепью транзистора *VT2*

$$I^0_{пот} = \frac{U_{и.п} - 3U_0}{R_1} + \frac{U_{и.п}}{R_2 + R_3}.$$

Следует отметить, что наибольший внутренний ток потребления протекает в переходном процессе, когда транзистор *VT3* отпирается, а *VT5* запирается с задержкой на рассасывание заряда в базе. Для ограничения сквозного тока через оконечный каскад в коллекторную цепь транзистора *VT3* включен резистор *R4*.

Переходные процессы в ТТЛ-элементе обусловлены накоплением и рекомбинацией неосновных носителей в базах транзи-

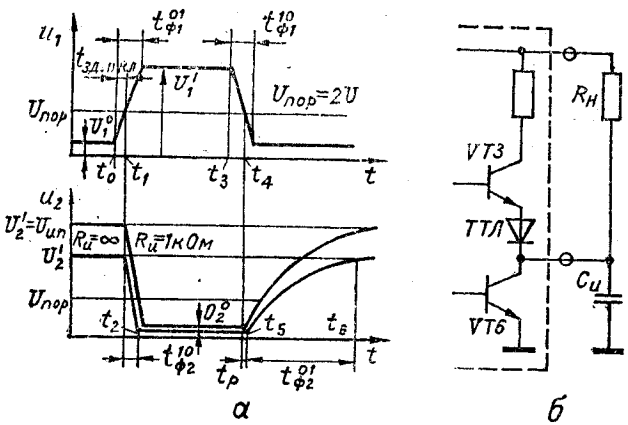


Рис. 4.29

сторов, а также перезарядом межэлектродных, монтажных и нагрузочной емкостей. На рис. 4.29,*а* показаны временные диаграммы для входного и выходных импульсов при емкости нагрузки $C_н = 300$ пФ и сопротивлениях нагрузки $R_н = 1$ кОм и $R_н \to \infty$ (рис. 4.29,*б*)

Задержка включения на переднем фронте выходного импульса определяется крутизной фронта входного импульса

$$t_{зд.\,вкл} = t_1 - t_0 = t^{01}_{ф1}\,(U_{пор} - U^0_1)/(U^1_1 - U^0_1).$$

Отрицательный фронт выходного сигнала формируется в процессе разряда емкости нагрузки $C_н$ коллекторным током транзистора *VT5*. При $R_н = \infty$ U_2 падает линейно во времени и длительность фронта

$$t^{10}_ф = t_2 - t_1 = (U^1_2 - U^0_2)\,C_н/I_{к5} = (U^1_2 - U^0_2)\,C_н/(\beta_5 I_{б5}), \quad (4.28)$$

где

$$I_{б5} = [U_{и.п}R_3 - U_0\,(R_2 + R_3)]/(R_2 \cdot R_3 + R_2 r_{б5} + R_3 r_{б5})$$

или при $r_{б5} \ll R_2$, R_3: $I_{б5} \approx U_{и.п}/R_2$.

Длительность задержки выключения $t_{зд.\,вык}$ определяется крутизной отрицательного фронта выходного сигнала $t_{ф1}^{10}$, а также процессом рассасывания избыточного заряда в базе транзистора *VT5*:

$$t_{зд.\,вык} = t_б - t_з = \frac{U_1^0 - U_1^1}{U_{пор} - U_1^1}\, t_{ф1}^{10} + \tau_{н5} \ln \frac{I_{э3} + \beta_5 I_{б5}}{I_{э3}}, \quad (4.29)$$

где $\tau_{н5}$ — среднее время жизни неосновных носителей в базе насыщенного транзистора *VT5*; $I_{э3} = (U_{и.\,п} - 2U_0)(\beta_3 + 1)/R_2$ — ток эмиттера транзистора *VT3* на этапе рассасывания.

Длительность выключения ТТЛ-элемента $t_{ф2}^{01}$ определяется процессом заряда емкости нагрузки $C_н$ через открытые транзисторы *VT3* и *VT4*:

$$t_{ф2}^{01} \approx 3\tau_{зар} = 3C_н R_{вых}^1, \quad (4.30)$$

где $R_{вых}^1 = r_{б4} + (R_2 + r_{б3})/(\beta_3 + 1)$.

Подключение сопротивления нагрузки приводит к уменьшению длительности фронта $t_{ф2}^{01}$, так как $R_н$ образует дополнительную цепь заряда, одновременно увеличивается фронт t^{10} вследствие увеличения перепада выходного напряжения $\Delta U_2^{ф2}$.

Важнейшими классификационными параметрами промышленных серий ИМС являются длительности задержки распространения $t_{зд.\,р}^{10}$ и $t_{зд.\,р}^{01}$. В случае ТТЛ-элемента, нагруженного на $C_н$, они определяются соотношениями (по уровням $U_{пор}$ входного и выходного сигналов):

$$t_{зд.\,р}^{10} = t_{ф1}^{01} \frac{U_{пор} - U_1^0}{U_1^1 - U_1^0} + C_н \frac{U_2^1 - U_{пор}}{\beta_5 I_{б5}}; \quad (4.31)$$

$$t_{зд.р}^{01} = t_{зд.\,вык} + C_н R_{вых}^1 \ln \frac{U_2^1 - U_2^0}{U_2^1 - U_{пор}}. \quad (4.32)$$

Как видно из соотношений (4.28) — (4.30), увеличение быстродействия ТТЛ-элементов связано с уменьшением сопротивлений внутренних резисторов, что приводит к росту потребляемой элементами энергии, причем произведение

$$P_{пот.\,ср} t_{зд.\,р.\,ср} = 0{,}25\,(P_{пот}^0 + P_{пот}^1)\,(t_{зд.\,р}^{01} + t_{зд.\,р}^{10}) \approx \text{const}$$

характеризует в целом технологию ИМС.

На рис. 4.30,*а* показаны схема логического элемента 2—2И—2ИЛИ—НЕ и его условное графическое обозначение (рис. 4.30,*б*). Здесь логическая функция И реализуется многоэмиттерными транзисторами *VT1'* и *VT1''* аналогично рассмотренной выше схеме И—НЕ. Функция ИЛИ реализуется включенными параллельно транзисторами *VT2'* и *VT2''*. Если хотя бы один из них открыт, через резисторы *R2*, *R3* протекает ток, который создает для транзистора *VT3* запирающий, а для *VT4* отпирающий потенциал на базе и на выходе элемента устанав-

ливается «логический 0». Если же $VT2'$ и $VT2''$ одновременно заперты, то на выходе устанавливается уровень U_2^1. Количество входов по И может быть различным по каждой из групп, но

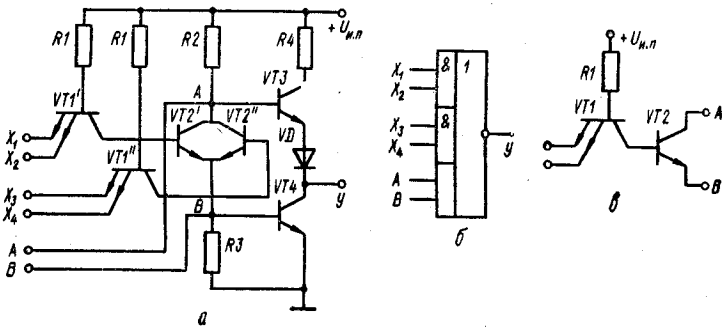


Рис. 4.30

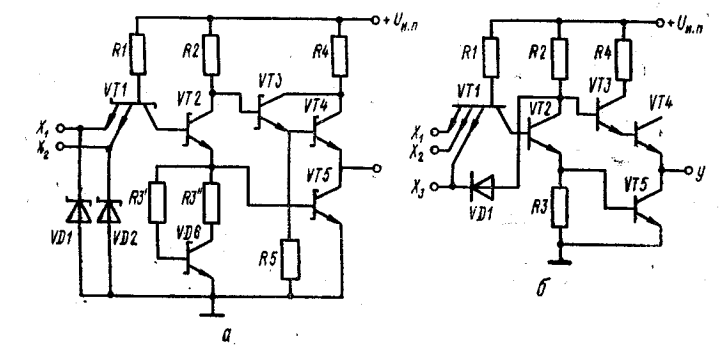


Рис. 4.31

обычно $K_{об.\ и} \leqslant 4$. В частном случае, когда каждый из транзисторов $VT1'$, $VT1''$ имеет один эмиттер, получается элемент одноступенчатой логики ИЛИ—НЕ. Количество входов (групп) по ИЛИ ограничено ($K_{об.\ или} \leqslant 4$) соображениями быстродействия и температурной стабильности, так как параллельное включение транзисторов $VT2'$, $VT2''$ приводит к увеличению эквивалентной емкостной нагрузки фазоинверсного каскада, а через резистор $R2$ протекает суммарный тепловой ток $I_{к0}$ транзисторов $VT2$.

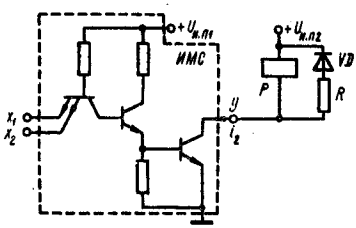


Рис. 4.32

В схеме на рис. 4.30, *а* показаны выводы *A*, *B*, которые можно использовать для подключения дополнительных внешних

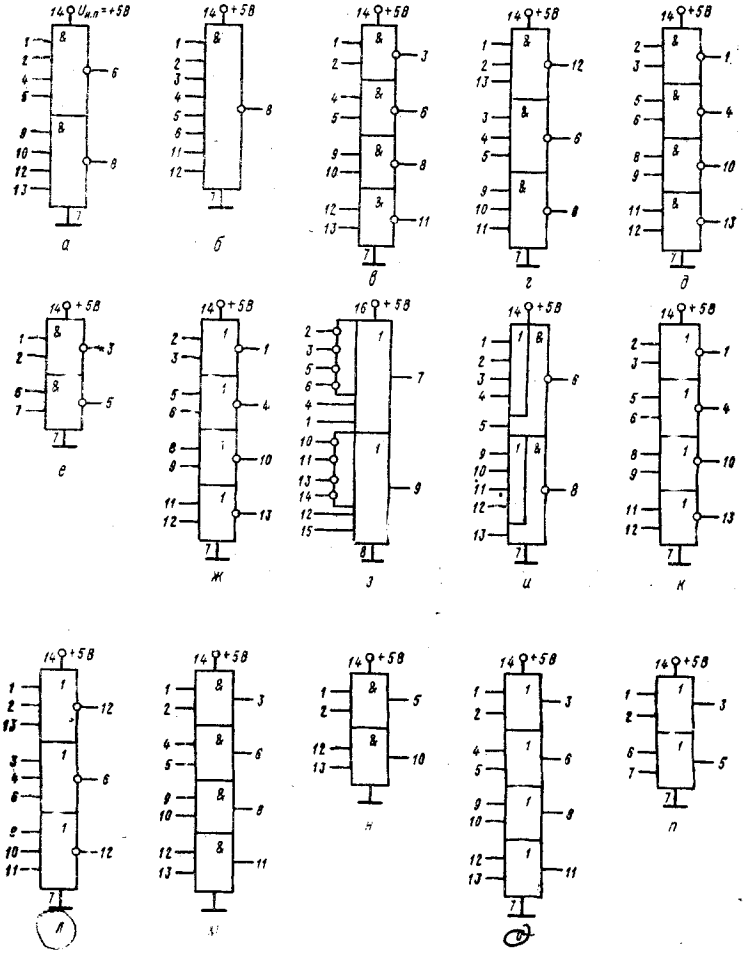
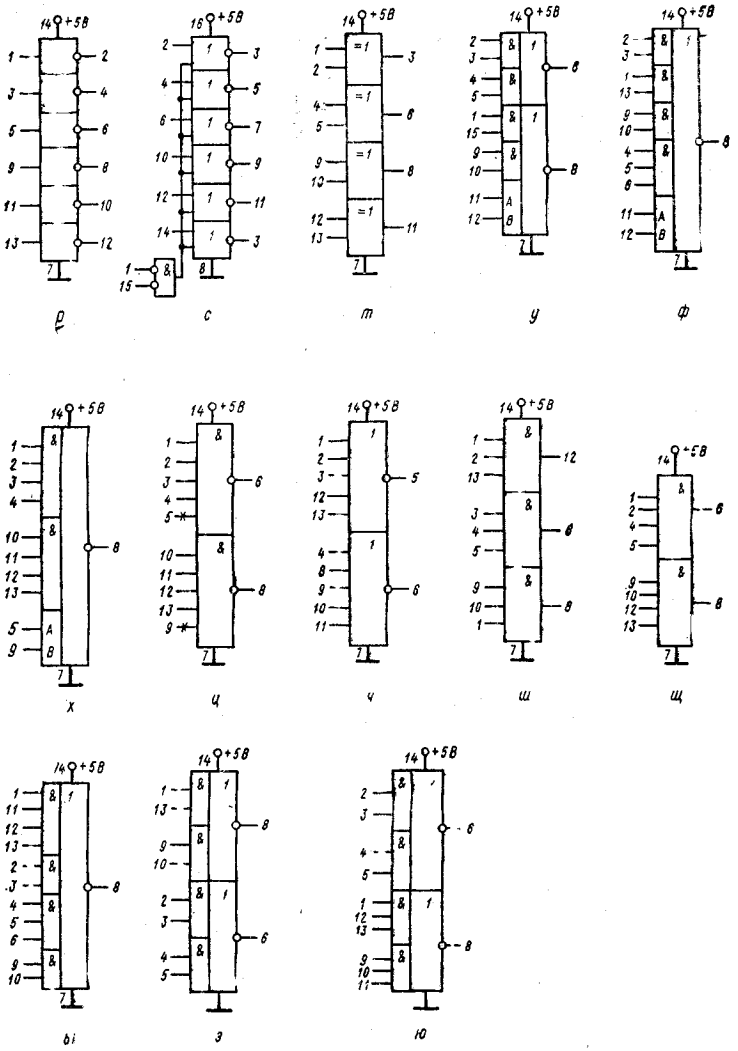


Рис. 4.33

схем, расширяющих логические возможности элемента. Схема широко используемого варианта расширителя (экспандера) показана на рис. 4.30,*в*.

Из схемных вариантов ТТЛ-элементов следует выделить элемент на транзисторах и диодах Шотки (ТТЛШ), схема которого показана на рис. 4.31,*а*. Высокое быстродействие ТТЛШ-элемента достигается ненасыщенным режимом работы транзисторов. Благодаря этому можно увеличить ток $I_{б5}$ и сократить в соответствии с выражением (4.28) длительность фронта $t^{10}_{ф2}$,



в результате уменьшается время задержки выключения $t_{зд.вык}$, так как в выражении (4.29) исключается второе слагаемое.

При использовании составного транзистора *VT3*, *VT4* согласно выражению (4.30) уменьшается длительность положительного фронта $t_{ф2}^{01}$, поскольку уменьшается выходное сопротивление в состоянии «логической 1» на выходе:

$$R_{вых}^{1} = \left(r_{э3} + r_{б4} + \frac{R_2 + r_{б3}}{\beta_3 + 1}\right)\frac{1}{1+\beta_4} + r_{э4} \approx \frac{R_2}{\beta_3\beta_4}.$$

Таблица 4.2

Тип ИМС	Функциональное назначение	$t_{зд.\,р}$, нс, не более	$I_{пот}$, мА, не более	УГО (рис. 4.33)
К155: $I_1^0 \leqslant \lvert -1{,}6 \rvert$ мА; $I_1^1 \leqslant 40$ мкА; $I_2^1 \leqslant 50$ мкА; $U_2^0 \leqslant 0{,}4$ В; $U_2^0 \geqslant 2{,}4$ В				
ЛА1	2—4И—НЕ	22	11	*а*
ЛА2	8И—НЕ	22	6	*б*
ЛА3/ЛА12	2И—НЕ	22	22	*в*
ЛА4	3И—НЕ	22	16,5	*г*
ЛА6	4И—НЕ	22	21	*а*
ЛА7	2И—НЕ с открытым коллекторным выходом	—	22	*а*
ЛА8	2И—НЕ с открытым коллекторным выходом	—	22	*д*
ЛА10	3И—НЕ с открытым коллекторным выходом	45	16,5	*г*
ЛА11/ЛА13	2И—НЕ с открытым коллекторным выходом	24/22	22/54	*в*
ЛА18	2И—НЕ с открытым коллекторным выходом	45	71	*е*
ЛЕ1	2ИЛИ—НЕ	22	27	*ж*
ЛЕ2	4ИЛИ—НЕ с расширением и стробированием	22	19	*в*
ЛЕ3	4ИЛИ—НЕ со стробированием	22	19	*и*
ЛЕ4	3ИЛИ—НЕ	15	26	*л*
ЛЕ5	2ИЛИ—НЕ — буферное устройство	12	57	*к*
ЛЕ6	2ИЛИ—НЕ — магистральный усилитель	12	57	*к*
ЛИ1	2И	27	33	*м*
ЛИ5	2И с открытым коллекторным выходом	120	65	*н*
ЛЛ1	2ИЛИ	22	38	*о*
ЛЛ2	2ИЛИ с открытым коллекторным выходом	35	68	*п*
ЛН1/ЛН5	НЕ	22/23	33/51	*р*
ЛН2	НЕ с открытым коллекторным выходом	55	33	*р*
ЛН3	НЕ с повышенным коллекторным напряжением	23	51	*р*
ЛН6	НЕ с тремя логическими состояниями выхода	37	77	*с*
ЛР1	2—2И—2ИЛИ—НЕ	22	14	*у*
ЛР3	2—2—2—3И—4ИЛИ—НЕ с расширением по ИЛИ	22	9,5	*ф*
ЛР4	4—4И—2ИЛИ—НЕ с расширением по ИЛИ	22	14	*х*
ЛП5	«Исключающее ИЛИ»	30	—	*т*

Тип ИМС	Функциональное назначение	$t_{зд.\ р}$, нс, не более	$I_{пот}$, мА, не более	УГО (рис. 4.33)
К531: $I_1^0 \leqslant \lvert -2 \rvert$ мА; $I_1^1 \leqslant 50$ мкА; $T_2^1 \leqslant 0{,}1$ мА; $U_2^0 \leqslant 0{,}5$ В; $U_2^1 \geqslant 2{,}7$ В				
ЛА1П/ЛА16П	4И—НЕ	5/6,5	18/44	*а/а*
ЛА2П	8И—НЕ	7	10	*б*
ЛА3П/ЛА12П	2И—НЕ	5/6,5	36/80	*в/в*
ЛА4П	3И—НЕ	5	27	*г*
ЛА9П	2И—НЕ с открытым коллекторным выходом	7,5	36	*в*
ЛА17П	4И—НЕ с тремя логическими состояниями выхода	9	50	*ц*
ЛЕ1П	2ИЛИ—НЕ	5,5	45	*ж*
ЛЕ7П	5ИЛИ—НЕ	6	45	*ч*
ЛИ1П	2И	7,5	57	*м*
ЛИ3П	3И	7,5	42	*ш*
ЛН1П	НЕ	5,0	54	*р*
ЛН2П	НЕ с открытым коллекторным выходом	7,5	54	*р*
ЛР9П	4—2—3—2И—4ИЛИ—НЕ	5,5	16	*н*
ЛР10П	4—2—3—2И—4ИЛИ—НЕ с открытым коллекторным выходом	8,5	11	*ы*
ЛР11П	2—2И—2ИЛИ—НЕ	5,5	22	*э*
ЛП5П	«Исключающее ИЛИ»	10,0	75	*т*
К533: $I_1^0 \leqslant \lvert -0{,}36 \rvert$ мА; $I_1^1 \leqslant 20$ мкА; $I_2^1 \leqslant 0{,}1$ мА; $U_2^0 \leqslant 0{,}4$ В; $U^1 \geqslant 2{,}5$ В				
ЛА1	4И—НЕ	20	2,2	*а*
ЛА2	8И—НЕ	20	1,1	*б*
ЛА3	2И—НЕ	20	4,4	*в*
ЛА4	3И—НЕ	20	3,3	*г*
ЛА9	2И—НЕ с открытым коллекторным выходом	32	4,4	*в*
ЛЕ1	2ИЛИ—НЕ	20	5,4	*ж*
ЛИ1	2И	24	8,8	*м*
ЛИ3	3И	20	6,6	*ш*
ЛИ6	4И	24	4,4	*щ*
ЛЛ1	2ИЛИ	22	9,8	*о*
ЛН1	НЕ	20	6,6	*р*
ЛН2	НЕ с открытым коллекторным выходом	32	6,6	*р*
ЛР11	2—2И—2ИЛИ—НЕ, 3—3И—2ИЛИ—НЕ	20	2,8	*ю*
ЛП5	«Исключающее ИЛИ»	30	10	*т*

В соответствии с выражениями (4.31), (4.32) уменьшаются длительности $t^{01}_{зд.р}$, $t^{10}_{зд.р}$.

В схеме на рис. 4.31,*а* нелинейный двухполюсник на транзисторе *VT6* с резисторами *R3'*, *R3''* обеспечивает большое динамическое сопротивление в эмиттерной цепи транзистора *VT2* и температурную стабилизацию транзистора *VT5* в режиме отсечки. Благодаря большому сопротивлению такого двухполюсника коэффициент передачи элемента в области *II* (рис. 4.27,*б*) передаточной ВАХ $K_{U2} \approx 0$ и повышается помехоустойчивость ТТЛШ-элемента.

Для подключения к общей информационной шине используется специальный ТТЛ-элемент, у которого помимо двух обычных состояний «0» или «1» выходная цепь может находиться в третьем состоянии с отключенным выходом. Для реализации такого режима в схеме рис. 4.31,*б* используется дополнительный вход x_3. При $x_3 = 1$, $y = \overline{x_1 x_2}$, а при $x_3 = 0$ оба плеча оконечного двухтактного усилителя заперты и выход y от информационной шины оказывается отключенным.

В цифровых устройствах возникает необходимость реализовать «монтажное ИЛИ», переключать компоненты, питаемые дополнительными источниками напряжения (элементы индикации) или компоненты с токовым управлением (электромагнитные реле). Для этих целей предусмотрены ТТЛ-элементы, имеющие в качестве выходного каскад с открытым коллектором (рис. 4.32). В случае подключения к выходу такого элемента индуктивной нагрузки (обмотка реле) необходимо обеспечить защиту коллектора транзистора *VT3* от пробоя напряжением самоиндукции. Для этой цели обычно служит демпфирующая цепочка $R_ш$, *VDШ*.

В табл. 4.2 приведены основные классификационные параметры комбинационных ТТЛ-элементов широко используемых промышленных серий [33], а на рис. 4.33 показана коммутация таких элементов с внешними выводами корпуса.

4.6. ЭЛЕМЕНТЫ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ

Цифровые элементы эмиттерно-связанной логики (ЭСЛ) основаны на переключателях тока и отличаются от других типов ИМС наибольшим быстродействием и большой потребляемой мощностью. Большое быстродействие ЭСЛ-элементов обусловлено тем, что биполярные транзисторы в этих схемах работают без насыщения, т. е. могут находиться либо в активном режиме, либо в режиме отсечки. Вторым важным фактором, обеспечивающим увеличение быстродействия, является использование в элементах низкоомных резисторов, обеспечивающих быстрый перезаряд паразитных емкостей, но ценой увеличения потребляемой энергии, снижения перепада логических сигналов, а значит, и помехоустойчивости ЭСЛ-элементов. Схемным средством увеличения быстродействия является использование на выходах эмиттерных повторителей, обеспечивающих перезаряд емкостей в цепях нагрузки через малые выходные сопротивления. Одновременно улучшается и статическая нагрузочная способность ($K_{раз} \leqslant 15$).

Основой ЭСЛ-элемента является переключатель тока на двух транзисторах с эмиттерной связью (рис. 4.34) и двумя фа-

зоинверсными выходами U_{21} и U_{22}. Структурно такая схема представляет собой мост, к одной из диагоналей которого через источник стабильного тока I_0 приложено питающее напряжение $U_{и.п}$. С другой диагонали (коллекторы транзисторов *VT1*, *VT2*) снимается выходной сигнал. На базу транзистора *VT2* подан постоянный потенциал $U_{оп}$ от источника опорного напряжения. Если $R_1 \approx R_2 = R_к$ и на базу транзистора *VT1* подан потенциал $U_1 = U_{оп} < I_0 R_к$, то при совпадении параметров транзисторов мост уравновешен, т. е. $i_{к1} = i_{к2} = 0{,}5 I_0$ и $U_{21} = U_{22} = 0{,}5\ R_к I_0$. В этом случае оба транзистора находятся в активном режиме и представляют собой транзисторный усилительный каскад с эмиттерной связью и симметричным (фазоинверсным) выходом. В цифровой схемотехнике такой каскад используется в переклю-

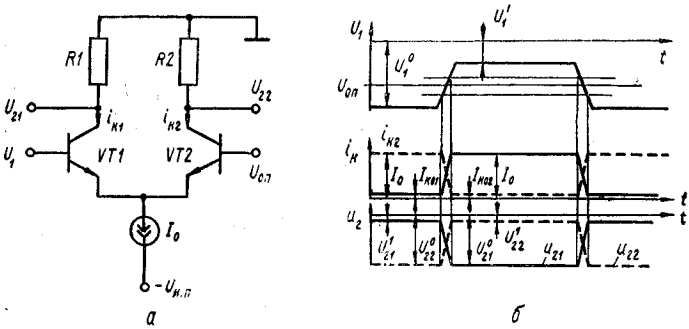


Рис. 4.34

чательном режиме. Для этого опорное напряжение выбирается из соотношения логических уровней управляющего сигнала

$$U_{оп} \approx 0{,}5\,(U_1^0 + U_1^1). \qquad (4.33)$$

На диаграммах рис. 4.34,*б* показаны зависимости токов коллекторов $i_{к1}$, $i_{к2}$ и потенциалов на коллекторах U_{21}, U_{22} от управляющего напряжения U_1. Если на вход подан низкий уровень $U_1^0 < U_{оп}$, то транзистор *VT1* заперт, а *VT2*— в активном режиме и через него и резистор *R2* замыкается ток I_0. На выходах устанавливаются потенциалы:

$$U_{21}^1 = -I_{к01} R_к, \quad U_{22}^0 = -I_0 R_к.$$

При подаче на вход сигнала высокого уровня $U_1^1 > U_{оп}$ транзистор *VT1* переключается в активный режим и через него протекает ток I_0, а транзистор *VT2* переходит в режим отсечки. На выходах переключателя тока устанавливаются уровни:

$$U_{21}^0 = -I_0 R_к, \quad U_{22}^1 = -I_{к02} R_к.$$

В результате на выходе U_{21} формируется противофазный, а на выходе U_{22}— синфазный выходные сигналы. При этом коллекторные токи в любых состояниях ненасыщенного ключа $i_{к1}$ +

$+ i_{к2} \approx I_0 = \text{const}$. Как видно из диаграмм рис. 4.34,*б*, уровни входного сигнала принципиально не совпадают с уровнями «0» и «1» выходного сигнала, поэтому для использования таких переключателей тока в цифровых элементах необходимы схемные средства согласования входных и выходных потенциалов.

На рис. 4.35 показана схема базового логического элемента ЭСЛ-типа. Здесь переключатель тока построен на транзисторе *VT2* и группе параллельно включенных транзисторов *VT1* по числу логических входов ЭСЛ-элемента. Стабилизация общего эмиттерного тока I_0 транзисторов *VT1* и *VT2* осуществляется высокоомным резистором $R_э$. Опорное напряжение $U_{оп}$ определяется резистивным делителем напряжения *R1*, *R2* и через эмиттерный повторитель на транзисторе *VT5* подается на базу

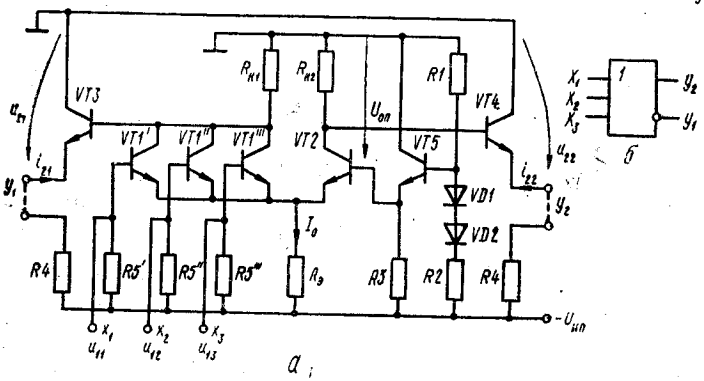


Рис. 4.35

транзистора *VT2*. Для температурной компенсации напряжения $U_{оп}$ в базовой цепи транзистора *VT5* включены диоды *VD1* и *VD2*. Эмиттерные повторители на выходах ЭСЛ-элемента (транзисторы *VT3*, *VT4*) обеспечивают усиление выходного сигнала по мощности и согласование уровней входных и выходных сигналов, снижая уровни сигналов на выходах ЭСЛ-элемента на величину $U_0 \approx 0{,}7$ В ниже, чем потенциалы коллекторов транзисторов *VT1*, *VT2*. Эмиттерные резисторы *R4* подключаются в случае необходимости внешней перемычкой. Это дает возможность объединять выходы нескольких ЭСЛ-элементов в «монтажное ИЛИ» на одном общем резисторе *R4*. Резисторы *R5* предназначены для надежного запирания транзисторов *VT1* на неиспользованных входах. Для улучшения помехозащищенности элемента обычно разделяют шины «земля» так, что к одной шине подключены внутренние логические элементы, а к другой — эмиттерные повторители. В этом случае импульсные помехи в мощных цепях эмиттерных повторителей не влияют на режим работы переключателя тока.

Принцип работы базового ЭСЛ-элемента основан на работе переключателя тока на транзисторах *VT1* и *VT2*. Вследствие неидеальности источника тока I_0 уровень U_{21}^0 в некоторой степени зависит от величины доминирующего входного напряжения

$$U_1^* = \max\{U_{1i}\},\ i = \overline{1, m}.$$

При напряжении питания $U_{и.п} = -5{,}2$ В $\pm 5\%$ в системе положительной логики «логических 0 и 1» выбираются соответственно $U^0 = -1{,}7$ В, $U^1 = -0{,}9$ В. Согласно выражению (4.33) опорное напряжение устанавливается на уровне $U_{оп} = -1{,}3$ В. Если на все входы элемента подано напряжение «логического 0» $U_1^* = -1{,}7$ В, то все транзисторы *VT1* закрыты, так как потенциал общего эмиттера $U_э = U_{оп} - U_{бэ2} = -1{,}3 - 0{,}75 = -2{,}05$ В и положительное смещение $U_{бэ1} = -1{,}70 + 2{,}05 = 0{,}35$ В недостаточно для отпирания кремниевого транзистора. На выходе y_1 элемента устанавливается уровень «логической 1» U_{21}^1, обусловленный протеканием через резистор $R_{к1}$ тепловых токов $I_{к0}$ входных транзисторов *VT1* и тока базы транзистора *VT5* с учетом падения напряжения на эмиттерном переходе:

$$U_{21}^1 = U_{к1} - U_{бэ3} = -(I'_{к01} + I''_{к01} + I'''_{к01} + I_{б5}) R_{к1} - U_{бэ3} = -0{,}9 \text{ В}. \quad (4.34)$$

Одновременно на выходе y_2 устанавливается уровень «логического 0», так как общий эмиттерный ток $I_0 = (U_{оп} - U_{бэ2} - U_{и.п}/R_э)$ протекает через открытый транзистор *VT2*:

$$U_{22}^0 = -I_0 R_{к2} + U_{бэ4}, \quad (4.35)$$

где $U_{бэ4} \approx -0{,}75$ В.

Если сопротивление резисторов выбирается из условия обеспечения требуемого быстродействия, то сопротивление $R_э$ выбирается так, чтобы обеспечить напряжение «логического 0» $U_2^0 = -1{,}7$ В.

Если хотя бы на один вход элемента подан высокий уровень, т. е. $U_1^* \geqslant -0{,}9$ В, открывается соответствующий транзистор *VT1* и весь эмиттерный ток замыкается через него. Транзистор *VT2* переходит в режим отсечки, так как на общем эмиттере устанавливается потенциал

$$U_э = U_1^* - U_{бэ1} = -0{,}9 \text{ В} - 0{,}75 \text{ В} = -1{,}65 \text{ В}.$$

Соответственно на выходе y_1 устанавливается низкий уровень

$$U_{21}^0 = -I_0 R_{к4} - U_{бэ3} = -1{,}7 \text{ В},$$

а на выходе y_2 — высокий уровень:

$$U_{22}^1 = U_{к2} + U_{бэ4} = -(I_{к02} + I_{б4}) R_{к2} - U_{бэ4} \approx -0{,}9 \text{ В}. \quad (4.36)$$

На выходе y_1 сигнал формируется инверсным, а на выходе y_2 — синфазным по отношению к доминирующему входному сигналу.

Таким образом, реализуются логические функции выходов:

$$y_1 = \overline{x_1 + x_2 + x_3}, \quad y_2 = x_1 + x_2 + x_3 = \overline{y}_1.$$

На рис. 4.35,*б* показано условное графическое изображение базового элемента.

Рассмотрим статические характеристики базового элемента. Входная характеристика по i-му входу $i_{1i}(U_{1i})$

(рис. 4.36,*а*) снимается при условии, что остальные входы отключены. На входной характеристике можно выделить четыре характерные области: *I* — входной транзистор заперт, его входное сопротивление максимально и наклон характеристики определяется сопротивлением резистора *R*5 (рис. 4.35,*а*) в цепи базы; *II* — область перехода входного транзистора из режима отсечки в активный при входном напряжении, близком к опорному $U_{оп}$; соответственно транзистор *VT2* переключается из активного режима в режим отсечки, но благодаря эмиттерной связи входное сопротивление мало и входной ток быстро нарастает; *III* — входной транзистор *VT1* в активном режиме, а транзистор *VT2* заперт, поэтому входное сопротивление схемы велико

$$R_{вх}^{III} \approx R_5 \parallel [R_э (\beta_1 + 1)]$$

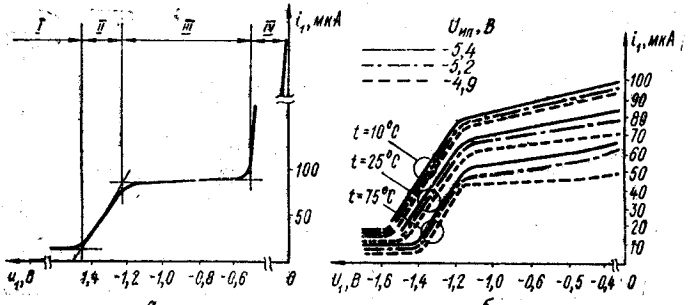


Рис. 4.36

и входной ток нарастает медленно за счет тока резистора *R*5 и роста потенциала общего эмиттера $U_э$; *IV* — входной транзистор *VT1* находится в режиме насыщения, его входное сопротивление

$$R_{вх}^{IV} = r_{б1} + R_{к1} \parallel R_э$$

мало по сравнению с $R_{вх}^{III}$, поэтому входной ток вновь быстро нарастает. Поскольку входные сигналы соизмеримы с напряжениями на открытом *p-n*-переходе, входные характеристики существенно зависят от температуры окружающей среды и колебаний напряжения источника питания $U_{и.п}$ (рис. 4.36,*б*).

Передаточные характеристики элемента по двум его выходам $U_{21}(U_1)$ и $U_{22}(U_1)$ (рис. 4.37, *а*) содержат те же четыре области. При этом выходные напряжения со смещением на приблизительно постоянную величину ($U_{бэ3} \approx U_{бэ4} \approx -0{,}75$ В) повторяют изменения потенциалов на коллекторах транзисторов *VT1* и *VT2*. Наклоны характеристик $U_{21}(U_1)$, $U_{к1}(U_1)$ и $U_{22}(U_1)$, $U_{к2}(U_1)$ в области *II* определяются коэффициентами усиления каскада с эмиттерной связью:

$$K_{U1}^{II} = U_{21}/U_1 = -0{,}5\beta_1 R_{к1} K_{U3}^{0к}/h_{11э} \approx -0{,}5\beta_1 R_{к1}/h_{11э};$$

$$K_{U2}^{II} = U_{22}/U_1 = -0{,}5(\beta_1 + 1)\alpha_2 R_{к2} K_{U4}^{0к}/h_{11э} \approx 0{,}5\beta_1 R_{к2}/h_{11э},$$

где $h_{11э}$ — входное сопротивление транзисторов *VT1*, *VT2* в схеме с общим эмиттером, $K_{U3}^{0к} \approx K_{U4}^{0к} \approx 1$ — коэффициенты передачи напряжения эмиттерных повторителей на транзисторах *VT3*, *VT4*.

Обычно $|K_{U1}^{II}| \approx K_{U2}^{II} = 4...8$ и в пределах области *II* заметно изменяются.

Наклон характеристик $U_{21}(U_1)$ и $U_{к1}(U_1)$ в области *III* определяется коэффициентом передачи

$$K_U^{III} \approx -R_{к1}/R_э,$$

причем $|K_U^{III}| \ll 1$. В области *IV* входной транзистор насыщен, поэтому входное напряжение поступает непосредственно на базу

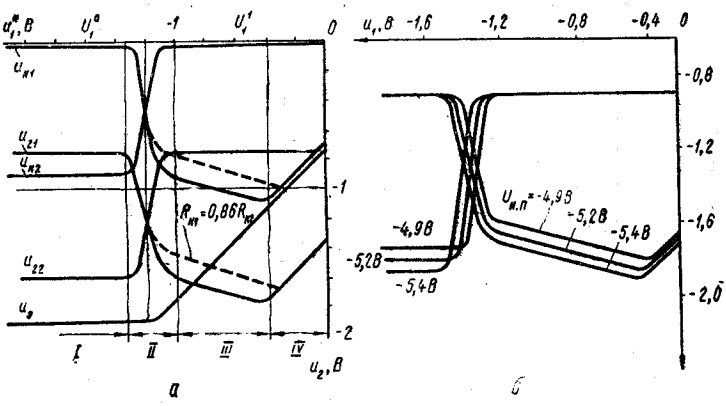


Рис. 4.37

транзистора *VT3* эмиттерного повторителя и через него с коэффициентом передачи $K_U^{0к} \approx 1$ — на выход. График зависимости потенциала общего эмиттера $U_э$ от входного сигнала вместе с передаточными характеристиками позволяет проанализировать изменение напряжения коллектор — эмиттер каждого из транзисторов *VT1*, *VT2*.

Уровни выходного напряжения U_{21}^1, U_{22}^1, как следует из выражений (4.34), (4.36), не зависят от величины напряжения питания $U_{и.п}$, но зависят от температуры окружающей среды. Обратный ток коллектора I_{k0} растет с ростом температуры по экспоненциальному закону, а напряжение на открытом эмиттерном переходе $U_{б.э}$ уменьшается по линейному закону (на 2 мВ/°С), поэтому их взаимная компенсация в выражениях (4.34), (4.36) неравномерна. Поскольку сопротивления $R_{к1}$, $R_{к2}$ имеют порядок сотен ом (260...300 Ом), в диапазоне рабочих температур ЭСЛ-элементов влияние температурных изменений токов $I_{к01}$, $I_{к02}$ значительно слабее и в основном температурный дрейф высоких уровней обусловлен изменениями напряжений $U_{б.э3}$, $U_{б.э4}$. Поэтому с ростом температуры уровни U_{21}^1, U_{22}^1 растут практически по линейному

закону. Аналогично зависят от температуры и низкие уровни U^0_{21}, U^0_{22} согласно выражению (4.35), где первое слагаемое определяется термокомпенсированным (диоды *VD1*, *VD2*) током эмиттера I_0. Таким образом, перепады выходного напряжения ЭСЛ-элемента $\Delta U_{21} = U^1_{21} - U^0_{21}$, $\Delta U_{22} = U^1_{22} - U^0_{22}$ практически не зависят от температуры. Однако они зависят от напряжения источника питания $-U_{и.\,п}$ (рис. 4.37, *б*), так как от него зависит опорное напряжение

$$U_{оп} = (-U_{и.\,п} + U_{VD1} + U_{VD2})\, R_1/(R_1 + R_2)$$

и ток I_0.

Выходные характеристики ЭСЛ-элемента $i_{21}(U_{21})$, $i_{22}(U_{22})$ при $U^*_1 = \text{const}$ (рис. 4.38,*б*) по существу представляют собой

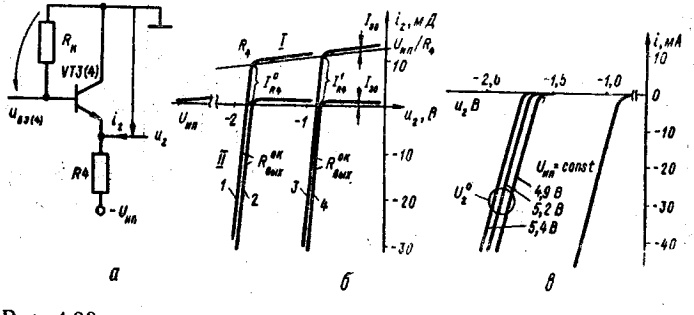


Рис. 4.38

выходные характеристики эмиттерных повторителей на транзисторах *VT3*, *VT4* (см. рис. 4.35,*а*) при двух значениях потенциалов на их базах $U_{б3}$, $U_{б4}$ (рис. 4.38,*а*). Вид выходной характеристики зависит от того, подключен ли резистор *R4* в эмиттерную цепь (характеристики *1*, *3*) или эмиттер свободен (характеристики *2*, *4*) (рис. 4.38,*б*). Характеристики низкого уровня выходного напряжения (*1*, *2*) формируются при потенциале на базе выходного транзистора $U^0_{б3(4)} = -0{,}95$ В, а характеристики высокого уровня (*3*, *4*) — при $U_{б3(4)} = -0{,}15$ В. На характеристиках можно выделить характерные области: *I* — выходной транзистор заперт, выходное сопротивление велико: $R^{I}_{вых} = R_4$ и выходной ток

$$I^1_2 = I_{э0} + (U_2 - U_{и.\,п})/R_4 \approx (U_2 - U_{и.\,п})/R_4,$$

где $I_{э0}$ — обратный ток эмиттерного перехода. В частности, при отключенном резисторе *R4* $R^{I}_{вых} \to \infty$ и $I^1_2 = I_{э0} \approx 0$; *II* — выходной транзистор в активном режиме, выходное сопротивление эмиттерного повторителя мало:

$$R^{II}_{вых} = R_4 \left\| \left(r_э + \frac{R_к + r_б}{\beta + 1} \right) \right., \qquad (4.37)$$

где $r_э = \varphi_т / I_э$ — дифференциальное сопротивление эмиттерного перехода. Соответственно выходной ток

$$I_2^1 = I_{R4} + (U_2 - U_{2х.х})/R_{вых}^{II},$$

где $I_{R4} = (U_{2х.х} - U_{и.п})/R_4$, $U_{2х.х}$ — выходное напряжение холостого хода, которое в зависимости от состояния элемента принимает значения низкого ($U_{2х.х} = U_2^0 = -1{,}7$ В) или высокого ($U_{2х.х} = U_2^1 = -0{,}9$ В) уровня.

Колебания температуры окружающей среды и напряжения источника питания обусловливает смещение выходных характеристик в соответствии с изменениями передаточной характеристики. Поэтому выходная характеристика для высокого уровня

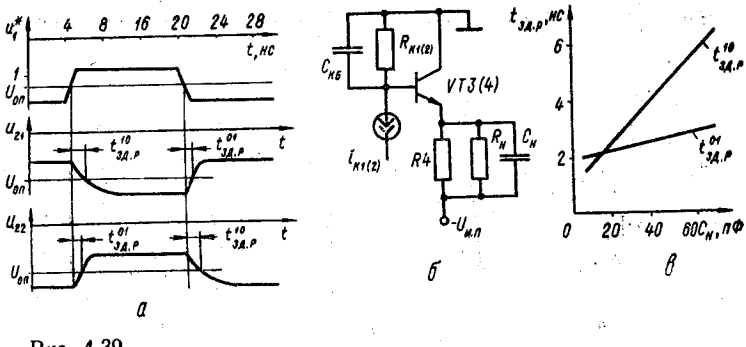


Рис. 4.39

выходного сигнала не зависит от напряжения питания, тогда как характеристика низкого уровня смещается по оси напряжений пропорционально приращению напряжения $U_{и.п}$ (рис. 4.38,*в*) [61].

Переходные процессы в ЭСЛ-элементе при подаче на его вход импульса возбуждения (рис. 4.39,*а*) могут быть сведены к перезаряду эквивалентной коллекторной емкости $C_к$ соответствующего транзистора переключателя тока и эквивалентной емкости нагрузки $C_н$ на выходе эмиттерных повторителей (рис. 4.39,*б*). При формировании положительного фронта выходного сигнала происходит заряд емкости нагрузки $C_н$ через малое выходное сопротивление (4.37) эмиттерного повторителя с учетом сопротивления нагрузки. Отрицательный фронт соответствует разряду конденсатора $C_н$ через резисторы $R_н$ и $R4$ при запертом эмиттерном переходе повторителя, поэтому длительность разряда больше. Длительность фронтов выходных сигналов по уровням 0,1 и 0,9 амплитуды выходного сигнала определяются соотношениями [60]:

$$t_ф^{01} = 2{,}2\sqrt{R_к^2 C_к^2 + [C_н (r_б + R_к)(1-\alpha) \| R_4 \| R_н]^2}; \quad (4.38)$$

$$t_ф^{10} = 2{,}2\sqrt{R_к^2 C_к^2 + 0{,}132\left(\frac{|U_2^1 - U_2^0|(R_4 \| R_н) C_н}{|U_{и.п}| - |U_{0п}|}\right)^2}. \quad (4.39)$$

Длительности задержки распространения сигнала $t^{01}_{зд.р}$, $t^{10}_{зд.р}$ слабо зависят от температуры и наиболее существенно зависят от емкости нагрузки $C_н$ (рис. 4.39, *в*).

Из схемных модификаций ЭСЛ-элементов следует отметить схему с повышенной стабильностью опорного напряжения $U_{оп}$

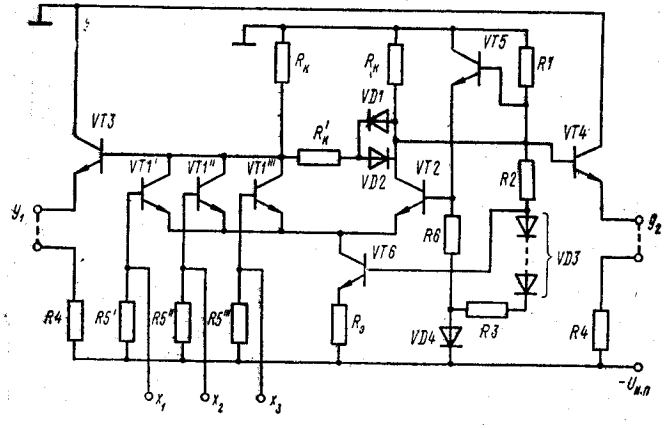


Рис. 4.40

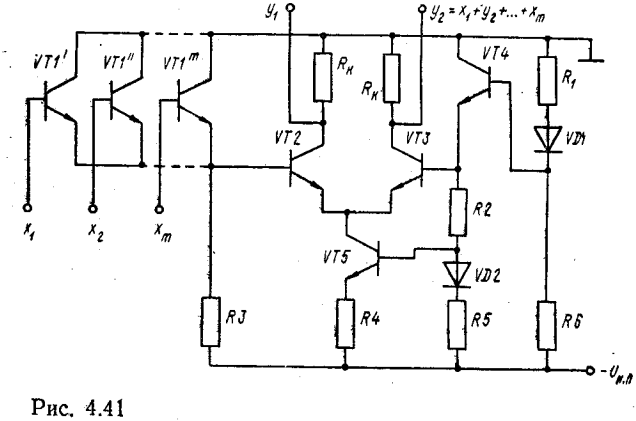


Рис. 4.41

и переключаемого тока I_0 (рис. 4.40). Включение транзистора *VT6* в эмиттерную цепь обеспечивает постоянство тока I_0 независимо от величины входного сигнала, поэтому передаточная характеристика $U_{21}(U_1)$ (см. рис. 4.37,*а*) в области *III* практически горизонтальна. Для температурной стабилизации опорного напряжения используется группа диодов *VD3* и диод *VD4*. Стабильность разности логических уровней $U^1_к - U^0_к = U^1_2 - U^0_2$ обеспечивается диодно-резистивным ограничителем $R'_к$, *VD1*, *VD2*,

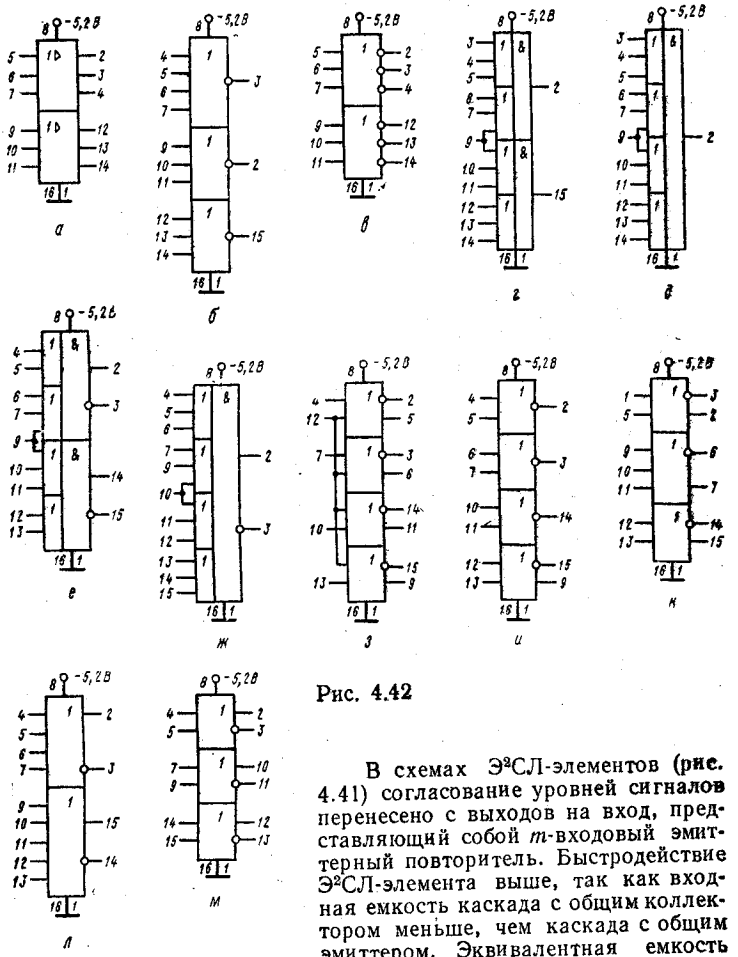


Рис. 4.42

В схемах Э²СЛ-элементов (рис. 4.41) согласование уровней сигналов перенесено с выходов на вход, представляющий собой m-входовый эмиттерный повторитель. Быстродействие Э²СЛ-элемента выше, так как входная емкость каскада с общим коллектором меньше, чем каскада с общим эмиттером. Эквивалентная емкость коллектора инвертирующего транзистора $VT2$ также меньше и не зависит от числа входов. Выходное сопротивление Э²СЛ-элемента $R_{вых} = R_к$ больше, чем у ЭСЛ-элементов, но коэффициент разветвления $K_{раз}$ не уменьшается, так как входные сопротивления нагружающих элементов больше. Высокий уровень логического сигнала практически равен потенциалу «земли», благодаря чему уменьшается влияние помех и облегчается стыковка с логическими элементами ДТЛ- и ТТЛ-типа.

В табл. 4.3 приведены классификационные параметры наиболее распространенных комбинационных логических ЭСЛ-элементов, которые вместе с приведенными на рис. 4.42 компоновками элементов в стандартных корпусах позволяют произвести предварительный выбор микросхем.

Таблица 4.3

Тип ИМС	Функциональное назначение	$t_{зд.\,р}$, нс, не более	$I_{пот}$, мА	УГО (рис. 4.42)
К500: $I_1^0 \geqslant 0{,}5$ мкА; $I_1^1 \leqslant 265$ мкА; $U_2^0 \leqslant -1{,}63$ В; $U_2^1 \geqslant -0{,}98$ В				
ЛЛ110	Два логических элемента 3ИЛИ	2,9	38	*а*
ЛЛ210	3ИЛИ	2,5	38	*а*
ЛЕ106/ЛЕ123	3ИЛИ—НЕ, 4ИЛИ—НЕ	2,9	21	*б*
ЛЕ111/ЛЕ211	3ИЛИ—НЕ	2,9	38	*в*
ЛС118	3—3ИЛИ—2И	3,4	29	*г*
ЛС119	4—3—3—3ИЛИ—4И	3,4	29	*д*
ЛК117	2—3ИЛИ—2И/2—3ИЛИ—2И—НЕ	3,4	26	*е*
ЛК121	3—3—3—3ИЛИ—4И/3—3—3ИЛИ—4И—НЕ	3,4	26	*ж*
ЛМ101	2ИЛИ/2ИЛИ—НЕ	2,9	26	*з*
ЛМ102	2ИЛИ—НЕ	2,9	26	*и*
ЛМ105	2ИЛИ/2ИЛИ—НЕ, 3ИЛИ/3ИЛИ—НЕ	2,9	21	*к*
ЛМ109	4ИЛИ/4ИЛИ—НЕ, 5ИЛИ/5ИЛИ—НЕ	2,9	14	*л*
ЛП107	2ИЛИ/2ИЛИ—НЕ	3,9	28	*м*

4.7. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА МДП-ТРАНЗИСТОРАХ

Свойства, электрические параметры и характеристики логических элементов на МДП-транзисторах полностью определяются свойствами электронных ключей, на которых такие эле-

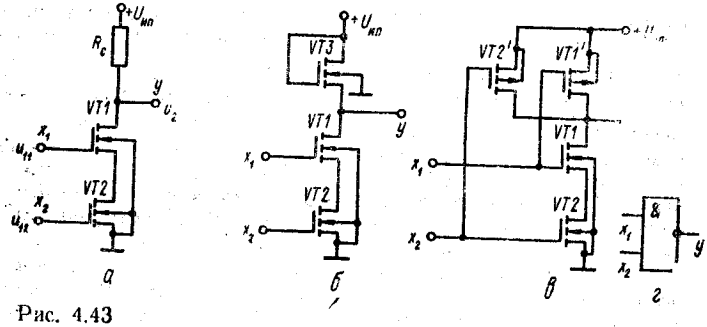


Рис. 4.43

менты построены. Базовый логический элемент (рис. 4.43) И—НЕ строится на последовательно включенных МДП-транзисторах, число которых определяется требуемым числом входов *m*, с общей линейной (рис. 4.43,*а*), нелинейной (рис. 4.43,*б*) нагрузкой, а также на основе комплементарных пар (рис. 4.43,*в*). Их условное графическое изображение показано на рис. 4.43,*г*.

В приведенном на рис. 4.43 случае $m = 2$ и выход элемента подключается к общей шине только при одновременном отпирании транзисторов *VT1* и *VT2* высокими уровнями входных напряжений U_{11}, U_{12}. Сопротивление группы последовательно соединенных транзисторов определяется наименее открытым из них, на затвор которого подан наименьший из входных уровней. Поэтому для рассматриваемых схем доминирующим является напряжение

$$U_1^* = \min\{U_{1i}\}, \quad i = \overline{1, m}$$

и если $U_1^* > U_{пор}$, то вся группа из m входных транзисторов образует общий канал для протекания тока. Для логических элементов с линейной и нелинейной нагрузками это ток от источника питания через R_c или нелинейный двухполюсник на транзисторе *VT3* (рис. 4.43,*б*). В элементе на КМДП-транзисторах сквозной ток исключен, так как транзисторы с объединенными затворами в статике всегда находятся в противоположных режимах. Поэтому открытым состоянием *n*-канальных транзисторов *VT1*, *VT2* последовательной структуры соответствуют состояния отсечки *p*-канальных транзисторов *VT1'*, *VT2'* параллельной структуры, и наоборот. Транзисторы *VT1'* и *VT2'* в КМДП-элементе можно рассматривать как коммутируемую нагрузку, проводимость которой при $U_1^* > U_{пор}$ ничтожно мала. Таким образом, если транзисторы *VT1*, *VT2* открыты, то на выходе устанавливается низкий уровень U_2^0. При всех остальных комбинациях входных сигналов хотя бы один из последовательно включенных транзисторов заперт, выход логического элемента отключается от шины «земля» и через сопротивление нагрузки (R_c, транзистор *VT3* или транзисторы *VT1'*, *VT2'* в схеме рис. 4.43) подключается к шине источника питания $U_{и.п}$. На выходе устанавливается высокий уровень напряжения $U_2^1 = U_{и.п}$ (для схем 4.43,*а* и *в*).

Допустимое число входов обычно $K_{об} \leqslant 4$, так как последовательное включение транзисторов обусловливает рост общего сопротивления последовательной группы в открытом состоянии, что влечет за собой увеличение уровня «логического 0» U_2^0 и уменьшение логического перепада на выходе элемента, а также увеличение длительности фронта $t_ф^{10}$ выходного сигнала. Это в меньшей степени относится к элементу на КМДП-транзисторах, для которых ограничение коэффициента объединения обусловлено усложнением топологии ИМС и снижением быстродействия из-за увеличения в $K_{об}$ раз эквивалентной емкости параллельной группы транзисторов.

В логических элементах ИЛИ—НЕ с линейной (рис. 4.44,*а*), нелинейной (рис. 4.44,*б*) нагрузкой и на основе КМДП-элементов (рис. 4.40,*в*) электронные ключи объединяются в параллельную группу по числу входов m. Сопротивление группы параллельно соединенных транзисторов определяется наименьшим из параллельных звеньев, т. е. транзистором, на затвор которого подано наибольшее из входных напряжений. В этом случае доминирующим является напряжение $U_1^* = \max\{U_{1i}\}$, $i = \overline{1,m}$. Если $U_1^* > U_{пор}$, то общее сопротивление группы транзисторов мало и выход логического элемента подключается к шине

«земля». Через открытые транзисторы и стоковую нагрузку (R_c, транзистор $VT3$) от источника питания $U_{и.п}$ протекает ток $I^0_{пот}$. На выходе устанавливается низкий уровень сигнала U^0_2, величина которого определяется соотношением сопротивления в цепи стока и сопротивления группы открытых транзисторов. Только при одной комбинации входных сигналов, когда на все входы элемента поданы низкие уровни сигналов (либо входы свободны) и $U^*_1 < U_{пор}$, выход элемента через стоковую нагрузку (резистор R_c, транзистор $VT3$ или открытые транзисторы $VT1'$, $VT2'$ элемента на КМДП-транзисторах) подключается к шине источника напряжения $U_{и.п}$. На выходе формируется высокий уровень напряжения U^1_2. Для рассматриваемых на рис. 4.44 схем при m входных логических переменных выходная величина определяется как $y = \overline{\bigvee_i x_i}$, $i = \overline{1, m}$. И в случае логического элемента

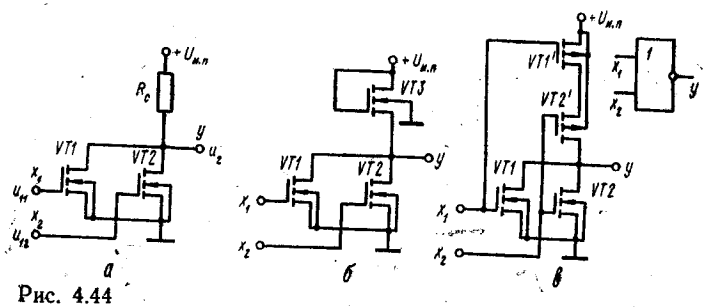


Рис. 4.44

ИЛИ—НЕ допустимое количество входов m ограничено в основном увеличением эквивалентной выходной емкости $C_{экв} = mC_0$ и увеличением длительности фронтов выходного сигнала.

Благодаря высокому входному сопротивлению МДП-транзисторов логические элементы на их основе, нагружаемые на подобные элементы, имеют в статическом режиме достаточно большую нагрузочную способность, которая ограничена снижением быстродействия с ростом эквивалентной емкости нагрузки $C'_н$. Постоянная времени перезаряда выходной емкости зависит также и от сопротивления в цепи тока R_c (4.21), но с уменьшением R_c растет ток потребления и падает логический перепад напряжения выходного сигнала.

Для обеспечения большого коэффициента разветвления $K_{раз}$ без снижения быстродействия или увеличения потребляемой мощности от источника питания применяют специальные буферные усилители с инвертированием (рис. 4.45,*а*) или без инвертирования (рис. 4.45,*б*) сигнала. В двухкаскадном буферном усилителе первый каскад (транзисторы $VT1$, $VT2$) представляет собой инвертор с высокоомной нагрузкой в цепи стока ($VT2$), но с малой емкостью нагрузки. Второй каскад на транзисторах $VT3$, $VT4$ выполнен по двухтактной схеме и управляется противофазными сигналами со входа и с выхода инвертора. Поэтому сквозной ток источника питания $U_{и.п}$ через транзисторы $VT3$,

VT4 исключен и они в открытом состоянии имеют весьма малое сопротивление. В результате при малом собственном потреблении тока (в основном за счет первого каскада) буферные усилители обеспечивают перезаряд эквивалентной емкости нагрузки $C_н$ через малые сопротивления транзисторов *VT3*, *VT4* в открытом состоянии. При этом нагрузочная способность без потери быстродействия возрастает до $K_{раз} = 20...30$.

Логические элементы двухступенчатой логики (рис. 4.46) строятся в виде комбинаций последовательных и параллельных групп МДП-транзисторов. В схеме рис. 4.46,*а* каждая из пар последовательно включенных транзисторов *VT1*, *VT2* и *VT3*,

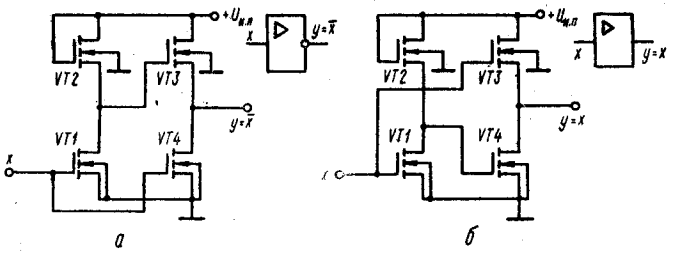


Рис. 4.45

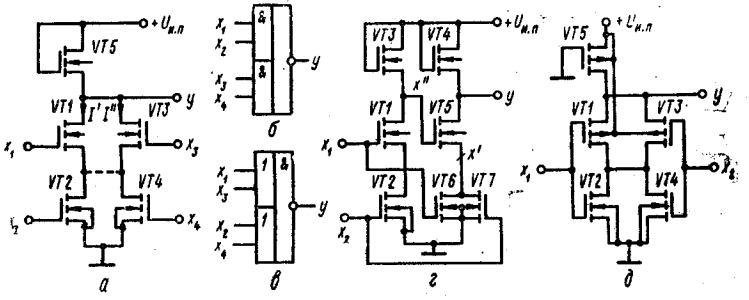


Рис. 4.46

VT4 в системе положительной логики реализуют операцию логического умножения и ток $I'(I'')$ протекает, если $x_1 \cdot x_2 = 1$ ($x_3 \cdot x_4 = 1$). Если через нагрузочный транзистор *VT5* проходит какой-либо из токов I', I'' или их сумма, на выходе устанавливается низкий потенциал, т. е. логический элемент реализует функцию И—ИЛИ—НЕ $y = \overline{x_1x_2 + x_3x_4}$ и его условное графическое обозначение показано на рис. 4.46, *б*. Вариант этой схемы с закороченными стоками транзисторов *VT2* и *VT4* (штриховая линия) реализует логическую функцию ИЛИ—И—НЕ $y = \overline{(x_1 + x_3) \wedge (x_2 + x_4)}$ (рис. 4.46, *в*).

В цифровой схемотехнике используются логические элементы, реализующие операцию сравнения двух логических переменных. По определению для этого должна быть вычислена функция $y = x_1x_2 + \bar{x}_1\bar{x}_2$, которая может быть реализована как на МДП-транзисторах одного типа проводимости (рис. 4.46,*г*),

так и на КМДП-транзисторах (рис. 4.46,*д*). Транзисторы *VT6* и *VT7* (рис. 4.46,*г*) реализуют функцию логического сложения $x' = x_1 + x_2$, результат перемножается с промежуточным результатом $x'' = \overline{x_1 x_2}$, получаемым на выходе первой ступени на транзисторах *VT1*, *VT2*. На выходе *y* по аналогии со схемой рис. 4.43,*б* получаем

$$y = \overline{x' x''} = \overline{(x_1 + x_2)\,\overline{x_1 x_2}} = x_1 x_2 + \bar{x}_1 \bar{x}_2.$$

В схеме рис. 4.46,*д* при $x_1 = x_2 = 0$ заперты транзисторы *VT2*, *VT4*, а при $x_1 = x_2 = 1$ — транзисторы *VT1* и *VT3*. В обоих случаях ток через нагрузочный транзистор *VT5* не течет и на выходе *y* устанавливается высокий уровень («логическая 1»). При других комбинациях входных сигналов открыта пара тран-

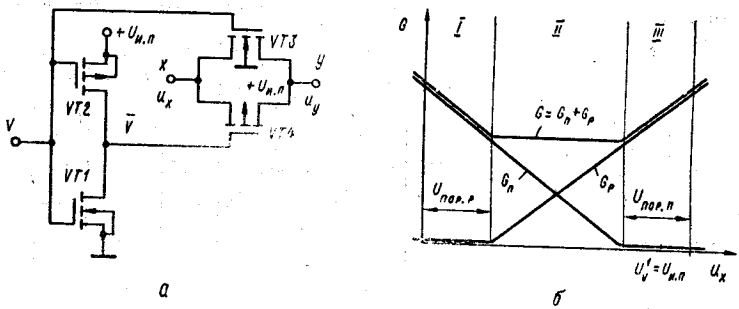


Рис. 4.47

зисторов *VT1*, *VT4* или *VT2*, *VT3* и на выходе устанавливается «логический 0».

Коммутация цепей с аналоговыми сигналами и реализация динамических межкаскадных связей обусловливает необходимость использования двунаправленных аналоговых ключей с цифровым управлением (рис. 4.47). Собственно ключ построен на транзисторах *VT3*, *VT4* (рис. 4.47,*а*). Инвертор на транзисторах *VT1*, *VT2* обеспечивает получение противофазных сигналов управления *V* и $\bar{V}$, с помощью которых в *n*-канальном *VT3* и *p*-канальном *VT4* транзисторах одновременно индуцируется канал при $V = 1$ либо оба транзистора при $V = 0$ заперты. Проводимость каждого из транзисторов *VT3*, *VT4* во включенном состоянии зависит не только от напряжения затвор — подложка, но также пропорциональна напряжению между затвором и истоком, т. е. зависит от величины коммутируемого напряжения U_x. С ростом U_x проводимость *n*-канального транзистора G_n уменьшается, а *p*-канального G_p, начиная с $U_x = |U_{пор.\,p}|$ растет (рис. 4.47, *б*). При $U_x \geqslant U_{и.\,п} - U_{пор.\,n}$ выключается транзистор *VT3* и проводит только *p*-канал. Проводимость ключа $G = G_p + G_n$ в некотором диапазоне U_x (область *II*) практически постоянна и аналоговые сигналы передаются с минимальной погрешностью. Чем больше сопротивление нагрузки такого ключа, тем меньше погрешность передачи.

Двунаправленные ключи можно эффективно использовать для управления зарядом и разрядом емкостей динамическим

элементов [4]. В динамических элементах взаимосвязь между быстродействием и энергопотреблением уменьшена благодаря фиксации логических сигналов в виде напряжения заряженной или разряженной емкости. Перезарядом емкостей управляют синхроимпульсы, которые открывают соответствующие ключи на МДП-транзисторах, запертые в паузах между синхроимпульсами. Поскольку входное сопротивление МДП-транзистора по цепи затвора и сопротивление канала в режиме отсечки весьма велико, заряд и напряжение на емкости в течение определенного времени сохраняются и являются носителем информации. Транзисторы динамических элементов открываются лишь на короткий промежуток времени, поэтому их можно выполнить низкоомными для обеспечения требуемого быстродействия.

В простейшем динамическом элементе — однотактном динамическом инверторе (рис. 4.48,*а*) конденсатор C_0 служит для

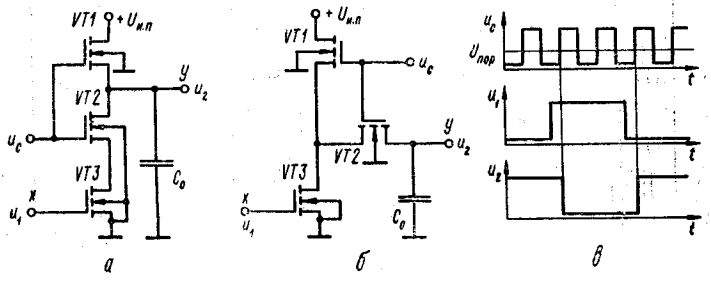


Рис. 4.48

оперативного хранения информации. В емкость C_0 включаются межэлектродные и паразитные емкости подключаемых выводов транзисторов. В моменты действия синхроимпульсов $U_c \geqslant U_{пор}$ транзисторы *VT1*, *VT2* открыты и емкость C_0 в зависимости от состояния транзистора *VT3* либо разряжается через открытые транзисторы *VT2* и *VT3*, либо заряжается от источника питания $U_{и.п}$ через транзистор *VT1*, если *VT3* заперт входным сигналом U_1. Для обеспечения перепада напряжений на емкости C_0 близкого к величине напряжения питания $U_{и.п}$ необходимо, чтобы суммарное сопротивление открытых транзисторов *VT2*, *VT3* было приблизительно в 20 раз меньше сопротивления открытого транзистора *VT1*. Низкоомные каналы транзисторов *VT2*, *VT3* реализуются за счет увеличения занимаемой транзисторами площади на подложке. В схеме 4.48,*б* управляющий транзистор *VT3* может занимать вдвое меньшую площадь при неизменных размерах транзистора *VT1* и величине перепада напряжения на емкости C_0, поскольку перепад напряжения определяется соотношением сопротивлений двух транзисторов *VT1* и *VT3*. В такой схеме не только разряд, но и заряд емкости C_0 происходит через два транзистора, поэтому быстродействие элемента несколько снижается.

Временна́я диаграмма работы динамических инверторов (рис. 4.48,*в*) показывает, что фронты выходного сигнала $U_2(t)$ синхронизированы импульсами U_c.

Энергопотребление динамических элементов можно еще уменьшить, если исключить одновременное включение цепей

заряда и разряда C_0 (транзисторы $VT1$, $VT2$ в схеме рис. 4.48,*а*, *б*). Такой режим работы реализуется в динамических элементах с двухфазной синхронизацией (рис. 4.49) [14]. В двухтактном динамическом инверторе на МДП-транзисторах (рис. 4.49,*а*) сигнал «логической 1» представлен высоким потенциалом $U_2^1 =$

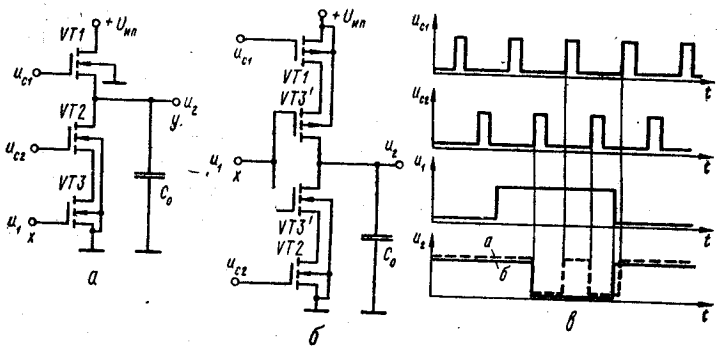


Рис. 4.49

$= U_{и.п} - U_{пор1}$, а «логический 0» — серией прямоугольных импульсов с частотой синхронизирующих серий и скважностью $Q \approx 2$. Это не всегда приемлемо и в схеме на КМДП-транзисторах (рис. 4.49,*б*) «логический 0» представлен постоянным низким

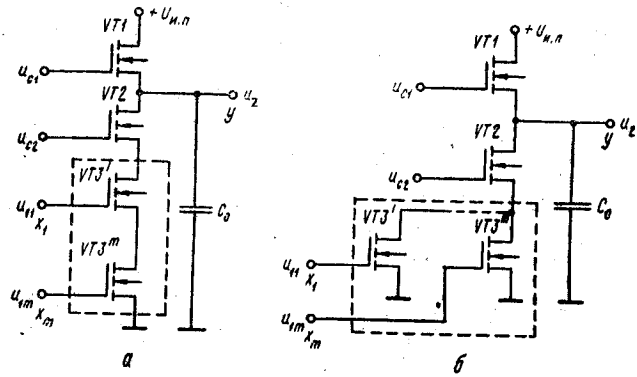
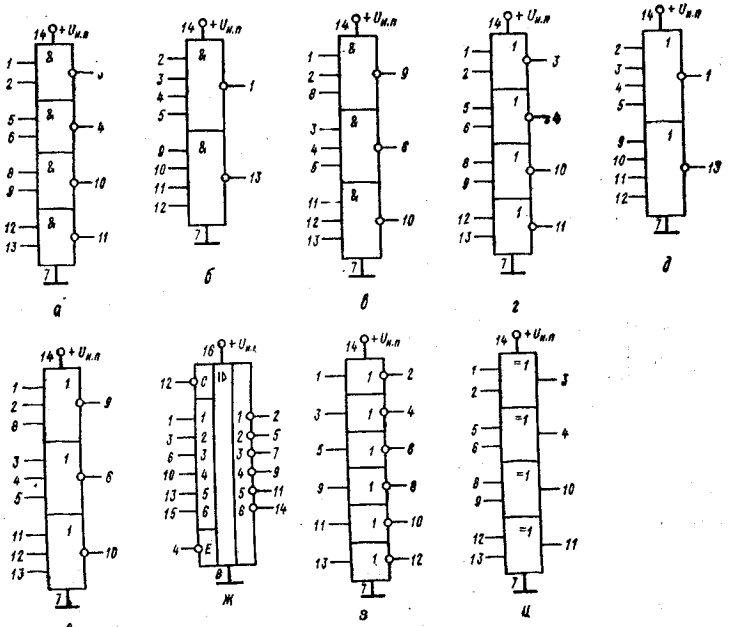


Рис. 4.50

потенциалом $U_2 \approx 0$. Соответствующие временные диаграммы выходных сигналов $U_2(t)$ показаны на рис. 4.49,*в*.

На основе двухтактного динамического инвертора реализуются динамические логические элементы И—НЕ, ИЛИ—НЕ (рис. 4.50). В них вместо управляющего транзистора $VT3$ используется группа из соответственно последовательно (И—НЕ) или параллельно (ИЛИ—НЕ) включенных транзисторов. Суммарное сопротивление открытых транзисторов $VT2$ и m транзисто-



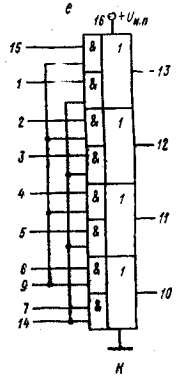


Рис. 4.51

ров последовательной группы (рис. 4.50,*а*) должны удовлетворять условию

$$r_{i2} + r_{i3}m < t_{c2}/(3C_0), \qquad (4.40)$$

где r_i — дифференциальное сопротивление МДП-транзистора в триодном режиме, t_{c2} — длительность синхроимпульсов серии, управляющей разрядом емкости C_0. Соотношение (4.40) накладывает ограничение на число входов m элемента И—НЕ либо на минимальные размеры его транзисторов *VT2*, *VT3*. С этой точки зрения базовые динамические элементы ИЛИ—НЕ предпочтительнее, тем более, что они избавлены от главного недостатка статических элементов ИЛИ—НЕ на МДП-транзисторах — бо́льшого энергопотребления.

Основными достоинствами логических элементов на МДП и КМДП-транзисторах являются высокая степень интеграции (до 10^5 элементов на кристалле), низкое энергопотребление в статическом режиме, высокая помехоустойчивость, сохранение работоспособности под воздействием дестабилизирующих внешних факторов (изменение питающих напряжений, температуры окружающей среды, интенсивности ионизирующего излучения). К недостатку МДП- и КМДП-технологии можно отнести ограничение быстродействия, обусловленное пропорциональной зависимостью рассеиваемой на логическом элементе активной мощности от частоты переключения.

Таблица 4.4

Тип ИМС	Функциональное назначение	$t_{зд.\,р}$, нс, не более	$I_{пот}$, мкА, не более	УГО (рис. 4.51)
К561: $I_1^0 = 0{,}05$ мкА; $I_1^1 = 0{,}05$ мкА; $I_2 \leqslant 0{,}5$ мА; $U_{и.\,п} = 3...15$ В; $U_2^0 \leqslant 0{,}001 U_{и.\,п}$; $U_2^1 \geqslant 0{,}999 U_{и.\,п}$				
ЛА7	Четыре логических элемента 2И—НЕ	80	0,1	*а*
ЛА8	4И—НЕ	120	0,1	*б*
ЛА9	3И—НЕ	100	0,1	*в*
ЛЕ5	2ИЛИ—НЕ	90	0,1	*г*
ЛЕ6	4ИЛИ—НЕ	90	0,1	*д*
ЛЕ10	3ИЛИ—НЕ	100	0,1	*е*
ЛН1	НЕ с блокировкой и запретом	180	1,0	*ж*
ЛН2	НЕ	90	0,5	*з*
ЛП2	«Исключающее ИЛИ»	150	1,0	*и*
ЛС2	И—ИЛИ(4)	130	10	*к*

В табл. 4.4 приведены классификационные параметры для логических элементов наиболее распространенной и рекомендуемой к применению серии ИМС на основе КМДП-технологии. Коммутация внешних выводов корпуса для приведенных в табл. 4.4 ИМС показана на рис. 4.51.

Глава 5

КОМБИНАЦИОННЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ

5.1. ПРЕОБРАЗОВАТЕЛИ КОДОВ, ШИФРАТОРЫ, ДЕШИФРАТОРЫ

Функциональные узлы комбинационного типа характеризуются однозначным соответствием выходных сигналов допустимым комбинациям сигналов на входе и не зависят от последовательности их смены. Для построения комбинационного функционального узла должны быть заданы все множество кодов (слов) и соответствующий им набор выходных кодов либо система уравнений, описывающая зависимость каждого разряда выходного кода от независимых входных переменных. Комбинационные схемы строятся либо на основе логических элементов, либо на основе постоянных запоминающих устройств (ПЗУ), в которые записывается таблица преобразования входных слов в выходные. К комбинационным функциональным узлам относятся преобразователи кодов, (частным случаем которых являются шифраторы и дешифраторы), мультиплексоры, демультиплексоры, устройства сдвига чисел, комбинационные сумматоры, цифровые компараторы и др.

Преобразователи кодов предназначены для перевода чисел из одной формы представления в другую. Например, при вводе

информации в ЭВМ необходимо преобразовывать десятичные числа в двоичные, а при выводе информации на индикаторы или печатающее устройство — двоичные или двоично-десятичные коды в коды управления знакогенератором, светодиодными или жидкокристаллическими индикаторными панелями, механизмом печати.

Таблица 5.1

Десятичное число N	Код 8421 N	Код 7421	Код 5421	Код Айкена 2421	Код Грея	Код «с избытком» $N+3$	Дополнение до 9; «9 — N»	Дополнение до 10; «10 — N»	Код Джонсона
0	0000	0000	0000	0000	0000	0011	1001	1010	00000
1	0001	0001	0001	0001	0001	0100	1000	1001	00001
2	0010	0010	0010	0010	0011	0101	0111	1000	00011
3	0011	0011	0011	0011	0010	0110	0110	0111	00111
4	0100	0100	0100	0100	0110	0111	0101	0110	01111
5	0101	0101	1000	1011	0111	1000	0100	0101	11111
6	0110	0110	1001	1100	0101	1001	0011	0100	11110
7	0111	1000	1010	1101	0100	1010	0010	0011	11100
8	1000	1001	1011	1110	1100	1011	0001	0010	11000
9	1001	1010	1100	1111	1101	1100	0000	0001	10000

Отправным пунктом для построения преобразователя кодов является таблица соответствия, в которой записывается полный набор входных и соответствующий набор выходных слов. Если входные и выходные слова записаны двоичными символами, то синтез преобразователя кода сводится к нахождению для каждого разряда выходного слова булевой функции, устанавливающей связь данного разряда с входными наборами двоичных переменных. Нахождение такой связи и минимизация булевого выражения осуществляются с помощью карт Карно (диаграмм Вейча). На заключительном этапе полученная функция преобразуется к виду, удобному для реализации в заданном (выбранном) элементном базисе.

Таблица 5.2

Десятичное число	Код 421 $x_2x_1x_0$	Код Грея $y_2y_1y_0$
0	0 0 0	0 0 0
1	0 0 1	0 0 1
2	0 1 0	0 1 1
3	0 1 1	0 1 0
4	1 0 0	1 1 0
5	1 0 1	1 1 1
6	1 1 0	1 0 1
7	1 1 1	1 0 0

В табл. 5.1 приведены наиболее распространенные в цифровой схемотехнике двоичные коды [36]. В обозначениях кодов 8421, 7421, 5421, 2421 указан десятичный вес p_i двоичной единицы x_i соответствующего разряда.

Код Грея образован последовательностью двоичных чисел, в которой два любых соседних числа (первое и последнее число также считаются соседними) отличаются только одним разрядом. В коде Джонсона переход к последующему числу осуществляется последовательной заменой 0 на 1, начиная справа, а после установки во всех разрядах 1 — заменой 1 на 0. Коды $N+3$, $9-N$,

10 — N используются в арифметических устройствах для выполнения операций сложения и вычитания двоично-десятичных чисел.

Пусть необходимо построить преобразователь двоичного кода 421 в 3-разрядный код Грея. Запишем таблицу соответствия (табл. 5.2).

Каждый разряд y_i получаемого на выходе кода является независимой функцией входных наборов $x_2x_1x_0$, которую необ-

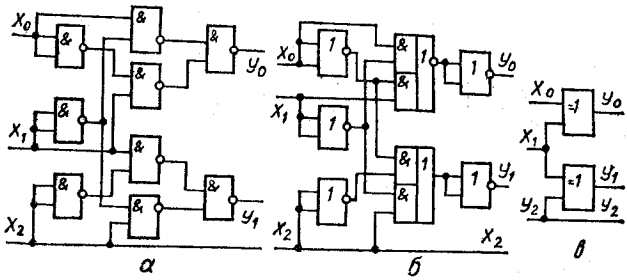


Рис. 5.1

ходимо найти и минимизировать. Для этого воспользуемся картами Карно, записав в клетки карты значения y_i для каждого из наборов:

$y_0 =$

x_2 \ x_1x_0	00	01	11	10
0	0	1	0	1
1	0	1	0	1

$$= x_0\bar{x}_1 + \bar{x}_0x_1 = \overline{\overline{x_0\bar{x}_1} \cdot \overline{\bar{x}_0x_1}} = x_0 \oplus x_1;$$

$y_1 =$

x_2 \ x_1x_0	00	01	11	10
0	0	0	1	1
1	1	1	0	0

$$= x_1\bar{x}_2 + \bar{x}_1x_2 = \overline{\overline{x_1\bar{x}_2} \cdot \overline{\bar{x}_1x_2}} = \overline{\overline{x_1 + \bar{x}_2} + \overline{\bar{x}_1 + x_2}} = x_1 \oplus x_2; \qquad (5.2)$$

$y_2 =$

0	0	0	0
1	1	1	1

$$= x_2 \qquad (5.3)$$

Соответственно тождественным выражениям (5.1) — (5.3) можно получить различные варианты преобразователя (рис. 5.1,*а*, *б*, *в*).

Выбор наилучшего варианта реализации производит разработчик, руководствуясь техническими соображениями. Анало-

гично, используя ту же табл. 5.2, можно выполнить обратное преобразование кода Грея в код 421:

$x_0 =$

y_2 \ y_1y_0	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$= y_2y_1y_0 + y_2y_1y_0 + y_2y_1y_0 + y_2y_1y_0 =$$
$$= \overline{y}_2(\overline{y}_1y_0 + y_1\overline{y}_0) + y_2(\overline{y}_1\overline{y}_0 + y_1y_0) =$$
$$= \overline{y}_2(y_1 \oplus y_0) + y_2\overline{(y_1 \oplus y_0)} = y_2 \oplus y_1 \oplus y_0$$

$x_1 =$

y_2 \ y_1y_0	00	01	11	10
0	0	0	1	1
1	1	1	0	0

$$= \overline{y}_2y_1 + y_2\overline{y}_1 = y_2 \oplus y_1$$

$x_2 =$

y_2 \ y_1y_0	00	01	11	10
0	0	0	0	0
1	1	1	1	1

$$= y_2$$

На рис. 5.2 показан один из возможных вариантов преобразователя кода Грея в двоичный код 421.

Визуализация двоично-десятичных чисел часто производится с помощью семисегментных панелей на основе жидких кристаллов или светодиодов (рис. 5.3,*а*), широко используемых в микрокалькуляторах электронных часах и т. д. Если сегменты обозначены буквами, как показано на рис. 5.3,*б*, то табл. 5.3 ус-

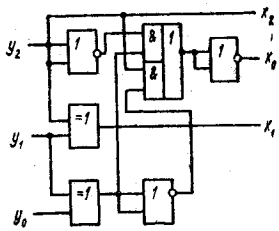


Рис. 5.2

Таблица 5.3

Десятичное число	Код 8421 *DCBA*	Семисегментный код *abcdefg*
0	0000	1111110
1	0001	0110000
2	0010	1101101
3	0011	1111001
4	0100	0110011
5	0101	1011011
6	0110	1011111
7	0111	1110000
8	1000	1111111
9	1001	1111011

Таблица 5.4

Десятичное число	Входной код $x_9x_8x_7x_6x_5x_4x_3x_2x_1x_0$	Код 8421 $y_3y_2y_1y_0$
*	0 0 0 0 0 0 0 0 0 0	0 0 0 0
0	0 0 0 0 0 0 0 0 0 1	0 0 0 0
1	0 1 0	0 0 0 1
2	0 1 0	0 0 1 0
3	0 1 0	0 0 1 1
4	0 1 0	0 1 0 0
5	0 1 0	0 1 0 1
6	0 1 0	0 1 1 0
7	0 1 0	0 1 1 1
8	0 1 0	1 0 0 0
9	1 0 0 0 0 0 0 0 0 0	1 0 0 1

танавливает соответствие между двоично-десятичным числом и требуемыми для отображения десятичной цифры набором сегментов. Сегмент *a* определяется наборами кода 8421 следующим образом:

DC \ BA	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	*	*	*	*
10	1	1	*	*

$$a = D + B + AC + \overline{A}\overline{C} = \overline{\overline{AC} \cdot \overline{\overline{A}\overline{C}} \cdot \overline{B} \cdot \overline{D}}$$

Аналогично получим булевы выражения для остальных сегментов:

$$b = AB + \overline{A}\overline{B} + \overline{C} + D = \overline{\overline{AB} \cdot \overline{\overline{A} \cdot \overline{B} \cdot C} \cdot \overline{D}};$$

$$c = A + \overline{B} + C + D = \overline{\overline{A} \cdot B \cdot \overline{C} \cdot \overline{D}};$$

$$d = \overline{A}B + B\overline{C} + \overline{A}\overline{C} + A\overline{B}C + \overline{D} = \overline{\overline{\overline{AB} \cdot \overline{B\overline{C}} \cdot \overline{\overline{A} \cdot \overline{C}} \cdot \overline{A\overline{B}C}} \cdot \overline{D}};$$

$$e = \overline{A}B + \overline{A}\overline{C} + \overline{A}D = \overline{\overline{\overline{AB} \cdot \overline{\overline{A}\overline{C}} \cdot \overline{\overline{A}D}}};$$

$$f = \overline{A}\overline{B} + \overline{A}C + \overline{B}C + D = \overline{\overline{\overline{A}\overline{B}} \cdot \overline{\overline{A}C} \cdot \overline{\overline{B}C} \cdot \overline{D}};$$

$$g = \overline{A}B + B\overline{C} + \overline{B}C + D = \overline{\overline{\overline{AB} \cdot \overline{B\overline{C}} \cdot \overline{\overline{B}C} \cdot D}}.$$

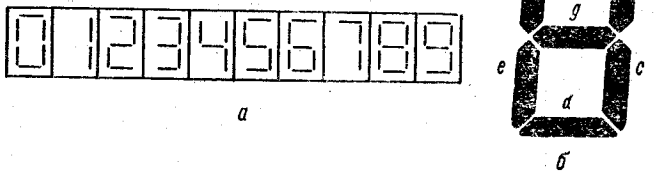


Рис. 5.3

Схема преобразователя кода 8421 в код семисегментного индикатора, реализованная на элементах И—НЕ, показана на рис. 5.4.

Частным случаем преобразователя кодов является *шифратор* — устройство, обеспечивающее выдачу определенного кода в ответ на возбуждение одного из входов. Шифраторы широко используются для преобразования десятичных цифр и буквенных символов в двоичный код при вводе информации в ЭВМ и другие цифровые устройства.

Рассмотрим пример построения шифратора для преобразования десятичных чисел в код 8421 согласно табл. 5.4. Входными являются двоичные переменные $x_0, \ldots, x_9$, которые формируются при нажатии соответствующей клавиши устройства ввода.

Переменные являются независимыми и позволяют построить $2^{10} = 1024$ входных комбинаций, но если налагается ограничение, запрещающее нажатие двух и более клавиш, то из 1042 остается 11 допустимых входных комбинаций. Соответствующий данному ограничению входной код называют кодом «1 из n» или унитарным. В табл. 5.4 нажатой клавише соответствует «логическая 1», а ненажатой — «логический 0». Две первых входных комбинации порождают один и тот же двоичный код 0000. Отличие между ними состоит в том, что при нажатии клавиши «0», как и при вводе других цифр, в устройстве должна формироваться команда ввода и запоминания очередной десятичной цифры. Как видно из табл. 5.4, двоичная переменная y_0 принимает значение «1», если «1» появляется на входе x_1

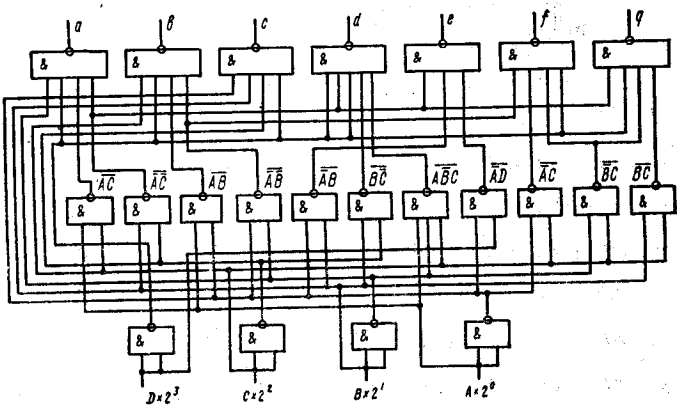


Рис. 5.4

или на входе x_3, или x_5, или x_7, или x_9. При всех остальных входных комбинациях $y_0 = 0$, т. е. в терминах алгебры логики

$$y_0 = x_1 + x_3 + x_5 + x_7 + x_9 = \overline{\bar{x}_1 \cdot \bar{x}_3 \cdot \bar{x}_5 \cdot \bar{x}_7 \cdot \bar{x}_9}. \quad (5.4а)$$

Аналогично запишем для других выходов:

$$y_1 = x_2 + x_3 + x_6 + x_7 = \overline{\bar{x}_2 \cdot \bar{x}_3 \cdot \bar{x}_6 \cdot \bar{x}_7}; \quad (5.4б)$$

$$y_2 = x_4 + x_5 + x_6 + x_7 = \overline{\bar{x}_4 \cdot \bar{x}_5 \cdot \bar{x}_6 \cdot \bar{x}_7}; \quad (5.4в)$$

$$y_3 = x_8 + x_9 = \overline{\bar{x}_8 \cdot \bar{x}_9}. \quad (5.4г)$$

В соответствии с приведенными равенствами (5.4) шифратор можно реализовать в базисе ИЛИ—НЕ (рис. 5.5,*а*, *б*) либо в базисе И—НЕ (рис. 5.5,*в*, *г*).

Такие шифраторы относятся к преобразователям кода «1 из n» в двоичный код 8421. Часто ограничение на количество нажимаемых клавиш оказывается неприемлемым и требуется построить шифратор так, чтобы он при одновременном нажатии нескольких клавиш реагировал только на самый старший (или младший) из них. Преобразователи кода данного вида называют приоритетными шифраторами. Они реализуют преобразование кода «X из n» в код 8421.

В таблице соответствия для приоритетного шифратора, в котором входная переменная с максимальным номером имеет максимальный приоритет (табл. 5.5), значения входных переменных справа от диагонали из «1» не должны определять выходной код.

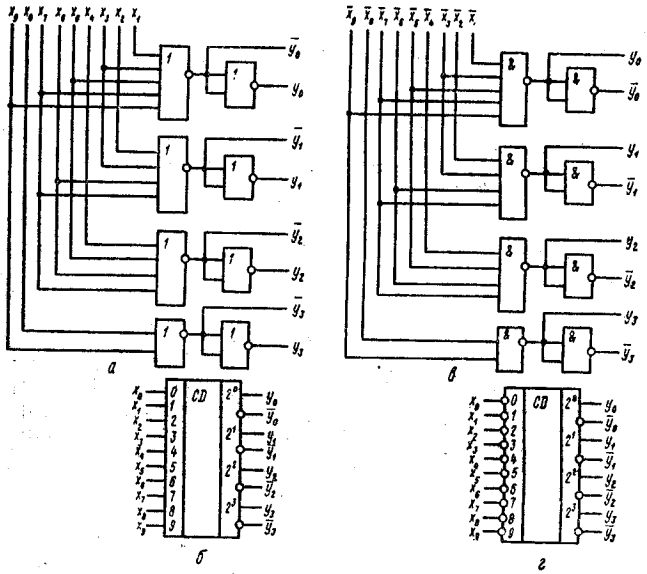


Рис. 5.5

Приоритетный шифратор можно построить на основе простейшего шифратора, преобразующего согласно выражениям (5.4) код «1 из 10» в код 8421, если предварительно преобразовать входной код «X из 10» в код «1 из 10». Обозначим выходные переменные преобразователя «1 из 10» через $x_0, \ldots, x_1$. Входная

Таблица 5.5

n	$f_9 f_8 f_7 f_6 f_5 f_4 f_3 f_2 f_1 f_0$	$y_3 y_2 y_1 y_0$
*	0 0 0 0 0 0 0 0 0 0	0 0 0 0
0	0 0 0 0 0 0 0 0 0 1	0 0 0 0
1	0 0 0 1 *	0 0 0 1
2	0 0 1 * *	0 0 1 0
3	0 0 1 1 * *	0 0 1 1
4	0 0 1 0 1 * *	0 1 0 0
5	0 0 1 0 1 1 * *	0 1 0 1
6	0 0 1 1 * * *	0 1 1 0
7	0 0 1 1 * * * *	0 1 1 1
8	0 1 * * * * * * *	1 0 0 0
9	1 * * * * * * * * *	1 0 0 1

переменная f_9 имеет максимальный приоритет, поэтому не зависит от других входных переменных: $x_9 = f_9$. Любая другая выходная переменная x_i принимает значение «1», если $f_i = 1$ при условии, что ни на один из «старших» входов f_j, $j = \overline{(i+1), 9}$ не подана «логическая 1», т. е.

$$\left.\begin{aligned} x_9 &= f_9; \\ x_8 &= f_8 \cdot \overline{x_9}; \\ x_7 &= f_7 \cdot \overline{(x_9 + x_8)}; \\ x_6 &= f_6 \cdot \overline{(x_9 + x_8 + x_7)}; \\ &\cdots\cdots\cdots\cdots \\ x_1 &= f_1 \cdot \overline{(x_9 + x_8 + \ldots + x_2)}. \end{aligned}\right\} \qquad (5.5)$$

Схема (рис. 5.6) реализует преобразование (5.5). Ее достоинством является равномерная задержка распространения сигналов по всем входам, а недостатком — необходимость применения

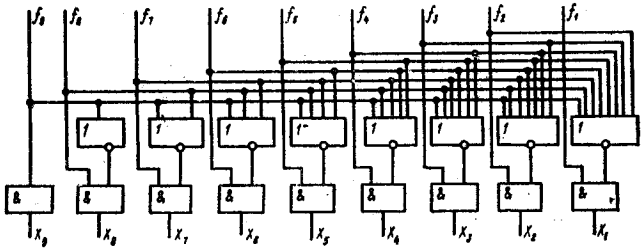


Рис. 5.6

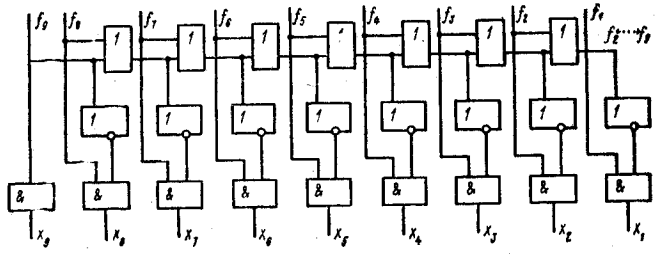


Рис. 5.7

многовходовых схем ИЛИ—НЕ. Если не предъявляются жесткие требования по быстродействию, например, для клавиатурного ввода, преобразователь кода «X из 10» в «1 из 10» можно выполнить по итерационному принципу (рис. 5.7) [91]. В такой схеме сигнал приоритетного запрета распространяется от старшего входа к младшему через последовательно соединенные элементы ИЛИ, поэтому в целом длительность преобразования в код «1 из 10» определяется временем установки выхода x_1, запаздывание на котором максимально.

Для получения схемы приоритетного шифратора достаточно выходы $x_9, \ldots, x_0$ преобразователя «X из 10» в «1 из 10» под-

ключить к соответствующим входам преобразователя кода «1 из 10» в код 8421.

Обратное преобразование двоичного кода в код «1 из n» выполняют преобразователи кода, называемые дешифраторами. Наиболее широко дешифраторы используются в устройствах вывода информации из ЭВМ и других цифровых устройств на внешние устройства визуализации и документирования алфавитно-цифровой информации. Для этого нужно подать сигнал на 1 из n, например, катодов газоразрядного индикатора или элементов выборки символов печатающего устройства.

Таблица 5.6

Входной код 21 x_1x_0	Выходной код «1 из 4» $y_3y_2y_1y_0$
0 0	0 0 0 1
0 1	0 0 1 0
1 0	0 1 0 0
1 1	1 0 0 0

Таблица 5.7

Входной код 8421 $x_3x_2x_1x_0$	Выходной код «1 из 10» y_0 . . . . . y_9
0 0 0 0	1 0 0 0 0 0 0 0 0 0
0 0 0 1	0 1 0
0 0 1 0	0 1 0
0 0 1 1	0 1 0
0 1 0 0	0 1 0
0 1 0 1	0 1 0
0 1 1 0	0 1 0
0 1 1 1	0 1 0
1 0 0 0	0 1 0
1 0 0 1	0 0 0 0 0 0 0 0 0 1

Синтез структуры дешифратора, как и любого другого преобразователя кодов, начинается с записи таблицы соответствия входных и выходных кодов. Пусть необходимо преобразовать двоичный код 21 в код «1 из 4». Тогда табл. 5.6 полностью определяет значения выходов для всех входных наборов. Далее следует для каждой выходной функции составить карту Карно и получить ее минимизированное выражение. В рассматриваемом примере это бессмысленно, так как для каждой функции y_i карта Карно содержит только одну «1», поэтому соответствующий ей минтерм и является минимальной формой. Тогда на основании табл. 5.6 запишем:

$$
\begin{aligned}
y_0 &= \bar{x}_0\bar{x}_1 = \overline{x_0 + x_1};\\
y_1 &= x_0\bar{x}_1 = \overline{\bar{x}_0 + x_1};\\
y_2 &= \bar{x}_0x_1 = \overline{x_0 + \bar{x}_1};\\
y_3 &= x_0x_1 = \overline{\bar{x}_0 + \bar{x}_1}.
\end{aligned}
\qquad (5.6)
$$

Выражения (5.6) можно реализовать в элементном базисе И—НЕ (рис. 5.8,*а*, *б*) либо базисе ИЛИ—НЕ (рис. 5.8,*в*).

Если число входов m и число выходов n дешифратора связаны соотношением $n = 2^m$, то выходы определены для всех двоичных наборов и дешифратор называется полным [97]. В случае $n < 2^m$ дешифратор называется неполным. Пример неполного дешифратора — преобразователь двоичного кода 8421 в код «1 из 10» согласно табл. 5.7.

Поскольку 6 из 16 возможных входных наборов не определены, имеется возможность произвольным доопределением карты Карно минимизировать ряд выходных функций дешифратора. Например, функции $y_2 = \bar{x}_3\bar{x}_2x_1x_0$ и $y_8 = x_3\bar{x}_2\bar{x}_1\bar{x}_0$ можно упростить к виду:

$y_2 =$

x_3x_2 \ x_1x_0	00	01	11	10
00	0	0	0	1
01	0	0	0	0
11	*	*	*	*
10	0	0	*	*

$= \bar{x}_2 \cdot x_1\bar{x}_0$,

$y_8 =$

x_3x_2 \ x_1x_0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	*	*	*	*
10	1	0	*	*

$= x_2\bar{x}_0$

Аналогично упрощаются функции $y_3, \ldots, y_9$. Учитывая, что функции y_0 и y_1 не упрощаются, в чем легко можно убедиться, построив для них карты Карно, окончательно запишем ло-

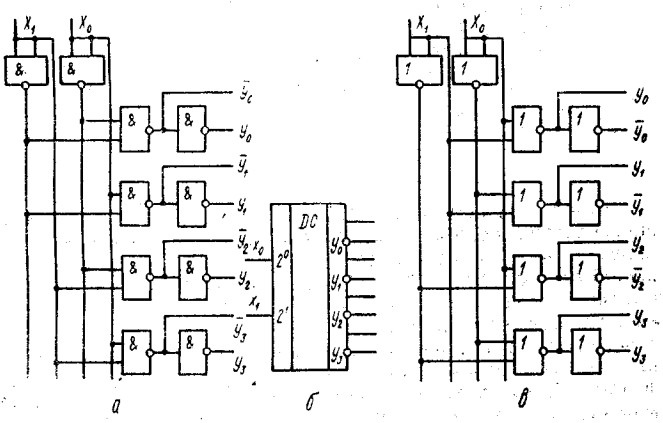


Рис. 5.8

гические функции, которые должен реализовать синтезируемый десятичный дешифратор:

$$y_0 = \bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0 = \overline{x_3 + x_2 + x_1 + x_0},$$

$$y_1 = \bar{x}_3\bar{x}_2\bar{x}_1x_0 = \overline{x_3 + x_2 + x_1 + x_0};$$

$$y_2 = \bar{x}_2x_1\bar{x}_0 = \overline{x_2 + \bar{x}_1 + x_0};$$

$$y_3 = \bar{x}_2x_1x_0 = \overline{x_2 + \bar{x}_1 + \bar{x}_0};$$

$$y_4 = x_2\bar{x}_1\bar{x}_0 = \overline{\bar{x}_2 + x_1 + x_0};$$

$$y_5 = x_2\bar{x}_1x_0 = \overline{\bar{x}_2 + x_1 + \bar{x}_0};$$

$$y_6 = x_2x_1\bar{x}_0 = \overline{\bar{x}_2 + \bar{x}_1 + x_0};$$

$$y_7 = x_2x_1x_0 = \overline{\bar{x}_2 + \bar{x}_1 + \bar{x}_0};$$

$$y_8 = x_3x_0 = \overline{\bar{x}_3 + x_0};$$

$$y_9 = x_3x_1 = \overline{\bar{x}_3 + \bar{x}_1}.$$

Соответствующий десятичный дешифратор реализован на основе логических элементов ИЛИ—НЕ (рис. 5.9). Отметим, что в минимизированном варианте дешифратора не допускается

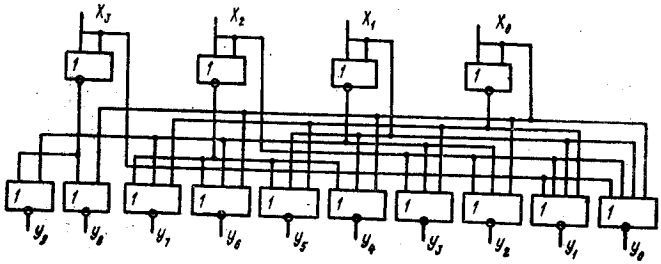


Рис. 5.9

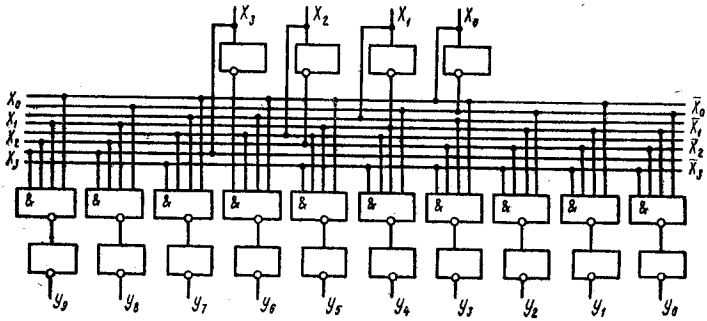


Рис. 5.10

подача на его вход кодов 8421, не вошедших в табл. 5.7. Так, если на вход дешифратора на рис. 5.9 подать код 1011, то одновременно на двух выходах y_3 и y_9 устанавливаются «логические 1». Таким образом, если на m входах дешифратора могут подаваться любые из 2^m комбинаций и не допускается одновременное возбуждение более чем одного из его $n < 2^m$ выходов, упрощение схемы описанным методом недопустимо и каждая из выходных функций должна быть определена полным набором входных переменных. В таком неполном дешифраторе (в качестве примера на рис. 5.10 показан вариант на элементах И—НЕ) «лишние» входные комбинации не возбуждают ни один из его выходов: $y_0 = y_1 = \ldots = y_9 = 0$.

Рассмотренные выше схемы дешифраторов относятся к типу линейных и для них характерно одноступенчатое дешифрирование входных m-разрядных кодов с помощью m-входовых логи-

ческих элементов. Линейные дешифраторы обеспечивают преобразование кода с минимальной задержкой и используются в наиболее быстродействующих цифровых схемах. Однако с ростом разрядности входного кода m быстро нарастает нагрузка каждого из входов и количество корпусов ИМС для реализации дешифратора. Линейная структура обычно используется для построения дешифраторов при $m \leqslant 4$.

Если число входов $m > 4$, то с целью уменьшения количества корпусов ИМС дешифраторы выполняются по многоступенчатой схеме. Первой ступенью пирамидального дешифратора

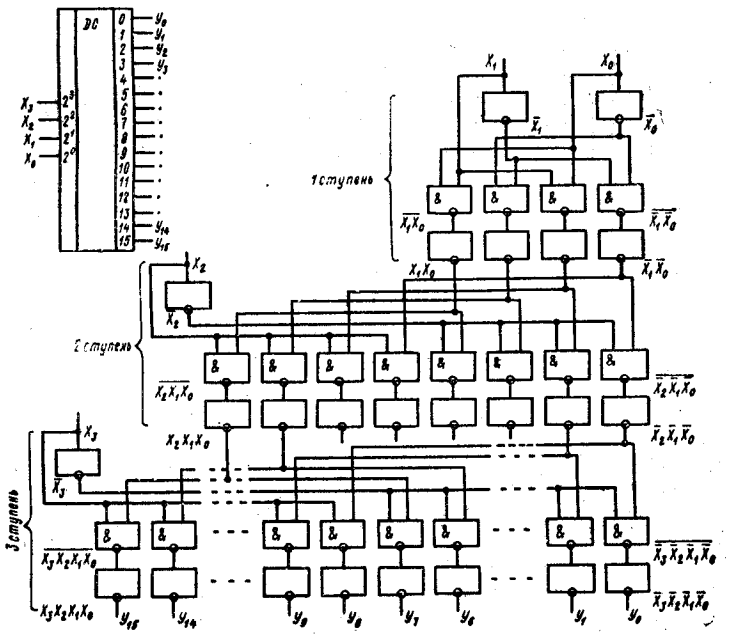


Рис. 5.11

является простейший линейный дешифратор с числом выходов $n_1 = 4$ (см. рис. 5.8,*б*). Каждая последующая ступень, управляемая дополнительной входной переменной, позволяет удвоить количество выходов и получить $n_2 = 8$, $n_3 = 16$ и так далее, т. е. k-ступенчатый полный пирамидальный дешифратор имеет число выходов $N = 2^{k+1}$, причем $k = m - 1$ (при $m = 2$ линейный и пирамидальный дешифраторы совпадают).

В качестве иллюстрации построим полный пирамидальный дешифратор для случая $m = 4$ (рис. 5.11). Задержка распространения сигнала в пирамидальном дешифраторе в k раз больше, чем в линейном. Другой недостаток таких дешифраторов состоит в неравномерной нагрузке входов, которая возрастает с ростом количества ступеней. Количество необходимых двухвходовых логических элементов И—НЕ (либо ИЛИ—НЕ) для реализации

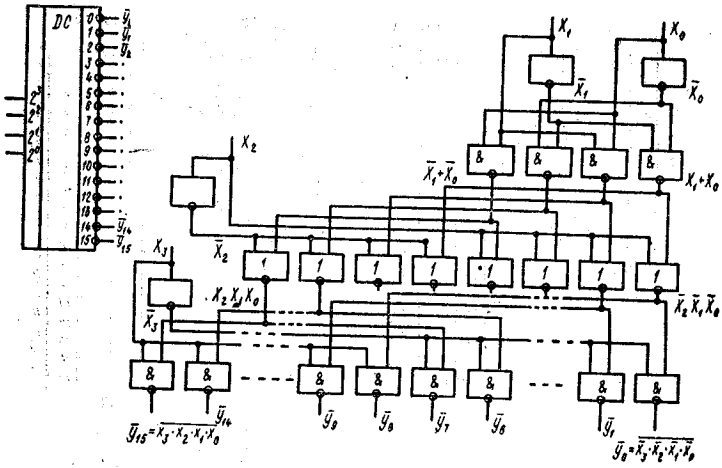


Рис. 5.12

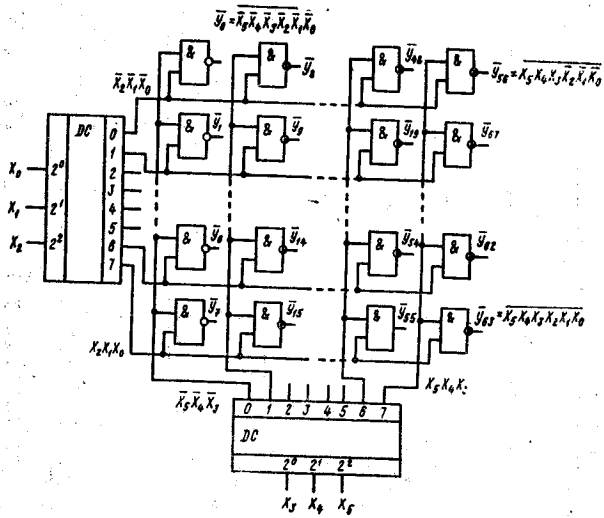
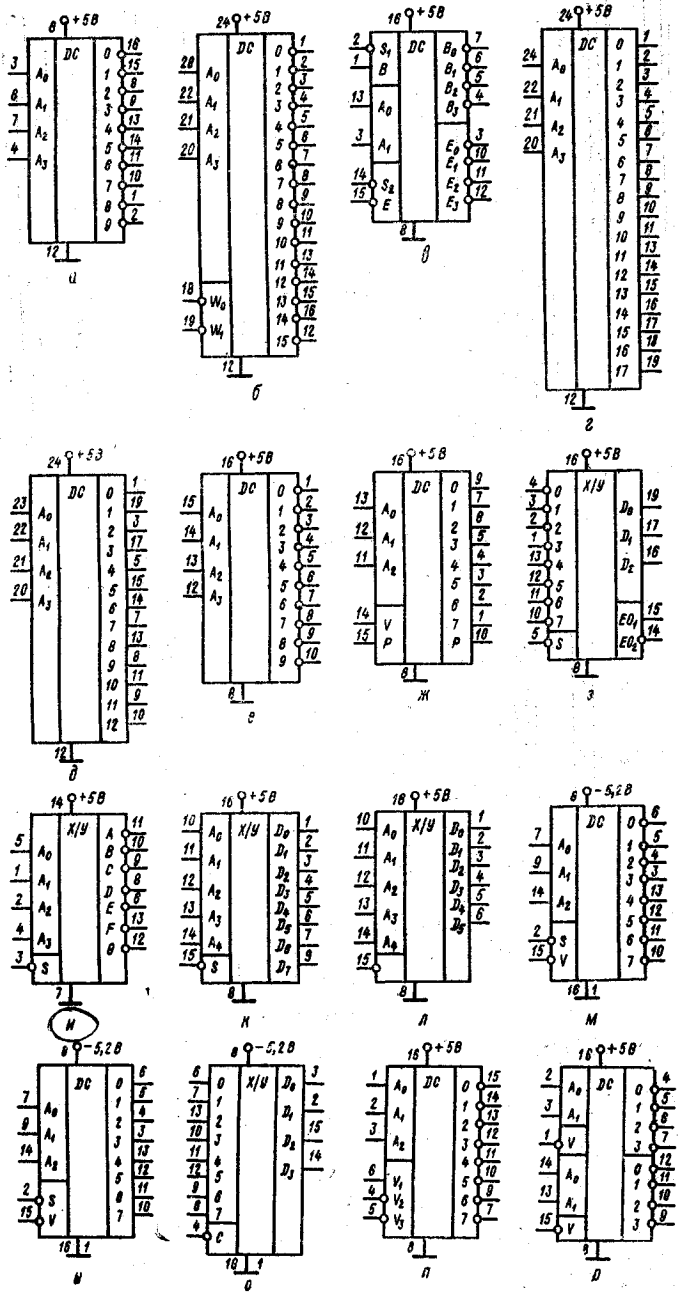


Рис. 5.13

пирамидального k-ступенчатого дешифратора на $n = 2^{k+1}$ выходов с учетом инверторов определяется соотношением

$$M_{\overline{\text{И (ИЛИ)}}} = 1 + k + \sum_{i=1}^{k} 2^{i+2}$$

и практически удваивается с добавлением очередной ступени. При одновременном использовании элементов И—НЕ или ИЛИ—


+5В
DC
X/Y
-5,2В
а
б
в
г
д
е
ж
з
и
к
л
м
н
о
п
р

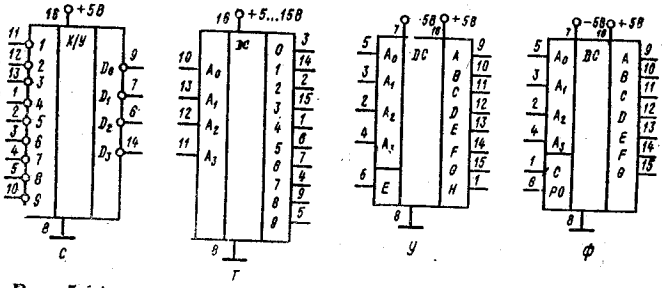


Рис. 5.14

Таблица 5.8

Тип ИМС	Функциональное назначение	$t_{зд.\ р}$, нс	$I_{пот}$, мА	УГО (рис. 5.14)
К155 (ТТЛ): $U^0_{вых} \leqslant 0{,}4$ В; $U^1_{вых} \geqslant 2{,}4$ В; $I^0_{вх} \leqslant 1{,}6$ мА; $I^1_{вх} \leqslant 0{,}04$ мА				
ИД1	Двоично-десятичный дешифратор с высоковольтным выходом. $U^0_{вых} \leqslant 2{,}5$ В, $U^1_{вых} \leqslant 60$ В	—	25	*а*
ИД3	Дешифратор двоично-десятичного кода в десятичный	36	56	*б*
ИД4	Сдвоенный дешифратор	32	40	*в*
ИД8	Дешифратор для управления матрицей 7×5 на светодиодах $I_{вых} \leqslant 10$ мА	100	65	*г*
ИД9	Дешифратор для управления матрицей 7×4 на светодиодах	100	65	*д*
ИД10	Двоично-десятичный дешифратор $U^1_{вых} \leqslant 15$ В, $I_{вых} \leqslant 80$ мА	50	70	*е*
ИД11	Дешифратор на 3 входа и 8 выходов для управления шкалой с заполнением	50	140	*ж*
ИД12	Дешифратор на 3 входа и 8 выходов для управления шкалой со сдвигом одной точки	50	60	*ж*
ИД13	Дешифратор на 3 входа и 8 выходов для управления шкалой со сдвигом двух точек	50	70	*ж*
ИВ1	Приоритетный шифратор	20	60	*в*
ПП5	Преобразователь двоичного кода для 7-сегментного индикатора	—	11	*и*
ПР6	Преобразователь двоично-десятичного кода в двоичный	40	104	*к*
ПР7	Преобразователь двоичного кода в десятичный	40	104	*л*

Тип ИМС	Функциональное назначение	$t_{зд.\ р}$, нс	$I_{пот}$, мА	УГО (рис. 5.14)
К500 (ЭСЛ): $U^0_{вых} = -1{,}63$ В; $U^1_{вых} = -0{,}98$ В; $I^0_{вх} = 0{,}5$ мкА; $I^1_{вх} = 0{,}3$ мА				
ИД161	3-разрядный дешифратор низкого уровня	6	125	*м*
ИД162	3-разрядный дешифратор высокого уровня	6	125	*н*
ИВ165	Шифратор с приоритетом	18	140	*о*
К531 (ТТЛШ): $U^0_{вых} \leqslant 0{,}5$ В; $U^1_{вых} \geqslant 2{,}7$ В; $I^0_{вх} \leqslant 2$ мА; $I^1_{вх} \leqslant 0{,}05$ мА				
ИД7	3-разрядный дешифратор	12	74	*п*
ИД14	Два 2-разрядных дешифратора	12	90	*р*
К555 (ДТТЛШ): $U^0_{вых} \leqslant 0{,}5$ В; $U^1_{вых} \geqslant 2{,}7$ В; $I^0_{вх} \leqslant 0{,}4$ мА; $I^1_{вх} \leqslant 0{,}04$ мА				
ИД4	Сдвоенный дешифратор	30	10	*в*
ИД7	3-разрядный дешифратор	40	10	*п*
ИД10	Двоично-десятичный дешифратор с открытым коллектором	50	10	*е*
ИВ3	Шифратор с приоритетом	19	70	*с*
К561 (КМОП): $U^0_{вых} \leqslant 0{,}8$ В; $U^1_{вых} \geqslant 4{,}2$ В; $I^{0(1)}_{вх} \leqslant 50$ нА				
ИД1	Двоично-десятичный дешифратор	580	0,01	*т*
ИД4	Дешифратор двоичного кода для 7-сегментного индикатора	1200	0,01	*у*
ИД5	Дешифратор двоичного кода для 7-сегментного индикатора	—	—	*ф*

НЕ с чередованием ступеней на них (рис. 5.12) требуемое количество двухвходовых вентилей уменьшается вдвое:

$$M_{\overline{И}+\overline{ИЛИ}} = 1 + k + \sum_{i=1}^{k} 2^{i+1}.$$

В случае если число входов $m \geqslant 5$, полные дешифраторы целесообразно строить по матричной структуре. При четном m количество строк и столбцов матрицы равно $2^{m/2}$ и матрица выходных вентилей получается квадратной. При нечетном m входные переменные разделяют на $\frac{m-1}{2}$ и $\frac{m+1}{2}$. В обоих случаях для выбора строк и столбцов (рис. 5.13), в узлах которых подключаются двухвходовые вентили, используются линейные или пирамидальные дешифраторы. Такого типа дешифраторы называют прямоугольными.

Таким образом, прямоугольный дешифратор содержит две ступени независимо от величины m и обеспечивает высокое быстродействие. Для реализации прямоугольного дешифратора с линейным дешифратором в его первой ступени необходимо $M_{\overline{\text{И}+\text{ИЛИ}}} = 2^{m/2}(2+2^{m/2})$ элементов при четном m и $M_{\overline{\text{И}+\text{ИЛИ}}} = 2^m + 2^{(m-1)/2} + 2^{(m+1)/2}$ элементов при m нечетном. В прямоугольном дешифраторе на рис. 5.13 выходы являются инверсными, т. е. на всех его выходах, кроме одного, определяемого входным кодом, устанавливаются «логические 1» и лишь на одном выходе — «логический 0». На основе комбинации любого из дешифраторов с n выходами и n-входового шифратора можно построить преобразователь исходного кода в заданный. Для этого достаточно соответствующим образом соединить выходы дешифратора со входами шифратора.

В табл. 5.8 приведены параметры шифраторов и дешифраторов наиболее широко применяемых серий ИМС. На рис. 5.14 показано функциональное назначение выводов ИМС из табл. 5.8.

5.2. МУЛЬТИПЛЕКСОРЫ И ДЕМУЛЬТИПЛЕКСОРЫ

В цифровых устройствах часто возникает задача передачи цифровой информации от m различных устройств к n приемникам через канал общего пользования. Для этого на входе канала устанавливается устройство, называемое мультиплексором, которое согласно коду адреса A_m подключает к каналу один из источников информации, а на выходе канала устройство демультиплексор обеспечивает передачу информации к приемнику, имеющему цифровой адрес A_n. Мультиплексор и демультиплексор [74] включают в себя дешифратор адреса. Сигналы дешифратора управляют логическими вентилями, разрешая передачу информации только через один из них. Логика функционирования мультиплексора для $m = 4$ описывается табл. 5.9, где $x_0, \ldots, x_3$ — выходы независимых источников информации. Логика функционирования демультиплексора для случая $n = 4$ иллюстрируется табл. 5.10, где $y_0, \ldots, y_3$ — входы приемников информации.

Простейший мультиплексор, реализующий заданное табл. 5.9 преобразование, можно построить на логических элементах И, ИЛИ и линейном дешифраторе (рис. 5.15,*а*). В такой структуре выход мультиплексора X устанавливается с задержкой адресных сигналов в трех логических ступенях. Быстродействие мультиплексора можно увеличить, если совместить дешифратор адреса и информационные вентили (рис. 5.15,*б*). Вход C (рис. 5.15,*в*) обеспечивает передачу информации в канал только в разрешенные строб-импульсом моменты времени.

Таблица 5.9

Вход	Адрес A_1A_0	Выход Y
$x_3x_2x_1x_0$	0 0	x_0
	0 1	x_1
	1 0	x_2
	1 1	x_3

Таблица 5.10

Вход	Адрес A_1A_0	Выход $y_3y_2y_1y_0$
x	0 0	0 0 0 x
	0 1	0 0 x 0
	1 0	0 x 0 0
	1 1	x 0 0 0

Аналогично можно построить демультиплексоры (рис. 5.16,*а*, *б*, *в*) в соответствии с табл. 5.10.

Увеличение количества переключаемых источников и приемников цифровой информации достигается многоступенчатым включением мультиплексоров и демультиплексоров. Если выходы мультиплексоров первой ступени подключить ко входам мультиплексора второй ступени, образуется так называемое мультиплексорное дерево (рис. 5.17,*а*). Аналогично строится демультиплексорное дерево (рис. 5.17,*б*).

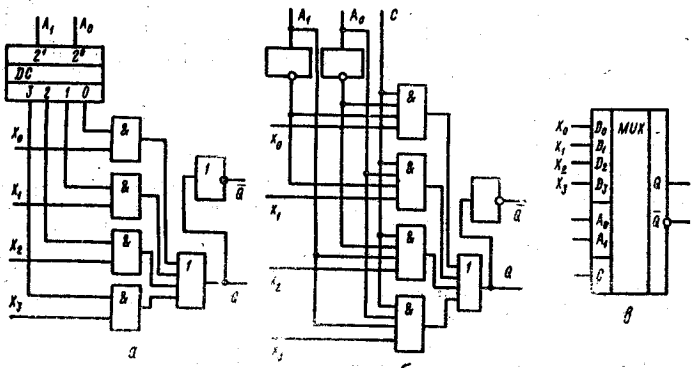


Рис. 5.15

Рассмотрим некоторые схемотехнические применения мультиплексоров. Можно использовать мультиплексор в качестве преобразователя параллельного m-разрядного двоичного кода в последовательный. Для этого достаточно на входы мультиплексора подать параллельный код и затем последовательно изменять код адреса в требуемой последовательности. При этом во избежание появления ложного сигнала на выходе мультиплексора строб-импульс на время переключения адреса должен отключать выход от входов. Аналогично демультиплексор, выходы которого подключаются ко входам запоминающего регистра, можно использовать для преобразования последовательного кода в параллельный.

Мультиплексоры можно использовать также для построения логических функций нескольких переменных в виде дизъюктив-

ной нормальной формы. Пусть в качестве примера необходимо реализовать логическую функцию

$$f(x_1, \ldots, x_5) = \bar{x}_3\bar{x}_2\bar{x}_1 + x_4\bar{x}_2x_1 + x_3\bar{x}_2x_1 + x_5x_4x_1. \quad (5.7)$$

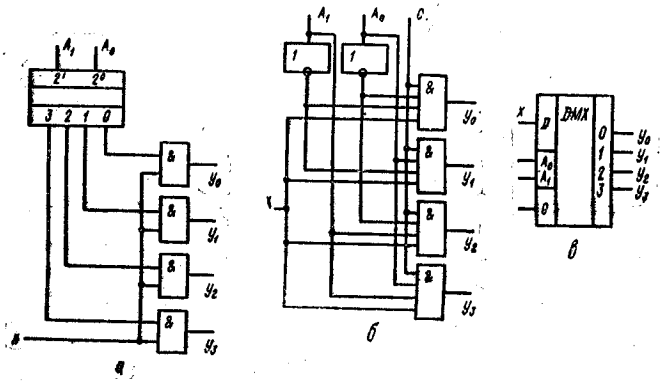


Рис. 5.16

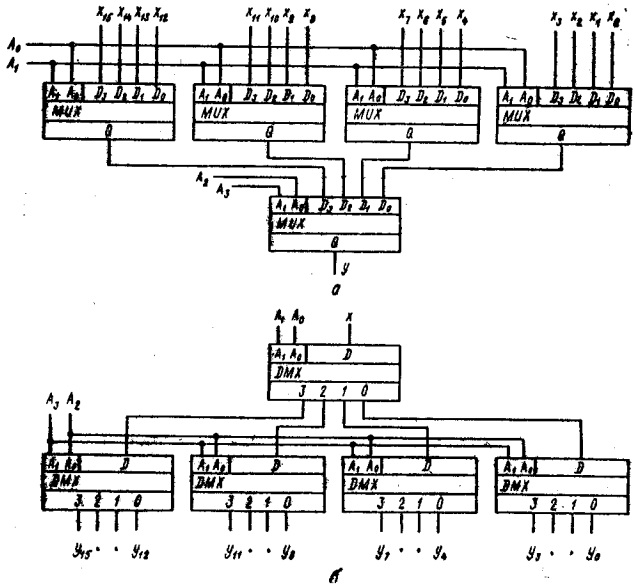


Рис. 5.17

Данная логическая функция определена только пятью независимыми переменными. Если все пять переменных подать на адресные входы соответствующего мультиплексора, имеющего $2^5 = 32$ информационных входа, то для получения на выходе y любой функции пяти переменных достаточно подать «логические 1» на

информационные входы, адрес которых совпадает с минтермами синтезируемой функции. На остальных входы аналогично входу D_1 (рис. 5.18) необходимо подать «логические 0», исключив тем самым соответствующие комбинации из выходной функции. Такой метод приемлем, если функция m переменных содержит близкое к 2^m количество минтермов. В противном случае схема получается избыточной. Мультиплексор можно использовать более эффективно, если аргументы функции подавать не только на адресные, но и на информационные входы. Для этого аргументы синтезируемой функции $f(x_1, \ldots, x_m)$ разделяются на информационные входы D_i и адресные входы A_j так, чтобы адресными входами управляли переменные, наиболее часто входящие в минтермы функции. Алгоритм синтеза логического устройства на основе мультиплексора включает в себя следующие операции [38]: исходная функция приводится путем тождественных преобразований к СДНФ; для полученной СДНФ строится карта Карно; на карте Карно выделяются области, элементы которой имеют одинаковые адреса; для каждой адресной области определяется минимальная форма относительно переменных, подаваемых на информационные входы; согласно полученным минимальным формам реализуется схема управления каждым информационным входом мультиплексора.

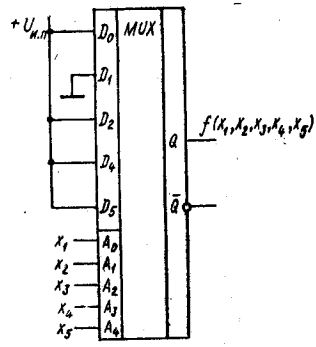


Рис. 5.18

Проиллюстрируем алгоритм на рассматриваемом примере (5.7).

Дополним каждый минтерм недостающими аргументами:

$$\bar{x}_3\bar{x}_2\bar{x}_1 = (x_5 + \bar{x}_5)(\bar{x}_4 + x_4)\,\bar{x}_3\bar{x}_2\bar{x}_1 = x_5x_4\bar{x}_3\bar{x}_2\bar{x}_1 + x_5\bar{x}_4\bar{x}_3\bar{x}_2\bar{x}_1 + \\ + \bar{x}_5x_4\bar{x}_3\bar{x}_2\bar{x}_1 + \bar{x}_5\bar{x}_4\bar{x}_3\bar{x}_2\bar{x}_1.$$

Дополняя аналогично каждый минтерм, получим из выражения (5.7) СДНФ:

$$f(x) = x_5x_4\bar{x}_3\bar{x}_2\bar{x}_1 + x_5\bar{x}_4\bar{x}_3\bar{x}_2\bar{x}_1 + \bar{x}_5x_4\bar{x}_3\bar{x}_2\bar{x}_1 + \bar{x}_5\bar{x}_4\bar{x}_3\bar{x}_2\bar{x}_1 + \\ + x_5x_4x_3\bar{x}_2x_1 + \bar{x}_5x_4x_3\bar{x}_2x_1 + x_5x_4\bar{x}_3\bar{x}_2x_1 + \bar{x}_5x_4\bar{x}_3\bar{x}_2x_1 + \\ + x_5\bar{x}_4x_3\bar{x}_2x_1 + \bar{x}_5\bar{x}_4x_3\bar{x}_2x_1 + x_5x_4x_3x_2x_1 + x_5x_4\bar{x}_3x_2x_1. \quad (5.8)$$

Для функции (5.8) построим карту Карно, распределив для наглядности адресные переменные по строкам и столбцам (рис. 5.19,*а*).

На карте Карно выделены области D_0, D_1, D_2, D_3, определяющие функции управления соответствующим информационным входом мультиплексора.

Минимизируем функции управления

$$D_0 = \bar{x}_3,\ D_1 = x_3 + x_4,\ D_2 = 0,\ D_3 = x_4x_5. \quad (5.9)$$

Реализуем функции (5.9) на логических элементах И, ИЛИ, НЕ (рис. 5.19,*б*).

Если в распоряжении пользователя имеется 3-адресный мультиплексор, то для его восьми информационных входов карта Карно (рис. 5.20,*а*) разбивается на 8 областей D_0, ..., D_7, для которых получаем следующие функции управления:

$$D_0 = D_5 = 1,\ D_1 = x_4,\ D_3 = D_7 = x_4 x_5,\ D_2 = D_4 = D_6 = 0.$$

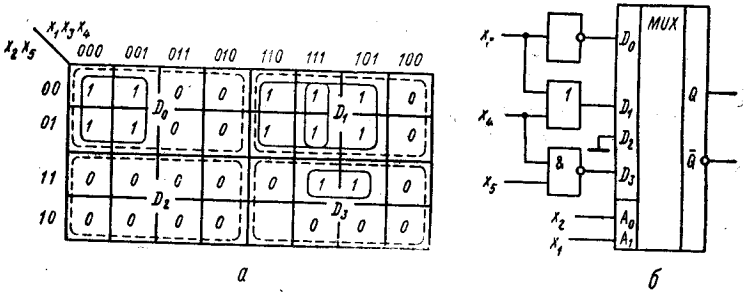


Рис. 5.19

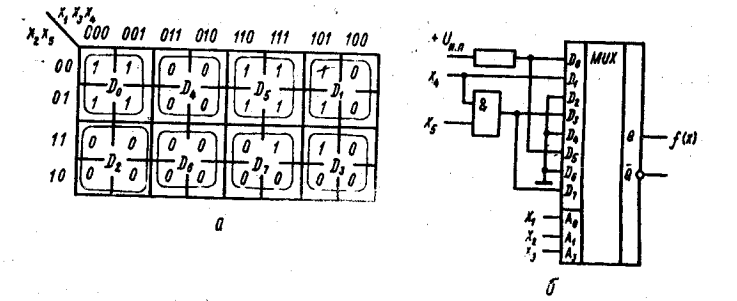


Рис. 5.20

Таблица 5.11

Тип ИМС	Функциональное назначение	$t_{зд.\ р}$, нс	$I_{пот}$, мА	УГО (рис. 5.21)
К155 (ТТЛ): $U^0_{вых} \leqslant 0{,}4$ В; $U^1_{вых} \geqslant 2{,}4$ В; $I^0_{вх} \leqslant 1{,}6$ мА; $I^1_{вх} \leqslant 0{,}04$ мА				
КП1	Мультиплексор на 16 каналов со стробированием	30	68	*а*
КП2	Сдвоенный мультиплексор на 4 канала со стробированием	30	60	*б*
КП5	Мультиплексор на 8 каналов	35	43	*в*
КП7	Мультиплексор на 8 каналов со стробированием	52	48	*г*

Тип ИМС	Функциональное назначение	$t_{зд.\ р}$, нс	$I_{пот}$, мА	УГО (рис. 5.21)
К500 (ЭСЛ): $U^0_{вых} = -1{,}63$ В; $U^1_{вых} = -0{,}98$ В; $I^0_{вх} = 0{,}5$ мкА; $I^1_{вх} = 0{,}3$ мА				
ИД164	Мультиплексор на 8 каналов со стробированием	8	125	*д*
К531 (ТТЛШ): $U^0_{вых} \leqslant 0{,}5$ В; $U^1_{вых} \geqslant 2{,}7$ В; $I^0_{вх} \leqslant 2$ мА; $I^1_{вх} \leqslant 0{,}05$ мА				
КП2	Сдвоенный мультиплексор на 4 канала со стробированием	9	70	*б*
КП7	Мультиплексор на 8 каналов со стробированием	18	70	*г*
КП11 (14)	Четыре двухвходовых мультиплексора со стробированием	12	70 (61)	*е* (*ж*)
К555 (ДТЛШ): $U^0_{вых} \leqslant 0{,}5$ В; $U^1_{вых} \geqslant 2{,}7$ В; $I^0_{вх} \leqslant 0{,}8$ мА; $I^1_{вх} \leqslant 0{,}06$ мА				
КП11 (14)	Четыре двухвходовых мультиплексора со стробированием $I_{вых} = 6$ мА	21	14 (12)	*е* (*ж*)
КП12	Два четырехвходовых мультиплексора со стробированием	32	14	*б*
КП13	Четыре двухвходовых мультиплексора с запоминанием $I_{вых} = 6$ мА	32	20	*в*
КП15	Мультиплексор на 8 каналов со стробированием	45	10	*и*
К561 (КМОП): $U^0_{вых} \leqslant 0{,}5$ В; $U^1_{вых} \geqslant 4{,}2$ В; $I^{0(1)}_{вх} \leqslant 0{,}05$ мА				
КП1	Сдвоенный мультиплексор на 4 канала со стробированием	400	0,01	*к*
КП2	Мультиплексор на 8 каналов со стробированием $I_{вых} = 10$ мА	400	0,01	*л*

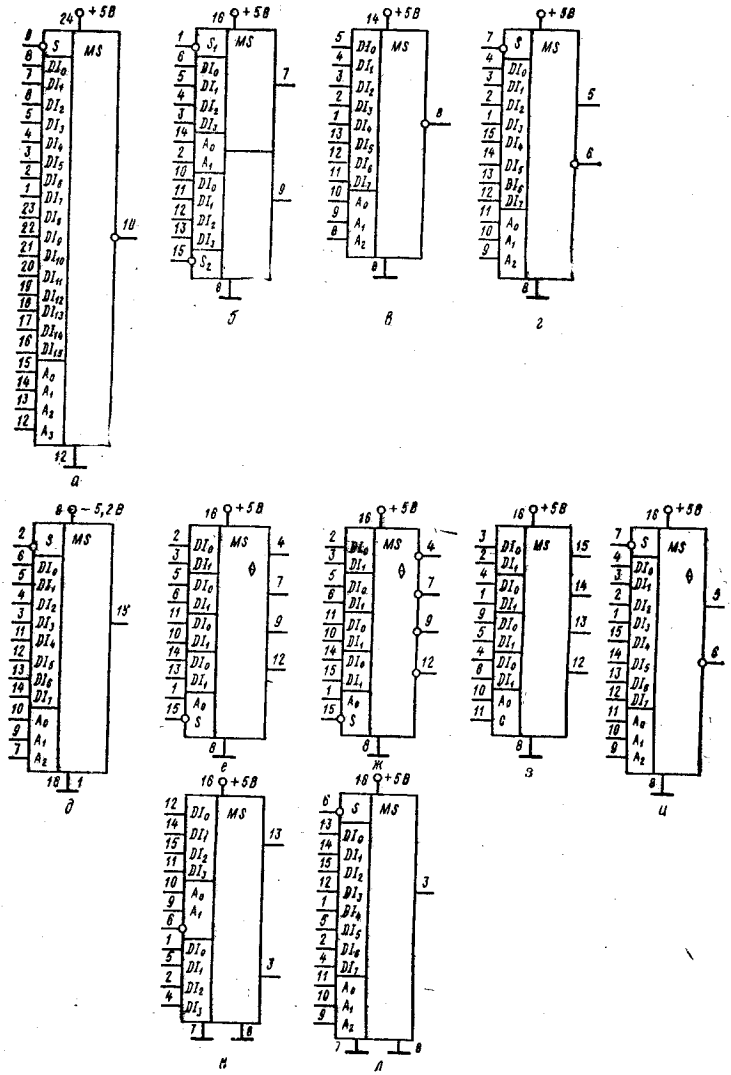


Рис. 5.21

Реализация функции (5.7) на 3-адресном мультиплексоре (рис. 5.20,*б*) требует дополнительно лишь один логический элемент И.

В табл. 5.11 приведены основные параметры наиболее широко применяемых мультиплексоров, демультиплексоров и аналоговых коммутаторов, а на рис. 5.21 — функциональное назначение выводов микросхем.

5.3. КОМБИНАЦИОННЫЕ УСТРОЙСТВА СДВИГА

Сдвиг цифровых данных необходим при нормализации чисел, при выполнении арифметических операций над ними и т. п. Если за один рабочий такт требуется сдвиг всего лишь на один разряд влево или вправо, то такую операцию, совместив ее с функцией хранения информации, удобно выполнять с помощью сдвигающих регистров на триггерах. В случае, когда за один такт

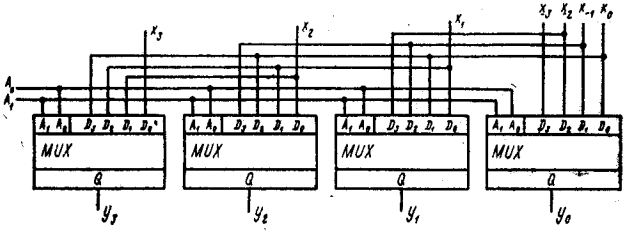
Таблица 5.12

Адрес	Выходы y_3 y_2 y_1 y_0
0 0	x_3 x_2 x_1 x_0
0 1	x_2 x_1 x_0 x_{-1}
1 0	x_1 x_0 x_{-1} x_{-2}
1 1	x_0 x_{-1} x_{-2} x_{-3}

Таблица 5.13

Адрес	Выход сдвигателя y_7 . . . . . y_0
0 0	0 0 0 0 x_3 x_2 x_1 x_0
0 1	0 0 0 x_3 x_2 x_1 x_0 0
1 0	0 0 x_3 x_2 x_1 x_0 0 0
1 1	0 x_3 x_2 x_1 x_0 0 0 0

выполняется сдвиг на произвольное количество разрядов в любом направлении, удобнее воспользоваться комбинационным логическим устройством на основе мультиплексоров [74]. Количество требуемых мультиплексоров равно разрядности выходного двоичного числа.



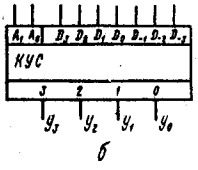


Рис. 5.22

Исходными данными для построения сдвигающего устройства является таблица, устанавливающая связь кода адреса мультиплексора с подключаемым к каждому из его выходов разрядом сдвигаемого числа. Разрядность адреса мультиплексора p определяет максимально возможный сдвиг числа за один такт $\Delta S_{max} = 2^p - 1$.

Пусть требуется построить комбинационное устройство, реализующее сдвиг согласно табл. 5.12. Для двухразрядного адреса максимальный сдвиг $\Delta S_{max} = 3$, т. е. входное слово должно содержать $m = 2^p + \Delta S_{max} = 7$ разрядов. Обычно для простоты управления на все мультиплексоры подаются одинаковые коды адреса (хотя это ограничение не обязательно). В комбинационном устройстве сдвига (КУС) (рис. 5.22,*а*) сдвиг числа производится влево и при этом старшие разряды теряются. Для

сдвига числа на ΔS_{max} разрядов без потерь старших разрядов необходимо дополнительное сдвигающее устройство (рис. 5.23), обеспечивающее сдвиг числа согласно табл. 5.13. Данный вариант сдвигающего устройства на основе мультиплексорной структуры на рис. 5.22,*б* обеспечивает сдвиг числа влево, как показано в табл. 5.13, либо вправо, если на адресные входы сдвигателя подать сигналы с инверсных выходов регистра (счетчика) адреса.

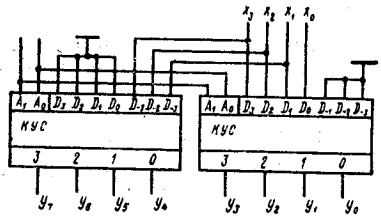


Рис. 5.23

При построении арифметико-логических устройств (АЛУ), а также тактовых генераторов и генераторов последовательностей импульсов часто необходимы кольцевые сдвигающие регистры, обеспечи-

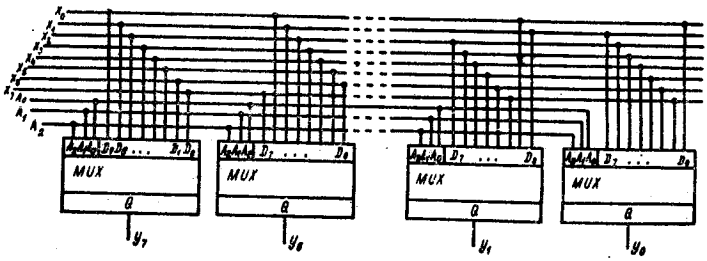


Рис. 5.24

вающие циркуляцию некоторого числа и формирование на выходах кольцевого регистра требуемых последовательностей импульсов. Эти же функции можно реализовать комбинационным кольцевым сдвигающим устройством, на вход которого подается двоичное число, являющееся операндом АЛУ или программирующее работу тактового генератора. В качестве примера приведем схему 8-разрядного комбинационного кольцевого сдвигателя (рис. 5.24), реализующего таблицу истинности (табл. 5.14).

Таблица 5.14

Адрес $A_2A_1A_0$	Выходы сдвигателя y_7	y_6	y_5	y_4	y_3	y_2	y_1	y_0
0 0 0	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0
0 0 1	x_6	x_5	x_4	x_3	x_2	x_1	x_0	x_7
0 1 0	x_5	x_4	x_3	x_2	x_1	x_0	x_7	x_6
0 1 1	x_4	x_3	x_2	x_1	x_0	x_7	x_6	x_5
1 0 0	x_3	x_2	x_1	x_0	x_7	x_6	x_5	x_4
1 0 1	x_2	x_1	x_0	x_7	x_6	x_5	x_4	x_3
1 1 0	x_1	x_0	x_7	x_6	x_5	x_4	x_3	x_2
1 1 1	x_0	x_7	x_6	x_5	x_4	x_3	x_2	x_1

Помимо высокого быстродействия, определяемого в основном временем срабатывания дешифратора мультиплексора, комбинационное устройство сдвига обеспечивает дополнительные функциональные возможности: одношаговый сдвиг информации в любом направлении на ΔS

разрядов ($\Delta S < S_{max}$); возможность переключения входной информации независимо от установки кода адреса, т. е. оперативной смены операндов сдвигателя.

5.4. КОМБИНАЦИОННЫЕ СУММАТОРЫ

Сумматор — устройство, предназначенное для выполнения операций сложения и вычитания над многоразрядными числами (операндами). Многоразрядный сумматор состоит из одноразрядных, реализующих сложение одноразрядных чисел. Одноразрядный сумматор, на вход которого поступают два одноразрядных числа A_i и B_i, а на выходе формируются также одноразрядные числа суммы S_i и переноса P_i, называют полусумматором (рис. 5.25,*а*). Если одноразрядный сумматор реализует сложение трех одноразрядных чисел A_i, B_i и C_i (перенос из младшего разряда), то такой сумматор называют полным. В многоразрядном сумматоре только самый младший разряд можно выполнить по схеме полусумматора, а остальные разряды выполняют функции полного сумматора. Ниже рассмотрены схемы сумматоров для двоично кодированных чисел [90].

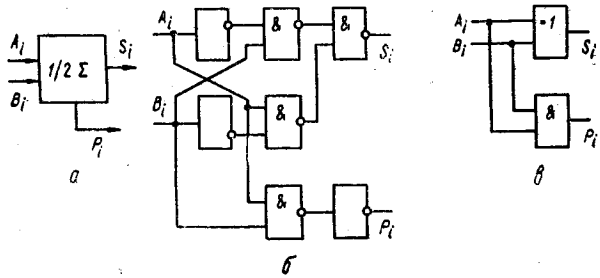


Рис. 5.25

Таблица 5.15

A_i	B_i	S_i	P_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Таблица истинности для полусумматора (табл. 5.15) позволяет записать функцию вычисления суммы S_i и переноса единицы переполнения P_i в старший разряд:

$$S_i = \overline{A}_i B_i + A_i \overline{B}_i = A_i \oplus B_i;$$
$$P_i = A_i B_i. \qquad (5.10)$$

Согласно выражениям (5.10) полусумматор можно реализовать в базисе элементов И—НЕ (рис.5.25,*б*), ИЛИ—НЕ либо на основе логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и конъюнктора (рис. 5.25,*в*). Возможны другие реализации полусумматора на основании тождественных преобразований (5.10)

$$S_i = \overline{A}_i B_i + A_i \overline{B}_i = (A_i + B_i)\,\overline{A_i B_i} = \overline{\overline{A_i + B_i} + \overline{\overline{A}_i + \overline{B}_i}};$$
$$P_i = A_i B_i = \overline{\overline{A}_i + \overline{B}_i}.$$

Соответствующие реализации показаны на рис. 5.26, (*а*, *б*).

Выбор схемы для реализации полусумматора определяется имеющейся в распоряжении разработчика элементной базой с учетом требований по быстродействию, энергопотреблению и технологичности. Для обеспечения максимального быстродей-

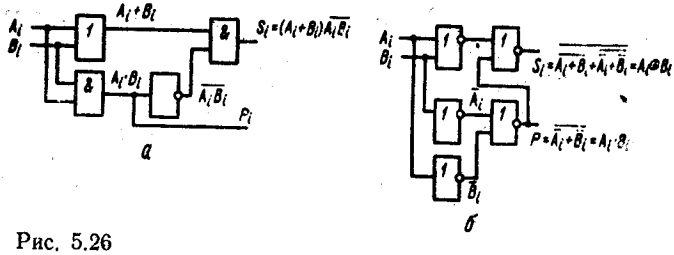


Рис. 5.26

ствия предпочтительнее схемы с минимальным количеством логических ступеней между входом и выходом. С этой точки зрения кажущаяся простота полусумматора на рис. 5.25, *в* не дает ожидаемого преимущества по быстродействию, так как внутренняя структура ИМС ИСКЛЮЧАЮЩЕЕ ИЛИ по существу повторяет фрагмент схемы на рис. 5.25,*б*.

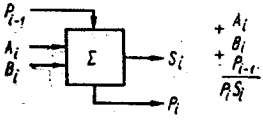


Рис. 5.27

Работа полного сумматора описывается табл. 5.16. Карта Карно для функций S_i и P_i дает минимальную форму и ее тождественные варианты:

$S_i =$

P_{i-1} \ A_iB_i	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$= \overline{A}_iB_i\overline{P}_{i-1} + A_i\overline{B}_i\overline{P}_{i-1} + \overline{A}_i\overline{B}_iP_{i-1} + A_iB_iP_{i-1} =$$

$$= (\overline{A}_iB_i + A_i\overline{B}_i)\overline{P}_{i-1} + (\overline{A}_i\overline{B}_i + A_iB_i)P_{i-1} =$$

$$= (A_i \oplus B_i)\overline{P}_{i-1} + \overline{(A_i \oplus B_i)}P_{i-1} = A_i \oplus B_i \oplus P_{i-1} \qquad (5.11)$$

$P_i =$

P_{i-1} \ A_iB_i	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$= A_iB_i\overline{P}_{i-1} + \overline{A}_iB_iP_{i-1} + A_iB_iP_{i-1} + A_i\overline{B}_iP_{i-1} =$$

$$= A_iB_i + A_iP_{i-1} + B_iP_{i-1} = A_iB_i + (A_i \oplus B_i)P_{i-1} =$$

$$= \overline{\overline{A_iB_i \cdot (A_i \oplus B_i)P_{i-1}}}. \qquad (5.12)$$

Соответственно выражениям (5.11), (5.12) на рис. 5.28 приведены различные реализации полного сумматора и его условное графическое изображение. Схема сумматора (рис. 5.28,*в*) аналогична схеме на рис 5.28,*б* по структуре и параметрам, ее можно построить на основе двух полусумматоров (см.

Таблица 5.16

A_i	0 0 1 1 0 0 1 1
B_i	0 1 0 1 0 1 0 1
P_{i-1}	0 0 0 0 1 1 1 1
S_i	0 1 1 0 1 0 0 1
P_i	0 0 0 1 0 1 1 1

Таблица 5.17

Уменьшаемое A_i	0 0 1 1 0 0 1 1
Вычитаемое B_i	0 1 0 1 0 1 0 1
Заем из $i-1$ V_{i-1}	0 0 0 0 1 1 1 1
Разность D_i	0 1 1 0 1 0 0 1
Заем из i V_i	0 1 0 0 1 1 0 1

рис. 5.25,*в*). Сумматор по схеме на рис. 5.28,*а*, обладающий минимальной задержкой распространения сигнала и, следовательно, максимальным быстродействием, может с успехом при-

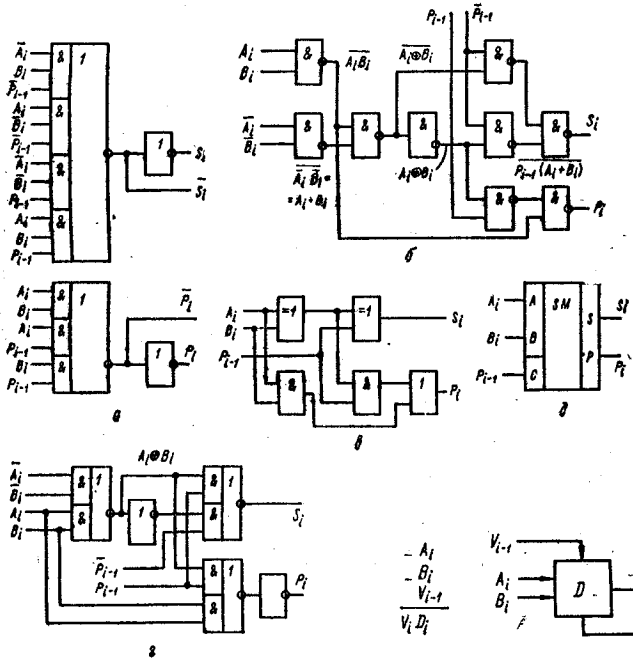


Рис. 5.28

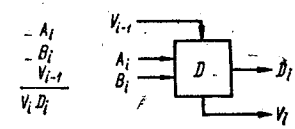


Рис. 5.29

меняться при построении БИС многоразрядного сумматора. Вариант полного сумматора на элементах И—ИЛИ—НЕ, реализуемый на ИМС промышленных серий, показан на рис. 5.28,*г*. Условное графическое обозначение одноразрядного сумматора показано на рис. 5.28,*д*.

Аналогично определим функции переключения полного вычитателя (называемого также субтрактором) — устройства, реализующего операцию вычитания двух одноразрядных чисел с формированием сигнала заема из старшего разряда. В соответствии с таблицей истинности вычитателя (табл. 5.17),

(рис. 5.29) запишем выражения для разности D_i и функции заема V_i:

$D_i =$

V_{i-1} \ A_iB_i	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$= \bar{A}_iB_i\bar{V}_{i-1} + A_i\bar{B}_i\bar{V}_{i-1} + \bar{A}_i\bar{B}_iV_{i-1} + A_iB_iV_{i-1} =$$

$$= (\bar{A}_iB_i + A_i\bar{B}_i)\bar{V}_{i-1} + (\bar{A}_i\bar{B}_i + A_iB_i)V_{i-1} =$$

$$= (A_i \oplus B_i)\bar{V}_{i-1} + \overline{(A_i \oplus B_i)}V_{i-1} = A_i \oplus B_i \oplus V_{i-1} \quad (5.13)$$

$V_i =$

V_{i-1} \ A_iB_i	00	01	11	10
0	0	1	0	0
1	1	1	1	0

$$= \bar{A}_i\bar{B}_iV_{i-1} + \bar{A}_iB_i\bar{V}_{i-1} + \bar{A}_iB_iV_{i-1} + A_iB_iV_{i-1} =$$

$$= \bar{A}_iB_i + \overline{(A_i \oplus B_i)}V_{i-1} = \bar{A}_iB_i + \bar{A}_iV_{i-1} + B_iV_{i-1}. \quad (5.14)$$

Сравнивая выражения для суммы S_i и переноса P_i полного сумматора с выражениями для разности D_i и заема V_i вычитателя, видим, что выражения для S_i и D_i идентичны, а для P_i и V_i — отличаются. Если в выражения для S_i и P_i вместо B_i

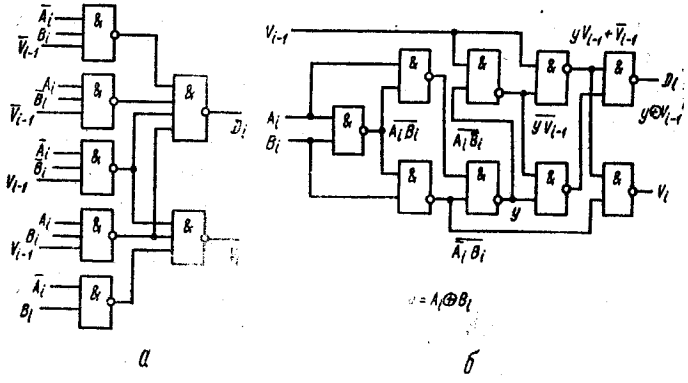


Рис. 5.30

подставить $\bar{B}_i$, а вместо $P_{i-1} - \bar{V}_{i-1}$, то $S_i \equiv D_i$; $P_i \equiv \bar{V}_i$. Это означает, что вычитание можно заменить суммированием, представив вычитаемое в обратном коде с учетом необходимой инверсии функции заема. Это особенно важно для построения сумматора, выполняющего сложение чисел с произвольными знаками. Если же необходимо производить операцию только вычитания, можно использовать одну из схем на рис. 5.30. Схема на рис. 5.30,*а* выполняет операцию вычитания с минимальной задержкой сигнала в трех логических ступенях, но для ее реализации требуется больше логических элементов и с бо́льшим количеством входов. Схема, показанная на рис. 5.30,*б*, выполнена только на двухвходовых элементах И—НЕ, но имеет бо́льшую

задержку (6 логических ступеней). В этом случае формирование значения разности D_i осуществляется в соответствии с выражением (5.13), а заема — (5.14).

Совмещение операций сложения и вычитания требует дополнительного сигнала F, устанавливающего режим работы сумматора. В сумматоре (рис. 5.31) при $F = 0$ производятся суммирование чисел и формирование переноса в следующий разряд, а при $F = 1$ — вычитание B_i из A_i и формирование заема из старшего разряда.

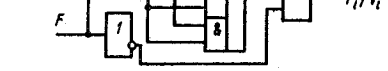


Рис. 5.31

Сложение многоразрядных чисел можно реализовать последовательно либо параллельно. При последовательном суммировании требуется одноразрядный полный сумматор, на вход которого в течение тактового интервала последовательно, начиная с младшего разряда, подаются соответствующие разряды слагаемых и результат переноса от сложения на предыдущем такте (рис. 5.32,*а*). Результат суммирования поразрядно с выхода сумматора передается в линию связи либо запоминается в буферном сдвигающем регистре суммы. Операция суммирования заканчивается через количество тактов суммирования I_Σ

$$N_\Sigma = \max\{R_A,\ R_B\} + 1,$$

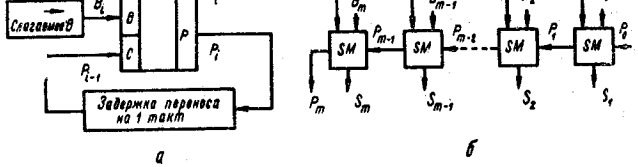


Рис. 5.32

определяемое разрядностью R_A, R_B слагаемых чисел A и B. Дополнительный такт необходим для реализации переноса от суммирования старших разрядов. Последовательный сумматор требует минимальных затрат оборудования, не зависящих от разрядности суммируемых чисел. Однако длительность операции суммирования пропорциональна разрядности операндов, поэтому последовательный сумматор может использоваться в относительно медленнодействующих цифровых устройствах.

В параллельном m-разрядном сумматоре используется m полных сумматоров (рис. 5.32,*б*), т. е. затраты оборудования пропорциональны разрядности операндов, но операция суммирования выполняется за один такт T_Σ. Длительность такта T_Σ

и сложность реализации параллельного сумматора зависят от способа реализации переносов. В простейшем случае выходы и входы цепей переноса соединяются последовательно (рис. 5.32,*б*) и длительность такта пропорциональна количеству разрядов сумматора и времени реализации переноса в одном разряде $t_{зд.р.п.}$:

$$T_{\Sigma} = t_{\Sigma} + m t_{зд.\,р.\,п}, \tag{5.15}$$

где t_{Σ} — длительность суммирования в одноразрядном сумматоре. При большом количестве разрядов и последовательной реализации переноса длительность суммирования (5.15) оказывается недопустимо большой. Увеличение быстродействия параллельного сумматора достигается за счет одновременного формирования сигналов переноса во всех его m разрядах. Для этого в сумматор включается специальная схема ускоренного переноса, аргументами которой являются промежуточные переменные полного сумматора.

Для построения схемы параллельного переноса введем обозначения $A_iB_i = G_i$, $A_i \oplus B_i = H_i$ и перепишем соотношения (5.11) и (5.12) в виде

$$S_i = A_i \oplus B_i \oplus P_{i-1} = H_i \oplus P_{i-1}; \tag{5.16}$$

$$P_i = A_iB_i + (A_i \oplus B_i) P_{i-1} = G_i + H_iP_{i-1}. \tag{5.17}$$

На основании выражения (5.16) результат суммирования на выходах многорядного сумматора:

$$\begin{aligned} S_1 &= H_1 \oplus P_0; \\ S_2 &= H_2 \oplus P_1; \\ &\ldots\ldots\ldots \\ S_m &= H_m \oplus P_{m-1}, \end{aligned} \tag{5.18}$$

где P_0 — возможный перенос при каскадном соединении сумматоров (для самой младшей секции $P_0 = 0$), а $P_1, \ldots, P_m$ определяются выражением (5.17):

$$\begin{aligned} P_1 &= G_1 + H_1P_0; \\ P_2 &= G_2 + H_2P_1 = G_2 + H_2G_1 + H_2H_1P_0; \\ P_3 &= G_3 + H_3P_2 = G_3 + H_3G_2 + H_3H_2G_1 + H_3H_2H_1P_0; \\ P_4 &= G_4 + H_4P_3 = G_4H_4G_3 + H_4H_3G_2 + H_4H_3H_2G_1 + H_4H_3H_2H_1P_0; \\ &\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots \\ P_m &= G_m + H_mP_{m-1}. \end{aligned} \tag{5.19}$$

Из выражения (5.19) видно, что схема параллельного переноса тем сложнее, чем старше разряд сумматора, но в любом разряде длительности операции переноса $t_{зд.р.п}$ одинаковы и определяются задержкой сигнала в четырех логических ступенях (И, ИЛИ): $t_{зд.\,р.\,п} = 4t_{зд.\,р.\,и}$. Тогда сигнал суммы, который запаздывает по отношению к сигналу переноса, как видно из выражения (5.18), формируется с задержкой $T_{\Sigma} = 6t_{зд.\,р.\,и}$.

Поскольку сложность схемы параллельного переноса быстро нарастает с увеличением номера разряда сумматора, часто многоразрядные сумматоры разбивают на секции, внутри которых реализуется параллельный перенос, а между секциями перенос реализуется либо последовательно, либо по алгоритму, описываемому соотношениями вида (5.19).

На рис. 5.33,*а* показана схема 4-разрядного сумматора с параллельным переносом. Перенос из старшего разряда P_4 используется для передачи на вход следующей секции (рис. 5.33,*б*), т. е. между секциями перенос реализуется по последовательной схеме. В случае большого количества секций между ними также можно реализовать ускоренный перенос.

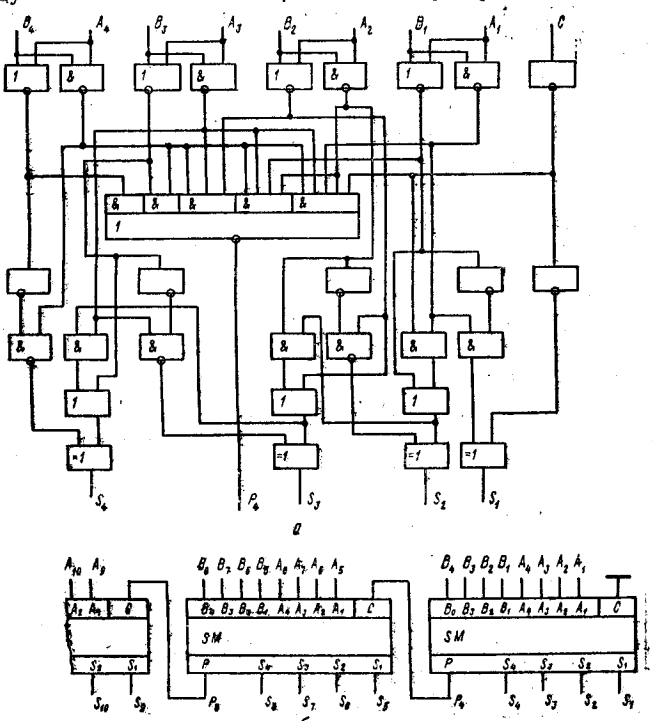


Рис. 5.33

Перепишем выражение для P_4 из формул (5.19) для первой секции в виде

$$P_4 = \underbrace{G_4 + H_4G_3 + H_4H_3G_2 + H_4H_3H_2G_1}_{G_1^*} + \underbrace{H_4H_3H_2H_1}_{H_1^*}P_0 =$$

$$= G_1^* + H_1^* P_0 = P_1^*.$$

Тогда аналогично перенос из второй секции:

$$P_2^* = G_2^* + H_2^* P_1^* = G_2^* + H_2^* G_1^* + H_1^* H_1^* P_0$$

и т. д.

Секции можно сгруппировать по 4 и для 4 секций (т. е. 16 двоичных разрядов), формируется групповой перенос.

Тогда структуру параллельного переноса между секциями можно выполнить как на рис. 5.34. Ускоренный перенос между разрядами 4-разрядных секций также можно выполнить по при-

веденной схеме. Если многоразрядный сумматор можно разделить на группы по 4 4-разрядные секции, то ускоренный перенос между группами можно организовать аналогично.

В микрокалькуляторах, устройствах регистрации и преобразования цифровой информации, представленной в десятичной системе исчисления, широко используются арифметические устройства с двоично-десятичным кодированием операндов, с представлением десятичных чисел в коде $N + 3$ («код с избытком 3») либо в коде Айкена (2421).

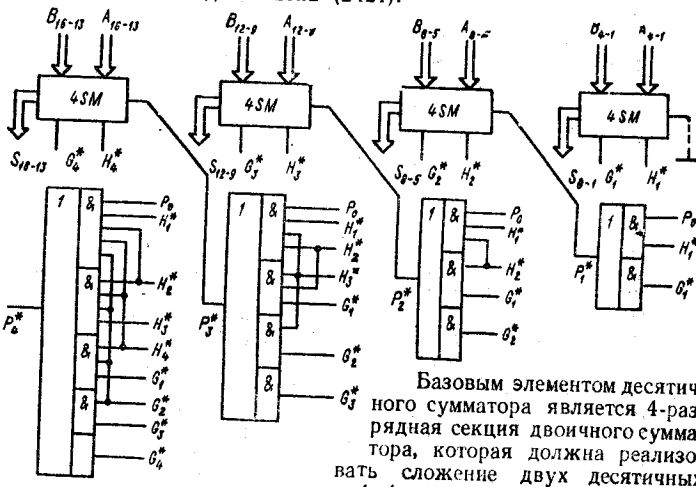


Рис. 5.34

Базовым элементом десятичного сумматора является 4-разрядная секция двоичного сумматора, которая должна реализовать сложение двух десятичных цифр k-го разряда — $A_{k4}A_{k3}A_{k2}A_{k1}$ и $B_{k4}B_{k3}B_{k2}B_{k1}$ с учетом переноса P_{k-1} из тетрады младшего $(k-1)$-го десятичного разряда. На выходах k-й секции должен быть получен результат суммы $S_{k4}S_{k3}S_{k2}S_{k1}$ и переноса P_k в тетраду $(k+1)$-го десятичного разряда. Как видно из табл. 5.18, суммирование двоично кодированных операндов дает сумму $S'_{k4}S'_{k3}S_{k2}S'_{k1}$ и перенос P'_k, которые, начиная с 10-й строки, не соответствуют суммированию десятичных чисел. В строках 16...19 требуется коррекция только суммы, а в строках 10...15 — и суммы и переноса. Коррекция должна преобразовать сумму $S'_{k4}S'_{k3}S'_{k2}S'_{k1}$ в сумму $S_{k4}S_{k3}S_{k2}S_{k1}$ и перенос P'_k в P_k. Коррекция переноса осуществляется логическим суммированием $P_k = P'_k + P_{кор}$, где $P_{кор}$ — корректирующее слагаемое, принимающее значение «логической 1» на наборах $S'_{k4}S'_{k3}S'_{k2}S'_{k1}$ в 10...15 строках табл. 5.18, т. е.

$P_{кор} =$

$S'_{k4}S'_{k3}$ \ $S'_{k2}S'_{k1}$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	1

$= S'_{k4}(S'_{k3} + S'_{k2}).$

Таблица 5.18

Номер строки	$P'_к$ $S'_{к4}S'_{к3}S'_{к2}S'_{к1}$	$P_к$ $S_{к4}S_{к3}S_{к2}S_{к1}$	
0	0 0 0 0 0	0 0 0 0 0	Правильний результат суммы и переноса
1	0 0 0 0 1	0 0 0 0 1	
2	0 0 0 1 0	0 0 0 1 0	
3	0 0 0 1 1	0 0 0 1 1	
4	0 0 1 0 0	0 0 1 0 0	
5	0 0 1 0 1	0 0 1 0 1	
6	0 0 1 1 0	0 0 1 1 0	
7	0 0 1 1 1	0 0 1 1 1	
8	0 1 0 0 0	0 1 0 0 0	
9	0 1 0 0 1	0 1 0 0 1	
10	0 1 0 1 0	1 0 0 0 0	Коррекция суммы и переноса
11	0 1 0 1 1	1 0 0 0 1	
12	0 1 1 0 0	1 0 0 1 0	
13	0 1 1 0 1	1 0 0 1 1	
14	0 1 1 1 0	1 0 1 0 0	
15	0 1 1 1 1	1 0 1 0 1	
16	1 0 0 0 0	1 0 1 1 0	Коррекция суммы
17	1 0 0 0 1	1 0 1 1 1	
18	1 0 0 1 0	1 1 0 0 0	
19	1 0 0 1 1	1 1 0 0 1	

Таким образом, десятичный перенос определяется соотношением

$$P_к = P'_к + S'_{к4}(S'_{к3} + S'_{к2}) = \overline{\overline{P'_к}\,\overline{S'_{к4}}\,\overline{S'_{к3}}\,\overline{S_{к4}}\,\overline{S'_{к2}}}.$$

Необходимость в коррекции результата суммирования возникает при $P_к = 1$. При этом для получения правильного результата суммы необходимо к промежуточному результату $S'_{к4}S'_{к3}S'_{к2}S'_{к1}$ добавить код $0110_2 = 6_{10}$, т. е. использование двоичных сумматоров для суммирования двоично-десятичных чисел требует выполнения суммирования в два этапа:

1. $A_{к4}A_{к3}A_{к2}A_{к1} + B_{к4}B_{к3}B_{к2}B_{к1} = P'_к S'_{к4}S'_{к3}S'_{к2}S'_{к1}$,
2. $S'_{к4}S'_{к3}S'_{к2}S'_{к1} + P_к(0110)_2 = S'_{к4}S_{к3}S_{к2}S_{к1}$.

Данный алгоритм реализует схема для одного (рис. 5.35,*а*) и для *m* (рис. 5.35,*б*) десятичных разрядов. Применение в ней двоичных сумматоров с ускоренным переносом позволяет получить быстродействующий двоично-десятичный сумматор.

Если какое-либо одно или оба слагаемых имеют отрицательный знак, то операцию суммирования чисел со знаком можно заменить суммированием чисел и знаковых разрядов, причем модули чисел, имеющих отрицательный знак, представляют в обратном коде. Принято обозначать положительное число знаковым разрядом $Z = 0$, тогда отрицательное число представляется значением $Z = 1$. Обратный код десятичного числа полу-

чается заменой каждой цифры (N) дополнением ее до 9 ($9 - N$) согласно табл. 5.1. Если при суммировании знаковых разрядов возникает перенос, то к младшему разряду суммы прибавляется 1. Такой перенос называется циклическим и для его реализации требуется дополнительное время. Если знак суммы $Z_8 = 0$, то полученное на выходах сумматора число является окончательным результатом (пример 1). Если $Z_8 = 1$, то результат является отрицательным и его модуль представлен в обратном коде. Окончательный результат получается после преобразования модуля на выходах сумматора в обратный код ($9 - N$) и присвоения ему отрицательного знака (пример 2).

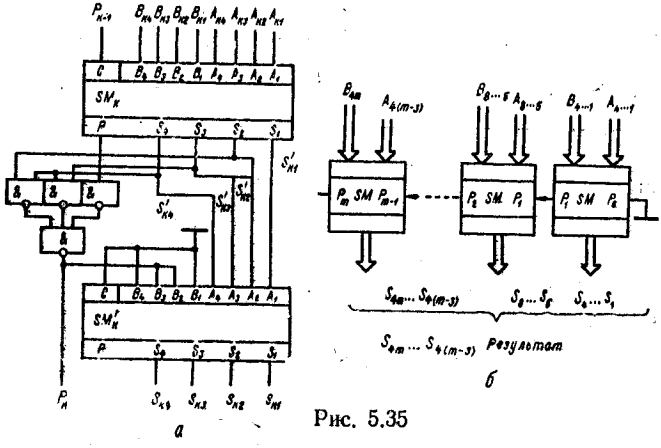


Рис. 5.35

Пример 1.

$$\begin{array}{r} A_{10} = +6184 \\ +\ B_{10} = -4527 \\ \hline S_{10} = +1657 \end{array}$$

$$\begin{array}{rl} A_{2-10} = & 0\ 0110\ 0001\ 1000\ 0100 \text{ — прямой код} \\ +\ B_{2-10} = & 1\ 0101\ 0100\ 0111\ 0010 \text{ — обратный код} \\ \hline S_{2-10} = & 10\ 0001\ 0110\ 0101\ 0110 \text{ — промежуточный результат} \end{array}$$

$\xrightarrow{1}$ — циклический перенос

$S_{2-10} = 0\ 0001\ 0110\ 0101\ 0111$ — результат

Пример 2.

$$\begin{array}{r} A_{10} = -6184 \\ +\ B_{10} = +4527 \\ \hline S_{10} = -1657 \end{array}$$

$$\begin{array}{rl} A_{2-10} = & 1\ 0011\ 1000\ 0001\ 0101 \text{ — обратный код} \\ +\ B_{2-10} = & 0\ 0100\ 0101\ 0010\ 0111 \text{ — прямой код} \\ \hline S_{2-10} = & 1\ 1000\ 0011\ 0100\ 0010 \text{ — обратный код} \\ S_{2-10} = & 1\ 0001\ 0110\ 0101\ 0111 \text{ — прямой код (результат).} \end{array}$$

Таким образом, если рассмотренные выше двоично-десятичные сумматоры дополнить преобразователями кода из N в «9—

N» для модуля каждого слагаемого и модуля результата, а также замкнуть цепь циклического переноса, получим двоично-десятичный алгебраический сумматор.

В соответствии с табл. 5.1 преобразователь кода 8421 в код «9—N» описывается выражениями

$$A_1^{9-N} = \bar{A}_1^N \quad \Big| \quad A_3^{9-N} = A_3^N \bar{A}_1^N + \bar{A}_3^N A_2^N = \overline{\overline{A_3^N \bar{A}_1^N}\;\overline{\bar{A}_3^N A_2^N}};$$

$$A_2^{9-N} = A_2^N \quad \Big| \quad A_4^{9-N} = A_4^N A_3^N \bar{A}_1^N$$

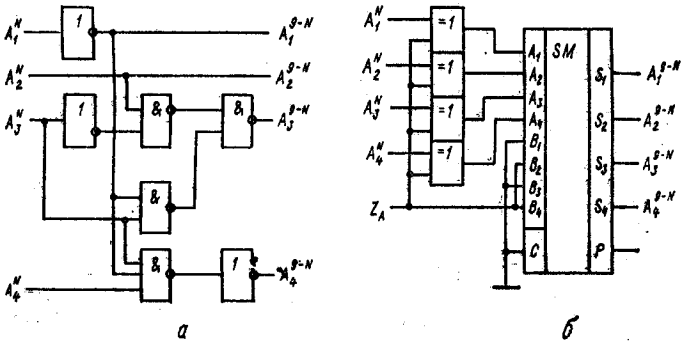


Рис. 5.36

и реализуется схемой (рис. 5.36,*а*). Для этих же целей можно использовать 4-разрядный двоичный сумматор в сочетании с элементами ИСКЛЮЧАЮЩЕЕ ИЛИ (рис. 5.36,*б*). В этом случае при $Z = 0$ на выходе сумматора-преобразователя получаем число в коде 8421, а при $Z = 1$ — в коде «9 — N». Используя преобразователь кода (рис. 5.36,*б*), можно построить алгебраический сумматор (рис. 5.37), в котором преобразование кода 8421 слагаемых в код «9 — N» производится автоматически под управлением собственного знакового разряда каждого из операндов. Аналогично результат суммирования в зависимости от знака суммы передается без изменения ($Z_S = 0$) либо преобразуется из кода «9 — N» в код 8421 с помощью преобразователя кода (рис. 5.36,*б*). В многоразрядном сумматоре выход переноса старшей декады необходимо подключить ко входу переноса сумматора знаковых разрядов для организации циклического переноса (рис. 5.38). Выход переноса полного двоичного сумматора знаковых разрядов подключается ко входу переноса самой младшей декады. Следует обратить внимание на возможность получения неправильного результата при появлении переноса

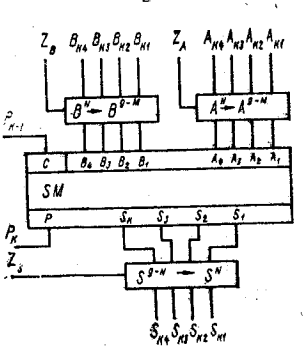


Рис. 5.37

из старшей декады сумматора в связи с переполнением разрядной сетки. Так, при сложении двух положительных чисел ($Z_A = Z_B = 0$) результат также должен быть положительным, но при переполнении разрядной сетки возникает сигнал переноса и согласно выражению (5.11) формируется $Z_S = 1$, означающее, что сумма чисел имеет отрицательный знак. Пользователю либо устройству управления цифровым автоматом необходимо передать сигнал о возникновении аварийной ситуации. Для этого формируется сигнал положительного переполнения

$$F^+ = \overline{Z}_A \overline{Z}_B Z_S = \overline{Z_A + Z_B + \overline{Z}_S}.$$

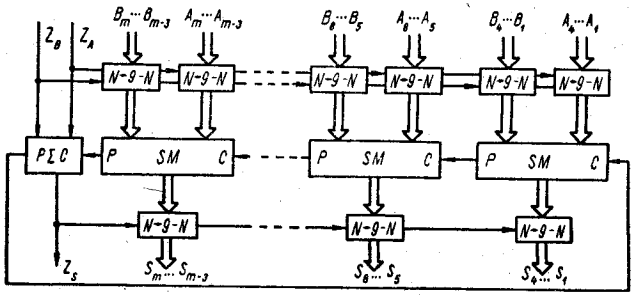


Рис. 5.38

Аналогично при сложении двух отрицательных чисел результат должен быть также отрицательным, а в случае отрицательного переполнения результат получается положительным. Сигнал отрицательного переполнения определяется как

$$F^- = Z_A Z_B \overline{Z}_S = \overline{\overline{Z}_A + \overline{Z}_B + Z_S}.$$

Таблица 5.19

Тип ИМС	Функциональное назначение	$t_{зд.\ р}$, нс	$I_{пот}$, мА	УГО (рис. 5.39)
К155 (ТТЛ): $U^0_{вых} \leqslant 0{,}4$ В; $U^1_{вых} \geqslant 2{,}4$ В; $I^0_{вх} \leqslant 1{,}6$ мА; $I^1_{вх} \leqslant 0{,}015$ мА				
ИМ1	Одноразрядный сумматор	80	35	*а*
ИМ2	2-разрядный сумматор	40	58	*б*
ИМ3	4-разрядный сумматор	55	128	*в*
ИП2	8-разрядная схема контроля четности и нечетности числа единиц	68	56	*г*
ИП3	Арифметико-логическое устройство	50	150	*д*
ИП4	Схема ускоренного переноса	22	72	*е*

Тип ИМС	Функциональное назначение	$t_{зд.\ р}$, нс	$I_{пот}$, мА	УГО (рис. 5.39)
К500 (ЭСЛ): $U^0_{вых} = -1{,}63$ В; $U^1_{вых} = -0{,}98$ В; $I^0_{вх} \leqslant 0{,}5$ мкА; $I^1_{вх} \leqslant 0{,}35$ мА				
ИМ180	Сдвоенный сумматор-вычитатель	7	90	*ж*
ИП179	Схема ускоренного переноса	6	90	*в*
ИП181	Арифметико-логическое устройство	10	145	*и*
К531 (ТТЛШ): $U^0_{вых} \leqslant 0{,}5$ В; $U^1_{вых} \geqslant 2{,}7$ В; $I^0_{вх} \leqslant 2$ мА; $I^1_{вх} \leqslant 0{,}05$ мА				
ИП3	Арифметико-логическое устройство	12	220	*д*
ИП4	Схема ускоренного переноса	10	109	*е*
ИП5	9-разрядная схема контроля четности	21	105	*к*
К555 (ДТТЛШ): $U^0_{вых} \leqslant 0{,}5$ В; $U^1_{вых} \geqslant 2{,}7$ В; $I^0_{вх} \leqslant 1{,}6$ мА; $I^1_{вх} \leqslant 0{,}06$ мА				
ИМ6	4-разрядный сумматор	24	34	*л*
ИМ7	4-разрядный последовательный сумматор-вычитатель			*м*
ИП3	Арифметико-логическое устройство	62	34	*д*
ИП4	Схема ускоренного переноса	22	20	*е*
ИП9	Умножитель X и Y			*н*
К561 (КМОП): $U^0_{вых} \leqslant 0{,}8$ В; $U^1_{вых} \geqslant 4{,}2$ В; $I^{0(1)}_{вх} \leqslant 50$ нА				
ИМ1	4-разрядный сумматор	1100	0,02	*о*
ИП3	Арифметико-логическое устройство	1100	0,1	*д*
ИП4	Схема сквозного переноса	700	0,1	*е*
ИП5	Умножитель $X \times Y + A + B$	1500	0,01	*п*
СА1	12-разрядная схема контроля четности	900	0,05	*р*

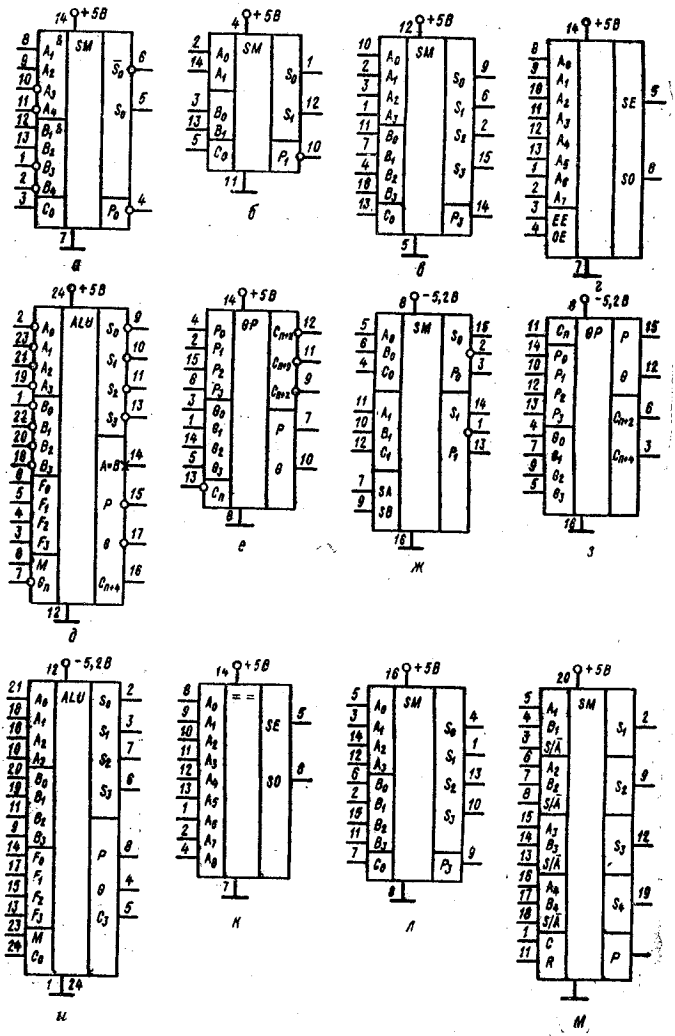
Тогда общий сигнал переполнения определяется выражением

$$F = F^{+} + F^{-} = \overline{Z}_A \overline{Z}_B Z_S + Z_A Z_B \overline{Z}_S = \overline{\overline{\overline{Z}_A \overline{Z}_B Z_S}\,\overline{Z_A Z_B \overline{Z}_S}}. \quad (5.20)$$

Схема, реализующая функцию (5.20), может входить в состав ИМС сумматора либо должна быть собрана дополнительно.

В табл. 5.19 приведены параметры сумматора наиболее широко используемых серий ИМС, а на рис. 5.39 показано функциональное назначение выводов ИМС из табл. 5.19.

Комбинационные сумматоры благодаря высокому быстродействию применяют в различных устройствах обработки циф-



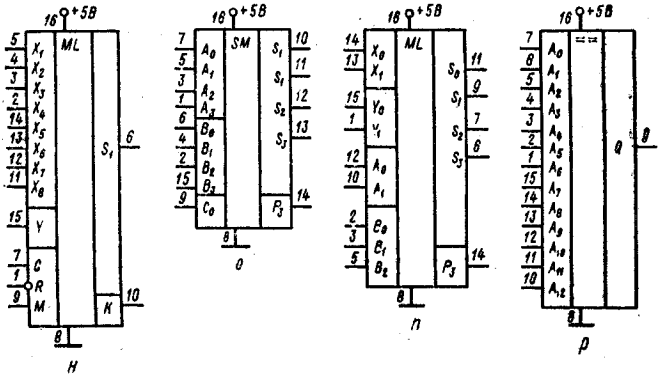


Рис. 5.39

ровой информации. В частности, на их основе строятся устройства перемножения чисел. Для перемножения двух чисел A и B можно просто число A сложить с самим собой B раз. Это можно выполнить комбинационными сумматорами, но гораздо быстрее и экономичнее простое суммирование заменить суммированием со сдвигом. Как видно из примера, частные произведения однозначно определяются множимым и очередным битом множителя. Частное i-е произведение либо равно множителю, если $B_i = 1$, либо оно равно нулю, если $B_i = 0$. Каждое последующее частное произведение сдвинуто на один разряд по отношению к предыдущему. Окончательное произведение получается последовательным суммированием частных произведений. Функциональная схема, реализующая данный алгоритм на основе полных комбинационных сумматоров, показана на рис. 5.40. Операнды полных сумматоров $A_i B_j$ получают с помощью 2-входовых схем. И аналогично $S_1 = A_1 B_1$.

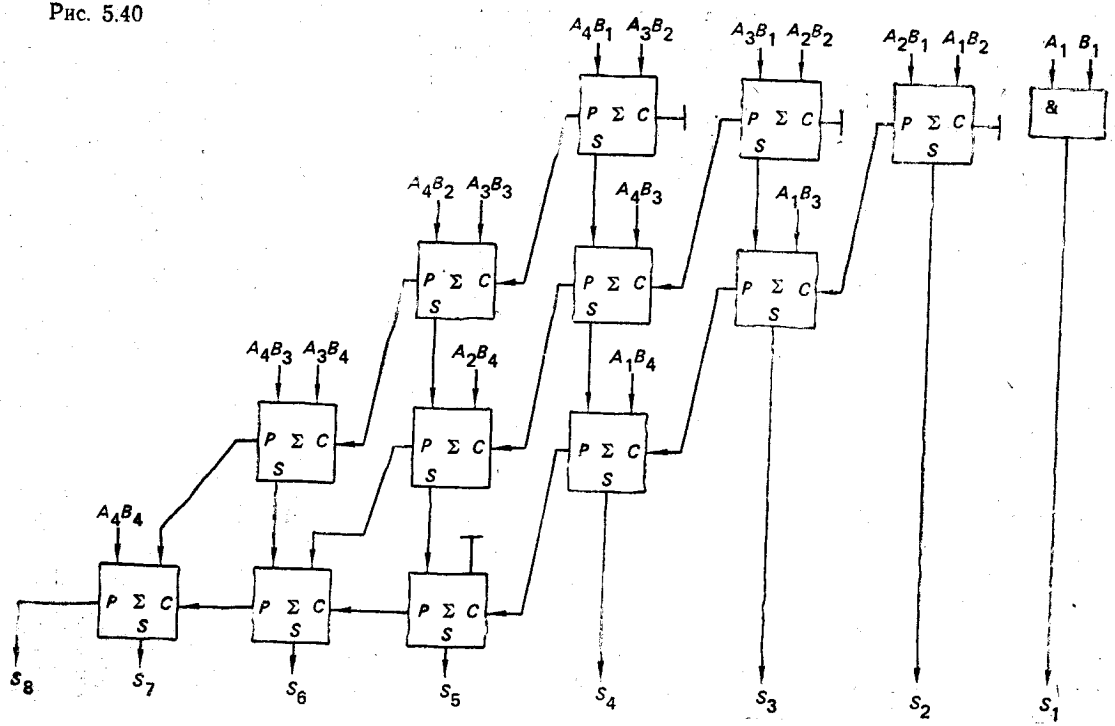
Пример 3.

$$
\begin{array}{rl}
 & 1101 \text{ — множимое} \\
\times & 0101 \text{ — множитель} \\
\hline
 & 1101 \\
+ & 0000 \\
 & 1101 \\
 & 0000 \\
\hline
 & 1000001 \text{ — произведение}
\end{array}
\quad \left.\begin{array}{l} \\ \\ \\ \\ \end{array}\right\} \text{— частные произведения}
$$

$$
\begin{array}{rcccccccc}
 & & & & \times & A_4 & A_3 & A_2 & A_1 \\
 & & & & & B_4 & B_3 & B_2 & B_1 \\
\hline
 & & & & & A_4B_1 & A_3B_1 & A_2B_1 & A_1B_1 \\
 & & & & A_4B_2 & A_3B_2 & A_2B_2 & A_1B_2 & \\
+ & & A_4B_3 & A_3B_3 & A_2B_3 & A_1B_3 & & & \\
 & A_4B_4 & A_3B_4 & A_4B_4 & A_1B_4 & & & & \\
\hline
S_8 & S_7 & S_6 & S_5 & S_4 & S_3 & S_2 & S_1 &
\end{array}
$$

Основное достоинство комбинационного перемножителя — высокое быстродействие (длительность умножения 8-разрядных двоичных чисел — менее 100 нс), которое не связано с тактовой

Рис. 5.40


A_4B_1 A_3B_2
A_3B_1 A_2B_2
A_2B_1 A_1B_2
A_1 B_1
&
A_4B_2 A_3B_3
A_4B_3
A_1B_3
A_4B_3 A_3B_4
A_2B_4
A_1B_4
A_4B_4
P Σ C
S
S_8
S_7
S_6
S_5
S_4
S_3
S_2
S_1

синхронизацией устройства, а определяется лишь задержками сигналов в логических элементах. Высокое быстродействие достигается ценой значительных аппаратурных затрат: для реализации перемножителя m-разрядного множимого и n-разрядного множителя требуется $m \times n$ логических элементов 2И и $n \times (m - 1)$ полных одноразрядных сумматоров.

Комбинационные перемножители эффективно можно использовать при построении цифровых фильтров, для выполнения необходимых вычислений быстрого преобразования Фурье, в микропроцессорных системах.

Глава 6
ПОСЛЕДОВАТЕЛЬНОСТНЫЕ СХЕМЫ

6.1. ТРИГГЕРЫ

К последовательностным схемам относятся различные типы логических элементов с двумя или более устойчивыми состояниями и устройства на их основе, функции выходов которых определяются не только комбинацией действующих на входах внешних сигналов, но и в отличие от комбинационных схем некоторыми внутренними сигналами (состояниями), учитывающими предыдущие входные воздействия: регистры памяти, счетчики импульсов, накапливающие сумматоры, оперативные запоминающие устройства и т. д. Наиболее часто в качестве базовых элементов последовательностных схем используются логические элементы с двумя устойчивыми состояниями, которые в сочетании с двоичными комбинационными схемами образуют элементный базис двоичных цифровых устройств. В многообразии бистабильных логических элементов особенно широкое применение нашли триггеры, рассмотрению принципов построения и применения которых посвящена данная глава.

Триггерами называют спусковые или регенеративные устройства с двумя возможными устойчивыми состояниями, в которые они могут устанавливаться управляющими входными сигналами. Существует большое количество разновидностей триггеров, которые различаются по виду входных и выходных сигналов, а также по способу управления состояниями записи информации в триггер [38].

По виду входных сигналов различают триггеры с импульсным и потенциальным управлением. В цифровых вычислительных устройствах в основном применяются триггеры с потенциальным управлением.

По способу записи информации триггеры подразделяются на асинхронные и синхронные (тактируемые). В асинхронных триггерах момент переключения определяется моментом смены кодовой комбинации на информационных входах. В синхронных триггерах смена состояний осуществляется в строго определенные моменты времени действия специальных тактирующих импульсов. Синхронизация триггеров производится по уровню тактирующего сигнала либо по его положительному или отрицательному фронту.

По виду выходных сигналов различают статические и динамические триггеры. В статических триггерах устойчивые состояния идентифицируются по уровням постоянных напряжений

на их выходах. Состояния динамических триггеров определяются по наличию или отсутствию на выходах непрерывной серии импульсов. Наибольшее распространение в цифровой схемотехнике получили статические триггеры.

Функционально триггер можно представить в виде элемента памяти со схемой управления (рис. 6.1). Элемент памяти хранит информацию о результате предыдущего воздействия на триггер. Схема управления реализует правила реагирования триггера на различные входные сигналы и их комбинации. В конечном счете схема управления вырабатывает сигналы, которые обеспечивают хранение информации в запоминающем элементе, подтверждение состояния либо переключение запоминающего элемента в новое состояние. В двоичном триггере для смены состояний запоминающего элемента достаточно вырабо-

Рис. 6.1

тать сигналы установки в единичное состояние (Установка «1») и в нулевое (Установка «0»). Отсутствие сигналов установки соответствует режиму хранения информации, а их одновременное действие приводит к неопределенному результату, поэтому такое управление обычно не используется.

По реакции триггера на входные управляющие воздействия различают следующие виды входов [60]:

S — вход для установки (Set — установка) триггера в состояние «1» (на основном или прямом выходе триггера Q устанавливается сигнал «логическая 1», т. е. $Q = 1$);

R — вход для сброса (Reset — сброс, возврат) триггера в состояние «0» ($Q = 0$);

D — вход для установки триггера в состояние «1» при $D = 1$ или «0» при $D = 0$ с задержкой (Delay — задержка) переключения выходов Q, $\overline{Q}$ по отношению ко входу D;

T — вход переключения (Toggle — релаксатор) триггера в противоположное состояние аналогично счету по модулю 2, поэтому вход T называют счетным;

J, K — входы для установки (Jerk — включение) и сброса (Kill — отключение) триггера в состояния соответственно «1» и «0» аналогично входам S и R; отличие состоит в том, что одновременное возбуждение входов S и R обусловливает неопределенность перехода триггера в одно из двух возможных состояний, а одновременное возбуждение входов J и K вызывает однозначно смену состояния триггера аналогично входу T;

C — вход синхронизации (Clock — часы) для точного задания моментов переключения состояний триггера;

V — вход для разрешения или запрета реагирования триггера на соответствующие управляющие входы.

Обычно триггеры содержат лишь часть из перечисленных типов входов, причем некоторые из них являются кратными. По совокупности управляющих входов различают:

RS-триггеры с раздельными входами установки в состояние «0» и «1»; RS-триггеры бывают асинхронными и синхронными, если кроме S и R имеется вход C;

D-триггеры с записью информации по одному входу D в моменты времени, определяемые синхроимпульсами C;

T-триггеры со счетным входом;

JK-триггеры — универсальные триггеры, в которых входы J и K в отдельности реализуют раздельное управление, а совместно — счетный режим.

Кроме названных типов существует много разновидностей триггеров с комбинированным управлением названными типами входов с синхронизацией или без нее, с блокировкой каких-либо информационных входов или без нее. Триггеры, синхронизируемые уровнем синхроимпульса, могут в течение действия синхроимпульса многократно переключаться управляющими сигналами. В паузе между синхроимпульсами их состояния не изменяются независимо от управляющих сигналов.

Триггеры, синхронизируемые фронтом, изменяют состояния лишь в момент переключения уровней синхроимпульса из «0» в «1» (положительный фронт) или из «1» в «0» (отрицательный фронт). При любых постоянных уровнях синхроимпульса триггер сохраняет состояние при всевозможных изменениях управляющих сигналов. Следовательно, синхронизируемый фронтом триггер за время действия синхроимпульса любой длительности может переключиться только один раз.

Триггеры описываются совокупностью статических и динамических параметров.

Важнейшим из статических параметров, аналогично логическим элементам, являются коэффициент объединения по входу — $K_{об}$, коэффициент разветвления по выходу — $K_{раз}$, входные и выходные уровни напряжения «0» — U_1^0, U_2^0 и «1» — U_1^1, U_2^1, входные и выходные токи «0» — I_1^0, I_2^0 и «1» — I_1^1, I_2^1.

Основными динамическими параметрами триггера являются:

$t_{раз}$ — разрешающее время, определяемое как минимальный период следования входных сигналов, при котором триггер сохраняет работоспособность; разрешающее время определяет максимальную частоту переключения $f_{max} = 1/t_{раз}$;

$t_{зд.\,р}^{01,\,10}$ — длительность задержки распространения сигнала, измеряемая на выходах триггера по отношению к каждому из входов;

$t_{вх}$ — минимальная длительность входного сигнала, при которой триггер адекватно реагирует на управляющее воздействие.

Технические реализации триггеров отличаются типом используемых активных компонентов и способом их включения. Прежде всего это относится к собственно запоминающему элементу триггера. Для обеспечения переключения состояний запоминающего элемента с максимальной скоростью в нем используется так называемый регенеративный режим, который имеет место, если в схеме действует положительная обратная связь

либо используются электронные компоненты с участком отрицательного динамического сопротивления на ВАХ (негатроны).

В системе с положительной обратной связью регенеративные процессы возникают при условии, что модуль результирующего коэффициента передачи в замкнутом контуре в широком диапазоне частот

$$|K| = \prod_i K_i | \geqslant 1, \tag{6.1}$$

где K_i — коэффициенты передачи напряжения (тока) звеньев контура. Отношение (6.1) называют условием баланса амплитуд. Оно выполняется, если затухание сигнала на пассивных компонентах компенсируется усилением активных компонентов.

В качестве активных компонентов можно использовать усилительные каскады на биполярных и полевых транзисторах,

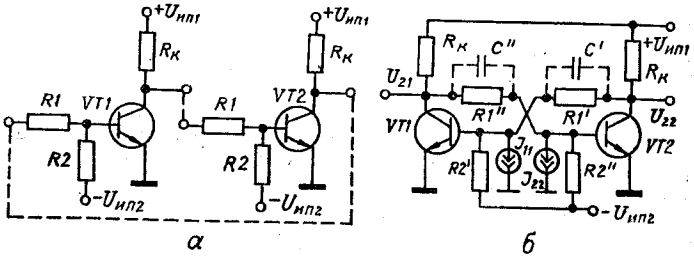


Рис. 6.2

операционных усилителях, электронные ключи на транзисторах и комбинационные логические элементы. Из негатронов для построения триггеров используются туннельные диоды, динисторы, тиристоры и их транзисторные эквиваленты.

Триггеры на транзисторах. Простейший триггер на транзисторах можно получить, соединив последовательно в кольцо два инвертирующих транзисторных ключа (рис. 6.2,*а*). В результате получаем симметричный триггер с коллекторно-базовыми связями (рис. 6.2,*б*) (точнее, это пока лишь только запоминающая ячейка триггера без цепей управления). Отметим, что резисторы *R2* и источники базового смещения — $U_{ип2}$ в случае кремниевых биполярных транзисторов не обязательны. Коэффициент усиления по напряжению каждого ключа при активном режиме работы транзисторов *VT1*, *VT2*

$$K_{U1} = K_{U2} \approx -\frac{\beta [R_к \| R_1]}{R_1 + r_э (\beta + 1)} \approx -\frac{\beta R_к}{R_1 + R_к}. \tag{6.2}$$

Очевидно, условие баланса амплитуд (6.1) в этом случае выполняется легко соответствующим выбором параметров β, $R_к$, R_1 [12]

$$K = K_{U1} K_{U2} \approx \left(\frac{\beta R_к}{R_1 + R_к}\right)^2 \gg 1. \tag{6.3}$$

Поскольку каждый ключ инвертирует сигнал или (для гармонического сигнала) сдвигает фазу на $\Delta\varphi_{1,2} = \pm 180°$,

суммарный сдвиг фазы в замкнутом контуре для широкого диапазона частот

$$\Delta\varphi_{\Sigma} = \Delta\varphi_1 + \Delta\varphi_2 = 0^\circ \quad (\pm 360^\circ), \tag{6.4}$$

что соответствует положительной обратной связи (баланс фаз).

Одновременное выполнение условий (6.3) и (6.4) соответствует неустойчивому режиму работы схемы, когда любая флуктуация или помеха вызывает лавинообразный переход схемы в состояние, в котором хотя бы одно из условий самовозбуждения (6.3), (6.4) не выполняется. Обычно это связано с переходом активного компонента в граничный режим, в котором $K_{Ui} = 0$ и $K = 0$. Для биполярного транзистора это режим насыщения или отсечки.

В рассматриваемой схеме (рис. 6.2) подключение источника коллекторного питания $+U_{\text{ип1}}$ и базового смещения $-U_{\text{ип2}}$ вызывает регенеративное переключение схемы в одно из двух состояний, в которых один из транзисторов насыщен (например, *VT1*), а другой (*VT2*) находится в режиме отсечки. Низкий потенциал U_2^0 с коллектора насыщенного транзистора через резистор R_1'' коллекторно-базовой связи управляет режимом транзистора *VT2* и обусловливает режим отсечки, если для *VT2* выполняется условие (4.33).

На коллекторе запертого транзистора *VT2* устанавливается высокий потенциал [12]

$$U_2^1 = (U_{\text{и, п1}} - I_{K0}R_K)\frac{R_1}{R_1 + R_K}, \tag{6.5}$$

который при выполнении условия (4.7) поддерживает транзистор в режиме насыщения. Данное состояние устойчиво, так как для обоих плеч триггера $K_{U1} = K_{U2} = 0$ и самовозбуждение невозможно. Для принятых на рис. 6.2,*б* обозначений описанное состояние соответствует нулевому состоянию триггера ($Q = 0$, $\overline{Q} = 1$). Схема триггера на рис. 6.2 топологически и электрически симметрична, поэтому триггер аналогично сколь угодно долго может находиться в единичном устойчивом состоянии ($Q = 1$, $\overline{Q} = 0$), в котором транзистор *VT1* заперт, а *VT2* — насыщен.

В каждом из состояний один из ускоряющих конденсаторов (C', C'') ключей триггера оказывается заряженным приблизительно до напряжения U_2^1 (6.5), а другой, подключенный к коллектору насыщенного транзистора, практически разряжен.

Для переключения состояния триггера необходим внешний управляющий сигнал, переводящий транзисторы *VT1*, *VT2* из граничных режимов в активный режим. Схема запуска триггера должна сформировать кратковременный импульс напряжения или тока, подаваемый непосредственно на базу транзистора или через коллекторно-базовую связь (запуск в коллектор). Запускающий импульс должен отпирать запертый транзистор или переводить ранее насыщенный транзистор в активный режим, т. е. запирать его. Чаще запуск триггера осуществляется запирающими импульсами, поскольку при этом меньше нагружен источник входных импульсов. В случае *n-p-n*-транзисторов для переключения триггера запирающими импульсами необходимы запускающие импульсы отрицательной полярности.

Рассмотрим переходные процессы в триггере (см. рис. 6.2) при переключении его из нулевого состояния в единичное. Переключение инициируется импульсом тока от источника J_{11} (рис. 6.2,*б*), имитирующего действие схемы управления. В момент t_0 (рис. 6.3) импульс тока с амплитудой I_1^1 подается в базу насыщенного транзистора *VT1*. Ток базы $i_б$ скачком уменьшается на величину I_1^1, меняет знак и начинается рассасывание заряда неосновных носителей в базе транзистора *VT1*. В течение этапа рассасывания выходные напряжения триггера остаются неизменными. Этап рассасывания заканчивается в момент t_1 переходом транзистора *VT1* из насыщения в активный режим. Длительность процесса рассасывания зависит от степени насыщения транзистора [24]:

$$t_р = t_1 - t_0 \approx \tau_\alpha (S - 1),$$

где $S = R_K(\beta + 1)/(R_1 + R_K)$; $\tau_\alpha = \tau_\beta/(\beta + 1)$.

В момент t_1 начинает нарастать напряжение U_{21} на коллекторе транзистора *VT1*. Положительное приращение ΔU_{21} через конденсатор C'' передается на базу транзистора *VT2* и запирающее напряжение $U_{б2}$ по модулю уменьшается, подготавливая переход транзистора *VT2* из отсечки в активный режим. Этап подготовки занимает интервал до момента времени [24]

$$t_п = t_2 - t_1 \approx (0{,}1 \ldots 0{,}2)\tau_2$$

и заканчивается переходом транзистора *VT2* в активный режим. Как видно из рис. 6.3, на этапе подготовки происходят синхронное увеличение напряжений U_{21} и $U_{б2}$ и уменьшение тока $i_{к1}$.

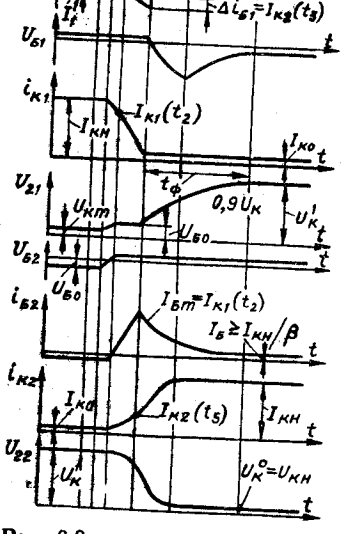


Рис. 6.3

С момента t_2 оба транзистора находятся в активном режиме, поэтому процесс переключения лавинообразно ускоряется действующей положительной обратной связью. Этап регенерации завершается в момент t_3 переходом транзистора *VT1* в режим отсечки и затем транзистора *VT2* в режим насыщения. Ток базы $i_{б2}$ на этапе регенерации нарастает до значения $I_{бm} \approx I_{к1}(t_2)$ за счет реактивной составляющей (ток конденсатора C''), после чего по мере заряда ток C'' спадает до постоянного значения $I_{бm}^1$. Длительность этапа регенерации определяется частотными свойствами транзистора [24]:

$$t_{рег} = t_3 - t_2 \cong \tau_\alpha = 1/\omega_\alpha$$

и составляет обычно доли микросекунд.

После этапа регенерации следует этап установления тока коллектора I_{K2} и напряжения на коллекторе открытого транзистора $VT2$ U_{22}, в течение которого в базе транзистора накапливается заряд неосновных носителей. В момент t_4 завершается переход транзистора $VT2$ в режим насыщения. Длительность этапа установления

$$t_{уст} = t_4 - t_3 \cong \tau_\beta \ln [S/(S-1)],$$

где

$$S = \frac{U_{и.\,п1}(R_1+R_2) - U_{и.\,п2}R_K}{U_{и.\,п1}R_2 - U_{и.\,п2}(R_1+R_K)} \cdot \frac{R_2(R_1+R_K)}{\beta R_к (R_1+R_2)}$$

— коэффициент насыщения открытого транзистора триггера.

Переходный процесс опрокидывания триггера продолжается этапом восстановления, длительность которого определяется процессом разряда конденсатора C' через резистор $R1'$, а также через открытый транзистор $VT2$ и резистор $R2'$. Процесс восстановления завершается в момент t_5 и его длительность оценивается соотношением

$$t_в = t_5 - t_4 \approx 3C(R_1 \| R_2).$$

Очевидно, разрешающее время рассмотренного триггера

$$t_{раз} = t_р + t_п + t_{рег} + t_{уст} + t_в$$

существенно зависит от параметра транзистора τ_α и от емкости ускоряющего конденсатора $C' = C'' = C$, который повышает чувствительность триггера к запускающим импульсам.

В силу симметрии триггера переходные процессы при обратном переключении триггера импульсом тока J_{12} в базу транзистора $VT2$ аналогичны приведенным на рис. 6.3. Согласно принятым обозначениям выходов источник тока J_{11} имитирует вход $\overline{S}$, а J_{12} — вход $\overline{R}$.

В качестве активных элементов для реализации триггера можно использовать другие схемные варианты ключей как на биполярных, так и на полевых транзисторах (рис. 6.4).

Триггер (рис. 6.4,*а*) собран на вентилях ИЛИ—НЕ резистивно-транзисторных логических элементов, триггеры (рис. 6.4, *б*, *в*, *г*) — на двух элементах ИЛИ—НЕ на основе *n*-МОП технологии, непосредственно связанных транзисторных элементов (НСТЛ) и КМОП элементов соответственно. Общей для данных триггеров является логическая структура. Для управления состояниями триггеров используются по одному из входов двухвходовых логических элементов ИЛИ—НЕ. Вторые входы реализуют триггерные связи. В режиме хранения информации на входах R и S устанавливаются уровни «логического 0». Для установки триггера в состояние «0» («1») на входы должна быть подана комбинация $R = 1$, $S = 0$ ($R = 0$, $S = 1$). Комбинация $R = S = 1$ является в информационном смысле запрещенной, так как при этом на обоих выходах триггера устанавливаются одинаковые уровни $Q = 0$, $\overline{Q} = 0$ и обратные связи в триггере не влияют на состояния выходов. Такой режим называют разрывом триггерных связей. Он возникает при подаче на управляющие входы RS-триггера сигналов, являющихся доминирующими для составляющих триггер логических элементов.

RS-триггеры на интегральных микросхемах. Приведенные варианты транзисторных триггеров (рис. 6.4) обладают аналогичной логической структурой (рис. 6.5,*а*) и условным графическим изображением (рис. 6.5,*б*) и их состояния описываются картой Карно (рис. 6.5,*в*), аргументами которой являются входные сигналы триггера на *n*-м такте и предыдущее состояние триггера Q_{n-1}.

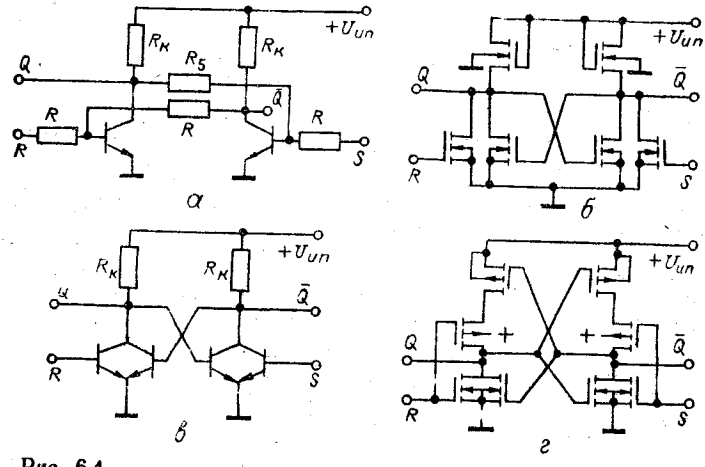


Рис. 6.4

Записанная по карте Карно МДНФ с доопределением запрещенных состояний «логическими 1» дает характеристическое уравнение *RS*-триггера

$$Q_n = S_n + \overline{R}_n Q_{n-1}. \qquad (6.6)$$

На рис. 6.5,*г* приведены временные диаграммы переключения состояний триггера.

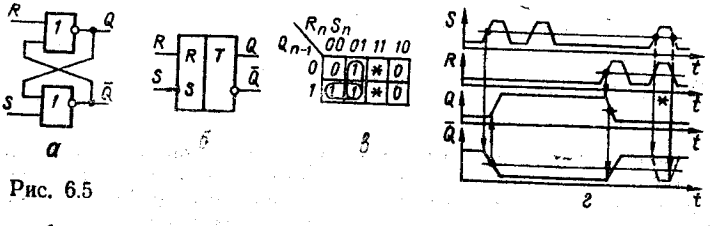


Рис. 6.5

Аналогично характеристическое уравнение в форме МКНФ для той же карты Карно с доопределением запрещенных состояний «логическими 0» имеет вид

$$Q_n = \overline{R}_n (S_n + Q_{n-1}). \qquad (6.7)$$

Преобразуем тождественно уравнение (6.6), воспользовавшись правилом двойного отрицания

$$Q_n = \overline{\overline{S_n + \overline{R}_n Q_{n-1}}} = \overline{\overline{S}_n \cdot \overline{\overline{R}_n Q_{n-1}}}. \qquad (6.8)$$

Характеристическое уравнение в форме (6.8) показывает способ реализации RS-триггера на элементах И—НЕ (рис. 6.6,*а*). На рис. 6.6,*б* приведено его условное графическое изображение, а на рис. 6.6,*г* — временные диаграммы работы.

На условном графическом изображении (рис. 6.6,*б*) кружки на входах R, S показывают, что данный RS-триггер управляется инверсными сигналами, т. е. в режиме хранения информации на входы подаются $\overline{S} = 1$ и $\overline{R} = 1$, управление осуществляется подачей на соответствующий вход уровня «0», а запрещенной является комбинация входных сигналов $\overline{S} = \overline{R} = 0$.

Уравнения (6.6) — (6.8) и карта Карно описывают только статические режимы работы RS-триггеров. Наиболее полное представление об их работе дают временные диаграммы (рис. 6.5,*г*, 6.6,*г*), которые описывают не только значения выход-

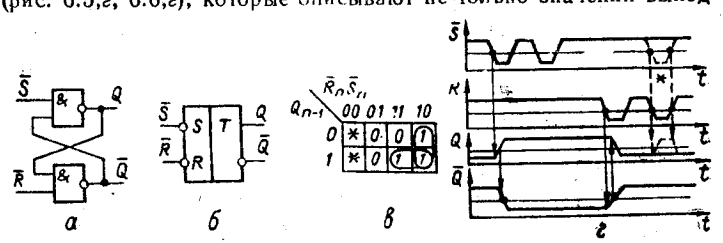


Рис. 6.6

ных уровней Q и $\overline{Q}$ в любой момент времени, но и длительности фронтов $t_ф^{01}$, $t_ф^{10}$, задержек и последовательность переключения логических элементов. Из временных диаграмм видно, что длительность переключения $t_{пер}$ и минимальная длительность входного сигнала $t_{вх.\,min}$ данных асинхронных RS-триггеров определяются средним временем задержки сигнала логическими элементами $t_{зд.\,р.\,ср} = 0{,}5\,(t_{зд.\,р}^{01} + t_{зд.\,р}^{10})$ и

$$t_{пер} = t_{вх.\,min} = 2t_{зд.\,р.\,ср}.$$

Разрешающее время асинхронного RS-триггера, определяемое как минимально допустимое запаздывание сигнала на входе R относительно входа S ($t_{разS}$) либо сигнала на входе S относительно R ($t_{разR}$)

$$t_{разS} = t_{разR} = 3t_{зд.\,р.\,ср}.$$

При рассмотрении временных диаграмм (рис. 6.5,*г*, 6.6,*г*) следует обратить внимание на то, что моменты переключения выходных уровней определяются строго сменой логических состояний информационных входов, что характерно для асинхронных RS-триггеров.

На временных диаграммах символом (*) помечены интервалы воздействия на входы RS-триггеров запрещенными комбинациями управляющих сигналов. При этом в триггере на элементах ИЛИ—НЕ устанавливаются выходные уровни $Q = 0$, $\overline{Q} = 0$, а в триггере на элементах И—НЕ — $Q = 1$, $\overline{Q} = 1$. Состояние, принимаемое RS-триггером по окончании действия запрещенной комбинации, зависит от того, какой из управля-

ющих сигналов длится дольше, а при строго одновременном переключении сигналов на входах R и S — от случайного разброса параметров логических элементов.

Для устранения неоднозначности реакции RS-триггера на одновременное воздействие сигналами установки на входы R и S необходимо оговорить состояние, в которое RS-триггер должен перейти. По реакции на запрещенную для RS-триггера комбинацию входных сигналов различают S-триггеры (переключаются в единичное состояние), R-триггеры (переключаются в нулевое состояние) и E-триггеры (от Exclusive, сохраняют предыдущее состояние) [14].

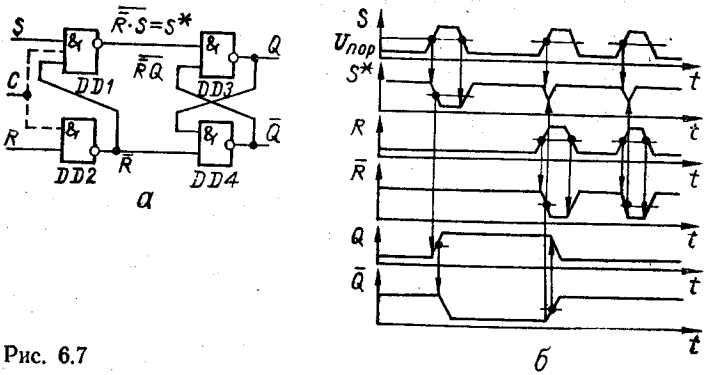


Рис. 6.7

Функционирование R-триггера описывается согласно карте Карно уравнением

$$Q_n = \begin{array}{c|cccc} Q_{n-1} \backslash R_nS_n & 00 & 01 & 11 & 10 \\ \hline 0 & 0 & 1 & 0 & 0 \\ 1 & 1 & 1 & 0 & 0 \end{array} = \overline{R}_nS_n + \overline{R}_nQ_{n-1} = \overline{\overline{\overline{R}_nS_n} \cdot \overline{\overline{R}_nQ_{n-1}}}. \quad (6.9)$$

Схема, реализующая уравнение (6.9) в базисе И—НЕ, приведена на рис. 6.7,*а*, а временные диаграммы работы R-триггера на рис. 6.7,*б*.

Из-за связи входа логического элемента *DD1* с выходом *DD2* при одновременном управляющем воздействии $S = R = 1$ выход *DD2*, на котором устанавливается $\overline{R} = 0$, блокирует остальные входы элемента *DD1* и сигнал $S = 1$ триггер не воспринимает. Поэтому комбинация $S = R = 1$ устанавливает триггер в состояние «0». Как видно из временных диаграмм (рис. 6.7,*б*), дополнительные логические элементы на входе увеличивают время переключения R-триггера и минимальную длительность входного сигнала:

$$t_{\text{пер}} = t_{\text{вх min}} = 3t_{\text{зд. р. ср}}.$$

Поскольку логические элементы *DD1*, *DD2* обусловливают практически одинаковую задержку управляющих сигналов, разрешающее время для триггера на элементах *DD3*, *DD4* практически не меняется:

$$t_{\text{раз}} = 3t_{\text{зд. р. ср}}.$$

Функционирование асинхронного S-триггера по определению описывается картой Карно и уравнением

$Q_n =$

Q_{n-1} \ R_nS_n	00	01	11	10
0	0	1	1	0
1	1	1	1	0

$$= S_n + \overline{R}_n Q_{n-1} = \overline{\overline{S}_n \cdot \overline{R_n Q_{n-1}}}. \qquad (6.10)$$

для выхода Q-триггера и соответственно для выхода $\overline{Q}$,

$\overline{Q}_n =$

$\overline{Q}_{n-1}$ \ R_nS_n	00	01	11	10
0	0	0	0	1
1	1	0	0	1

$$= R_n\overline{S}_n + \overline{S}_n\overline{Q}_{n-1} = \overline{\overline{\overline{S}_n R_n} \cdot \overline{\overline{S}_n \overline{Q}_{n-1}}} \qquad (6.11)$$

на котором при $R_n = S_n = 1$ необходимо обеспечить уровень «логического 0».

На рис. 6.8,*а* показана схема S-триггера в базисе И—НЕ, реализующая уравнения (6.10), (6.11). Связь между выходом элемента *DD1* и входом элемента *DD2* обеспечивает приоритет входу S, так как при $S_n = 1$ на вход *DD2* поступает уровень $\overline{S}_n = 0$, который для логического элемента И—НЕ является доминирующим и исключает влияние других входов (в нашем случае входа R). На рис. 6.8,*б* показаны временные диаграммы переключения S-триггера.

Состояния асинхронного E-триггера описываются картой Карно и получаемым из нее характеристическим уравнением для прямого Q и инверсного $\overline{Q}_n$ выходов триггера

$Q_n =$

Q_{n-1} \ R_nS_n	00	01	11	10
0	0	1	0	0
1	1	1	1	0

$$= \overline{R}_n S_n + \overline{R}_n Q_{n-1} + S_n Q_{n-1} =$$

$$= \overline{\overline{\underbrace{\overline{R}_n \cdot S_n}_{A} \cdot Q_{n-1}} \cdot \overline{\underbrace{R_n \cdot S_n}_{B}}} = \overline{A \cdot \overline{Q}_{n-1} \cdot B}, \qquad (6.12)$$

$\overline{Q}_n =$

$\overline{Q}_{n-1}$ \ R_nS_n	00	01	11	10
0	0	0	0	1
1	1	0	1	1

$$= R_n\overline{S}_n + R_n\overline{Q}_{n-1} + \overline{S}_n\overline{Q}_{n-1} =$$

$$= \overline{\overline{R_n\overline{S}_n} \cdot \overline{\overline{Q}_{n-1} \cdot \overline{R_n S_n}}} = \overline{B \cdot \overline{Q}_{n-1} \cdot A}. \qquad (6.13)$$

Схема, реализующая уравнения (6.12), (6.13) в базисе логических элементов И—НЕ, карта Карно и временные диаграммы переключения E-триггера показаны на рис. 6.9. Дополнительные инверторы *DD5*, *DD6* при $S_n = R_n = 1$ блокируют сигналами $S_n = 0$ и $R_n = 0$ логические элементы *DD1*, *DD2*, на выходах

которых при этом поддерживаются уровни «логической 1», что соответствует режиму хранения ранее записанной информации.

Вследствие задержки блокирующих сигналов инверторами *DD5*, *DD6* на выходах вентилей *DD1*, *DD2* формируются сигналы помехи δA, δB, аналогично помехам в асинхронных триггерах типа *R* и *S*. Помехи на управляющих входах при опреде-

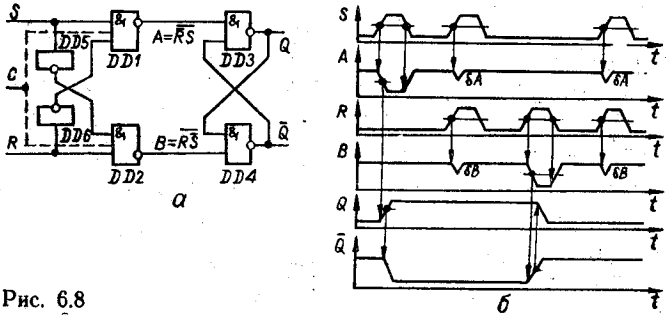


Рис. 6.8

ленных условиях могут привести к ложному срабатыванию данных триггеров. Для устранения ложных срабатываний триггеры *R*-, *S*- и *E*-типа синхронизируют серией импульсов *C*, задержанных относительно информационных сигналов *R* и *S*. Для этого в схемах (рис. 6.7, 6.8, 6.9) должен быть предусмотрен дополнительный вход *C* (показан штриховой линией). Таким образом, получаем варианты синхронных *R*-, *S*- и *E*-триггеров,

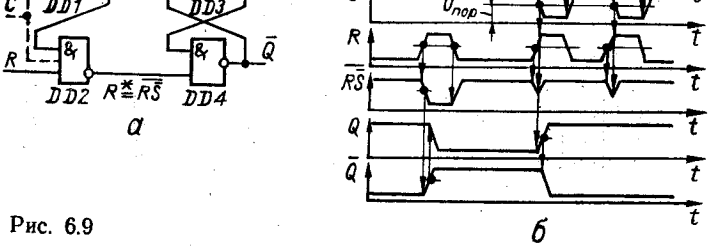


Рис. 6.9

которые обладают более высокой надежностью, но и бо́льшим разрешающим временем вследствие необходимой дополнительной задержки синхроимпульсов на время возникновения помехи.

Помимо борьбы с помехами режим синхронизации *RS*-триггеров широко используется при построении тактируемых цифровых устройств. Для обеспечения синхронизируемого режима работы асинхронные *RS*-триггеры должны быть дополнены схемами синхронизации. На рис. 6.10,*а* и 6.11,*а* показаны схемы, на рис. 6.10,*б* и 6.11,*б* — условные графические изображения, на рис. 6.10,*в* и 6.11,*в* — карты Карно и на рис. 6.10,*г* и рис. 6.11,*г* — временные диаграммы синхронных *RS*-триггеров,

реализованных соответственно в базисе логических элементов ИЛИ—НЕ и И—НЕ. Схемы синхронизации построены на логических элементах *DD1*, *DD2* и формируют сигналы R^*, S^*, управляющие состоянием асинхронных *RS*-триггеров, на логических элементах *DD3*, *DD4*. Информация, поступающая на входы *S* и *R*, как видно из временных диаграмм, воспринимается только в моменты действия синхроимпульсов *C* длительностью t_c. Всякие изменения уровней на информационных

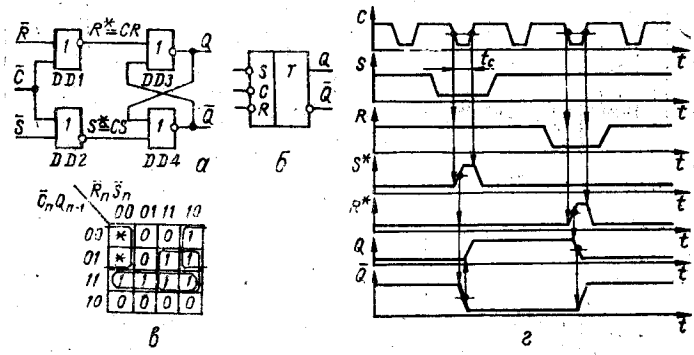


Рис. 6.10

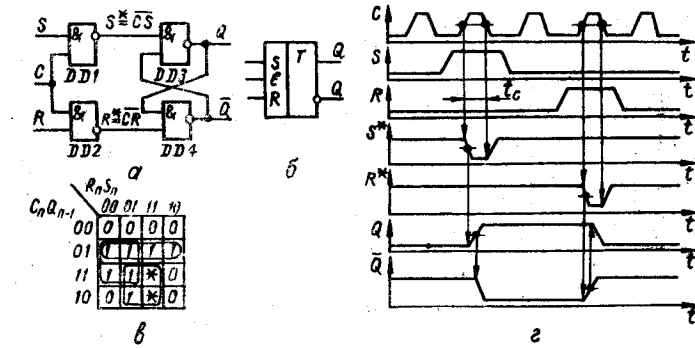


Рис. 6.11

входах *R* и *S* ($\overline{R}$, $\overline{S}$) в интервале t_c передаются на вход асинхронного триггера и вызывают несинхронизированные переключения состояний, что характерно для схем синхронизации уровнем. Для нормальной работы в тактируемом режиме необходимо предотвратить переключения входов *R*, *S* в интервале синхроимпульса длительностью t_c. Запрещенной является комбинация входных сигналов $R_n = S_n = C_n = 1$, обусловливающая в триггере (рис. 6.10,*а*) установку на прямом и инверсном выходах уровней $Q_n = 0$, $\overline{Q}_n = 0$, а в триггере (рис. 6.11,*а*) — $Q_n = 1$, $\overline{Q}_n = 1$, что соответствует разрыву триггерных связей.

В RS-триггерах, синхронизируемых фронтом, информационные сигналы S и R могут переключаться в любые моменты времени, но в триггер записывается состояние, соответствующее комбинации входных сигналов S и R непосредственно перед соответствующим положительным (или отрицательным) фронтом синхроимпульса. Схема синхронизации фронтом принципиально включает запоминающий элемент, который в течение времени t_0 действия синхроимпульса обеспечивает управление состоянием асинхронного RS-триггера. В синхронизируемых фронтом RS-триггерах (рис. 6.12) схемы синхронизации триггеров фронтом построены на логических элементах $DD1$, ..., $DD4$ типа ИЛИ—НЕ (*а*) или И—НЕ (*в*). RS-триггер на элементах ИЛИ—НЕ синхронизируется отрицательным фронтом (на элементах И—НЕ — положительным фронтом). В паузе между синхроимпульсами на входе синхронизации имеем $C = 1$

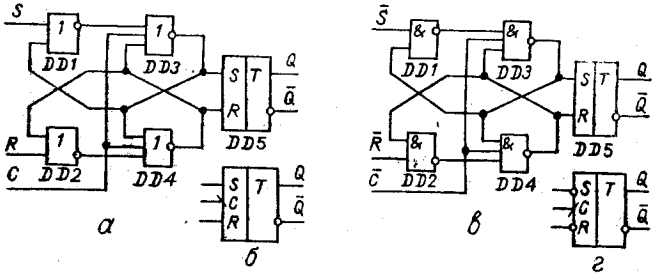


Рис. 6.12

(рис. 6.12,*а*) и на выходах элементов $DD3$, $DD4$ поддерживаются уровни «логического 0», обеспечивающие режим хранения для асинхронного триггера $DD5$. Входы S и R на состояние $DD3$, $DD4$ влияния не оказывают, так как уровень $C = 1$ является доминирующим. Пусть непосредственно перед отрицательным фронтом синхроимпульса $\overline{C}$ на информационных входах установилась комбинация входных сигналов $S = 1$, $R = 0$. Тогда при переключении входа C из «1» в «0» на трех входах элемента $DD3$ имеем «0», на его выходе устанавливается уровень «1», который подается на входы $DD1$ и $DD4$, блокируя переключение их внешними сигналами. Поэтому в течение времени t_0 действия уровня $C = 0$ триггер не реагирует на переключения управляющих входов S и R. Аналогично происходит установка триггера в состояние «0». При одновременной установке $S = 1$ и $R = 1$ по отрицательному фронту синхроимпульса происходит состязательное переключение триггера на элементах $DD3$, $DD4$ в одно из двух возможных состояний, которое автоматически переписывается в триггер $DD5$.

Аналогично построен и функционирует синхронизируемый положительным фронтом RS-триггер на элементах И—НЕ (рис. 6.12,*в*). Полярность синхронизирующего фронта на условном графическом обозначении (рис. 6.12,*б*, *г*) показывают косой линией на входе C.

Длительность переключения $t_{пер}$ и минимальная длительность входного сигнала $t_{вх\,min}$ для синхронизируемых уровнем и фронтом

RS-триггеров одинаково зависят от длительности $t_{зд.\,р.\,ср}$ составляющих их элементов: $t_{пер} = t_{вх\,min} = 3t_{зд.\,р.\,ср}$.

***D*-триггеры.** К D-триггерам относятся последовательностные бистабильные устройства с одним информационным входом D и входом синхронизации C, которые в моменты действия синхронизирующего уровня или фронта устанавливаются в состояние, определяемое логическим уровнем сигнала на входе D, а в паузе между синхроимпульсами находятся в режиме хранения информации [24]. Принципиально осуществимы и асинхронные D-триггеры, которые, однако, не представляют практического интереса.

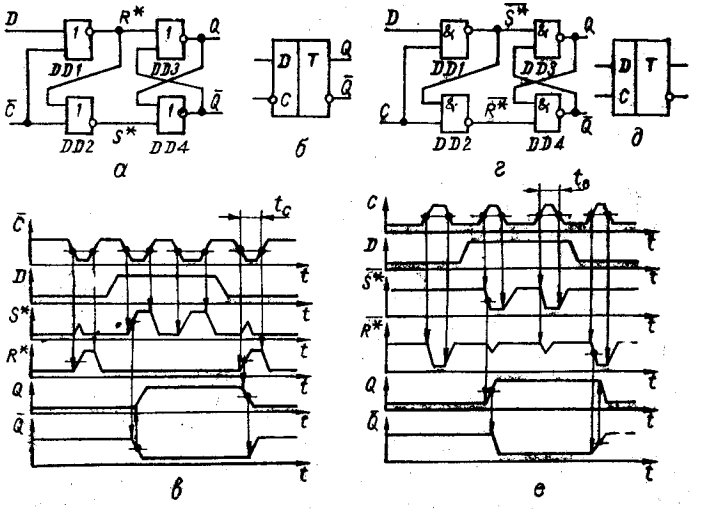


Рис. 6.13

Функционирование синхронного D-триггера в статических режимах описывается картой Карно и характеристическим уравнением

Q_{n-1} \ C_nD_{n-1}	00	01	11	10
0	0	0	1	0
1	1	1	1	0

$$Q_n = C_nD_{n-1} + \overline{C}_nQ_{n-1} = \overline{\overline{C_nD_{n-1}} \cdot \overline{\overline{C}_nQ_{n-1}}}. \quad (6.14)$$

Реализации синхронных D-триггеров, удовлетворяющих уравнению (6.14), показаны на рис. 6.13. Если на синхронизирующий вход D-триггера (рис. 6.13,*а*) подан уровень $\overline{C} = 1$ (или $C = 0$ для рис. 6.13,*г*), являющийся доминирующим для логических элементов $DD1$, $DD2$, на их выходах устанавливаются уровни $S^* = R^* = 0$ ($\overline{S}^* = \overline{R}^* = 1$), которые не зависят от состояния информационного входа D и обеспечивают режим хранения асинхронного триггера на логических элементах $DD3$, $DD4$. При $\overline{C} = 0$ ($C = 1$) информационный вход однознач-

но определяет состояние выхода элемента *DD1*, который, в свою очередь, обусловливает инверсный уровень на выходе элемента *DD2*. Если при этом $D = 1$ ($\overline{D} = 0$), триггер устанавливается в единичное (нулевое) состояние, т. е. в триггер записывается информация, поданная на вход *D* до установки синхронизирующего уровня $C = 1$. Следовательно, информация на выходах *D*-триггера появляется с задержкой относительно информационного входа *D*, обусловленной задержкой синхронизирующего импульса *C* относительно информационного сигнала *D*, а также временем переключения логических элементов *DD1*, ..., *DD4* (рис. 6.13,*в*, *е*). На рис. 6.13,*б*, *д* приведены условные графические обозначения для *D*-триггеров на элементах соответственно ИЛИ—НЕ и И—НЕ.

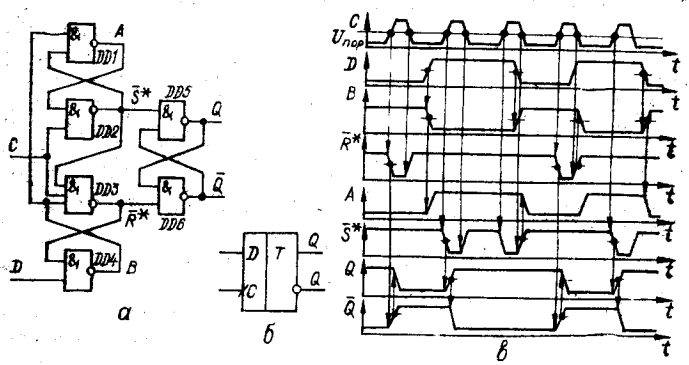


Рис. 6.14

Для обеспечения нормального функционирования синхронизируемых уровнем *D*-триггеров необходимо исключить переключение состояния информационного входа *D* на интервале синхронизации *C*. В противном случае имеет место так называемое сквозное управление, т. е. несинхронизируемое управление состоянием триггера непосредственно информационным входом. Несинхронизируемое управление исключается в случае синхронизации *D*-триггера фронтом синхроимпульса.

D-триггер, синхронизируемый фронтом, показан на рис. 6.14, *а*, *б* [89]. Он построен на трех элементарных триггерах, из них 2 триггера на элементах *DD1*, ..., *DD4* образуют схему синхронизации основной запоминающей ячейки на элементах *DD5*, *DD6*. Из временных диаграмм работы *D*-триггера (рис. 6.14,*в*) видно, что в паузах между синхроимпульсами $C = 0$ и на выходах $\overline{R}$*, $\overline{S}$* поддерживаются единичные уровни независимо от состояния входа *D*. Это соответствует режиму хранения информации в основном триггере. Переключение уровня на входе *D* влияет только на логические состояния выходов *A* и *B* триггеров схемы синхронизации: если $D = 0$, то $B = 1$ и $A = 0$, а в случае $D = 1$ имеем $B = 0$, $A = 1$. При этом один из триггеров схемы синхронизации находится в устойчивом состоянии, а другой — в режиме разрыва триггерных связей при уровнях «логической 1» на обоих выходах. Например, если $D = 0$, то на выходах триггера на элементах *DD3*, *DD4* устанавливаются одинаковые уровни $\overline{R}^* = B = 1$.

По положительному фронту синхроимпульса $C = 0 \to 1$ (рис. 6.14,*в*) триггер, находившийся до этого в режиме разрыва триггерных связей, переходит в нормальное устойчивое состояние и на входах основного триггера формируются взаимноинверсные логические уровни. Если $D = 0$, то $\overline{R}^* = 0$, $\overline{S}^* = 1$ и триггер устанавливается в состояние «0»; если $D = 1$, то $\overline{R}^* = 1$, $\overline{S}^* = 0$ и происходит установка в состояние «1».

Из диаграмм (рис. 6.14,*в*) видно, что при $C = 1$ переключение состояния информационного входа D не влияет на состояние данного D-триггера. Это объясняется тем, что при установке основного триггера в состояние «0» сигналом $\overline{R}^* = 0$ одновременно блокируется логический элемент *DD4* и на его выходе $B = 1$ независимо от состояния входа D. При установке основного триггера в состояние «1» сигналом $\overline{S}^* = 0$ блокируются логические элементы *DD1* и *DD3*, поэтому переключение состояний D и B не влияет на состояние основного триггера, т. е. сквозное управление в таких D-триггерах отсутствует.

Состояния D-триггера, синхронизируемого фронтом, описываются также уравнением (6.14). Длительность процесса переключения и минимальная длительность синхроимпульса $t_{\text{вхmin}}$ зависят от среднего времени задержки распространения сигнала через логические элементы

$$t_{\text{пер}} = 4t_{\text{зд. р. ср}}, \quad t_{\text{вхmin}} = t_{\text{зд. р. ср}}.$$

Применение триггеров в схеме синхронизации обусловливает регенеративный режим переключения ее в новое состояние, поэтому D-триггер (рис. 6.14) часто называют «защелкой». D-триггер типа «защелка» можно аналогично реализовать на элементах ИЛИ—НЕ.

Еще один способ устранения сквозного управления в D-триггерах состоит в использовании двухтактных структур MS-типа (Master — хозяин, ведущий, Slave — раб, ведомый). Двухтактный D-триггер строится на основе двух синхронизируемых противофазными уровнями D-триггеров (рис. 6.15,*а*, *б*). Благодаря синхронизации противофазными синхроимпульсами C и $\overline{C}$ запись новой информации в триггеры M и S ступеней принципиально разделена во времени, что исключает сквозную передачу информации со входа D на выходы Q_s, $\overline{Q}_s$.

При $C = 0$ триггер вспомогательной ступени M находится в режиме хранения информации, а в выходной триггер (ступень S) уровнем $\overline{C} = 1$ разрешена перезапись содержимого триггера M. Переключение синхроимпульса $C = 0 \to 1$ и $\overline{C} = 1 \to 0$ (рис. 6.15,*в*) изменяет режим работы триггеров M и S: триггер M переходит в режим записи информации со входа D, а триггер S — в режим хранения информации, записанной на предыдущем шаге. Во вспомогательном триггере M возможен режим несинхронизируемой записи в течение интервала синхроимпульса $C = 1$. По окончании синхроимпульса ($C = 1 \to 0$) информационный вход D блокируется и в основной триггер S переписывается окончательно установившееся состояние Q_M.

Разрешающее время по входу синхронизации при минимально допустимой длительности синхроимпульса $t_{\text{вхmin}} = 3t_{\text{зд. р. ср}}$

$$t_{\text{раз}} = 7t_{\text{зд. р. ср}}.$$

Исключение режима сквозного управления позволяет использовать синхронизируемые фронтом и двухтактные D-триггеры в счетном режиме, для чего соединяются информационный вход D и инверсный выход $\overline{Q}_s$-триггера (штриховая линия на рис. 6.15,*а*).

В табл. 6.1 приведены параметры RS- и D-триггеров основных промышленных серий, а на рис. 6.16 показаны назначение и нумерация выводов соответствующих ИМС.

Т-триггеры — последовательностные регенеративные бистабильные устройства с одним управляющим входом T, которые

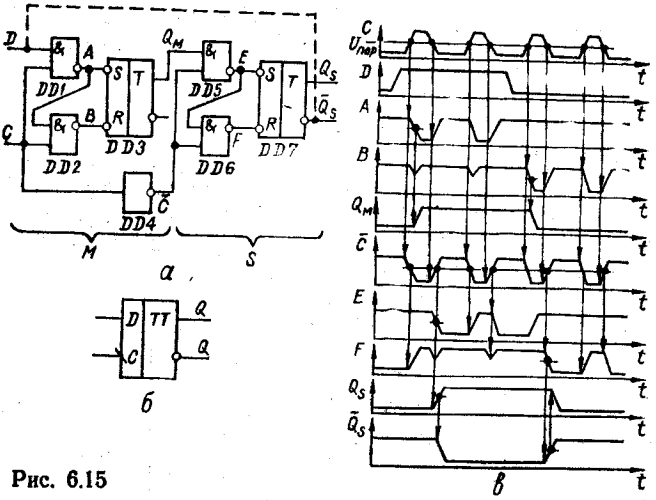


Рис. 6.15

каждым входным сигналом переключаются в противоположное состояние. Работа такого триггера описывается уравнением,

$$Q_n = \begin{array}{c|c|c} Q_{n-1} \backslash T_n & 0 & 1 \\ \hline 0 & 0 & 1 \\ \hline 1 & 1 & 0 \end{array} = \overline{T}_n Q_{n-1} + T_n \overline{Q}_{n-1} = T_n \oplus Q_{n-1}$$

из которого следует, что T-триггер реализует операцию сложения по модулю 2. Поэтому T-триггеры, режим их работы и управляющий вход называют счетными.

Асинхронный T-триггер (рис. 6.17, *а*, *б*) помимо основного запоминающего элемента RS-триггера на логических элементах *DD5*, *DD6* содержит схему управления, включающую линии задержки *DD1*, *DD4* и логические вентили *DD2*, *DD3*. Линии задержки обеспечивают в течение времени τ (рис. 6.17,*в*) поддержание на входах элементов *DD2*, *DD3* логических уровней, соответствующих предыдущему состоянию T-триггера. Для обеспечения работы T-триггера без сбоев необходима задержка переключения логических уровней на *DD2*, *DD3* на величину τ, превышающую длительность счетного импульса $t_T \geqslant 2t_{зд.р.ср}$.

Таблица 6.1

Типономинал	Функциональное назначение	$I_{пот}$, мА, не более	$t_{зд.\ р}$, нс, не более	УГО (рис. 6.16)
К561ТР2	Четыре *RS*-триггера	2,0	300	*а*
К155ТМ2	Два *D*-триггера	30	40	*б*
ТМ5	Четыре *D*-триггера	53	25	*в*
ТМ7	Четыре *D*-триггера с прямыми и инверсными выходами	53	25	*г*
ТМ8	Счетверенный *D*-триггер	—	35	*д*
К531ТМ2п	Два *D*-триггера	50	13,5	*б*
КМ8п	Четыре *D*-триггера	96	22	*е*
ТМ9п	Шесть *D*-триггеров	—	22	*ж*
К561ТМ2	Два *D*-триггера	0,003	150	*з*
К561ТМ3	Четыре *D*-триггера	0,003	700	*и*
К500ТМ130	Два *D*-триггера	35	4,0	*н*
К500ТМ131	Два *D*-триггера	56	4,5	*о*
К500ТМ231	Два *D*-триггера	65	3,3	*о*
К500ТМ133	Четыре *D*-триггера типа «защелка»	75	5,4	*п*
К500ТМ134	Два *D*-триггера	55	5,5	*р*
К500ТМ173	Четыре *D*-триггера с входным мультиплексором	66	6,2	*с*
К155ТЛ1	Два триггера Шмитта с логическим элементом 4И—НЕ на входе	32	27	*к*
ТЛ2	Шесть триггеров Шмитта с инверсными выходами	60	22	*л*
ТЛ3	Четыре двухвходовых триггера Шмитта	40	22	*м*
К555ТЛ2	Шесть триггеров Шмитта с инверсными выходами	21	22	*л*

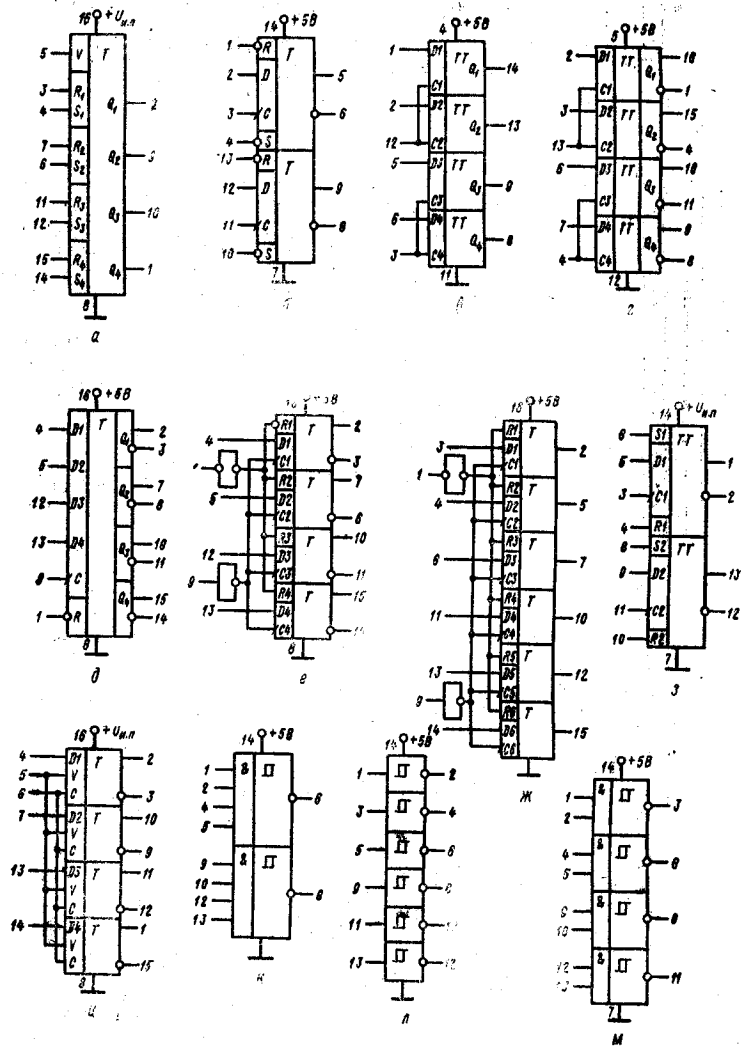
В то же время для предотвращения режима генерации *T*-триггера необходимо обеспечить $t_T < 3t_{зд.\ р.\ ср} + \tau$, т. е.

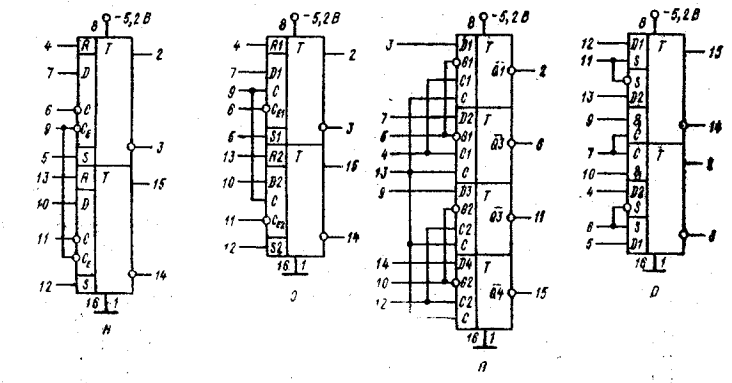
$$2t_{зд.\ р.\ ср} < t_T < 3t_{зд.\ р.\ ср} + \tau. \qquad (6.15)$$

В качестве элемента задержки можно использовать, в частности, интегрирующее *RC'*-звено (на рис. 6.17,*в* соответствующие диаграммы Q_τ, $\overline{Q}_\tau$ показаны штриховой линией). Ограничения (6.15) на длительность счетных импульсов t_T и необходимость использования линий задержек ограничивают область применения *T*-триггеров типа рис. 6.17. Режим генерации *T*-триггера можно принципиально исключить построением его по двухтактной схеме. В *T*-триггере *MS*-типа (рис. 6.18,*а*) переключение триггеров ступеней *M* и *S* разделены во времени самим счетным импульсом *T*. Триггер ступени *M* переключается единичным, а триггер ступени *S* — нулевым уровнем сигнала *T*. Для реализации разделенного во времени режима работы триггеров ступеней *M* и *S* можно использовать инвертор сигнала *T* аналогично *DD4* в схеме на рис. 6.15,*а*. Тот же резуль-

тат можно достигнуть использованием связей выходов элементов *DD1* (*A*) и *DD2* (*B*) со входами *DD4*, *DD5*. В этом случае запись информации в триггер ступени *M* нулевым уровнем одновременно блокирует запись в триггер ступени *S*, который поэтому находится в режиме хранения информации. Наоборот, если $A = B = 1$, то триггер ступени *M* переключен в режим хранения информации и разблокированы вентили *DD4*, *DD5* для перезаписи информации из триггера ступени *M* в триггер ступени *S*.

В *T*-триггерах принципиальное значение имеют обратные связи между выходами триггера и входными логическими элементами. Они включаются так, что нулевое (единичное) состо-





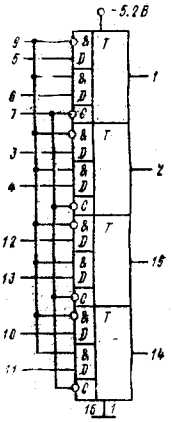


Рис. 6.16

яние триггера S разрешает переключение в единичное (нулевое) состояние триггера M. Благодаря этому каждый импульс на входе T изменяет состояние триггеров ступеней M и S: по положительному фронту импульса T переключается триггер ступени M, а по отрицательному фронту — триггер ступени S.

Еще один вариант T-триггера можно построить на основе D-триггера MS-типа (рис. 6.15,*а*). Для этого достаточно его информационный вход D соединить с инверсным выходом $\overline{Q}$, а на вход синхронизации C подавать счетные импульсы (рис. 6.18,*г*).

Как видно из временных диаграмм (рис. 6.17, *в*, 6.18, *б*), частота импульсов на выходе T-триггера $f_{вых} = f_{вх}/2$, т. е. их можно использовать в качестве делителей частоты. Максимальная частота счетных импульсов T-триггера MS-типа при условии $t_T \geqslant 3t_{зд.р.\,ср}$ определяется значением $f_{T\max} = 1/(6t_{зд.\,р.\,ср})$.

Универсальный JK-триггер — это последовательностные регенеративные бистабильные устройства с двумя информацион-

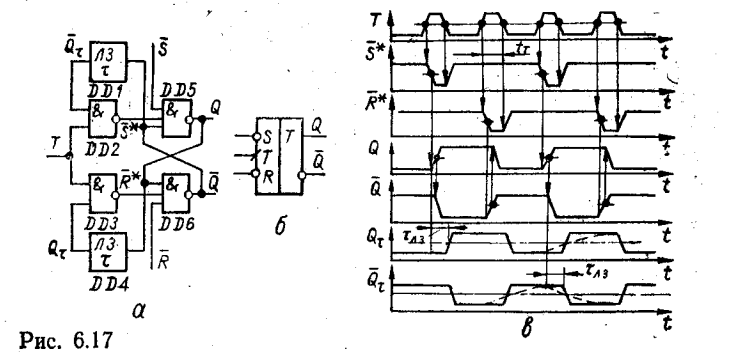


Рис. 6.17

ными входами J и K, которые в случае входной комбинации $J = K = 1$ переключают триггер в противоположное состояние подобно T-триггеру, а при любых других комбинациях они функционируют как RS-триггер, у которого роль входов S и R выполняют соответственно входы J и K: $J \equiv S$, $K \equiv R$.

Для обеспечения счетного режима работы JK-триггер по аналогии с T-триггером должен содержать элементы задержки либо должен быть выполнен по двухтактной схеме. В любом случае анализ состояния JK-триггера на n-м шаге временной диаграммы можно определить по состояниям управляющих входов и триггера на шаге $n-1$: J_{n-1}, K_{n-1}, Q_{n-1}. Поскольку в цифровой схемотехнике в основном используются синхронные JK-триггеры, состояние входа синхронизации C_n является допол-

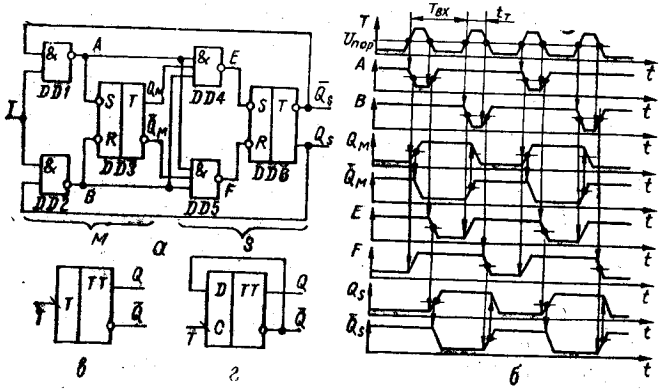


Рис. 6.18

нительным аргументом. Для четырех независимых переменных табл. 6.2 содержит 2^4 входных наборов, характеризующих все возможные переходы состояний JK-триггера. При составлении таблицы истинности и карты Карно предполагается, что в процессе переключения уровней синхроимпульса состояния инфор-

Таблица 6.2

Номер набора	J_{n-1}	K_{n-1}	Q_{n-1}	C_n	Q_n	Номер набора	J_{n-1}	K_{n-1}	Q_{n-1}	C_n	Q_n
0	0	0	0	0	0	8	0	0	1	0	1
1	0	0	0	1	0	9	0	0	1	1	1
2	0	1	0	0	0	10	0	1	1	0	1
3	0	1	0	1	0	11	0	1	1	1	0
4	1	0	0	0	0	12	1	0	1	0	1
5	1	0	0	1	1	13	1	0	1	1	1
6	1	1	0	0	0	14	1	1	1	0	1
7	1	1	0	1	1	15	1	1	1	1	0

мационных входов J и K не изменяются. Тогда характеристическое уравнение JK-триггера согласно карте Карно

$$Q_n = \overline{C}_n Q_{n-1} + \overline{K}_n Q_{n-1} + C_n J_{n-1} \overline{Q}_{n-1}.$$

На рис. 6.19,*а*, *б* показаны схема, на рис. 6.19,*в* — карта Карно и на рис. 6.19,*г* — временные диаграммы синхронного JK-триггера на основе логических элементов И—НЕ и линий задержки. Данный вариант JK-триггера отличается от T-триггера (рис. 6.17,*а*) тем, что элементы *DD2*, *DD3* имеют дополнительные управляющие входы J и K, а их общий вход используется для синхронизации. Поэтому на длительность синхроимпульса t_c накладывается ограничение (6.15).

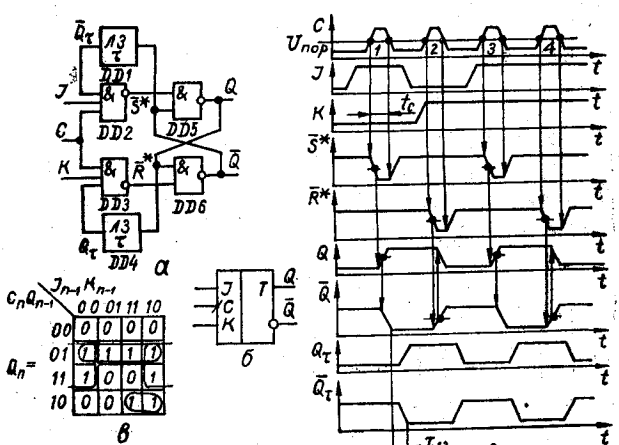


Рис. 6.19

Синхроимпульс *1* (рис. 6.19,*г*) совпадает во времени с $J = 1$ и, так как триггер вначале находился в состоянии «0», то и $\overline{Q}_\tau = 1$, поэтому при переключении $C = 0 \to 1$ формируется нулевой уровень $\overline{S}^*$, который переключает *DD5*, а затем *DD6*, переводя JK-триггер в состояние «1». Аналогично синхроимпульс *2* положительным фронтом при $K = 1$ и $J = 0$ переключает JK-триггер в состояние «0». Синхроимпульсы *3* и *4* поступают на вход триггера при $J = K = 1$, но благодаря взаимно инверсным задержанным сигналам Q_τ, $\overline{Q}_\tau$ с выходов триггера переключается только один из логических элементов *DD2*, *DD3* и именно тот, который обеспечивает переключение JK-триггера в противоположное состояние. При этом JK-триггер работает в режиме счетчика, или делителя частоты синхроимпульсов как T-триггер.

Ограничение (6.15) на длительность синхроимпульсов t_c сужает область применения однотактных JK-триггеров. Двухтактный JK-триггер (рис. 6.20,*а*) не критичен к длительностям управляющих и синхронизирующих сигналов. Функционирование двухтактного JK-триггера поясняется временными диа-

граммами (рис. 6.20,*д*). Максимальная частота следования управляющих или синхронизирующих импульсов

$$f_{\text{cmax}} = 1/(6t_{\text{зд. р. ср}}).$$

На рис. 6.20,*б* показано применение *JK*-триггера в качестве двухтактного *RS*-триггера. Дополнительный инвертор на входе (рис. 6.20,*в*) позволяет использовать *JK*-триггер в качестве синхронного двухтактного *D*-триггера. Если входы *J* и *K*

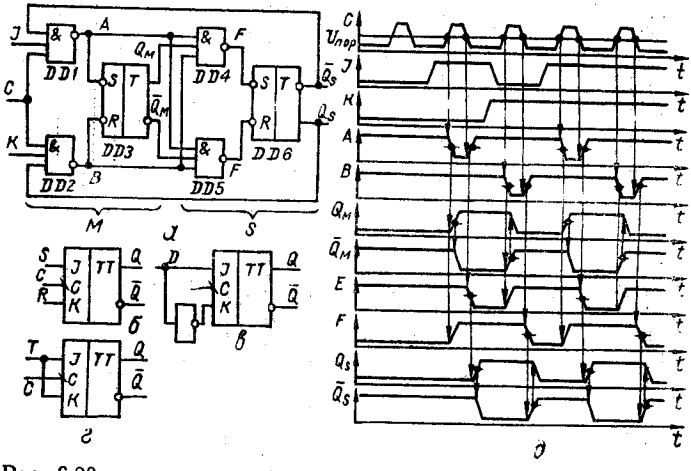


Рис. 6.20

объединить и подать на них счетные импульсы *T*, получим двухтактный *T*-триггер (рис. 6.20,*г*). В этом состоит универсальность *JK*-триггера, который широко применяют при построении парал-

Таблица 6.3

Типономинал	Функциональное назначение	$I_{\text{пот}}$, мА, не более	$t_{\text{зд. р}}$, нс, не более	УГО (рис. 6.21)
К500ТВ135	Два *JK*-триггера	68	5,0	*а*
К155ТВ1	*JK*-триггер с логикой ЗИ на входе	20	40	*б*
К531ТВ9П	Два *JK*-триггера с установкой логического 0 и 1	50	7,0	*в*
ТВ10П	Два *JK*-триггера с установкой 1	50	7,0	*г*
ТВ11П	Два *JK*-триггера с установкой 0	50	7,0	*д*
К555ТВ6	Два *JK* — триггера со сбросом	8	30	*е*
К561ТВ1	Два *JK*-триггера	0,002	600	*ж*

лельных и последовательных регистров, различных пересчетных устройств, накапливающих сумматоров и т. д.

В табл. 6.3 приведены параметры наиболее широко используемых JK-триггеров, на рис. 6.21 показана нумерация соответствующих выводов ИМС.

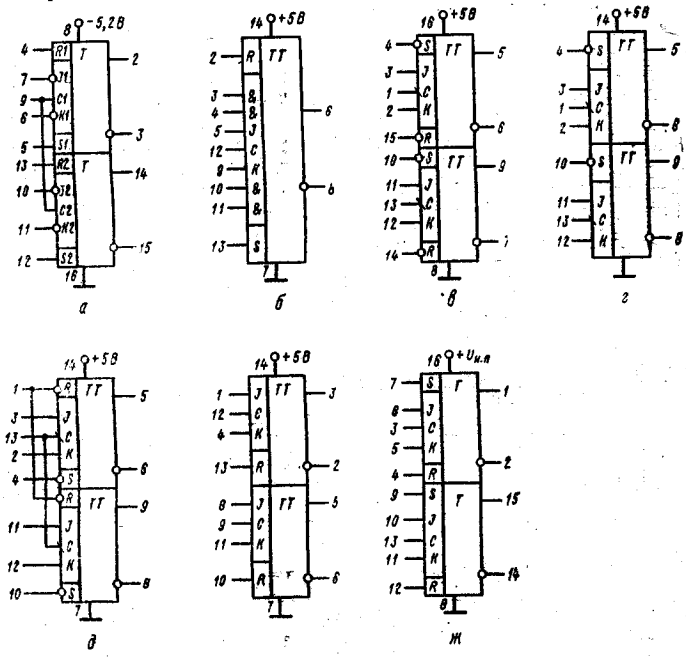


Рис. 6.21

6.2. РЕГИСТРЫ

Регистры — это последовательностные устройства, предназначенные для приема, хранения, простых преобразований и передачи двоичных чисел. Под простыми преобразованиями понимаются сдвиг чисел на заданное количество разрядов, а также преобразование последовательностного двоичного кода в параллельный и параллельного в последовательностный. Базовыми элементами регистров являются триггеры, которые дополняются комбинационными логическими элементами для реализации различных связей между разрядами регистра и для управления приемом и передачей операндов. Основное функциональное назначение регистров — оперативная память для многоразрядных двоичных чисел.

В зависимости от способа приема и передачи двоичной информации различают параллельные, последовательные, последовательно-параллельные, параллельно-последовательные и универсальные регистры.

В параллельных регистрах или регистрах памяти ввод/вывод всех разрядов числа производится одновременно за один такт. Для построения n-разрядного регистра памяти требуется

n триггеров. Параллельные регистры служат основным функциональным элементом для построения оперативных запоминающих устройств.

В последовательных регистрах ввод/вывод информации осуществляется через один информационный вход и один выход поразрядно со сдвигом числа. Поэтому последовательные регистры называют сдвигающими (или сдвиговыми). За один такт вводимая или выводимая информация сдвигается на один разряд вправо или влево. Сдвигающие регистры, реализующие по команде управления сдвиги информации вправо или влево, называют реверсивными.

Последовательно-параллельные регистры имеют один информационный вход для последовательного ввода числа в режиме сдвига и выходные вентили для выдачи n-разрядного числа параллельным кодом. Такие регистры выполняют преобразование последовательного кода в параллельный.

В параллельно-последовательные регистры информация вводится параллельным кодом за один такт через тактируемые входные вентили, а выводится из них последовательно по одному разряду в каждом тактовом интервале. Тем самым реализуется операция преобразования параллельного кода в последовательный.

Универсальные регистры сочетают в себе возможности вышеперечисленных типов регистров и, кроме того, обеспечивают режимы отключения входов и выходов (третье логическое состояние) регистра от общей информационной шины, перекоммутацию местами входов и выходов регистра и тем самым переключение функций прием / передача информации в общую информационную шину.

Технические параметры регистров определяются параметрами их основного функционального узла — триггера и разрядностью операнда.

Параллельные регистры. При построении параллельных регистров обычно используются простейшие асинхронные RS-триггеры и синхронные RS- и D-триггеры [83]. На рис. 6.22 представлены варианты параллельных регистров, отличающиеся типом триггеров и составом входных / выходных информационных шин. Регистр на основе асинхронных RS-триггеров (рис. 6.22,*а*) перед занесением очередного n-разрядного числа со входов $x_1, \ldots, x_n$ требует предварительного сброса всех триггеров в нулевое состояние. Сброс производится сигналом $R = 0$. Ввод информации в регистр происходит по сигналу $A = 1$, $R = 1$. Если на некотором i-м входе $X_i = 1$, то $S_i = \overline{X_i A} = 0$ и данный триггер (с инверсным управлением) переключается в состояние «1». Если на входе $X_j = 0$, то $S_j = \overline{X_j A} = 1$ и j-й триггер сохраняет состояние «0». Вывод информации из регистра производится по сигналу $B = 1$, определяющему состояния выходов $Y_к = \overline{\overline{Q_к} B}$. Если $B = 0$, то на всех выходах устанавливаются уровни «логической 1», а при $B = 1$ имеем $Y_к = Q_к$. Основной недостаток данного регистра — необходимость предварительной очистки регистра, из-за чего обновление информации осуществляется за два такта.

В регистре (рис. 6.22,*б*) также на основе асинхронных RS-триггеров предварительная очистка не требуется, поскольку обновление информации в нем происходит установкой триггеров

в состояние «1» и «0» за один такт. Для этого на входе регистра требуется вдвое больше логических элементов и линий связи. В схеме показан способ выдачи информации в прямом коде (команда $B_1 = 1$) и/или в обратном коде (команда $B_2 = 1$). Асинхронные RS-триггеры в сочетании со входными вентилями (рис. 6.22,*а*, *б*) по существу образуют варианты синхронных RS-триггеров.

На рис. 6.22,*в* показана схема параллельного регистра на основе синхронных D-триггеров. Здесь в качестве входных используются логические элементы, входящие в схему D-триггеров. Ввод информации происходит на интервале синхронизации при $C = 0$. В качестве выходных использованы логические элементы

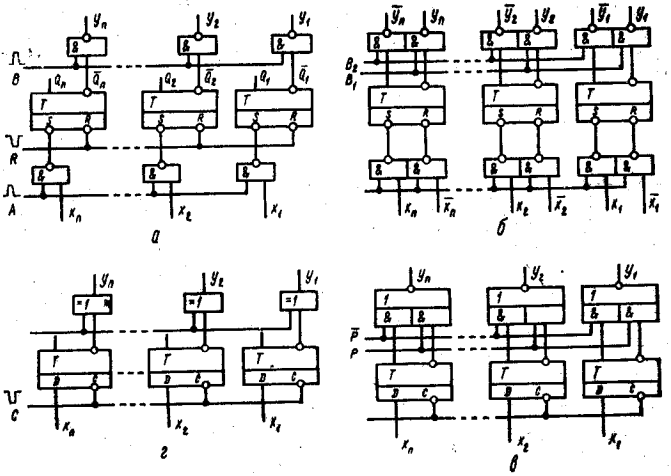


Рис. 6.22

И—ИЛИ—НЕ, которые формируют выходные сигналы согласно выражению

$$Y_i = \overline{\overline{P}Q_i + P\overline{Q}_i}, \qquad (6.16)$$

т. е. при $P = 1$ $Y_i = Q_i$ и информация из регистра выдается в прямом коде, а при $P = 0$ $Y_i = \overline{Q}_i$ — в обратном.

Если выражение (6.16) тождественно преобразовать к одной из форм

$$Y = \overline{\overline{P}Q_i + P\overline{Q}_i} = \overline{P \oplus Q_i} = P \oplus \overline{Q}_i = \overline{P} \oplus Q_i,$$

то выходную цепь регистра (рис. 6.22,*в*) можно реализовать на логических элементах ИСКЛЮЧАЮЩЕЕ ИЛИ (рис. 6.22,*е*). Выбор способа ввода информации в регистр или ее вывода обычно обусловлен требованиями быстродействия и условиями реализации регистра в цифровом устройстве.

Сдвигающие регистры. Рассмотрим последовательные, последовательно-параллельные и параллельно-последовательные регистры, которые должны выполнять операцию сдвига при последовательном вводе и/или выводе информации. Сдвиг числа

реализуется перезаписью состояний между соседними триггерами регистра в направлении сдвига. Таким образом, каждый разряд регистра одновременно принимает информацию из предыдущего разряда и передает информацию в последующий. Во избежание явления гонок эти процессы должны быть разделены во времени. Это достигается включением элементов линий задержек в связи между разрядами либо использованием двухтактных триггеров. В интегральной схемотехнике статические сдвигающие регистры строятся преимущественно на двухтактных D- и JK-триггерах.

При однонаправленном сдвиге информации достаточно реализовать непосредственные связи между выходами предыдущего

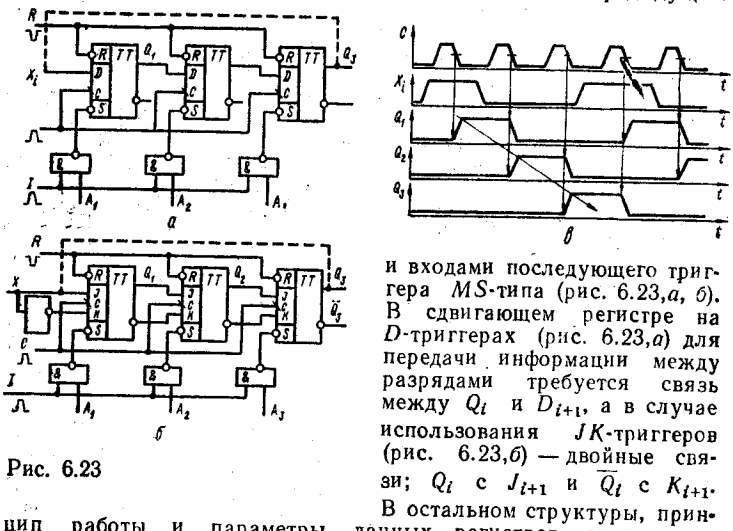


Рис. 6.23

и входами последующего триггера MS-типа (рис. 6.23,*а*, *б*). В сдвигающем регистре на D-триггерах (рис. 6.23,*а*) для передачи информации между разрядами требуется связь между Q_i и D_{i+1}, а в случае использования JK-триггеров (рис. 6.23,*б*) — двойные связи; Q_i с J_{i+1} и $\overline{Q}_i$ с K_{i+1}. В остальном структуры, принцип работы и параметры данных регистров аналогичны. Ввод информации может производиться последовательно со входа X с последующим сдвигом информации вправо на один разряд по каждому синхроимпульсу C либо параллельно со входов A по сигналу $I = 1$ асинхронной записи числа в предварительно очищенный регистр (сигналом $R = 0$ асинхронного сброса триггеров в состояние «0»). По положительному фронту синхроимпульса $C = 1$ происходит запись информации со входов D и X в триггеры первых ступеней M. Выходные уровни триггеров при этом остаются неизменными (см. рис. 6.23,*в*). По отрицательному фронту синхроимпульса входы D-триггеров ступени M блокируются и записанная в них информация передается в триггеры ступени S. Происходит переключение выходных уровней D-триггеров. Таким образом, реализуется чисто последовательный регистр со сдвигом числа вправо (показано стрелкой на рис. 6.23,*в*, вход — X, выход — Q_3), последовательно-параллельный (вход — X, выходы — Q_1, Q_2, Q_3) и параллельно-последовательный (входы — A_i, выход — Q_3). Кроме того, при замыкании выхода последнего разряда с последовательным входом X (штриховая линия) реализуется кольцевой сдвигающий регистр. Информация в кольцевой регистр вводится параллельным кодом со входов A_i и затем циркулирует в замкнутом кольце

под действием тактовых синхроимпульсов C. Кольцевые регистры удобно использовать для построения, например, тактовых генераторов цифровых устройств.

В реверсивных сдвигающих регистрах для обеспечения возможности сдвига информации в обоих направлениях выход каждого разряда должен быть связан через логические элементы переключения направления сдвига со входами предыдущего и последующего разрядов. Пусть направление сдвига задается логическим уровнем сигнала E так, что при $E = 0$ осуществляется сдвиг вправо: $D_i = Q_{i-1}$, а при $E = 1$ происходит сдвиг влево: $D_i = Q_{i+1}$. Тогда j-й триггер реверсивного сдвигающего регистра должен управляться сигналом

$$D_i = \overline{E}Q_{i-1} + EQ_{i+1} = \overline{\overline{E}\overline{Q}_{i-1} + E\overline{Q}_{i+1}} = \overline{\overline{\overline{E}\overline{Q}_{i-1}} \cdot \overline{E\overline{Q}_{i+1}}}, \quad (6.17)$$

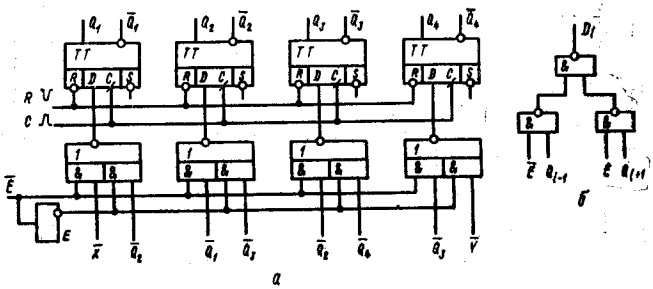


Рис. 6.24

который формируется логическим элементом И—ИЛИ—НЕ (рис. 6.24, *а*) либо на логических элементах И—НЕ. Для сигнала D_1 в соотношении (6.17) используется сигнал $\overline{Q}_0 = \overline{X}$ последовательного входа при сдвиге вправо или $\overline{X} = \overline{Q}_4$ при построении кольцевого сдвигающего вправо регистра. Аналогично для входа D_4 в качестве сигнала используется последовательный вход $\overline{Y}$ при сдвиге влево или $\overline{Y} = \overline{Q}_1$ для кольцевого сдвигающего влево регистра. На рис. 6.24, *б* показан тождественный согласно выражению (6.17) вариант схемы управления разрядом реверсивного сдвигающего регистра.

На рис. 6.25 показан вариант реверсивного сдвигающего регистра на основе JK-триггеров. Сигнал на входах J_i определяется аналогично D_i согласно выражению (6.17), а на выходах K_i всегда $K_i = \overline{J}_i$ благодаря инверторам во входных цепях.

Параллельный ввод информации в асинхронном режиме в сдвигающие регистры возможен, например, через несинхронизируемые входы R и S. Синхронный параллельный ввод реализуется через систему логических элементов управления сдвигом. Так как в данном случае предусматриваются три состояния регистра (параллельный ввод, сдвиг вправо, сдвиг влево), одного двоичного управляющего сигнала E уже недостаточно для управления ими. Пусть два управляющих режимом работы сигнала E_1, E_2 кодируют состояние регистра в соответствии

с табл. 6.4. Тогда входы D и C i-го разряда определяются следующими логическими уравнениями:

$$D_i = \overline{E}_1\overline{E}_2A_i + \overline{E}_1E_2Q_{i-1} + E_1\overline{E}_2Q_{i+1} =$$

$$= \overline{\overline{\overline{E}_1\overline{E}_2\overline{A}_i} \cdot \overline{\overline{E}_1E_1Q_{i-1}} \cdot \overline{\overline{E}_1\overline{E}_2Q_{i+1}}};$$

$$C = \overline{E}_1E_2T + E_1\overline{E}_2T + \overline{E}_1\overline{E}_2T = \overline{\overline{T} + E_1E_2}.$$

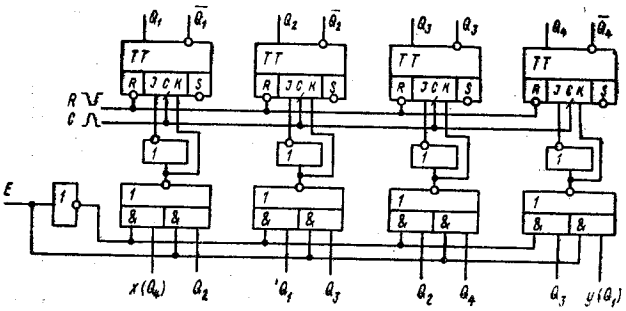


Рис. 6.25

Соответствующий сдвигающий регистр на основе D-триггеров показан на рис. 6.26. Здесь A_i — входы параллельного ввода информации, X — последовательный вход для сдвига вправо, Y — последовательный вход для сдвига влево.

Динамические регистры — регистры, для которых определена верхняя граница временного интервала хранения информации без восстановления. Чаще всего в них физическим носителем информации является заряд некоторой емкости или зарядовый пакет в объеме полупроводника [4; 14]. Для управления зарядом используют МДП-транзисторы, обладающие весьма большим сопротивлением в запертом состоянии ($10^{12}...10^{15}$ Ом). Используя логические элементы на МДП-транзисторах, можно по заданному алгоритму управлять зарядом и напряжением на некоторой паразитной межэлектродной емкости.

Таблица 6.4

Код E_1	E_2	Режим работы
0	0	Параллельный ввод информации
0	1	Сдвиг влево
1	0	Сдвиг вправо
1	1	Блокировка входов

На рис. 6.27,*а* показана схема 4-тактного динамического регистра на *p*-МДП-транзисторах, каждый разряд которого выполнен на шести транзисторах *VT1*, ... , *VT6*. Каждый разряд содержит два тактируемых ключа на транзисторах соответственно *VT1*, *VT2*, *VT5* и *VT3*, *VT4*, *VT6*, *C1* и *C2* — эквивалентные входные емкости ключей.

Пусть на вход i-го разряда поступает от $(i-1)$-го разряда логический сигнал $X = 1$, которому соответствует электрический сигнал $U^1_{1i} = -U_{\text{и. п}}$, и все остальные емкости разряжены. Так-

товый импульс T_1 (рис. 6.27, *б*) открывает транзисторы *VT1* всех разрядов и конденсаторы *C2* через них заряжаются до напряжения $U^1_{c2} = -U_{и.п} + |U_{пфl}^{c}|$. Тактовые импульсы T_3 открывают транзисторы *VT2* и в зависимости от состояния транзисторов *VT5*, которое определяется напряжениями на конденсаторах *C1*, конденсаторы *C2* либо разряжаются через транзисторы *VT2* и *VT5*, либо сохраняют заряд и напряжение U^1_{c2}, если соответствующий транзистор *VT5* заперт. В рассматриваемом примере транзистор

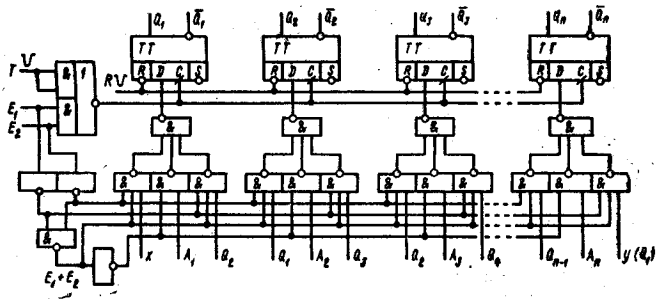


Рис. 6.26

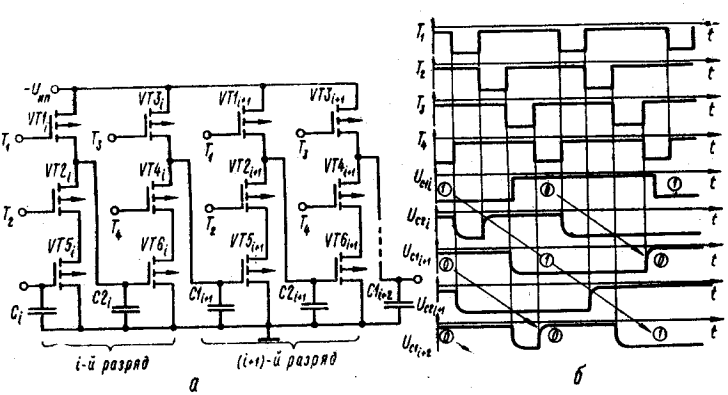


Рис. 6.27

$VT5_i$ на такте T_2 открыт, а $VT5_{i+1}$ заперт, поэтому $C2_i$ разряжается, тогда как C_{i+1} сохраняет заряд. Тактовый импульс T_3 открывает транзисторы *VT3* разрядов и обусловливает заряд конденсаторов *C1*. На следующем такте T_4 открываются транзисторы *VT4* и в зависимости от состояния транзисторов *VT6*, которое зависит от напряжения на конденсаторах *C2*, происходит разряд конденсаторов *C1* через последовательно соединенные открытые транзисторы *VT4* и *VT6*, либо конденсатор *C1* сохраняет заряд. На временной диаграмме (рис. 6.27, *б*) видно, что $C1_{i+1}$ сохраняет заряд, а $C1_{i+2}$ разряжается через *VT4* и $VT6_{i+1}$. Таким образом, за 4-тактный цикл «логические 0 и 1» сдвигаются на один разряд (показано стрелками на рис. 6.27, *б*).

Основное достоинство динамического регистра на МДП-транзисторах — низкое потребление мощности. Это обусловлено отсутствием сквозных токов в ключах, коммутируемых сдвинутыми во времени тактовыми импульсами T_1, T_2 и T_3, T_4. Потребление мощности связано только с зарядом паразитных конденсаторов *C1*, *C2*. Благодаря этому при изготовлении многоразрядных динамических регистров возможна весьма высокая степень интеграции элементов.

Недостаток динамических регистров — ограничение сверху длительностей тактовых импульсов, которое связано с конечным временем хранения заряда на паразитных емкостях МДП-транзисторов. Вследствие этого рабочая частота динамического регистра ограничена

$$f = \left(\sum_{i=1}^{4} T_i\right)^{-1} \geqslant 1 \ldots 10 \text{ кГц}.$$

Другой недостаток — сложность тактирования регистра четырьмя сдвинутыми во времени тактовыми последовательностями.

Отмеченные достоинства и недостатки присущи и динамическим регистрам на основе приборов с зарядовой связью (ПЗС) [34]. Регистры на основе ПЗС относятся к элементам функциональной электроники, у которых нет четких границ между электронными компонентами. Поэтому протекающие в них процессы рассматриваются в некоторой среде с распределенными параметрами.

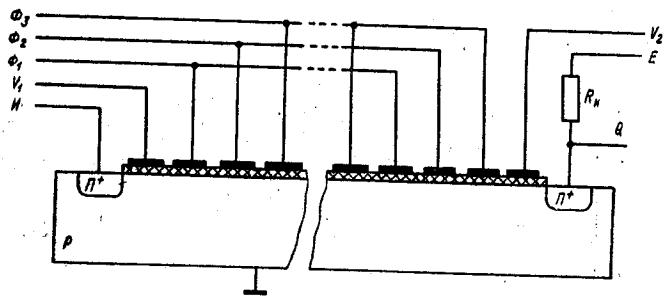


Рис. 6.28

Функционирование ПЗС-регистра основано на том, что в каждой из составляющих его последовательно расположенных МДП-структур можно создать локальный приповерхностный заряд неосновных носителей и переключением потенциалов затворов соответствующими тактовыми последовательностями перемещать этот заряд вдоль канала от некоторого входного электрода к выходному. Совокупность МДП-структур ПЗС-регистра формируется на общей полупроводниковой подложке (рис. 6.28). Зарядовый пакет образуется в области электрода-инжектора *И* управляющим напряжением $U_и$. Перемещение зарядового пакета вдоль канала синхронизируется тактовыми импульсами на фазовых электродах $Ф_1$, $Ф_2$, $Ф_3$. Импульсный выходной сигнал формируется при достижении зарядовым пакетом выходного электрода *Q*. Кроме названных ПЗС-регистр может также содер-

жать управляющие электроды V_1 (для отключения инжектора от канала) и / или V_2 (для отключения выходного электрода от канала).

Процессы формирования, хранения в течение ограниченного времени и направленной передачи зарядовых пакетов связаны с распределением потенциалов в полупроводнике канала при заданных напряжениях на внешних электродах и иллюстрируются зонной диаграммой (рис. 6.29). Примерно через 1 пс после того, как напряжение на некотором затворе превысит пороговое напряжение $U_{пор}$ основные носители переходят в глубь полупроводника, образуя обедненный слой глубиной $X_{о.с}$ с поверхностным потенциалом φ_{En}. У поверхности образуется потенциальная яма для неосновных носителей, куда они «скатываются» из обедненного слоя соседнего элемента под воздействием электрического поля. Так как скорость термогенерации неосновных носителей относительно велика, потенциальную яму можно использовать только для временного хранения несущих информацию зарядовых пакетов. Максимальное время хранения зарядовых пакетов ограничено процессами рекомбинации и имеет порядок десятков наносекунд [56].

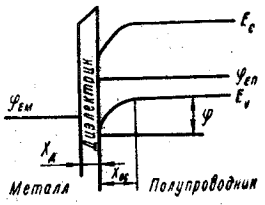


Рис. 6.29

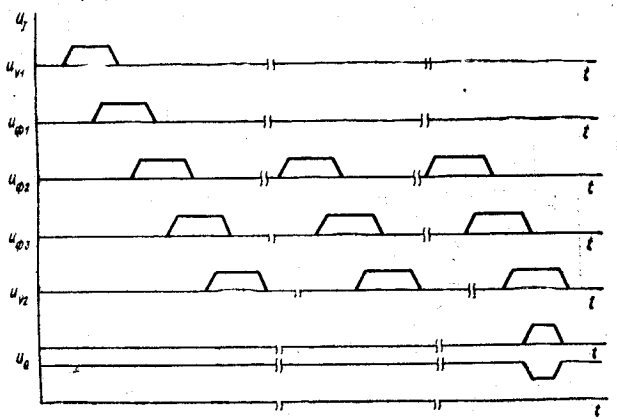


Рис. 6.30

Для управления работой ПЗС-регистра можно использовать одно- и двухступенчатые импульсы. На практике чаще используется управление одноступенчатыми импульсами с временным перекрытием фазовых последовательностей (рис. 6.30).

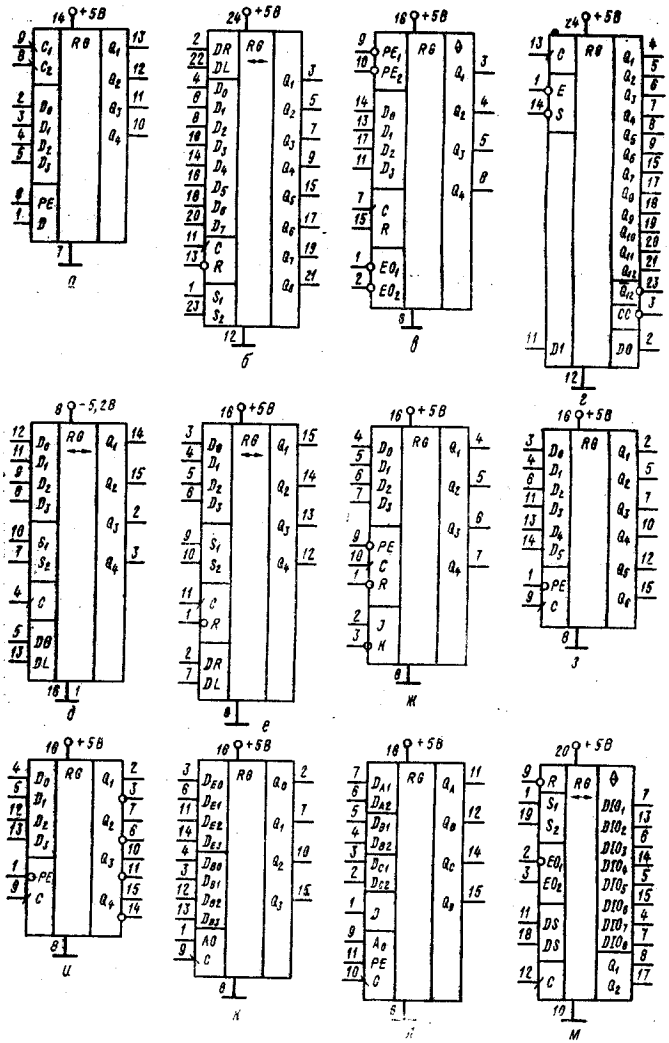
Под действием напряжения $U_и$ на инжекторе за время инжекции $\Delta t_и$ формируется зарядовый пакет

$$Q_n = \Delta t_и I_{о.и} [\exp (U_и/\varphi_T) - 1],$$

где $I_{о.и}$ — обратный ток инжекторного p-n-перехода; φ_T — температурный потенциал.

По мере синхронизируемого перемещения зарядового пакета вдоль канала ПЗС-регистра он уменьшается за счет инерционности неосновных носителей, рекомбинации с термогенерированными носителями, а также частичной обратной передачи. Ток I_Q выходного электрода Q содержит две составляющие: ток $I_{о.п}$ обратно-смещенного p-n-перехода, к которому приложено напряжение U_Q, и ток $I_{з.п}$ информационного зарядового пакета

$$I_Q = I_{о.п} + I_{з.п} = I^T_{о.п}[\exp(U_Q/\varphi_T) - 1] + I_{з.п}.$$



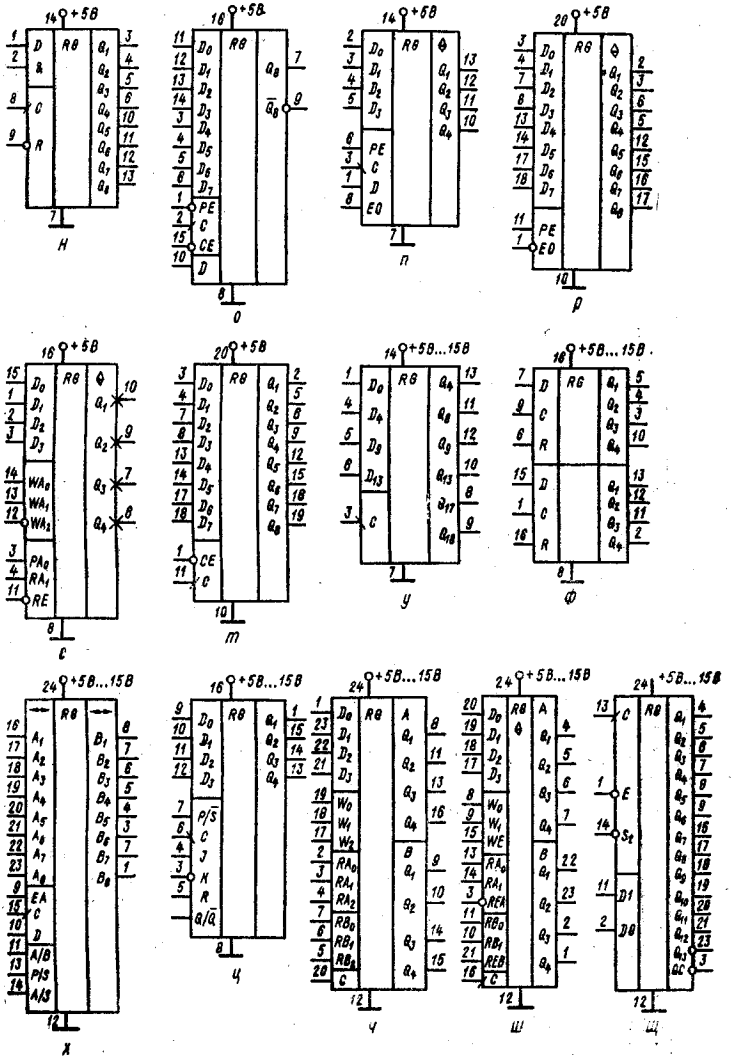


Рис. 6.31

Оконечный усилитель по импульсу тока I_Q формирует выходной импульс ПЗС-регистра. ПЗС-регистры сохраняют работоспособность в диапазоне частот фазовых импульсов $f_ф = 50...2000$ МГц [56].

Динамические регистры применяют в качестве цифровых линий задержки, в устройствах с последовательной обработкой информации и в последовательных ОЗУ большой емкости.

Таблица 6.5

Тип ИМС	Функциональное назначение	F, мГц	$I_{пот}$, мА	УГО (рис. 6.31)
К155ИР1	4-разрядный сдвиговой регистр	25	82	*а*
ИР13	8-разрядный реверсивный сдвиговый регистр	25	116	*б*
ИР15	4-разрядный регистр	25	72	*в*
ИР17	12-разрядный регистр последовательных приближений для АЦП	10	124	*г*
К500ИР141	4-разрядный сдвиговый регистр	100	126	*д*
К531ИР11	4-разрядный реверсивный сдвиговый регистр	70	135	*е*
ИР12	4-разрядный сдвиговый регистр	70	109	*ж*
ИР18	6-разрядный буферный регистр	40	75	*в*
ИР19	4-разрядный буферный регистр	40	75	*и*
ИР20	4-разрядный двухканальный регистр	40	120	*к*
ИР21	4-разрядный двухканальный сдвиговый регистр	40	85	*л*
ИР24	8-разрядный реверсивный сдвиговый регистр $I_{вых} \leqslant 30$ мА	35	60	*м*
К555ИР8	8-разрядный сдвиговый регистр $I_{вых} \leqslant 15$ мА	20	27	*н*
ИР9	8-разрядный сдвиговый регистр	20	63	*о*
ИР16	4-разрядный сдвиговый регистр $I_{вых} \leqslant 30$ мА	30	29	*п*
ИР22	8-разрядный буферный регистр $I_{вых} \leqslant 30$ мА	30	40	*р*
ИР23	8-разрядный буферный регистр $I_{вых} \leqslant 30$ мА	25	45	*р*
ИР26	4-разрядный регистр памяти на 4×4 бит	20	50	*с*
ИР27	8-разрядный регистр	30	20	*т*
К561ИР1	18-разрядный сдвиговый регистр	1	0,05	*у*
ИР2	Два 4-разрядных сдвиговых регистра	25	0,05	*ф*
ИР6	8-разрядный сдвиговый регистр	3	0,05	*х*
ИР9	4-разрядный сдвиговый регистр	1	2	*ц*
ИР11	4-разрядный регистр памяти на 8×4 бит	2	0,4	*ч*
ИР12	4-разрядный регистр памяти на 4×4 бит	0,5	0,04	*ш*
ИР13	12-разрядный регистр последовательных приближений для АЦП	2	0,3	*щ*

В табл. 6.5 приведены параметры регистров промышленных серий цифровых ИМС, а на рис. 6.31 — их условные графические обозначения.

6.3. СЧЕТЧИКИ

Счетчиками называют последовательностные цифровые устройства, предназначенные для подсчета и запоминания числа импульсов, поданных в определенном временном интервале на его счетный вход. Помимо счетного счетчики могут еще иметь входы асинхронный или синхронной установки начальных состояний. По характеру изменения состояний счетчика счетными импульсами различают суммирующие, вычитающие и реверсивные счетчики [61; 83]. По способу организации переносов между разрядами их можно разделить на счетчики с последовательным, сквозным, параллельным и комбинированным переносом. Счетчики с последовательным и сквозным переносом называют асинхронными, а с параллельным переносом — синхронными. Обычно счетчик содержит один или несколько идентичных разрядов, построенных на основе двоичных триггеров. Количество различимых состояний разряда счетчика является его классификационным признаком, согласно которому счетчики называют двоичными, двоично-десятичными и т. д.

Основными техническими параметрами счетчиков являются коэффициент пересчета $K_{сч}$ и быстродействие. Коэффициент $K_{сч}$ представляет собой число различимых устойчивых состояний счетчика и если каждый счетный импульс переводит счетчик в новое состояние, то $K_{сч}$ равно максимальному числу импульсов, которое счетчик может просчитать и запомнить без повторения состояний. Быстродействие счетчика определяется максимальной частотой следования счетных импульсов f_{max}, регистрируемых счетчиком без сбоев, максимальной частотой переключения состояний счетчика $f_{сч.max}$ и временем установки $t_{уст}$ состояний счетчика, определяемое как максимальный временной интервал от момента поступления счетного импульса до момента перехода всех разрядов счетчика в новое устойчивое состояние.

Асинхронные счетчики. В асинхронных счетчиках отсутствует общая для всех разрядов синхронизация и переход разрядов в новые состояния происходит последовательно разряд за разрядом, начиная от входного, на который поступают счетные импульсы. Если рассмотреть последовательность состояний, например, 4-разрядного суммирующего двоичного счетчика (табл. 6.6), то из нее видно, что признаком смены состояний любого из разрядов счетчика является переключение предыдущего разряда (или входного сигнала) из состояния «1» в «0». Именно так себя ведут двухтактные T и JK-триггеры, рассмотренные в разделе 6.1. Таким образом, последовательный счетчик, работающий согласно табл. 6.6, можно выполнить в виде цепочки T-триггеров, для каждого из которых счетный импульс формируется триггером соседнего младшего разряда (рис. 6.32,*а*). Как было показано в разделе 6.1, счетный режим JK-триггера имеет место в случае $J = K = 1$. На рис. 6.32,*а* входы J и K триггеров свободны, что обычно эквивалентно подаче на входы J и K уровней «1». Из временной диаграммы

Таблица 6.6

Вес	Выход	Десятичный эквивалент двоичного кода																
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0
		Вход																
		0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
2^0	Q_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
2^1	Q_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
2^2	Q_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
2^3	Q_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0

(рис. 6.32,*б*) видно, что время установления счетчика $t_{уст.сч.}$ зависит от количества последовательно переключающихся разрядов и для N-разрядного счетчика оно изменяется в пределах

$$t_{устT} \leqslant t_{уст.\ сч} \leqslant N t_{устT} = t_{уст\ max},$$

где $t_{устT} = 0{,}5\,(t^{01}_{уст\ T} + t^{10}_{уст\ T})$ — среднее время установления триггера. Максимальная частота следования счетных импульсов f_{max} определяется независимо от структуры счетчика предельной частотой переключения первого триггера. Если же требуется различать (дешифрировать) каждое состояние счетчика, то до подачи очередного счетного импульса все разряды должны установиться в новое

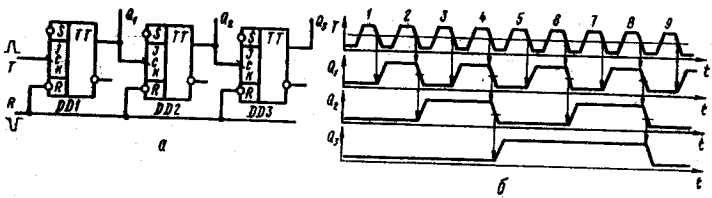


Рис. 6.32

состояние на время t_0. В этом случае максимально допустимая частота смены состояний $f_{сч\ max}$ определяется по наихудшему времени установления

$$f_{сч\ max} = (t_0 + t_{уст\ max})^{-1} = (t_0 + N t_{устT})^{-1}. \qquad (6.18)$$

Основное достоинство последовательного счетчика — минимальные затраты микросхем и минимум электрических связей, что упрощает разводку линий связи и повышает помехозащищенность схемы. Главный недостаток — низкое быстродействие, которое тем ниже, чем больше коэффициент счета $K_{сч} = 2^N$ и чем, следовательно, больше в счетчике разрядов N.

Один из способов увеличения быстродействия асинхронных счетчиков состоит в организации переносов между разрядами через дополнительные логические элементы (рис. 6.33). Если первый триггер счетчика (рис. 6.33,*а*, *в*) находится в состоянии

«1», то следующий счетный импульс T сбрасывает его в состояние «0» отрицательным фронтом. Как видно из временных диаграмм (рис. 6.33,*б*), еще до переключения выхода Q_1 триггера *DD1* счетный импульс T через вентиль *DD2* поступает в виде импульса переноса P_1 на вход второго разряда и вентиль *DD4*, и если $Q_2 = 1$, то счетный импульс проходит дальше через вентиль *DD4* и т. д. Счетный импульс T проходит до вентиля, на второй вход которого поступает $Q_i = 0$. При этом триггеры с первого до (i — 1)-го устанавливаются в «0», а i-й триггер — в состояние «1» (рис. 6.33,*б*). В N-разрядном счетчике со сквозным переносом время установления определяется задержкой счетного импульса T в цепях переноса и временем установления $t_{уст T}$ последнего из переключающихся триггеров

$$t_{уст max} = (N - 1) t_{сд.\ р.\ ср} + t_{уст T}.$$

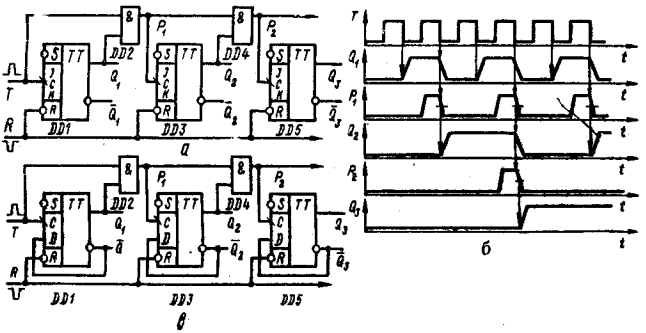


Рис. 6.33

Тогда максимальная частота счета

$$f_{сч max} = [t_0 + (N - 1) t_{зд.\ р.\ ср} + t_{уст T}]^{-1},$$

оказывается выше, чем частота последовательного счетчика, определяемая формулой (6.18), поскольку N — 1 вентиль *И* переключаются значительно быстрее, чем N — 1 триггер.

С точки зрения структуры, функционирования и технических параметров варианты асинхронных счетчиков (рис. 6.33,*а*, *в*) эквивалентны. В зависимости от количества разрядов N они реализуют коэффициент счета $K_{сч} = 2^N$ и их можно использовать в качестве делителей частоты

$$f_{вых} = f_{сч}/K_{сч}. \qquad (6.19)$$

Часто при проектировании цифровых устройств возникает необходимость в делителях частоты, для которых $K_{сч}$ в выражении (6.19) — любое целое число. Если в арсенале схемотехника имеются простейшие делители частоты с коэффициентами счета $K_{сч} = 2, 3, 4, 5, 6, 7, 8, 9, 10$, то большое количество делителей частоты с $K_{сч}$, разлагающимся на простейшие множители, строятся на их основе. Требуемые $K_{сч}$ получают введением в счетчики обратных связей. На рис. 6.34, *а*—*е* показаны последовательные счетчики для $K_{сч}$, заданных одноразрядным

десятичным числом. На нем не показаны счетчики для $K_{сч} = 2$, 4, 8, которые реализуются без введения обратных связей включением последовательно соответственно 1, 2 и 3 T-триггеров.

Общий принцип построения показанных на рис. 6.34 счетчиков с нечетным $K_{сч}$ показан на рис. 6.35. Если между входным и выходным триггерами включен делитель частоты на любое натуральное число n, то такая схема обеспечивает деление частоты на

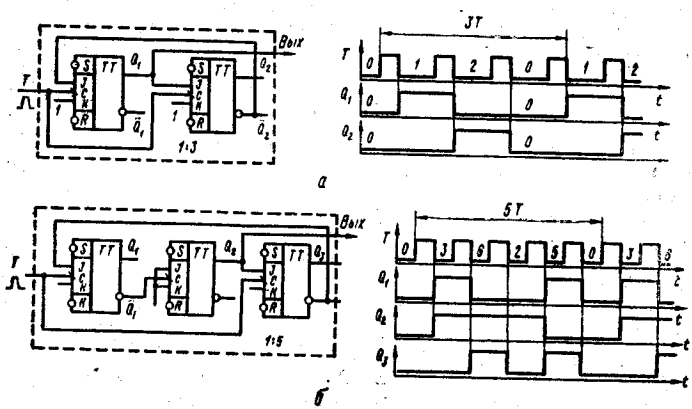
$$K_{сч} = 2n + 1. \qquad (6.20)$$

Например, счетчик делитель частоты на 3 (рис. 6.34,*а*) реализован при $n = 1$, что соответствует прямой связи между входным *DD1* и выходным *DD2* триггерами. Для $K_{сч} = 5$ согласно выражению (6.20) необходимо $n = 2$, поэтому между входным и выходным триггерами должен быть включен один дополнительный триггер-делитель частоты на 2 (рис. 6.34,*б*). Делитель частоты $K_{сч} = 6 = 2 \times 3$ (рис. 6.34,*в*) получен последовательным соединением делителей частоты на 2 и на 3 (рис. 6.34,*в*). Для реализации $K_{сч} = 7$ (рис. 6.34,*г*) и $K_{сч} = 9$ (рис. 6.34,*д*) использована структура (рис. 6.35) соответственно при $n = 3$, полученном с помощью схемы (рис. 6.34,*а*), и при $n = 4$. Делитель частоты на $10 = 2 \times 5$ представлен (рис. 6.34,*е*) последовательным соединением делителя частоты на 5 и дополнительного триггера.

Приведенные на рис. 6.34 схемы последовательных счетчиков предназначены в основном для использования в режиме деления частоты без дешифрации их состояний, смена которых при использовании структуры на рис. 6.35 не соответствует естественному счету. Их достоинство — максимальное быстродействие, ограниченное предельной частотой переключения входного триггера, при минимальных затратах оборудования.

При построении счетчиков с дешифрацией $K_{сч}$ состояний необходимо обеспечить регулярность смены состояний согласно двоично-десятичному счету. Для их реализации необходимо определить требуемое количество триггеров N согласно соотношению

$$2^{N-1} < K_{сч} \leqslant 2^N. \qquad (6.21)$$



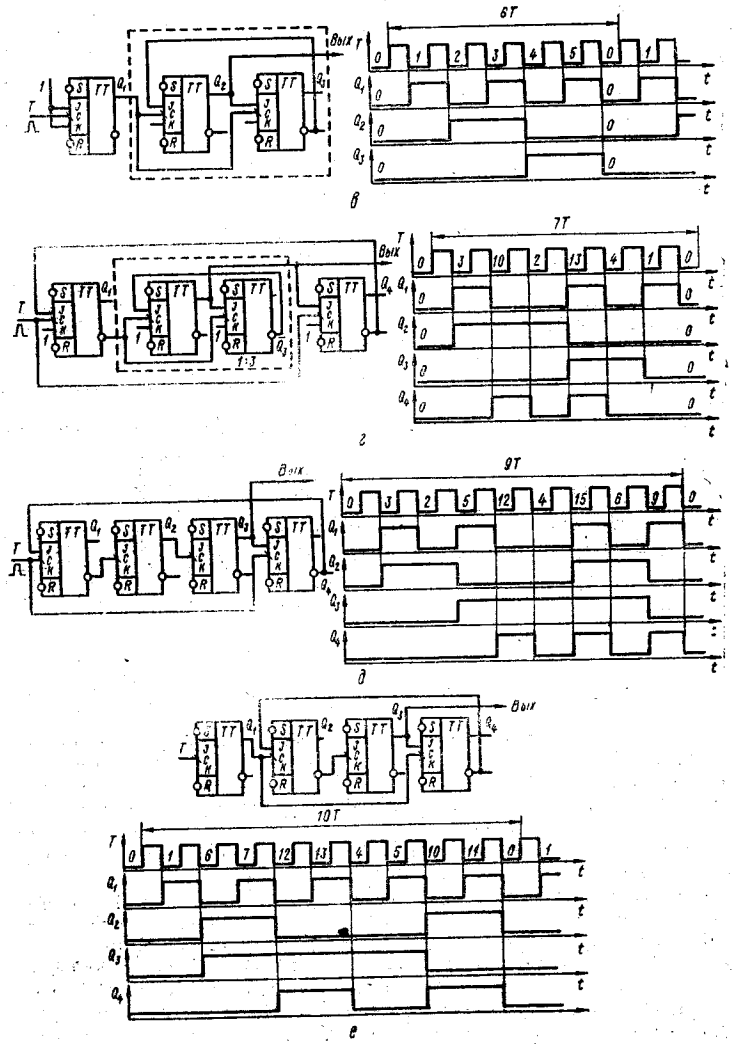


Рис. 6.34

Кроме последовательно включенных N триггеров такой счетчик должен содержать логическую схему, декодирующую состояние $K_{сч}$ и формирующую сигнал сброса всех разрядов в состояние «0». Пример десятичного счетчика с регулярной сменой состояний показан на рис. 6.36. Каждый десятый импульс переводит счетчик в состояние 1010, на двух входах вентиля *DD5* устанавливаются уровни «1» и его выходной сигнал $R = \overline{Q_2 Q_4} = 0$ сбрасывает все триггеры в состояние «0». Если

один из триггеров *DD2* или *DD4* сбросится раньше, чем остальные, возможны неполное обнуление счетчика и ошибка в счете. Для увеличения надежности сброса используют дополнительный *RS*-триггер (рис. 6.37) на элементах *DD7*, *DD8*, обеспечивающий сигнал сброса $R = 0$ вплоть до переднего фронта следующего счетного импульса. За это время все разряды счетчика гарантированно устанавливаются в состояние «0». Аналогично можно реализовать асинхронный *N*-разрядный двоичный счетчик для любого $K_{сч}$, удовлетворяющего условию (6.21).

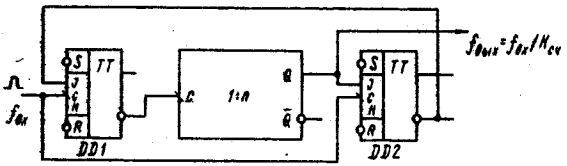


Рис. 6.35

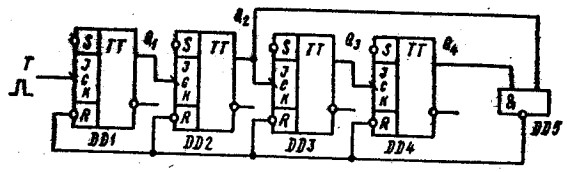


Рис. 6.36

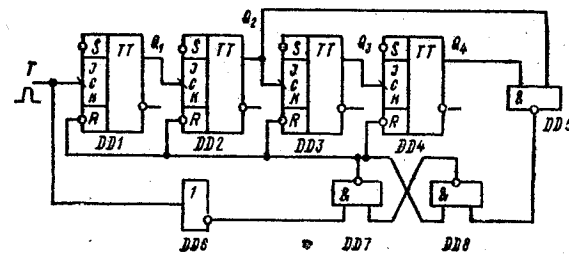


Рис. 6.37

Если возникает необходимость автоматического управления величиной $K_{сч}$ в пределах $1 \leqslant K_{сч} \leqslant K_{сч\,max}$, то необходим асинхронный двоичный счетчик, содержащий N^* разрядов, определяемых из условия

$$2^{N^*-1} \leqslant K_{сч\,max} \leqslant 2^{N^*},$$

а также управляемая кодом схема сброса счетчика в нулевое состояние, как, например, на рис. 6.38 для случая $N = 4$. На входы $A_1, \ldots, A_4$ подается двоичный код, соответствующий

$$K_{сч} = A_4 \cdot 2^3 + A_3 \cdot 2^2 + A_2 \cdot 2^1 + A_1 \cdot 2^0 - 1.$$

После $K_{сч}$— 1 импульсов на выходах B_1, ..., B_4 логических элементов *DD5*, ..., *DD8* устанавливаются логические уровни

$$B_i = \overline{\overline{Q}_i A_i} = Q_i + \overline{A}_i = 1,$$

которые подаются на входы схемы совпадения *DD9*. Следующий счетный импульс $T = 1$ через вентиль *DD9* устанавливает *RS*-триггер *DD10* в единичное состояние и инверсный выход триггера $\overline{Q} = 0$ обусловливает установку разрядов счетчика в состояние «0». Таким образом, через $K_{сч}$ импульсов счетчик возвращается в исходное состояние. Например, для реализации счета по модулю 10 на входы A_1, A_2, A_3, A_4 необходимо подать код 1001.

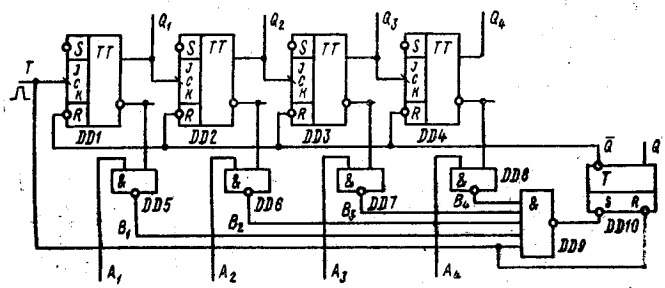


Рис. 6.38

Рассмотренные выше асинхронные счетчики относятся к классу суммирующих. Для реализации режима вычитания в табл. 6.6 достаточно 0 заменить на 1 и наоборот, что эквивалентно съему информации с инверсных выходов триггеров (табл. 6.7).

Таблица 6.7

Вес	Выход	Десятичный эквивалент двоичного кода															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		Вход															
		0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0
2^0	$\overline{Q}_1$	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
2^1	$\overline{Q}_2$	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
2^2	$\overline{Q}_3$	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
2^3	$\overline{Q}_4$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

Если изменить обозначения выходов триггеров (рис. 6.32,*а*) Q_i на $\overline{Q}_i$ и наоборот $\overline{Q}_i$ на Q_i, то вычитающий счетчик получается последовательным соединением инверсных выходов предыдущих разрядов со счетными входами последующих разрядов *T*-триг-

геров (рис. 6.39). Показанные на рис. 6.39,*а* *T*-триггеры переключаются отрицательным фронтом входного сигнала или сигнала с инверсного выхода предыдущего триггера, что соответствует положительному фронту на прямых выходах триггеров. Поэтому на временных диаграммах (рис. 6.39,*б*) переключение триггеров *DD2* и *DD3* синхронизировано положительными фронтами выходов соответственно Q_1 и Q_2. Таким образом, единственное отличие между суммирующими и вычитающими счетчиками

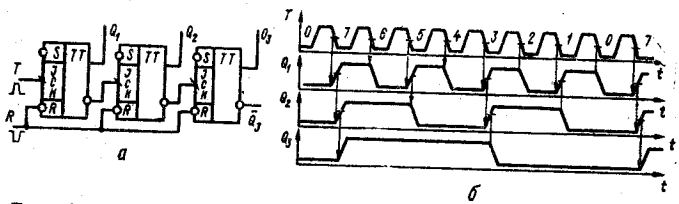


Рис. 6.39

состоит в организации цепей переноса из младших разрядов в старшие.

Счетчики с управляемым направлением счета называют реверсивными. Для построения реверсивного счетчика необходимо между разрядами включить логическую схему, обеспечивающую связь счетного входа второго и последующего разрядов с выходами Q (суммирование) или $\overline{Q}$ (вычитание) триггеров пре-

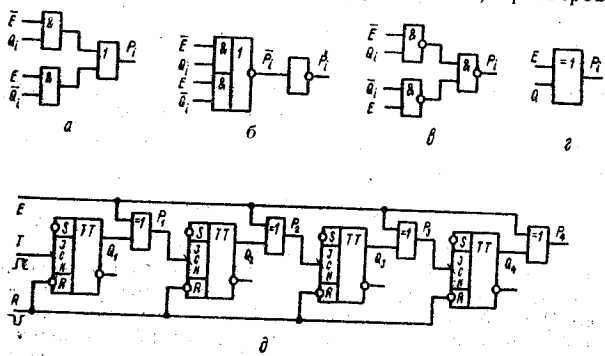


Рис. 6.40

дыдущих разрядов. Пусть направление счета задается сигналом E так, что при $E = 0$ выполняется счет C с суммированием, а при $E = 1$ — с вычитанием. Тогда сигнал переноса в i-й разряд P_i определяется логическим уравнением

$$P_i = Q_i\overline{E} + \overline{Q}_i E \equiv \overline{\overline{Q_i\overline{E}} \cdot \overline{\overline{Q}_i E}} \equiv Q_i \oplus E. \qquad (6.22)$$

Соответственно тождественным выражениям (6.22) можно реализовать различные схемные варианты цепей переноса в реверсивных счетчиках (рис. 6.40). Реверсивный счетчик с межразрядной логикой управления счетом вида рис. 6.22 показан на

рис. 6.40,*д*. Включение дополнительных логических элементов между разрядами увеличивает время установления счетчика $t_{уст}$ и снижает максимальную частоту смены регистрируемых состояний. Не должна вводить в заблуждение кажущаяся простота цепей переноса в виде рис. 6.40,*г*, так как время задержки одного логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ может и превышать время задержки сигнала в схемах на рис. 6.40,*а*, *б*, *в*.

Синхронные счетчики. К синхронным или параллельным относят счетчики, в которых переключение разрядов происходит одновременно независимо от удаленности разряда от счетного входа. Это достигается подачей на все триггеры синхронизирующих импульсов, которые положительным или отрицательным фронтом вызывают переключения триггеров в соответствии с логикой работы счетчика. Благодаря такой синхронизации

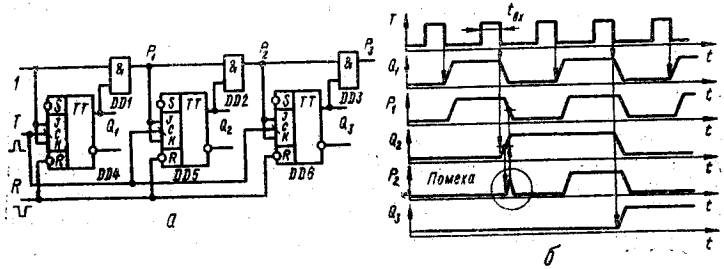


Рис. 6.41

достигается минимальное время установления счетчика $t_{уст.сч}$, которое не превышает время установления одного триггера $t_{устT}$. Тем самым обеспечивается максимальная частота смены состояний счетчика

$$f_{сч.max} = 1/(t_{вх} + t_{уст.\,сч}) = 1/(t_{вх} + t_{устT}). \qquad (6.23)$$

Схема простейшего суммирующего синхронного счетчика показана на рис. 6.41,*а*. Здесь потенциал переноса формируется последовательно по мере распространения «логической 1» через вентили *DD1*, *DD2*, *DD3* и т. д. Накопление задержки за счет вентилей цепи переноса обусловливает взаимное смещение счетных импульсов *T* и импульсов переноса P_i (рис. 6.41,*б*). До тех пор пока совпадение импульсов *T* и P_i вследствие такого смещения не нарушается, счетчик работает без сбоев с максимально возможной частотой счета, соответствующей выражению (6.23). Очевидно, для этого необходимо, чтобы выполнялось условие

$$(N-1)\, t^{01}_{зд.\,р} < \frac{1}{f_{сч}} - t_{вх}, \qquad (6.24)$$

где *N* — количество разрядов счетчика, $t^{01}_{зд.\,р}$ — длительность задержки нарастания сигнала на выходе вентиля переноса.

Ограничение сверху на количество разрядов *N* счетчика либо на частоту $t_{сч}$ следования входных импульсов *T*, накладываемое условием (6.24), может оказаться технически неприемле-

мым и обусловливает использование других схемных вариантов счетчиков с дополнительными затратами ИМС.

Принципиальной предпосылкой для построения синхронных счетчиков произвольной разрядности N является закономерность, отображаемая табл. 6.5: i-й разряд счетчика переключается синхроимпульсом в новое состояние, если все $i-1$ триггеры младших разрядов к моменту прихода синхроимпульса

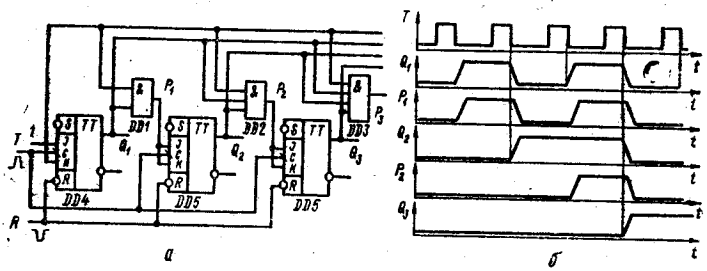


Рис. 6.42

находятся в состоянии «1». Потенциал, разрешающий переключение триггера i-го разряда в противоположное состояние, должен сформировать логический элемент, фиксирующий состояние «1» всех $i-1$ младших разрядов. Этой цели в синхронном счетчике (рис. 6.42,*а*) служат вентили *DD1*, *DD2*, *DD3*. Потенциалы с выходов триггеров поступают одновременно на все вентили переноса старших разрядов и переключение состояний триггеров происходит синхронно (рис. 6.42,*б*). С ростом номера разряда

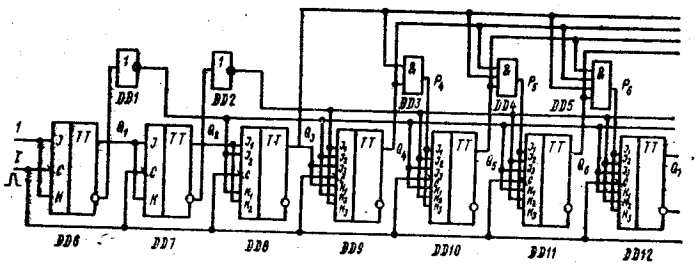


Рис. 6.43

увеличивается количество входов логических элементов цепи переноса, поэтому соответственно с ростом количества разрядов N усложняется схема счетчика.

Некоторое упрощение схемы многоразрядного синхронного счетчика достигается использованием JK-триггеров с дублированными входами J и K (рис. 6.43). Инверторы *DD1*, *DD2* в такой схеме дают на выходе усиленные по мощности сигналы соответственно Q_1 и Q_2, подаваемые на пары $J-K$ входов $N-1$ и $N-2$ разрядов счетчика.

При построении быстродействующих двоичных счетчиков с разрядностью $N > 8$ используется иерархическая структура. Счетчик разбивается на секции (например, по 8 разрядов). Для

сигналов переноса между секциями организуется схема параллельного переноса второго уровня, или групповой перенос. Это позволяет ценой незначительного уменьшения быстродействия существенно упростить схему по сравнению с регулярной синхронной структурой. Принцип построения секционированного синхронного счетчика приведен на рис. 6.44. Техническая реализация структуры рис. 6.44 на логических элементах И—НЕ обусловливает включение в цепи группового переноса дополнительных инверторов и соответствующее снижение быстродействия.

В качестве секции синхронного счетчика можно выделить двоично-десятичную декаду — синхронный двоичный счетчик с $K_{сч} = 10$. Вариант такой декады на основе JK-триггеров показан на рис. 6.45,*а*.

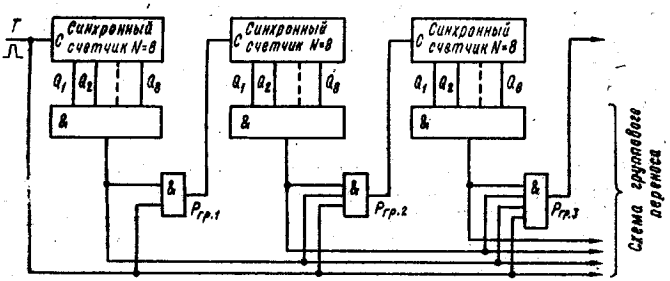


Рис. 6.44

Первые 8 импульсов схема считает как обычный двоичный синхронный счетчик (рис. 6.45,*б*), поскольку при этом $\overline{Q}_4 = 1$ и $P_1 = \overline{Q}_4 Q_1 = Q_1$ аналогично схеме на рис. 6.42. После 8 счетных импульсов $Q_4 = 1$ и $\overline{Q}_4 = 0$, поэтому переносы через вентиль *DD1* блокируются. Импульсом 9 триггер первого разряда устанавливается в состояние $Q_1 = 1$, на входы старшего разряда поступают сигналы $J_4 = P_3 = 0$ и $K_4 = Q_1 = 1$. Поэтому следующий счетный импульс переключает младший и старший разряды, а значит, и всю декаду в состояние «0».

Сигнал группового переноса для декады формируется при установке в счетчике кода $1001_2 = 9_{10}$, т. е. $P_{гр} = Q_1 Q_4$.

Рассмотренные выше варианты синхронных счетчиков построены на основе JK-триггеров. Очевидно, принцип их работы сохраняется при использовании других типов T-триггеров, например, D-триггеров, управляемых фронтом, с обратной связью $D_i = \overline{Q}_i$. В качестве примера рассмотрим схемы синхронных двоичных счетчиков с последовательным (рис. 6.46,*а*) и параллельным (рис. 6.46,*б*) формированием признака переноса. Признак переноса формируется вентилями *DD1*, *DD2*, *DD3*. Поскольку информационные входы D_i триггеров замкнуты на инверсные выходы Q_i, перенос и синхронизация возможны только по входу C. Для этой цели служат вентили *DD8*, ..., *DD11*, которые для D-триггеров, синхронизируемых положительным фронтом, выполняют также функцию инверсии. Как видно из сопоставления счетчиков, схема рис. 6.46,*а* при малом количестве разрядов N может быть даже сложнее, чем схема

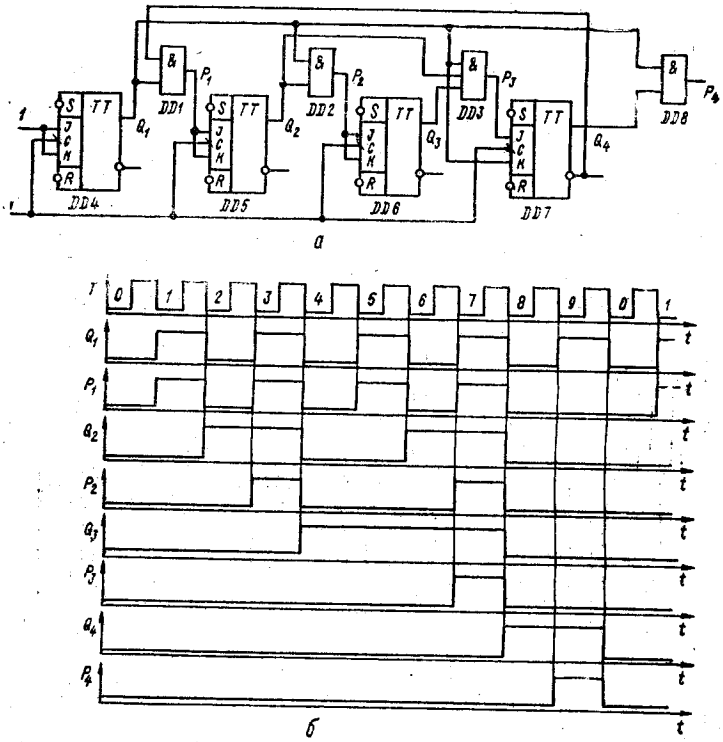


Рис. 6.45

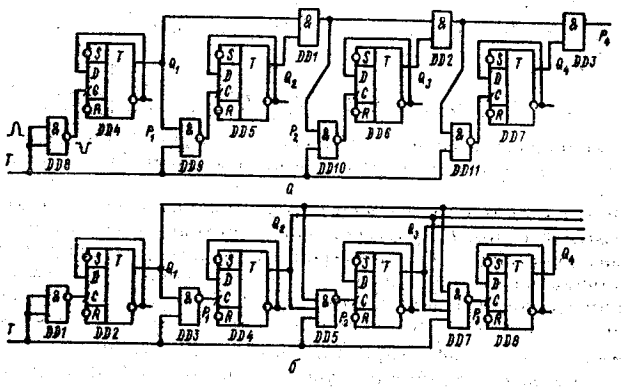


Рис. 6.46

рис. 6.46,*б*, но с ростом N сложность синхронного счетчика растет быстрее.

Быстродействие счетчиков на D-триггерах несколько ниже за счет дополнительных вентилей между синхронным входом T счетчика и входами C D-триггеров.

Синхронный двоичный вычитающий счетчик так же, как и асинхронный, реализуется связями входов триггеров с инверсными выходными сигналами младших разрядов. Как правило, такие счетчики должны содержать входы предварительной параллельной (синхронизируемой) установки числа, от которого начинается обратный счет. Фрагмент такого счетчика на основе JK-триггеров показан на рис. 6.47. Занесение параллельного кода $X_1X_2X_3$ в счетчик происходит при $A = 0$, блокирующем цепи переноса, на выходах которых устанавливаются $P_i = 1$.

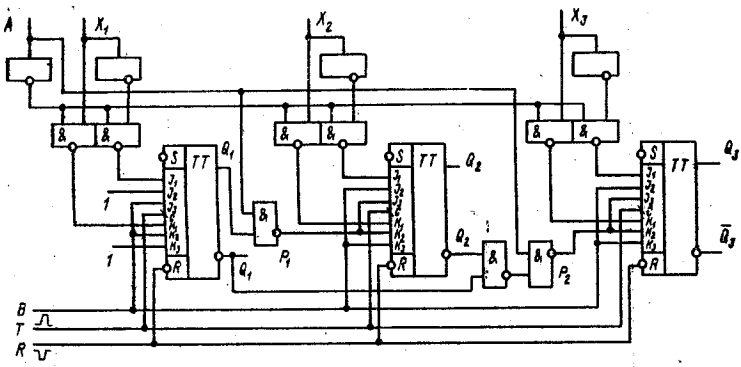


Рис. 6.47

При $A = 1$ инверсный сигнал $\overline{A} = 0$ блокирует цепи записи числа $X_1X_2X_3$ и подключает цепи переноса P_i, которые с учетом сигнала A должны реализовать выражения

$$P_1 = \overline{Q}_1 A + \overline{A} = \overline{Q}_1 + \overline{A} = \overline{Q_1 A};$$

$$P_2 = \overline{Q}_1 \overline{Q}_2 A + \overline{A} = \overline{Q}_1 \overline{Q}_2 + \overline{A} = \overline{\overline{\overline{Q}_1 \overline{Q}_2} A};$$

. . . . . .

$$P_i = \overline{Q}_1 \ldots \overline{Q}_i A + \overline{A} = \overline{\overline{\overline{Q}_1 \ldots \overline{Q}_i} A}.$$

Управляющий сигнал B определяет режим записи или счета при $B = 1$ либо работу счетчика в режиме хранения информации при $B = 0$.

В синхронных вычитающих счетчиках на основе синхронизируемых фронтом D-триггеров запись исходного состояния производится обычно через асинхронные входы установки R и S. В счетчике, показанном на рис. 6.48, для записи начального состояния служат вентили *DD10*, ..., *DD18*. Управление режимом «запись — счет» осуществляется сигналом A. Если $A = 1$, то вентили записи заблокированы инверсным сигналом $\overline{A} = 0$, на их выходах сохраняются уровни «логической 1» независимо от состояния параллельных входов $X_1, \ldots, X_4$. Счетчик при этом

работает в режиме обратного счета, так как вентили управления заемом из старшего разряда *DD5*, ..., *DD9* сигналом $A = 1$ не блокируются. Установкой $A = 0$ блокируются вентили переноса, а инверсный сигнал $\overline{A} = 1$ открывает вентили асинхронной записи. На выходах последовательно включенных пар вентилей формируются взаимно инверсные уровни X'_i и $\overline{X}'_i$ и одним из

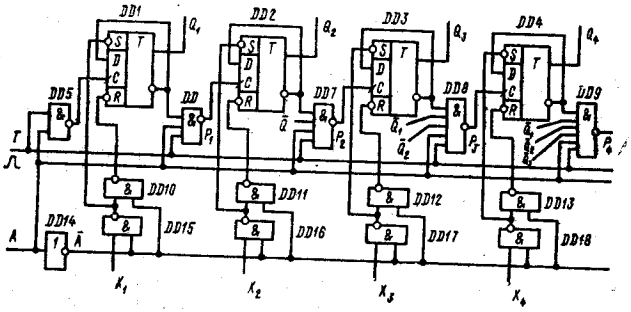


Рис. 6.48

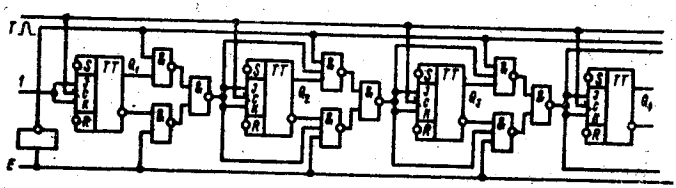


Рис. 6.49

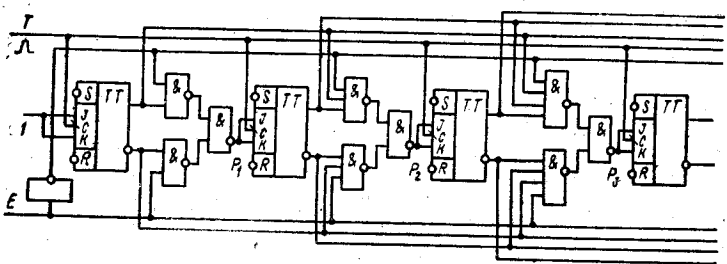


Рис. 6.50

них, принявшим значение «0», производится установка *D*-триггера в соответствующее состояние.

Рассмотрим примеры построения реверсивных синхронных счетчиков. Принципы построения синхронного и асинхронного реверсивных счетчиков аналогичны: прямой счет реализуется при включении цепей переноса с единичных выходов триггеров младших разрядов на входы старших разрядов, а обратный счет (вычитание) — при включении цепей заема между инверсными выходами триггеров младших разрядов и входами стар-

Таблица 6.8

Тип ИМС	Функциональное назначение	F, Мгц	$I_{пот}$, мА	УГО (рис. 6.52)
К155ИЕ2	4-разрядный двоично-десятичный счетчик	10	53	*а*
ИЕ4	4-разрядный двоичный счетчик-делитель на 2,6 и 12	10	51	*б*
ИЕ5	4-разрядный двоичный счетчик	10	53	*в*
ИЕ6	4-разрядный двоично-десятичный реверсивный счетчик	25	102	*г*
ИЕ7	4-разрядный двоичный реверсивный счетчик	25	102	*д*
ИЕ8	Делитель частоты с переменным коэффициентом деления 1...64	30	120	*е*
ИЕ9	4-разрядный синхронный десятичный счетчик	25	94	*ж*
К500ИЕ136	4-разрядный синхронный реверсивный двоичный счетчик	125	165	*з*
ИЕ137	4-разрядный синхронный реверсивный двоично-десятичный счетчик	125	165	*з*
К531ИЕ14	4-разрядный двоично-десятичный счетчик	80	88	*и*
ИЕ15	4-разрядный двоичный счетчик	80	88	*и*
ИЕ16	4-разрядный синхронный реверсивный двоично-десятичный счетчик	40	160	*к*
ИЕ17	4-разрядный синхронный реверсивный двоичный счетчик	40	160	*к*
К555ИЕ6	4-разрядный двоично-десятичный реверсивный счетчик	25	30	*г*
ИЕ7	4-разрядный двоичный реверсивный счетчик	25	30	*д*
ИЕ10	4-разрядный синхронный двоичный счетчик	25	32	*ж*
К561ИЕ8	Десятичный счетчик	2	0,02	*л*
ИЕ9	Счетчик-делитель на 8	2	0,05	*м*
ИЕ10	Два 4-разрядных синхронных двоичных счетчика	4	0,05	*н*
ИЕ11	4-разрядный реверсивный двоичный счетчик	3	0,01	*о*
ИЕ14	4-разрядный двоичный (двоично-десятичный) реверсивный счетчик	3	0,01	*п*
ИЕ15	Делитель частоты с переменным коэффициентом деления 3...15999	3	0,02	*р*
ИЕ16	14-разрядный двоичный счетчик делитель	3	0,02	*с*
ИЕ19	5-разрядный синхронный счетчик Джонсона	3	0,05	*т*

ших разрядов. Для управления режимом счета воспользуемся сигналом E так, чтобы при $E = 0$ осуществлялся прямой счет, а при $E = 1$ — обратный. В счетчике (рис. 6.49) на основе JK-

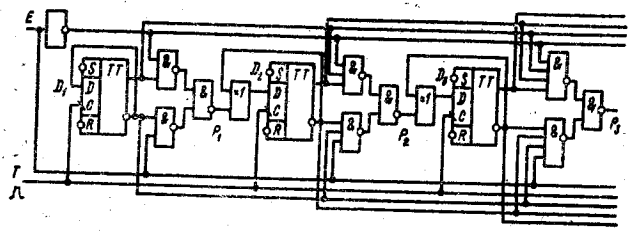
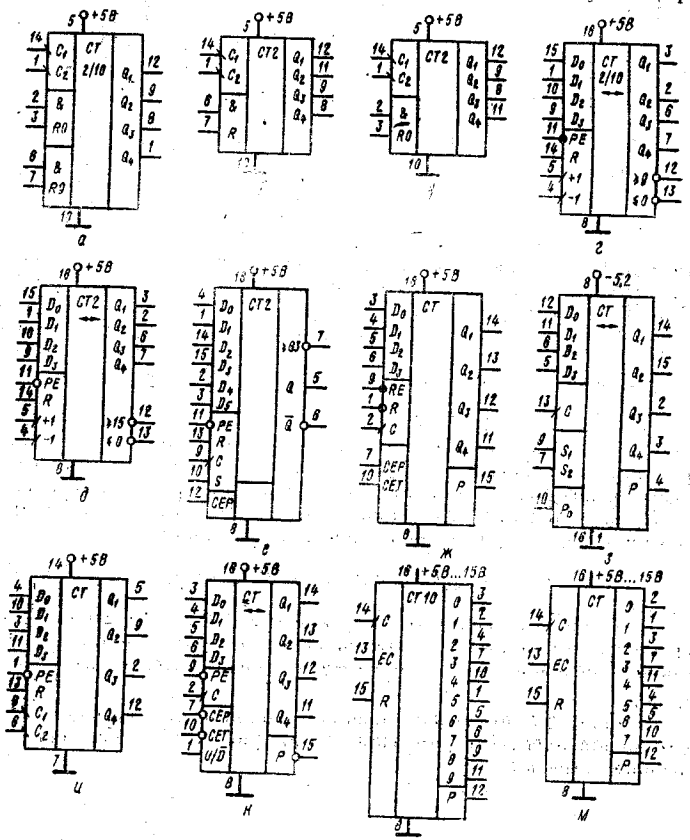


Рис. 6.51

триггеров перенос и заем реализованы по типу сквозного, для которого характерна относительная простота реализации, так как сложность схемы разряда счетчика не зависит от его номера.



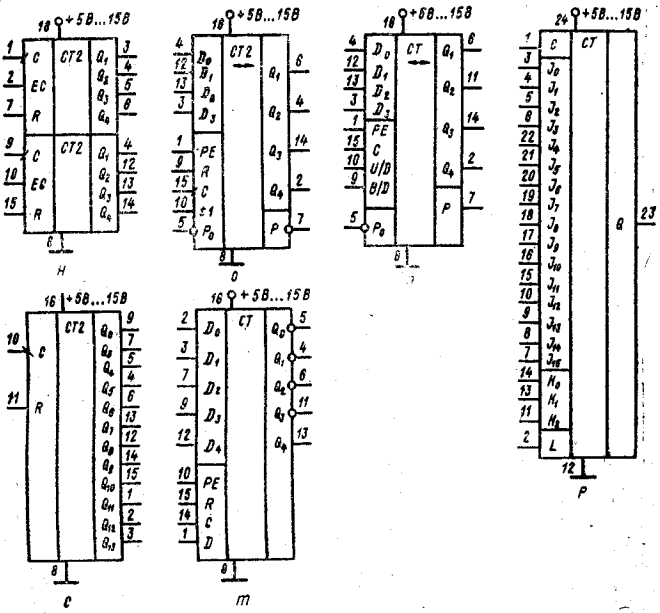


Рис. 6.52

Быстродействие такого счетчика ниже, чем счетчика со строго параллельным переносом, показанного на рис. 6.50. В счетчике с параллельным формированием сигналов переноса, как уже отмечалось, сложность схемы разряда возрастает с ростом его веса, но ценой аппаратурных затрат достигается максимальное быстродействие, однозначно определяемое быстродействием (частотой переключения) одного JK-триггера.

Для построения реверсивного синхронного счетчика на основе D-триггеров с управлением по информационному входу признаком переноса и сигналом обратной связи триггера необходимо реализовать функцию управления информационным входом D_i так, чтобы каждый сигнал переноса (заема) P_{i-1} изменял состояние Q_i D-триггера на противоположное

$$D_i = \overline{P}_{i-1}Q_i + P_{i-1}\overline{Q}_i = P_{i-1} \oplus Q_i. \qquad (6.25)$$

С учетом выражения (6.25) реализованы цепи переноса в реверсивном синхронном счетчике на основе D-триггеров (рис. 6.51). Для D_1 перенос $P_0 = 1$, поэтому согласно выражению (6.25) $D_1 = \overline{Q}_1$.

В табл. 6.8 приведены основные параметры счетчиков широко используемых серий ИМС, а на рис. 6.52 — обозначения внешних выводов.

Глава 7
ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

7.1. КЛАССИФИКАЦИЯ И ОСНОВНЫЕ ПАРАМЕТРЫ ЗУ

Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею с другими частями ЭВМ или микропроцессорных систем. По функциональному назначению ЗУ подразделяются на внешние, буферные и внутренние. Внешние ЗУ служат для хранения больших объемов информации и программного обеспечения системы. В них используются ЗУ с прямым доступом на магнитных барабанах (дисках) и ЗУ с последовательным доступом на магнитных лентах. Буферные ЗУ предназначены для промежуточного хранения данных при обмене между внешней и внутренней памятью. Внутренние ЗУ по выполняемым функциям делятся на оперативные и постоянные. Оперативные ЗУ (ОЗУ) выполняют запись, хранение и считывание произвольной двоичной информации, обеспечивают хранение программ для текущей обработки информации и массивов обрабатываемых данных. Постоянные ЗУ (ПЗУ) осуществляют хранение и выдачу постоянно записанной информации, содержание которой не изменяется во время работы системы. Это используемые в процессе работы стандартные подпрограммы и микропрограммы, табличные значения различных функций, константы и др. По способу занесения информации ПЗУ делятся на собственно ПЗУ, программируемые заводом-изготовителем; программируемые ПЗУ (ППЗУ), программируемые однократно пользователем; репрограммируемые ПЗУ (РПЗУ), программируемые многократно пользователем.

В ЭВМ нового поколения во внутренних ЗУ в основном используются полупроводниковые интегральные схемы, которые по сравнению с традиционными магнитными имеют следующие достоинства: высокую информационную емкость, обусловленную малыми размерами запоминающих элементов (ЗЭ) и формированием на одном кристалле с накопителем схем электронного управления; относительно низкую стоимость; совместимость по уровням сигналов с процессором ЭВМ; высокую надежность. В полупроводниковых ЗУ накопителем информации служит ЗЭ памяти. По способу обращения к массиву ЗЭ все ЗУ делятся на адресные и ассоциативные. В адресных ЗУ обращение к ЗЭ производится по их физическим координатам, задаваемым внешним двоичным кодом-адресом. Адресные ЗУ бывают с произвольной выборкой (ЗУПВ), которые допускают любой порядок следования адресов, и с последовательным обращением, в которых выборка ЗЭ возможна только в порядке возрастания или убывания адреса. В ЗУ последовательного типа информация считывается в том же порядке, как была записана (стек), или в обратном («магазин»). Такие ЗУ строятся на сдвигающих регистрах или подвижных носителях (лентах, дисках). В ассоциативных ЗУ поиск информации производится по признакам, заключенным в самой хранимой информации, независимо от физических координат ЗЭ.

По способу хранения информации ОЗУ делят на статические и динамические. ЗЭ статических ЗУ представляют собой бистабильные элементы и обеспечивают считывание информации без ее

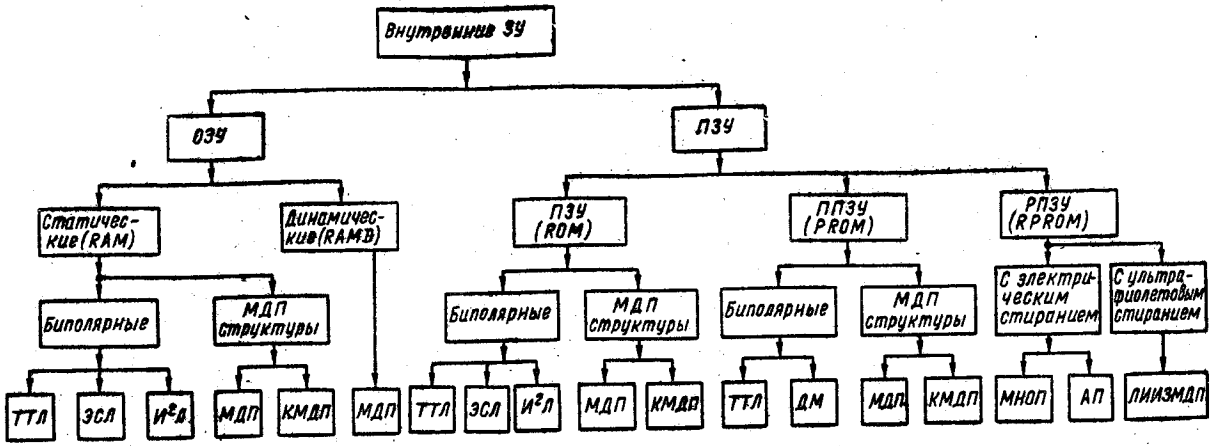

Внутренние ЗУ
ОЗУ
ПЗУ
Статические (RAM)
Динамические (RAMB)
ПЗУ (ROM)
ППЗУ (PROM)
РПЗУ (RPROM)
Биполярные
МДП структуры
Биполярные
МДП структуры
Биполярные
МДП структуры
С электрическим стиранием
С ультрафиолетовым стиранием
ТТЛ
ЭСЛ
И²Л
МДП
КМДП
МДП
ТТЛ
ЭСЛ
И²Л
МДП
КМДП
ТТЛ
ДМ
МДП
КМДП
МНОП
АП
ЛИИЗМДП

Рис. 7.1

разрушения. В динамических ЗУ для хранения информации используются инерционные свойства реактивных элементов (конденсаторов), что требует периодического восстановления (регенерации) состояния ЗЭ памяти в процессе хранения информации. При регенерации производится перезапись каждого хранимого в ЗУ бита либо в тот же ЗЭ, либо в соседний, в последнем случае информация циклически сдвигается на один разряд с каждым циклом регенерации.

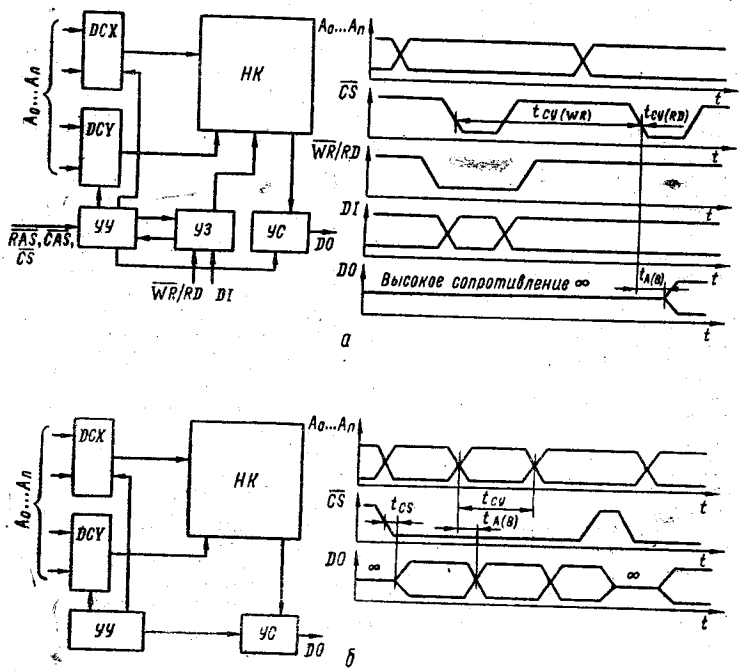


Рис. 7.2

По технологическому исполнению полупроводниковые ЗУ имеют следующие структуры: биполярные и МДП, использующие схемотехнику ТТЛ, ЭСЛ, И²Л, КМДП [60].

Классификация внутренних ЗУ показана на рис. 7.1.

Основными параметрами ЗУ являются: информационная емкость M и быстродействие. Информационная емкость характеризует количество информации, которое может храниться в ЗЭ на кристалле, и определяется в битах или количестве слов N с указанием их разрядности n; $M = n \times N$, где n ($n = 0, 1, 2, 3, \ldots$) — разрядность слова; $N = 2^m$ ($m = 4, 5, 6, \ldots$) — количество слов. Например, 1×16, 1×256, 1×1024, 4×16, 4×64, 4×256, 4×1024, 8×512, 8×1024. Быстродействие характеризуется временем выборки и циклом записи. Время выборки $t_в$ — интервал времени между моментом подачи сигнала выборки и появлением информации на выходе микросхемы ЗУ. Цикл записи $t_{ц.з.}$ — минимально допустимое время между мо-

ментом подачи сигнала выборки при записи и моментом начала последующей операции считывания (записи) [60].

По структуре полупроводниковые ОЗУ, ППЗУ, РПЗУ (рис. 7.2,*а*) и ПЗУ (рис. 7.2,*б*) состоят из следующих типовых узлов: накопителя НК; дешифратора строк и столбцов *ДСХ*, *ДСУ*; устройства записи *УЗ*; устройства считывания *УС*; устройства управления *УУ* [60].

Накопитель представляет собой матрицу ЗЭ, объединенных в строки и столбцы через развязывающие ключевые элементы, связанные дешифраторами. В накопителях статических ОЗУ применяются триггерные элементы памяти, в накопителях

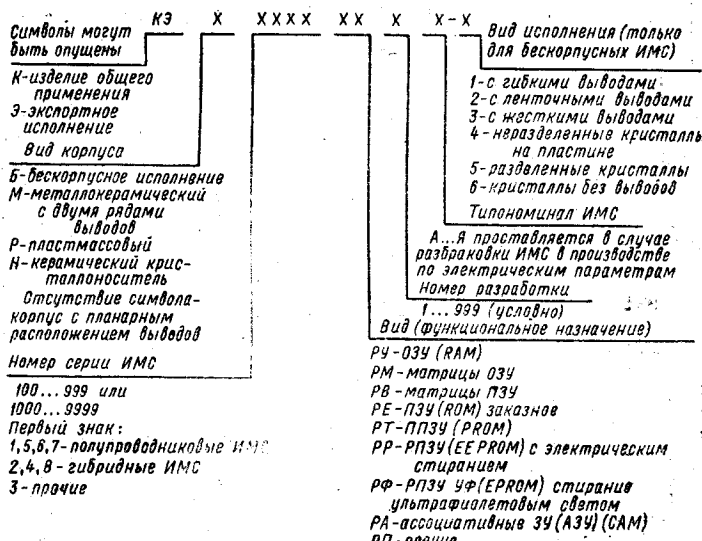


Рис. 7.3

динамических ОЗУ — однотранзисторные ЗЭ, состоящие из ключевого транзистора и емкости хранения информации. Вследствие постоянного рассасывания заряда, хранящегося на емкости, такой ЗЭ требует периодической регенерации информации, которая выполняется с помощью *УУ*. В накопителях ПЗУ используются транзисторы, подключенные соответствующим образом к дешифратору строк и столбцов. Наличие или отсутствие транзистора в узле пересечения строки-столбца соответствует хранению «1» или «0». В накопителях ППЗУ применяются транзисторы с плавкими перемычками, которые пережигаются при выборке соответствующего ЗЭ в процессе программирования ППЗУ. В накопителях РПЗУ используются специальные транзисторы, изменяющие свои характеристики при программировании РПЗУ [60].

Условные обозначения микросхем ЗУ присваиваются в зависимости от классификации (рис. 7.3) [59], например, КР565РУ1А; К — ИМС общего применения, Р — в пластмассовом корпусе, 5 — полупроводниковая, серия 565. РУ — ОЗУ,

Таблица 7.1

Наименование сигнала	Обозначение		
	Международное	Отечественное	МЭК*
Адрес	A	а	A
Тактовый сигнал	C	Т	C
Адрес столбца	CA	СА	CA
Строб адреса столбца	CAS	CAS	CAS
Цикл	CY	Ц	C
Входные данные	DI	$U_{вх.\ и}$	D
Данные вход-выход	DIO (DI/DO)	$U_{вх.\ и}/U_{вых.\ и}$	DO
Сигнал разрешения	CE	Р	E
Сигнал обнуления (стирания)	EP	УСТ0	ER
Сигнал разрешения по выходу	CEO	—	G
Выходные данные	DO	$U_{вых.\ и}$	Q
Сигнал информации	D	U	D
Сигнал считывания	RD	СЧ	R
Адрес строки	RA	RA	RA
Строб адреса строки	RAS	RAS	RAS
Сигнал регенерации	REF	РЕГ	RF
Сигнал запись-считывание	WR/RD (W/R)	ЗП/СЧ	WR
Сигнал считывание-запись	RD/WR	СЧ/ЗП	RW
Выбор микросхемы	CS	ВМ	S
Сигнал записи	WR	ЗП	W

* МЭК — международная электротехническая комиссия.

1 — разработка 1, А — типономинал. Основные сигналы ЗУ приведены в табл. 7.1.

Исправное состояние ЗУ определяется при контроле статических и динамических параметров или при функционировании [31]. Параметры должны быть определены для каждого вывода ЗУ при любых комбинациях входных сигналов и соответствующих им выходных, определяемых по таблице истинности ЗУ [31].

7.2. ЗАПОМИНАЮЩИЕ ЭЛЕМЕНТЫ ОЗУ

Запоминающие элементы статических ОЗУ обычно выполняют на основе триггера, хранящего информацию либо «0», либо «1», и элементов, позволяющих выполнять операции записи-считывания.

ЗЭ на биполярных транзисторах. В качестве ЗЭ используется статический триггер на двух многоэмиттерных транзисторах ТТЛ-структуры (рис. 7.4,*а*). Информационные эмиттеры $Э_{11}$ и $Э_{21}$ транзисторов *VT1* и *VT2* соединены с разрядными шинами записи-считывания Зп/Сч «0» и Зп/Сч «1». Последние соединены

с усилителями записи-считывания Зп/Сч «0» и Зп/Сч «1». Адресные эмиттеры $Э_{13}$, $Э_{23}$, $Э_{22}$ и $Э_{12}$ соединены соответственно с адресными шинами X_i и Y_i.

Информация в ЗЭ записывается следующим образом. Вначале выбирается ЗЭ подачей в адресные шины X_i и Y_i положительных потенциалов ($\geqslant$ 2,4 В), соответствующих логической «1».

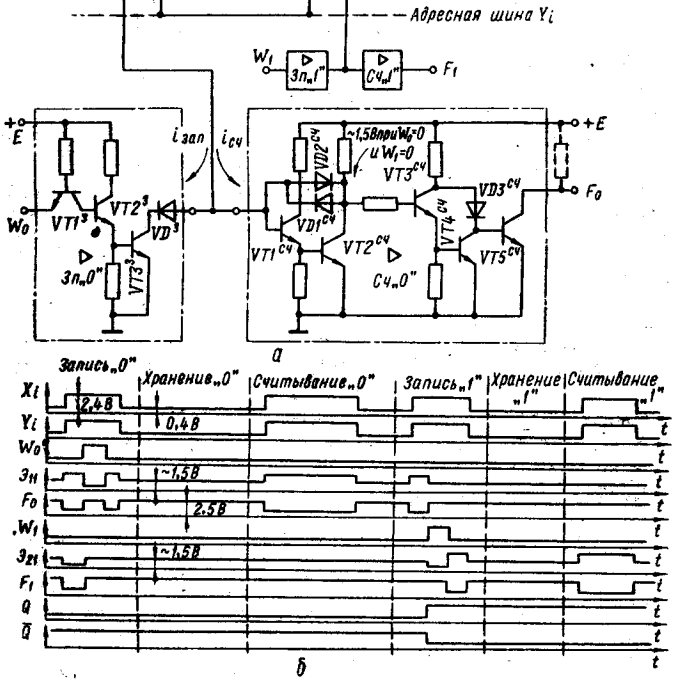


Рис. 7.4

При этом адресные эмиттеры $Э_{13}$, $Э_{23}$, $Э_{22}$ и $Э_{12}$ заперты (рис. 7.4,*б*). Затем при записи «0» («1») в ЗЭ на вход $W_0(W_1)$ усилителя записи Зп «0» (Зп «1») подается логическая «1», а на вход $W_1(W_0)$ усилителя Зп «1» (Зп «0») подается логический «0». При этом с усилителя записи Зп «0» (Зп «1») на подключенную к нему разрядную шину Зп/Сч «0» (Зп/Сч «1») подается потенциал ($\leqslant$ 0,4 В) логического «0», а на другую Зп/Сч «1» (Зп/Сч «0») с невозбужденного усилителя Зп «1» (Зп «0») подается потенциал, равный $\approx$ 1,5 В. Если до записи триггер находился в состоянии «0» (*VT1* открыт, *VT2* закрыт), то подача низкого

потенциала на эмиттер $Э_{11}$ не меняет состояние триггера. Если до записи триггер находился в состоянии «1» (*VT1* закрыт, *VT2* открыт), то при подаче низкого потенциала на эмиттер $Э_{11}$ открывается транзистор *VT1*, а *VT2* закрывается, и триггер устанавливается в состояние «0».

В режиме хранения (ЗЭ не выбран) на адресных шинах X_i, Y_i и на входах W_0, W_1— потенциал логического «0». При этом информационные эмиттеры $Э_{11}$ и $Э_{21}$ заперты, так как на них подается потенциал 1...1,5 В с коллектора транзистора $VT2^{сч}$ через диод $VD1^{сч}$, а эмиттерный ток открытого транзистора *VT1* замыкается на землю через адресные шины X_i и Y_i.

В режиме считывания (ЗЭ выбран) на адресные шины X_i и Y_i подается потенциал (≥ 2,4 В) логической «1», а на входы

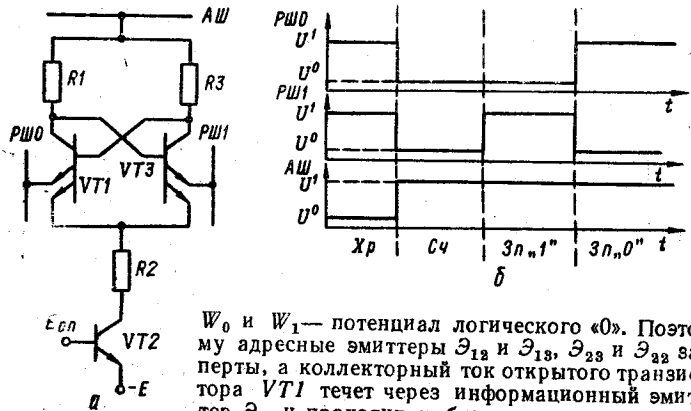


Рис. 7.5

W_0 и W_1— потенциал логического «0». Поэтому адресные эмиттеры $Э_{12}$ и $Э_{13}$, $Э_{23}$ и $Э_{22}$ заперты, а коллекторный ток открытого транзистора *VT1* течет через информационный эмиттер $Э_{11}$ и проходит в базовую цепь входного транзистора $VT1^{сч}$ усилителя считывания Сч «0». При этом выходной транзистор $VT5^{сч}$ открывается, и на выходе усилителя считывания Сч «0» появляется логический «0» (рис. 7.4, *б*). Считывание происходит без разрушения информации. Хранимая в ЗЭ информация доступна для считывания все время, пока ЗЭ находится в выбранном состоянии и в него не производится запись. Для повышения быстродействия ЗЭ в триггере применяют диоды Шоттки в цепях нелинейной отрицательной обратной связи, которые предотвращают переход транзисторов *VT1* и *VT2* в режим насыщения.

Дальнейшее увеличение быстродействия ЗЭ возможно на основе ЭСЛ-структур, в которых исключен насыщенный режим транзисторов. ЗЭ на ЭСЛ-структурах имеют следующие достоинства: стабильный порог переключения; уменьшенные перепады напряжений при заряде и разряде нагрузки. Перечисленные достоинства достигаются за счет увеличения потребляемой мощности и ухудшения помехоустойчивости.

В схеме ЗЭ ЭСЛ-типа (рис. 7.5,*а*) генератор тока на транзисторе *VT2* поддерживает постоянным ток через резистор *R2*. В режиме хранения напряжение на адресной шине *АШ* имеет низкий уровень U^0 (рис. 7.5,*б*), что позволяет снизить потребляемую мощность в невыбранных ЗЭ накопителя. ЗЭ отключен от схем управления благодаря высоким уровням на разрядных шинах *РШ0*, *РШ1*. Триггер на *VT1*, *VT3* находится в одном из

устойчивых состояний. При выборе ЗЭ в режимах считывания и записи напряжение на *АШ* повышается. В режиме считывания потенциалы обеих разрядных шин одновременно изменяются и в разрядной шине, связанной с открытым транзистором (*VT1* или *VT3*), появляется ток. По наличию тока в *РШ0* или *РШ1* определяется код хранимой в ЗЭ информации. При записи на разрядных шинах устанавливается разность потенциалов, достаточная для переключения триггера. При этом открывается транзистор (если он был закрыт), на эмиттер которого с разрядной шины подается более низкий потенциал.

ЗЭ с инжекционным питанием И²Л занимают существенно (в 2 — 4 раза) меньшую площадь, чем рассмотренные выше ЗЭ. Для получения быстродействия, близкого к ТТЛ-схемам, инжекционные схемы необходимо включать в режим с большой потребляемой мощностью при записи (считывании), но при этом надо снижать мощность в 10^2—10^4 раза в режиме хранения.

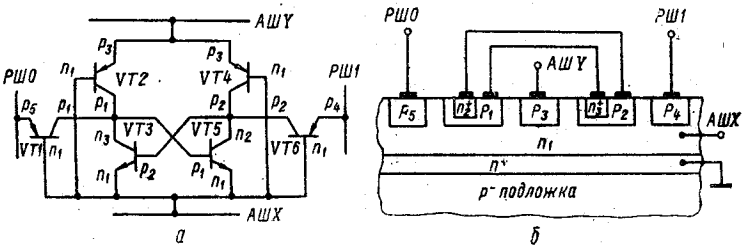


Рис. 7.6

На рис. 7.6 изображены схемы и И²Л-структура [60]. Два инвертора с инжекционным питанием и перекрестными связями образуют триггер (*VT2...VT5*). Транзисторы *VT2* и *VT4* выполняют роль инжекторов тока для ключевых транзисторов *VT3*, *VT5*. Для связи с разрядными шинами используются транзисторы *VT1* и *VT6*, работающие в нормальном (запись) или инверсном (считывание) режимах. ЗЭ очень компактен, благодаря отсутствию резисторов. Ключевые транзисторы *VT3*, *VT5* работают в инверсном режиме. Базовые токи этих транзисторов определяются инжекцией избыточных носителей из центральной области инжектора p_3. При симметричной структуре оба тока равны. Чтобы схема имела два устойчивых состояния, инверсные коэффициенты усиления по току *n-p-n*-транзисторов *VT3* и *VT5* должны быть больше единицы. В рабочем состоянии p_3-n_1-переход смещен в прямом направлении, часть инжектируемых им носителей достигает областей p_1, p_2, вызывая появление базовых токов в *VT3*, *VT5*. Триггерная схема принимает одно из устойчивых состояний. Пусть *VT3* открыт, а *VT5* закрыт. Носители через прямо смещенный p_2-n_1-переход (рис. 7.6,*б*) инжектируются в область n_1, причем часть из них достигает области p_4, вызывая появление тока в *РШ1* считываемого усилителя. В процессе записи отключается источник питания от инжектора p_3, и в область p_5 с *РШ0* подается импульс тока записи. Часть инжектируемых переходом p_5-n_1-носителей доходит до области p_1 (база выключенного *VT5*) и открывает *VT5*, через который разряжается емкость перехода эмиттер — база включенного *VT3*. Через некоторое время импульс записи заканчи-

вается, и фиксируется новое состояние подключением питания к инжектору p_3.

И²Л-структуры технологически совместимы с обычными биполярными. Для повышения быстродействия ЗУ на И²Л-структурах разработаны модификации с применением диодов Шоттки, включенных между базой и коллектором ключевых транзисторов *VT3* и *VT5*. Такое подключение обеспечивает шунтирование *p-n*-перехода коллектор — база в режиме насыщения диодом Шоттки, имеющим меньшее напряжение отпирания в прямом направлении (0,2...0,3 В по сравнению с 0,6...0,7 В кремниевого диода), в результате чего ускоряется процесс рассасывания носителей в базе транзистора в режиме насыщения. В ЗУ

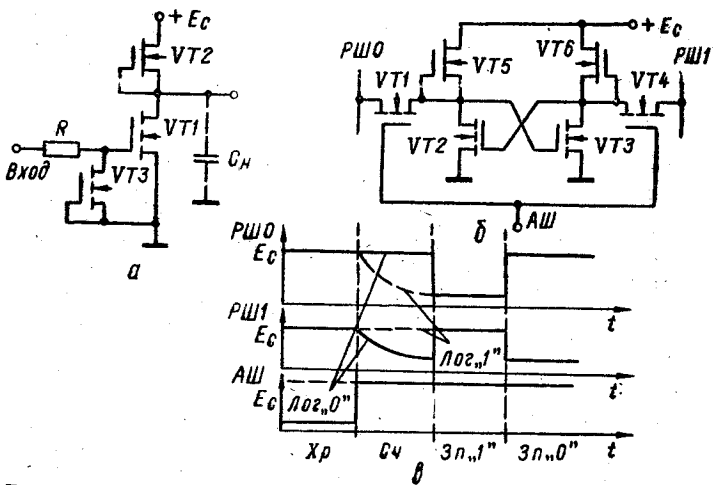


Рис. 7.7

на основе И²Л-схем применяются дополнительные развязывающие входные *p-n*-транзисторы или периферийные схемы управления накопителем на основе ТТЛ-элементов.

ЗЭ на МДП-структурах. На основе МДП-структур строятся ЗУ большой и сверхбольшой информационной емкости. В зависимости от типа ЗЭ на основе МДП-структур можно построить статические или динамические ЗУ. В статических ЗУ в качестве ЗЭ служит триггер на *n*-канальных МДП-транзисторах с индуцированным каналом или КМОП-транзисторах. В динамических ЗУ информация запоминается на емкости затвора МДП-транзистора [60].

Входные схемы ЗЭ статического типа строят на основе инверторов с активной нагрузкой (рис. 7.7,*а*). Ключевой инвертор выполняется на *n*-канальных МДП-транзисторах: *VT1* нормально закрыт, а в качестве активной нагрузки служит нормально открытый транзистор *VT2*, работающий в режиме генератора тока. Такая конфигурация обеспечивает высокое быстродействие, так как нагрузка $C_н$ всегда перезаряжается током одного из транзисторов. Входные схемы ЗЭ статического типа имеют защиту (*R* и *VT3*) затвора ключевого транзистора *VT1*

от возможного воздействия накопленного статического электричества (достигающего несколько киловольт). Поэтому на входе схемы имеется интегрирующая цепочка, состоящая из резистора *R* и барьерной емкости открытого транзистора *VT3*, который открывается, когда напряжение на его стоке превышает пробивное напряжение стокового *p-n*-перехода, которое всегда можно сделать меньше пробивного напряжения на затворе *VT1*. Одновременно интегрирующая цепочка растягивает этот процесс во времени, чтобы через транзистор *VT3* не проходил большой ток, могущий вывести его из строя.

На рис. 7.7,*б* изображена типовая схема статического ЗЭ на *n*-канальных МДП-транзисторах с индуцированным каналом. ЗЭ состоит из четырех транзисторов, два из которых *VT2*, *VT3* образуют триггер, а два других *VT1*, *VT4* являются двунаправленными ключами ввода-вывода данных. В качестве нагрузоч-

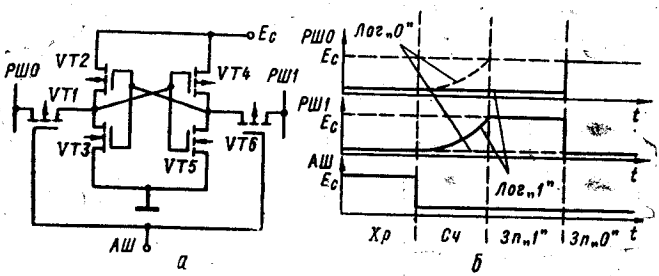


Рис. 7.8

ных транзисторов *VT5*, *VT6* используются МДП-транзисторы со встроенным каналом, у которых затвор транзистора подключен к его истоку. При этом нагрузочная емкость заряжается через МДП-транзистор обедненного типа, работающий при таком включении в режиме насыщения с постоянной нагрузкой, т. е. в режиме генератора тока.

В режиме хранения *VT1* и *VT4* закрыты, в режимах записи и считывания эти транзисторы открыты (рис. 7.7,*в*). Перед считыванием информации из ЗЭ на обе разрядные шины подается потенциал источника питания. В режиме считывания начинается разряд паразитной емкости разрядной шины, которая связана с открытым транзистором *VT2* или *VT3*. После установления разности потенциалов на *РШ0*, *РШ1*, достаточной для различения состояния ЗЭ, информация считывается усилителем и поступает на выходные каскады. В режиме записи на *РШ0*, *РШ1* устанавливаются разноименные уровни напряжений.

Основной недостаток ЗЭ на МДП-транзисторах — потребление тока в режиме хранения, так как всегда один из ключевых транзисторов в триггере находится в открытом состоянии. Для уменьшения потребляемой мощности необходимо увеличить сопротивление нагрузки, но это приводит к снижению быстродействия. Поэтому используют схемы на КМДП-транзисторах, где ток в режиме хранения почти отсутствует, а потребляется только в момент переключения.

В состав ЗЭ (рис. 7.8,*а*) входит триггер на двух КМДП-инверторах (*VT2*, *VT3* и *VT4*, *VT5*) и два двунаправленных

ключа (*VT1* и *VT6*). В режиме хранения *VT1* и *VT6* закрыты. Перед считыванием на *РШ0*, *РШ1* устанавливается нулевой потенциал (рис. 7.8,*б*). Затем потенциал на *АШ* снижается до нуля, открываются ключи *VT1* и *VT6*. При хранении логической «1» (*VT2* и *VT5* закрыты, а *VT3* и *VT4* открыты) начнется заряд паразитной емкости *РШ1*. Потенциал *РШ0* не изменяется, поскольку она связана с открытым плечом триггера. После увеличения напряжения на *РШ1* до порога срабатывания усилителя считывания, подключенного к этой шине, информация с усилителя поступает на последующие каскады схемы вывода данных. Записывается информация в ЗЭ при открытых *VT1* и *VT6* и разноименных уровнях напряжений на *РШ0* и *РШ1*.

В динамических ЗЭ информация хранится в виде заряда на емкости. Поскольку сопротивление закрытого МДП-транзистора составляет 10^9—10^{10} Ом и входное сопротивление затвора пре-

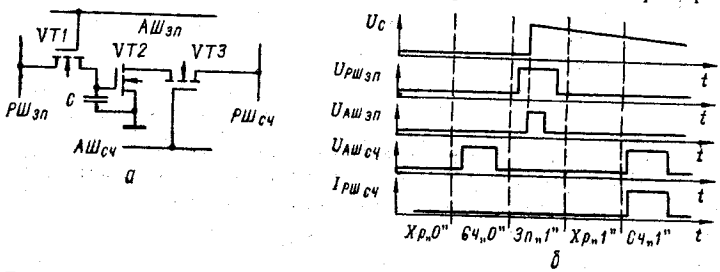


Рис. 7.9

вышает 10^{14} Ом, заряд на емкости затвора может сохраняться доли секунд. Наличие утечки в структуре требует периодического восстановления заряда (регенерации). Чем больше ток утечки в схеме, тем выше должна быть частота регенерации. Известны различные модификации ЗЭ динамических ЗУ [40; 60], отличающихся количеством транзисторов, числом и функциональным назначением общих шин, быстродействием, мощностью потребления и площадью, занимаемой на кристалле.

Для построения динамических ЗУ информационной емкостью 1—4 Кбит применяют схему трехтранзисторного ЗЭ с раздельными адресными и разрядными шинами считывания и записи (рис. 7.9,*а*). Транзистор *VT1* служит для записи информации путем заряда конденсатора *С* от потенциала разрядной шины записи $РШ_{зп}$, а транзистор *VT3* — для связи информационного транзистора *VT2* с разрядной шиной считывания $РШ_{сч}$. При считывании информации на $РШ_{сч}$ предварительно устанавливается высокий уровень напряжения (рис. 7.9,*б*), после чего импульсом выборки с $АШ_{сч}$ открывается транзистор *VT3*. Если в ЗЭ хранится «1» (конденсатор *С* заряжен, транзистор *VT2* открыт), то по цепи $РШ_{сч}$— *VT3* — *VT2* — общая шина протекает импульсный ток, регистрируемый усилителем считывания как «1». Если в ЗЭ хранится «0» (конденсатор *С* разряжен и транзистор *VT2* закрыт), то ток в цепи $РШ_{сч}$— *VT3*—*VT2*— общая шина отсутствует, что воспринимается усилителем считывания как «0». Достоинство этой схемы ЗЭ в том, что при считывании информации не происходит ее разрушения. Однако вслед-

ствие утечек заряда с конденсатора C, обусловливаемых током обратно смещенного перехода транзистора $VT1$, его необходимо периодически регенерировать. Регенерация хранимой информации осуществляется путем введения дополнительного режима перезаписи.

Для создания динамических ЗУ информационной емкостью 4...256 Кбит применяют схему однотранзисторного ЗЭ (рис. 7.10,*а*). Запоминание «1» или «0» отождествляется с наличием или отсутствием заряда на конденсаторе $C_з$. Информация в ЗЭ записывается при передаче соответствующего потенциала

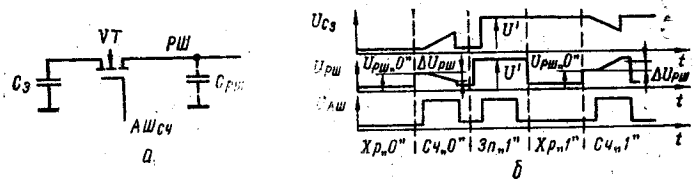


Рис. 7.10

разрядной шиной $РШ$ через открытый транзистор VT запоминающему конденсатору $C_з$. В моменты считывания информации конденсатор $C_з$ подключается через открытый транзистор VT к $РШ$, имеющей паразитную емкость $C_{РШ}$ и заряженной до уровня $U_{РШ«0»}$. Если в ЗЭ хранилась «1», то напряжение на $РШ$ при считывании увеличивается на величину $\Delta U_{РШ}$. При считывании «0» напряжение на $РШ$ уменьшается на величину $\Delta U_{РШ}$

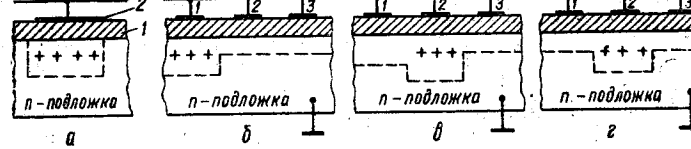


Рис. 7.11

(рис. 7.10,*б*). Обычно $\Delta U_{РШ} \approx 200...250$ мВ, поэтому требуются высокочувствительные усилители считывания. Недостатком таких ЗЭ является то, что при считывании информации происходит ее разрушение, поэтому регенерация необходима как для длительного хранения информации, так и после каждого ее считывания.

Для построения динамических ЗЭ с последовательной выборкой с информационной емкостью до 64 Кбит применяют приборы с зарядовой связью (ПЗС) [40; 60; 62]. В ПЗС-элементах информация представляется зарядом подвижных носителей (логическая «1») или отсутствием (логический «0») в области полупроводника, расположенной под диэлектриком *1*. Если к электроду *2* приложить отрицательное напряжение, то под действием электрического поля электроны уходят вглубь полупроводника (рис. 7.11,*а*). В подложке, расположенной под диэлектриком,

образуется обедненная область, являющаяся потенциальной ямой для неосновных носителей — дырок. Дырки, попавшие в потенциальную яму, концентрируются вблизи поверхности полупроводника, образуя положительный разряд (логическая «1»).

На рис. 7.11, *б—г* показан динамический ЗЭ на ПЗС-структуре в режимах хранения и передачи заряда (логическая «1»). В исходном состоянии на электрод *1* подано напряжение более отрицательное, чем на электродах *2*, *3*. В этом режиме заряд хранится в области полупроводника, расположенного под электродом *1* (рис. 7.11,*б*). Если к электроду *2* (рис. 7.11,*в*) приложить большее отрицательное напряжение, чем на электроде *1*, тогда под электродом *2* образуется более глубокая потенциальная яма, втягивающая дырки из первой области. В следующем такте ПЗС снова переходит в режим хранения. При этом напряжение U_1 уменьшается до U_3, а U_2— до U_1 в момент, когда заряд хранится под электродом *1* (рис. 7.11,*г*). Таким образом, можно передвигать заряд вдоль поверхности или хранить его в заданной области. Введение зарядов в структуру и выведение из нее осуществляется через *p-n*-переходы, расположенные вблизи соответствующих электродов.

7.3. ЗАПОМИНАЮЩИЕ ЭЛЕМЕНТЫ ПЗУ

В ПЗУ запоминающие элементы объединяются в двухкоординатную матрицу $n \times N$, образованную при пересечении N входных слов и n выходных (разрядов) информационных шин. В местах пересечения совокупностей $n \times N$ включены ЗЭ, несущие информацию «1» или «0». В качестве ЗЭ используют диоды, биполярные транзисторы, МДП-структуры, аморфные полупроводники (АП) и др. В табл. 7.2 приведена классификация ПЗУ по способам записи и стирания, а также по типу применяемых ЗЭ [72].

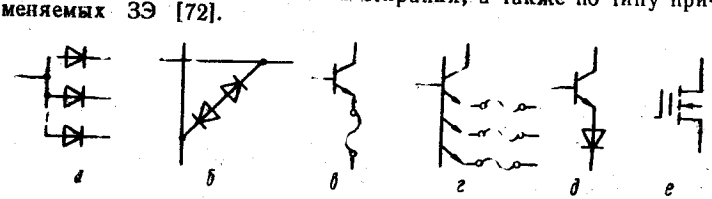


Рис. 7.12

На рис. 7.12 изображены схемы основных ЗЭ, на основе которых разрабатываются ПЗУ, ППЗУ. Для ПЗУ с накопителем на ЗЭ (рис. 7.12,*а*, *е*) запись информации осуществляется двумя способами: изменением конфигурации металлизированной разводки (фотошаблоны) или селективным вскрытием контактных окон под металлизацию (лазерным лучом). Для ППЗУ ЗЭ (рис. 7.12,*в*, *г*) программируются пережиганием плавких перемычек, а ЗЭ — (рис. 7.12,*б*, *д*) программируются путем избирательного разрушения диодов. В РПЗУ возможна полная перезапись информации или же частичное селективное изменение хранимой информации в отдельных ЗЭ.

ЗЭ на диодах располагаются в местах пересечения токоведущих шин (рис. 7.13). Информация в такой ЗЭ записывается в двоичном коде, причем логическая «1» соответствует наличию диода в пересечении матрицы, а логический «0» — отсутствию

Таблица 7.2

Тип ПЗУ	Тип ЗЭ	Элемент программирования	Способ записи	Способ стирания
ПЗУ	Диодные, биполярные, И²Л и МДП-структуры	Контактное окно	Фотошаблоны	
		Металлическое соединение	Фотошаблоном и лазерным лучом	
ППЗУ	Диодные, биполярные и КМДП-структуры	Перемычка	Электрическим пережиганием	
		p-n-переход Диод Шотки	Электрическим пробоем	
РПЗУ	МНОП, МАОП, МАП, ЛИИЗМДП-структуры	МНОП-транзистор, МОА-транзистор, МАП-транзистор ЛИИЗМДП-транзистор с двойным затвором	Электрическими сигналами	Электрическими сигналами
	АП	Аморфный полупроводник		
		ЛИИЗМДП-транзистор с плавающим затвором		Ультрафиолетовым (рентгеновским или электронным) облучением

диода (или наоборот). В ПЗУ информация заносится изготовлением диодной матрицы (ДМ) металлизацией с помощью фотошаблонов или контактных окон (рис. 7.13,*а*, *б*) и лазерным лучом (рис. 7.13,*в*). В ППЗУ информация заносится посредством пережигания плавких перемычек (рис. 7.13,*г*, *д*) и восстановлением связей в ЗЭ пробоем (рис. 7.13,*е*—*и*) или закорачиванием одного из взаимно (обратно) включенных диодов (рис. 7.13,*к*). На базе диодных структур разработаны ПЗУ и ППЗУ с информационной емкостью 1—64 Кбит и временем считывания 40—90 нс.

В настоящее время выпускаются на биполярной структуре ПЗУ и ППЗУ типов ТТЛ и ЭСЛ, которые имеют малое время выборки (10—30 нс для ЭСЛ и 30—100 нс для ТТЛ) и информационную емкость от 1 до 64 Кбит. На рис. 7.14 показаны ЗЭ на биполярных структурах в виде эмиттерных повторителей на *n-p-n* или *p-n-p* транзисторах и переходах база — коллектор или база — эмиттер. В этих ЗЭ информация заносится с помощью фотошаблонов или контактных окон для ПЗУ (рис. 7.14,*а*, *е*, *л*), а также пережиганием плавких перемычек (рис. 7.14,*в*, *г*,

д, ж, з, и, к, м) и пробоем (рис. 7.14,*б*) (коллекторных или эмиттерных) для ППЗУ.

ПЗУ инжекционной логики являются весьма перспективными для разработки ПЗУ большой информационной емкости и низкой потребляемой мощности при высокой скорости считывания информации. При проектировании ПЗУ на И²Л-структурах в качестве ЗЭ можно использовать диоды Шотки и транзисторы с инжекторным *p-n*-переходом, а также различное их совместное включение (рис. 7.15). В ПЗУ, построенных на основе И²Л-структурах, информация заносится с помощью фотошаблонов или контактных окон. Использование диодов Шотки

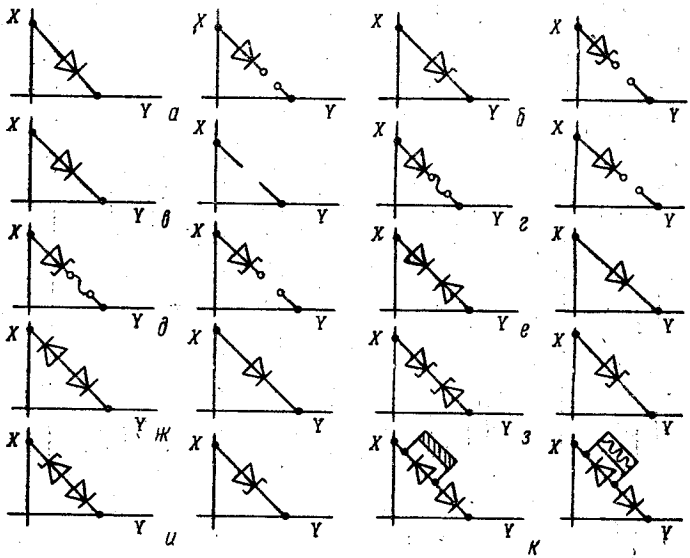


Рис. 7.13

в качестве ЗЭ (рис. 7.15,*а*) позволяет проектировать ПЗУ высокого быстродействия и большой степени интеграции. Применение в качестве ЗЭ одноколлекторных (рис. 7.15,*б*) и многоколлекторных (рис. 7.15,*в*) транзисторов (МКТ) с инжекторным *p-n*-переходом, а также использование диодов Шотки в базовых цепях транзисторов ЗЭ (рис. 7.15,*д,е*) существенно расширяет логические возможности ЗЭ. Использование в ЗЭ транзистора с инжекторным *p-n*-переходом, в коллекторах которого включены диоды Шотки (рис. 7.15,*г*) увеличивает число выходов без существенного уменьшения коэффициента усиления по току вертикального *n-p-n*-транзистора, повышает быстродействие ЗЭ благодаря уменьшению логического перепада напряжения (от 0,7 до 0,15...35 В), повышает информационную плотность ПЗУ. В ЗЭ, построенных на МКТ, в котором один из коллекторов соединен с базой (рис. 7.15,*ж*) уменьшается задержка распространения сигнала за счет ограничения насыщения вертикального *n-p-n*-транзистора.

МДП-структуры занимают доминирующее положение при построении ПЗУ, так как по сравнению с биполярными ПЗУ имеют следующие преимущества: малую потребляемую мощность, высокую степень интеграции, высокий запас помехоустойчивости (более 1 В), сохраняют информацию в течение длительного времени после отключения питания, на основе МДП-структур можно получить схемные элементы (транзисторы, резисторы, конденсаторы), необходимые для построения ПЗУ. Информация

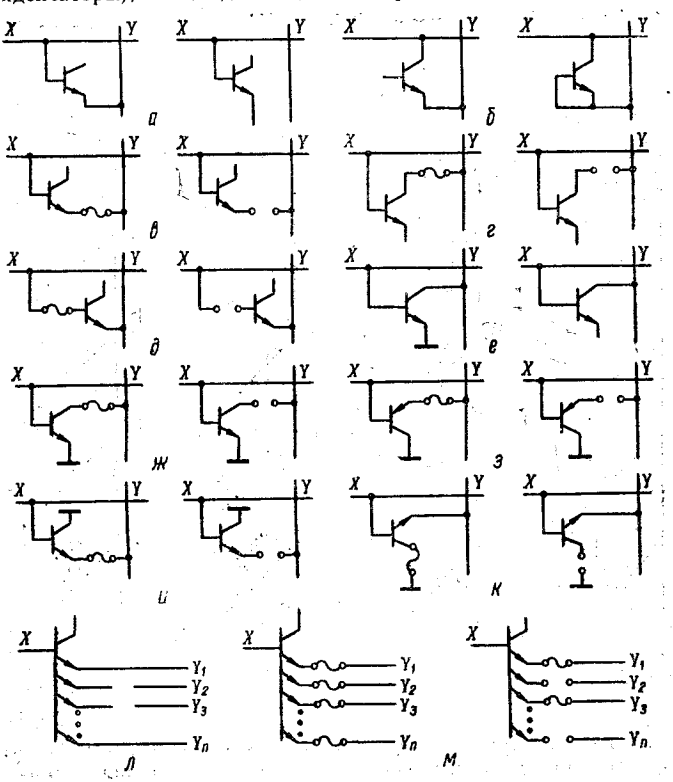


Рис. 7.14

в ПЗУ на основе МДП-структур записывается в ходе технологического процесса изготовления с помощью фотошаблонов или контактных окон. Современные ПЗУ на n-канальных МДП-структурах имеют информационную емкость 1—256 Кбит, а время считывания 80—500 нс и совместимы по уровню управляющих сигналов с ИС типа ТТЛ. Принципиальная схема ПЗУ на n-канальных МДП-транзисторах показана на рис. 7.16. При считывании информации высокий уровень напряжения с матричных дешифраторов адреса Y, X подается на одну из шин адресов по координате Y и через резистор R_i (роль которого также выполняет МДП-транзистор) на одну из шин адресов по координате X. При этом на одной из выходных информацион-

Рис. 7.15

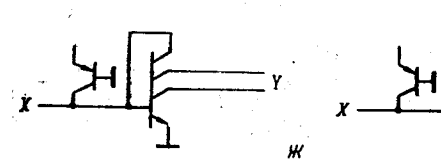


Рис. 7.16

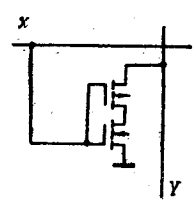


Рис. 7.17

ных шин появляется высокий уровень напряжения, если на выбранном узле запоминающей матрицы не сформирован ЗЭ на n-канальном МДП-транзисторе (окно не вскрыто), и низкий уровень напряжения, если ЗЭ сформирован (окно вскрыто), что соответствует считыванию информации «1» и «0».

ПЗУ и ППЗУ на КМДП-структурах имеют повышенное быстродействие (100—500 нс), почти нулевую рассеиваемую мощность в статическом режиме и повышенную помехоустойчивость (до 1,5 В), хотя для них характерны относительная невысокая плотность интеграции и более высокая стоимость производства по сравнению с ПЗУ и ППЗУ на МДП-структурах. В качестве ЗЭ используется инвертор на КМДП-транзисторах (рис. 7.17). ПЗУ на КМДП-структурах программируют в процессе изготовления с помощью фотошаблонов, а в ППЗУ используются пережигание перемычек или хранение заряда на затворе

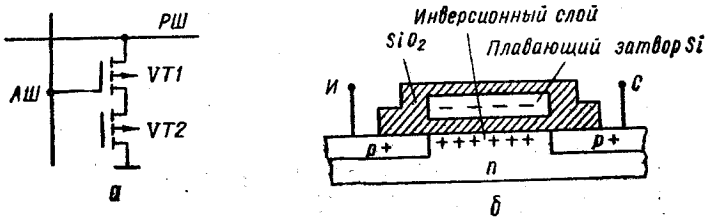


Рис. 7.18

и пробой подзатворного окисла, сформированного специальным образом.

РПЗУ на МДП-структурах допускают многократную перезапись и хранение информации при отключении питания. В РПЗУ запоминающие элементы строят на базе МДП-структур с захватом заряда (транзисторы МНОП, МАОП, МАП) и с плавающим затвором (лавинно-инжекционный МДП-транзистор с изолированным затвором ЛИИЗМДП и лавинно-инжекционный МДП-транзистор с плавающим и управляющим затворами — ЛИИЗМДП с двойным затвором). В ЗЭ с захватом заряда заряд хранится на ловушках на границе (границах) раздела многослойного диэлектрика и (или) в объеме диэлектрика затворной части МДП-структуры. В ЗЭ с плавающим затвором заряд хранится в тонком проводящем слое либо в проводящих частицах, расположенных между диэлектриками затворной части МДП-структуры. ЗЭ с плавающим затвором по сравнению с ЗЭ захвата заряда более просты в изготовлении и обеспечивают длительное сохранение информации. По способу сохранения информации РПЗУ подразделяются на со стиранием информации электрическими сигналами и со стиранием информации с помощью лучей (ультрафиолетовых, рентгеновских, электронных и др.).

ЗЭ на МДП-структурах с плавающим затвором и стиранием информации с помощью лучей (рис. 7.18,*а*) состоит из адресного транзистора *VT1* и собственно запоминающего транзистора *VT2* типа ЛИИЗМДП с плавающим затвором. Транзистор *VT2* может находиться в одном из двух устойчивых состояний открытом или закрытом, что соответствует хранению «0» или «1» ЗЭ. Информация (заряд затвора) в ЗЭ записывается

с помощью большего отрицательного (для p-канальных транзисторов) импульса (30—50 В и длительностью около 1 мс), который прикладывается между стоком и истоком *VT2*. Это вызывает лавинную инжекцию электронов в изолированный кремниевый затвор и на плавающем затворе накапливается отрицательный заряд, который вызывает появление проводящего инверсного слоя, в результате этого канал становится проводящим (рис. 7.18,*б*), транзистор *VT2* открыт (хранит «0»). Поскольку плавающий заряд окружен изолятором (SiO_2), заряд сохраняется в течение длительного времени (5...10 лет). Стереть информацию можно посредством ультрафиолетового облучения или рентгеновскими лучами дозой около $5 \cdot 10^4$ *Р* с энергией, достаточной для «выбивания» электронов из поликристаллического кремния (Si) плавающего затвора в направлении слоя двуокиси кремния (SiO_2). При этом структура переводится в состояние логической «1».

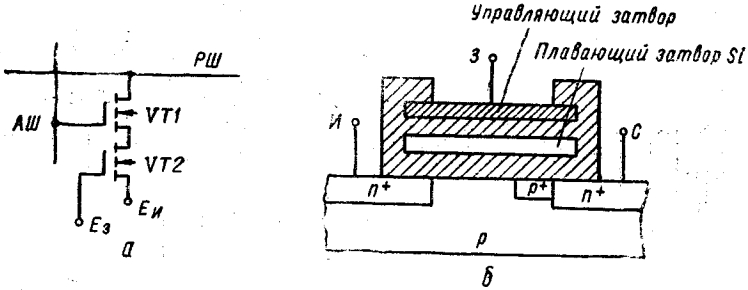


Рис. 7.19

ЗЭ на МДП-структурах с плавающим затвором и стиранием информации электрическими сигналами (рис. 7.19,*а*) состоит из транзисторов *VT1* — выборки и *VT2* — хранения информации (типа ЛИИЗМДП с двойным затвором). Если плавающий затвор транзистора *VT2* заряжен положительно, то *VT2* открыт (так как образуется инверсионный слой электронов), и такое состояние соответствует уровню логического «0». Отрицательно заряженный плавающий затвор закрывает *VT2*, что соответствует уровню логической «1» (рис. 7.19,*б*). При стирании информации (занесение логического «0») на исток *VT2* подается напряжение + 36 В, на управляющий затвор — 40 В, а на подложку — 5 В (сток остается разомкнутым), в результате чего происходит поверхностный пробой истокового n^+-p-перехода и генерация электронно-дырочных пар. При этом направление электрического поля в затворном диэлектрике в этом режиме вызывает инжекцию дырок в плавающий затвор. По окончании стирания запоминающий транзистор *VT2* открывается, с этого момента его хранимое пороговое напряжение равно — 30 В. Для записи информации (занесение логической «1») используется низковольтный пробой стокового n^+-p^+-перехода, в ходе которого происходит инжекция электронов в плавающий затвор. Инжектированные электроны нейтрализуют накопленные на плавающем затворе дырки, и плавающий затвор переходит в отрицательно заряженное состояние. При этом *VT2* закрывается. В режиме записи на управляющий затвор подается напряжение

+26 В, на подложку —2 В относительно истока, а на сток подается импульс записи +15 В длительностью 40 мс. В результате этого происходит смещение порогового напряжения транзистора *VT2* до +10 В. При считывании информации на адресную шину подается импульс, открывающий транзистор *VT1*. Если запоминающий транзистор *VT2* открыт, то через него и последовательно соединенный с ним *VT1* в выходную РШ течет ток, соответствующий считыванию логического «0». При закрытом *VT2* ток равен нулю, что соответствует считыванию логической «1».

ЗЭ на МДП-структурах с захватом заряда со стиранием информации электрическими сигналами наиболее распространены на МНОП-транзисторах (рис. 7.20,*а*). Они состоят из адресного *p*-канального МДП-транзистора *VT1* и запоминающего МНОП-транзистора *VT2*. Информация в ЗЭ записывается при подаче на затвор *VT2* некоторого положительного или отрицательного

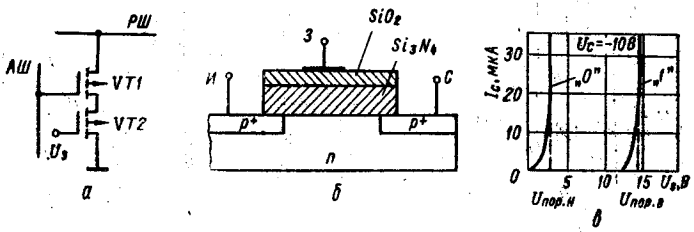


Рис. 7.20

напряжения $U_з$. При подаче положительного напряжения на границе слоев нитрида (Si_3N_4) и двуокиси (SiO_2) кремния возникает заряд (рис. 7.20,*б*), который снижает пороговое напряжение до $U_{пор.н}$. При подаче на затвор отрицательного напряжения того же значения восстанавливается начальное высокое пороговое напряжение $U_{пор.в}$ (рис. 7.20,*в*).

При заземленных выводах истока и стока переключение прибора из одного состояния в другое, отличающиеся друг от друга пороговым напряжением, происходит при подаче на его затвор в течение 1 мс напряжения $U_з = |28|$ В. При этом под действием отрицательного напряжения $U_з = -28$ В устанавливается состояние с высоким пороговым напряжением $U_{пор.в} = 15$ В, а при $U_з = +28$ В — состояние с низким пороговым напряжением $U_{пор.н} = 3$ В. Для считывания информации на затвор *VT2* подается напряжение считывания $U_{з.сч}$, причем $U_{пор.н} < U_{з.сч} < U_{пор.в}$. Таким образом, если подать $U_{з.сч} = (3...5)$ В, то ЗЭ, в котором записан логический «0», перейдет в состояние проводимости, а ЗЭ, находившийся в состоянии «1», проводить не будет.

В качестве запоминающего элемента РПЗУ в совокупности с МДП-структурами широко используются аморфные полупроводники — приборы Овшинского. Одним из уникальных свойств аморфных полупроводников является пороговое переключение. Пороговое переключение связано с наличием у АП вольт-амперной характеристики S-образного типа (рис. 7.21,*а*). В выключенном состоянии (в слабых электрических полях) электрическое сопротивление АП велико. В полях напряженностью более

10 000 В/см ток с ростом напряжения начинает экспоненциально увеличиваться, т. е. проводимость материала значительно возрастает. Высокая проводимость удерживается при уменьшении напряжения до некоторого значения (порогового — $U_п$), которое не зависит от толщины пленки АП и лежит в пределах от 0,5 до 1,5 В. В результате переключения в материале образуются каналы с высокой проводимостью. Проводимость в включенном состоянии не зависит от полярности приложенного напряжения. Процесс переключения происходит достаточно быстро (примерно за 100 нс). Из одного состояния в другое ЗЭ переводится электрическими импульсами с определенными параметрами.

Структура ЗЭ для таких РПЗУ состоит из АП и последовательно с ним включенного развязывающего диода или транзистора (рис. 7.21,*б*, *в*). ЗЭ ведет себя как элемент с двумя устойчивыми значениями сопротивлений (высоким 300 кОм, низким

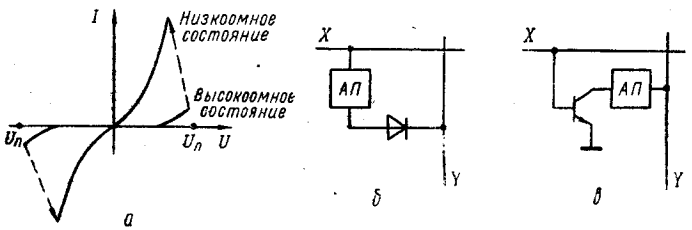


Рис. 7.21

1 кОм). Чтобы перевести ЗЭ из высокоомного в низкоомное («0» → «1»), необходимо вначале подать импульс высокого напряжения (+ 30 В), а затем импульс тока 7 мА и длительностью 10 мс. После этого ЗЭ будет оставаться в низкоомном состоянии практически неограниченное время. Чтобы вернуть ЗЭ в высокоомное состояние («0»), необходимо подать импульс тока 150 мА длительностью 5 мкс. Считывается информация при подаче тока 1 мА и изменением падения напряжения на ЗЭ.

7.4. ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МАТРИЦЫ

Программируемые логические матрицы (ПЛМ) как и ППЗУ относятся к программируемым ИС двухступенчатой структуры, состоящей из двух последовательных матриц «Матрица И — матрица ИЛИ» [77]. ПЛМ отличается от ППЗУ тем, что в ППЗУ матрица И жесткая, а матрица ИЛИ программируемая, а в ПЛМ обе матрицы И и ИЛИ программируемые. Второе отличие состоит в том, что на ПЛМ можно реализовать не любую систему переключательных функций, как на ППЗУ, а лишь удовлетворяющую дополнительному ограничению: длина дизъюнктивных нормальных форм воспроизводимых функцией не должна превышать числа переходных цепей между матрицами И и ИЛИ.

Структурная схема ПЛМ (рис. 7.22) состоит из входных и выходных буферных каскадов *БВх*, *БВых* и матрицы элементов И и ИЛИ ($M_И$ — M_1, $M_{ИЛИ}$ — M_2). Входные буферы разгружают входные цепи и преобразуют однофазные входные сигналы в парафазные. Выходные буферы обеспечивают необходимую нагрузочную способность ПЛМ и стробируют ее с помощью входа

выборки кристалла ВК, сигнал на котором либо разрешает работу ПЛМ, либо переводит выходы в состояние «Отключено». Основными параметрами ПЛМ являются число входов m, число переходных цепей (термов) l и число выходов n [85]. Структура матрицы И и ИЛИ состоит из горизонтальных и вертикальных шин, в узлах пересечения которых находятся элементы связи

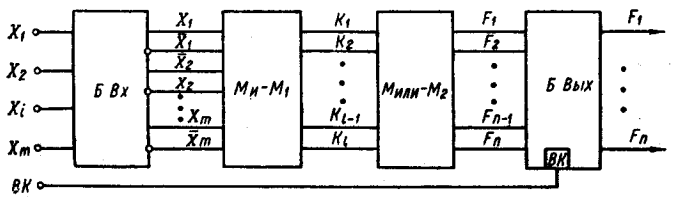


Рис. 7.22

(ЭС), которые при программировании вводятся или устраняются (рис. 7.23,*а*). В качестве ЭС могут служить рассмотренные ЗЭ, например, диоды в матрице $M_{И}$ (рис. 7.23,*б*) и транзисторы в матрице $M_{ИЛИ}$ (рис. 7.23,*в*).

ПЛМ широко используются как и ППЗУ для реализации переключательных функций F_n преобразования кодов, так

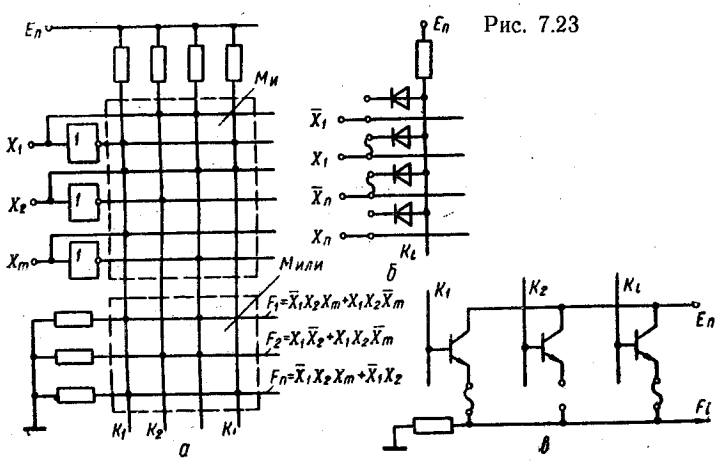


Рис. 7.23

и в качестве управляющей памяти ЭВМ с микропрограммным управлением. Следует отметить, что ППЗУ реализует наиболее развернутые формы представления функций (СДНФ) и для них не используется минимизация функций. Для ПЛМ реализуемую систему функций следует минимизировать. Для построения автоматов с памятью к ПЛМ добавляют триггеры (регистры).

ПЛМ с памятью имеет структуру, связанную с классической структурой автомата с памятью (рис. 7.24,*а*). Результат данного шага обработки информации зависит от результатов

предыдущих шагов: это обеспечивается обратной связью с регистра *Рег* на вход матрицы $M_И$. Число внутренних состояний определяется числом триггеров r (разрядностью q регистров) и не превышает $2^r(2q)$. Обычно ПЛМ с памятью выполняется как синхронное устройство — петля обратной связи активизи-

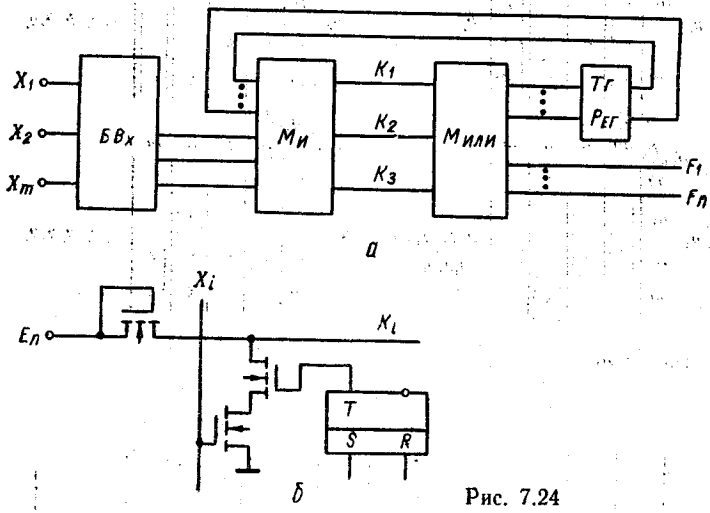


Рис. 7.24

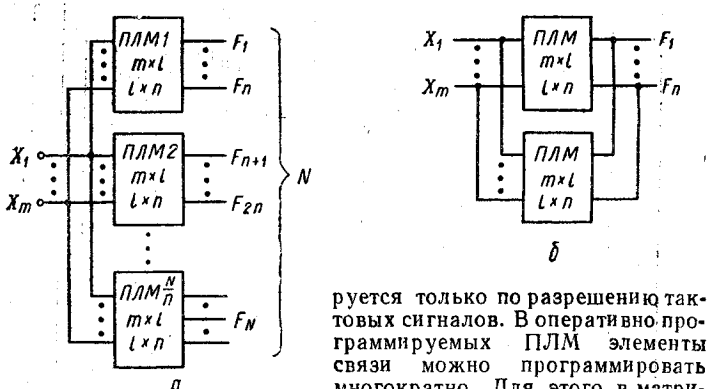


Рис. 7.25

руется только по разрешению тактовых сигналов. В оперативно программируемых ПЛМ элементы связи можно программировать многократно. Для этого в матрицах И и ИЛИ совместно с ЭС включают триггер, который может активизировать или блокировать ЭС в данном узле координатной сетки (рис. 7.24,*б*).

Когда число N функций в системе больше числа выходов ПЛМ ($N > n_{ПЛМ}$), то несколько ПЛМ включают параллельно входам (рис. 7.25,*а*). Так как число термов предполагается достаточным ($L < l_{ПЛМ}$), все ПЛМ можно запрограммировать на одни и те же темы. В противном случае, когда $L > l_{ПЛМ}$, то к данной ПЛМ подключают дополнительные с тем же числом

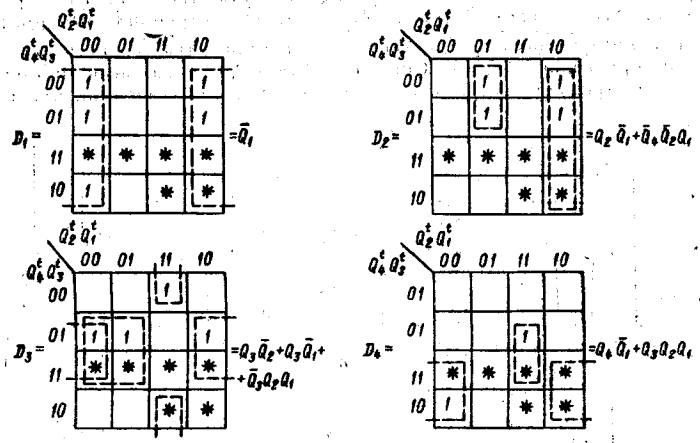


Рис. 7.26

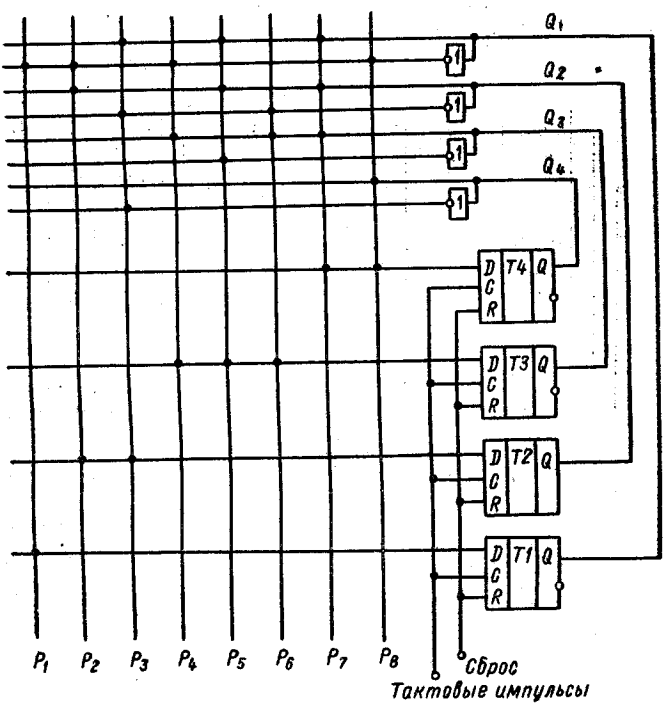


Рис. 7.27

Таблица 7.3

Состояние триггера								Входы D-триггеров			
предыдущее				последующее							
Q_4^t	Q_3^t	Q_2^t	Q_1^t	Q_4^{t+1}	Q_3^{t+1}	Q_2^{t+1}	Q_1^{t+1}	D_4	D_3	D_2	D_1
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	0
0	0	1	0	0	0	1	1	0	0	1	1
0	0	1	1	0	1	0	0	0	1	0	0
0	1	0	0	0	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1	1	0
0	1	1	0	0	1	1	1	0	1	1	1
0	1	1	1	1	0	0	0	1	0	0	0
1	0	0	0	1	0	0	1	1	0	0	1
1	0	0	1	0	0	0	0	0	0	0	0

входов и выходов (рис. 7.25,*б*). По входам ПЛМ включают параллельно, а соответствующие выходы соединяют по ИЛИ. При этом каждая матрица программируется на свои термы, затем из термов на выходах собираются нужные функции.

Таблица 7.4

Q^t	Q^{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

ПЛМ с памятью широко используют для построения последовательностных схем (счетчиков, регистров). Рассмотрим построение синхронного двоично-десятичного счетчика на *D*-триггерах. Из таблицы истинности работы счетчика (табл. 7.3) и характеристической таблицы (табл. 7.4) составим карты Карно для каждого D-входа триггеров счетчика (рис. 7.26).

Из карт Карно для счетчика можно получить следующие уравнения:

$$D_1 = \overline{Q}_1;\ D_2 = Q_2\overline{Q}_1 + \overline{Q}_4\overline{Q}_2Q_1;$$

$$D_3 = Q_3\overline{Q}_2 + Q_3\overline{Q}_1 + \overline{Q}_3Q_2Q_1;\ D_4 = Q_4\overline{Q}_1 + Q_3Q_2Q_1.$$

На рис. 7.27 показана реализация уравнений счетчика с помощью ПЛМ с элементами памяти на *D*-триггерах, выходы которых являются сигналами обратной связи для матрицы И. Таким образом, входной сигнал на триггере *T4* равен сумме членов произведения P_7 и P_8, т. е. $Q_4\overline{Q}_1 + Q_3Q_2Q_1$. Эта величина равна D_4, и на следующем тактовом импульсе будет действовать по цепи обратной связи как сигнал Q_4. Для других состояний счетчика все происходит аналогично.

Глава 8
КОМПОНЕНТЫ ЦИФРОВЫХ СИСТЕМ

8.1. КОМПОНЕНТЫ СОГЛАСОВАНИЯ УРОВНЕЙ СИГНАЛОВ

Устройства цифровой схемотехники помимо логических комбинационных и последовательных компонентов и функциональных узлов содержат значительное количество вспомогательных компонентов, без которых невозможно создание законченных радиоэлектронных средств. К ним относятся всевозможные схемы генерирования, формирования, преобразования импульсных сигналов, средства отображения цифровой информации, устройства электрического согласования функциональных узлов, выполненных на различной технологической основе и питаемых отличающимися по величине и знаку напряжениями, средства защиты блоков и устройств от внешних и внутренних электрических помех и т. д.

Таблица 8.1

Вход ПУ	Выход ПУ				
	ТТЛ	*p*-МДП	КМДП	ЭСЛ	И²Л
ТТЛ		$ПУ_{12}$	$ПУ_{13}$	$ПУ_{14}$	$ПУ_{15}$
p-МДП	$ПУ_{21}$		$ПУ_{23}$	$ПУ_{24}$	$ПУ_{25}$
КМДП	$ПУ_{31}$	$ПУ_{32}$		$ПУ_{34}$	$ПУ_{35}$
ЭСЛ	$ПУ_{41}$	$ПУ_{42}$	$ПУ_{43}$		$ПУ_{45}$
И²Л	$ПУ_{51}$	$ПУ_{52}$	$ПУ_{53}$	$ПУ_{54}$	

Для согласования логических уровней сигналов между цифровыми блоками, в которых использованы логические элементы, отличающиеся уровнями напряжения сигналов, входными и выходными сопротивлениями, служат преобразователи уровней (ПУ). В табл. 8.1 приведен состав ПУ для согласования уровней логических элементов на основе широко используемых технологий: ДТЛ, ТТЛ, ТТЛШ, p-МДП, КМДП, ЭСЛ, И²Л [51]. На вход ПУ поступают логические уровни в стандарте I, а на выходе необходимо обеспечить логические уровни в стандарте J ($I \neq J$). Тип соответствующего ПУ обозначим согласно табл. 8.1 $ПУ_{IJ}$. Логические элементы типа ДТЛ, ТТЛ, ТТЛШ, которые имеют однотипные электрические характеристики, стандарты питающих напряжений и уровней логических сигналов, относятся к одному классу ТТЛ. Параметры ИМС основных технологий приведены в табл. 8.2.

Широкую номенклатуру ПУ можно существенно уменьшить, если все преобразования осуществлять через некоторый проме-

Таблица 8.2

Параметр	ТТЛ	*p*-МДП	КМДП	ЭСЛ	И²Л
$U_{и.п}$, В	5	—12...—27	3...15	—5	1...2
U^0, В	0,4	—7...—20	0,3	—1,6	0,05
U^1, В	2,4...4,5	—2...—3	2...14	—0,8	0,6...0,8
I_1^+, мА	0,1	1,5 мкА	1,5 мкА	0,3	0
I_1^-, мА	1,6	15 мкА	15 мкА	0	10...50 мкА
I_2^-, мА	1	2,5	2,5	3...22	0
I_2^+, мА	16	2,5	2,5	3	20 мкА
$U_{пом}$, В	0,6	1	0,9	0,2	0,1

Примечание. «+» и «—» обозначают соответственно втекающие и вытекающие токи.

жуточный стандарт, в качестве которого чаще всего используют стандарт ТТЛ. При этом вместо 20 типов ПУ (табл. 8.1) требуется лишь 8 для преобразователей сигналов ТТЛ в другие 4 типа и для обратного преобразования.

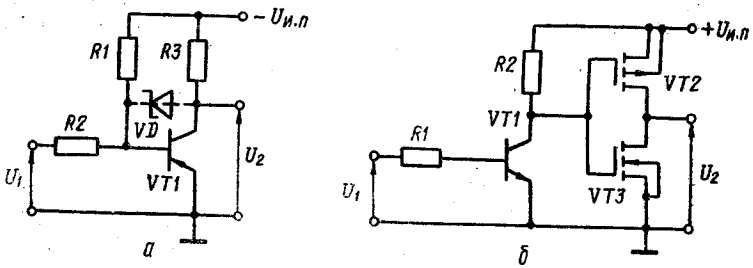


Рис. 8.1

Преобразователи уровней сигналов ТТЛ и МДП (рис. 8.1,*а*). Транзистор *VT1* работает в ключевом режиме. Входная цепь (*R1*, *R2*) рассчитана так, чтобы выполнялись следующие условия: уровень ТТЛ $U^0 \leqslant 0{,}4$ В должен обеспечить режим насыщения транзистора *VT1* при минимально допустимом значении коэффициента усиления тока β_{min}; уровень ТТЛ $U^1 \geqslant 2{,}4$ В должен обеспечить режим отсечки транзистора

$VT1$ при максимальной температуре окружающей среды; входной ток $ПУ_{12}$ I_{max} не должен превышать I_2 ТТЛ. Данные условия выполняются, если справедливы соотношения:

$$U_{и.п}R_2 - U_1^0R_1 > U_{и.п}R_1R_2/(R_3\beta_{min}); \quad (8.1)$$

$$U_1^1R_1 - U_{и.п}R_2 - I_{к0max}R_1R_2 > -|U_{пор}|(R_1 + R_2); \quad (8.2)$$

$$(U_{и.п} + U_1^1)/(R_1 + R_2) < I_2, \quad (8.3)$$

где $|U_{пор}|$ — пороговое напряжение биполярного транзистора.

Из соотношений (8.1) и (8.2) находят требуемые сопротивления резисторов $R1$ и $R2$ относительно выбранного из условия согласования с нагрузкой резистора $R3$:

$$R_1 = \beta_{min}R_3/S; \; R_2 = \beta_{min}R_3(U_1^1 + |U_{пор}|)/(SU_{и.п} + \beta_{min}R_3I_{к0max}), \quad (8.4)$$

где $S = 2...5$ — коэффициент насыщения транзистора.

Полученные из формулы (8.4) значения $R1$, $R2$ должны удовлетворять условию (8.3). В противном случае необходимо увеличить $R3$, уменьшить S или выбрать транзистор с бо́льшим коэффициентом β_{min} и повторить вычисления по формуле (8.4). В результате на выходе $ПУ_{12}$ формируются уровни $U_2^0 \approx -U_{и.п}$ и $U_2^1 \approx 0$. Быстродействие $ПУ_{12}$ определяется частотными свойствами транзистора $VT1$, работающего в режиме насыщения. Введение нелинейной обратной связи через диод Шотки VD повышает быстродействие.

Для преобразования уровней ТТЛ к уровням КМДП используют схему $ПУ_{13}$ (рис. 8.1,*б*). Первый каскад на биполярном транзисторе $VT1$ выполняет роль инвертора-усилителя логического перепада $\Delta U_л = U^1 - U^0$ ТТЛ до логического перепада КМДП. Второй каскад ($VT2$, $VT3$) выполнен в виде ключа на КМДП-транзисторах. Для обеспечения работоспособности $ПУ_{13}$ необходимо выполнить условия:

$$\left.\begin{aligned} &R_1 < (U_{пор} - U_1^0)/I_{к0max}; \\ &R_1 = (U_1^1 - U_{пор})R_2\beta_{min}/(SU_{и.п}), \; S = 2 \ldots 5. \end{aligned}\right\}$$

Сопротивление резистора $R2$ выбирают из условия обеспечения требуемого быстродействия $ПУ_{13}$: чем больше $R2$, тем ниже быстродействие. Если на вход $ПУ_{13}$ поступает от ИМС ТТЛ уровень $U_1^0 \leqslant 0{,}4$ В, транзистор $VT1$ оказывается запертым, на его коллекторе формируется высокий потенциал $U_к^1 = U_{и.п} - I_{к0}R_2 \approx U_{и.п}$, который обусловливает отпирание n-канального транзистора $VT3$ и запирание p-канального транзистора $VT2$. На выходе $ПУ_{13}$ устанавливается низкий потенциал $U_2^0 \approx 0$. При подаче на вход высокого уровня $U_1^1 \geqslant 2{,}4$ В транзистор $VT1$ насыщается, $VT2$ переключается в триодный режим, а $VT3$ — в режим отсечки, и на выходе $ПУ_{13}$ устанавливается высокий уровень $U_2^1 \approx U_{и.п}$.

Достоинства схемы на рис. 8.1,*б* — простота, высокое быстродействие и низкое энергопотребление. К недостаткам следует отнести сочетание в схеме биполярных и униполярных транзисторов, а также низкую помехозащищенность $ПУ_{13}$ на уровне «0» входного сигнала.

Согласование выходов ТТЛ-элементов со схемами *p*-МДП, *n*-МДП и КМДП удобно выполнять с помощью оптронной пары *VD3* → *VD4* (рис. 8.2), управляющей усилителем-инвертором на транзисторе *VT2* и КМДП-каскадом на транзисторах *VT3* и *VT4*. Входная цепь такого ПУ имитирует входные характеристики ТТЛ. Если $U_1^* = \min\{U_{11}, U_{12}\} < U_{пор1}$, транзистор *VT1* и светодиод *VD3* заперты, поэтому транзисторы *VT2* и *VT3* также заперты, а *VT4* находится в триодном режиме. Соответственно напряжение на выходе $U_2 \approx 0$.

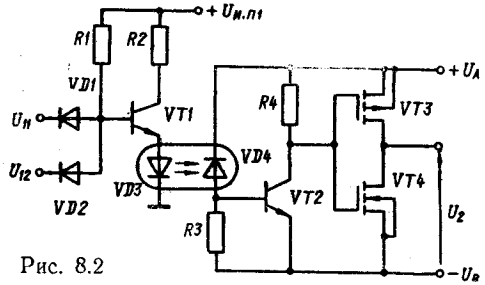


Рис. 8.2

Для подключения ПУ к ИМС *p*-МДП вывод U_A заземляется, а на вывод U_B подается питание — $U_{и.п}$. При сопряжении ТТЛ с *n*-МДП и КМДП заземляется вывод U_B, а на вывод U_A подается положительное напряжение $U_{и.п}$. Соответственно смещается уровень выходного напряжения независимо от U_{11}, U_{12} и $U_{и.п1}$.

Преобразователи уровней ИМС на основе МДП-транзисторов к уровню ТТЛ различаются видом МДП-схем (*p*-МДП, *n*-МДП, КМДП). Сопряжение уровней ИМС на основе *n*-МДП, КМДП, питаемых напряжением $U_{и.п1} > U_{и.п2} = +5$ В, с ИМС типа ТТЛ ($ПУ_{31}$) можно в простейшем варианте выполнить посредством включения ограничивающего диода *VD* (рис. 8.3, *а*). Однако при значительном превышении $U_{и.п1}$ над $U_{и.п2}$ существует опасность перегрузки выхода МДП-схемы за счет больших токов через диод *VD* при передаче логического уровня U^1. Во избежание такой перегрузки вместо диода *VD* можно в качестве $ПУ_{31}$ воспользоваться схемой рис. 8.3, *б*, которая согласует уровни и инвертирует сигнал. Если на затвор транзистора *VT1* от МДП-схемы поступает сигнал $U_1 \leqslant U_{пор1}$, транзистор запирается и на его стоке устанавливается уровень $U_2^1 = U_{и.п2} = 5$ В, соответствующий уровню логической «1» ТТЛ. Высокий уровень на затворе *VT1* переключает его в триодный режим, и на выходе $ПУ_{31}$ формируется уровень логического «0»

$$U_2^0 = \frac{U_{и.п} r_i + N I_{вх}^0 r_i R_c}{r_i + R_c}, \qquad (8.5)$$

где $r_i = f(U_1^1)$ — зависящее от входного напряжения U_1^1 сопротивление канала транзистора *VT1* в триодном режиме; $I_{вх}^0$ — входной ток ТТЛ-схемы при входном напряжении $U_1^0 = 0$; N — количество нагрузок ТТЛ.

Для обеспечения допустимого техническими условиями на ТТЛ ИМС уровня U_1^0 необходимо, чтобы определяемое по формуле (8.5) напряжение удовлетворяло условию: $U_{2МДП}^0 = U_{1ТТЛ}^0 \leqslant U_{max}^0 \approx$ $\approx 0{,}4$ В. Если сопротивление $r_i = 200...500$ Ом, то такой $ПУ_{31}$ можно нагрузить лишь на одну ТТЛ-схему ($N = 1$). Увеличение

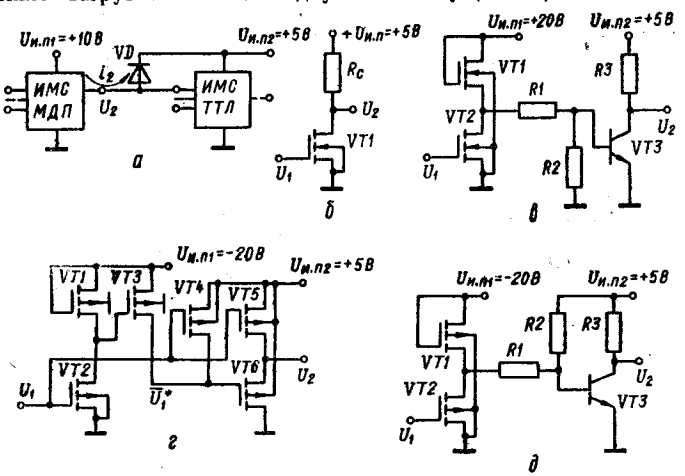


Рис. 8.3

нагрузочной способности достигается включением последовательно с инвертором на МДП-транзисторах простого или сложного инвертора на биполярных транзисторах (рис. 8.3, *в*). Транзистор *VT3* в насыщенном состоянии имеет сопротивление $r_{к.н} \ll r_i$ и обеспечивает высокую нагрузочную способность схемы ($K_{раз} \geqslant 20$).

Согласование логических уровней *p*-МДП и ТТЛ-схем осложняется разнополярностью питающих ИМС напряжений. $ПУ_{21}$, построенный на *p*-МДП-транзисторах (рис. 8.3,*г*), содержит буферный усилитель-инвертор на транзисторах *VT1*...*VT4* и двухтактный оконечный каскад на транзисторах *VT5* и *VT6*. Работа и параметры буферного усилителя подробно описаны в гл. 4 (см. рис. 4.45,*а*). Входной сигнал $ПУ_{21}$ U_1 и выходной буферного усилителя $\overline{U}_1^*$ образуют пару противофазных напряжений, управляющих затворами транзисторов *VT5*, *VT6* оконечного каскада. Если $U_1^1 = 0$, то $\overline{U}_1^* = U_{и.п1} - U_{пор1} - U_{пор3} = -14$ ... ... -16 В, поэтому транзистор *VT5* заперт, а *VT6* открыт, и на выходе напряжение логического «0» $U_2^0 \approx 0$. Входное напряжение $U_1^0 = -20$ В отпирает транзистор *VT5*, а инверсный сигнал $\overline{U}_1^* \approx$ ≈ 5 В запирает транзистор *VT6*, и на выходе формируется уро-

вень логической «1» $U_2^1 \approx 5$ В. Для обеспечения режима отсечки транзисторов *VT4* и *VT5* при $U_1' = 0$ необходимо, чтобы они обладали большим пороговым напряжением $|U_{пор4,5}| \geqslant 5$ В.

В схеме на рис. 8.3, *д* входной инвертор, собранный на МДП-транзисторах *VT1* и *VT2*, обеспечивает развязку МДП-схемы и оконечного каскада на биполярном транзисторе *VT3*, имеющего относительно малое входное сопротивление $R_{вх} \approx R_1$. На резистор *R1* подается либо напряжение $\overline{U}^* = U_{и.п1} - U_{пор1}$ (при $U_1^1 = 0$), либо $\overline{U}_1^* \approx 0$ (при $U_1^0 = -20$ В). При $U_1^0 = -20$ В биполярный транзистор *VT3* насыщен током, проходящим через резистор *R2*, и выходное напряжение $U_2 \approx 0$, а при $U_1^1 = 0$ формируется соот-

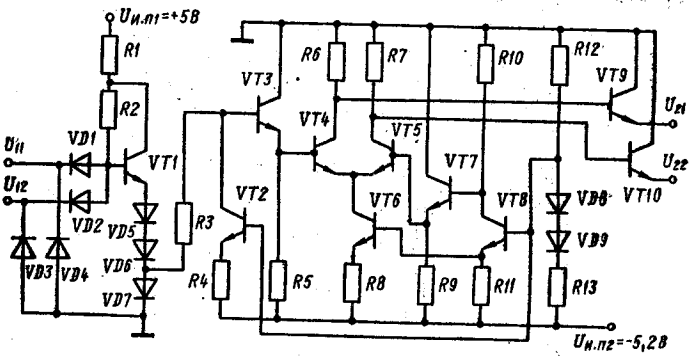


Рис. 8.4

ветственно потенциал $\overline{U}_1^* = -17$ В, который через делитель напряжения *R1*, *R2* обеспечивает режим отсечки транзистора *VT3*. На выходе $ПУ_{21}$ устанавливается $U_2^1 = 5$ В. Таким образом, $ПУ_{21}$ (рис. 8.3, *д*) обеспечивает согласование *p*-МДП-схем и ТТЛ без инверсии логического сигнала.

Преобразователи уровней сигналов ТТЛ и ЭСЛ. К элементам передачи сигналов от ТТЛ-схем к ЭСЛ ($ПУ_{14}$) и от ЭСЛ-схем к ТТЛ ($ПУ_{41}$) предъявляется требование сохранения высокого быстродействия. Эти преобразователи, помимо согласования уровней сигналов и взаимной развязки логических элементов, должны обеспечить минимальную задержку распространения сигналов и не ухудшать помехозащищенность схем ЭСЛ. С учетом этих требований построены ПУ, входящие в состав серий К100, К500 (К100ПУ124, К500ПУ124, К100ПУ125, К500ПУ125) [33].

В ИМС К100ПУ124 (К500ПУ124) входит четыре преобразователя уровней, каждый из которых имеет по два входа и два выхода (прямой U_{22} и инверсный U_{21} (рис. 8.4)). Логическая связь между входами К100ПУ124 используется для блокировки передачи сигналов от ТТЛ-схем к ЭСЛ. Высокое быстродействие входного каскада достигается использованием транзистора *VT1* в ненасыщенном режиме. Для улучшения помехозащищенности на уровне логического «0» увеличен порог входной харак-

теристики до $U_{пор} = 2{,}1$ В. Перепад напряжения на диоде *VD7* обеспечивает переключение токового ключа на транзисторах *VT4* и *VT5* и генератора стабильного тока на транзисторе *VT6*. Напряжение на диоде *VD7* изменяется в пределах 0...0,7 В, а на базу транзистора *VT4* должно поступать напряжение $U_{б4} = -0{,}9...-1{,}6$ В. Необходимое понижение потенциала обеспечивается падением напряжения на эмиттерном переходе транзистора *VT3*, а также на резисторе *R3*, через который протекает независящий от входного сигнала ток

$$I_0 = \alpha_2 I_{э2} = \alpha_2 (U_{оп} - U_{б.э2} - U_{и.п2})/R_4, \qquad (8.6)$$

где $U_{оп} = (U_{и.п2} + 2U_0) R_{12}/(R_{12} + R_{13})$ — опорное напряжение переключения тока; U_0 — пороговое напряжение диодов *VD8*, *VD9*

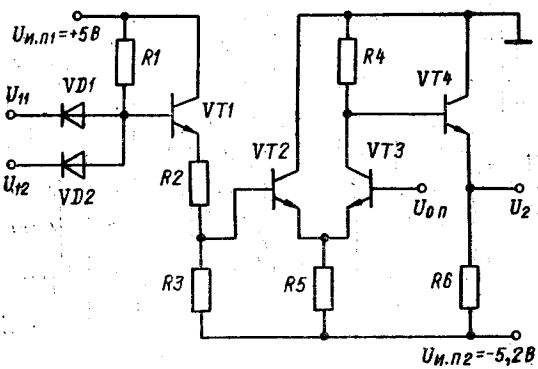


Рис. 8.5

С учетом формулы (8.6) падение напряжения на резисторе *R3* $U_{R3} = I_0 R_3 = \text{const}$. Выходные транзисторы *VT9*, *VT10*, включенные по схеме с общим коллектором, предназначены для улучшения нагрузочной способности $ПУ_{14}$, а также для понижения уровней выходных сигналов до стандарта ЭСЛ. В ИМС К100ПУ124 (К500ПУ124) все транзисторы работают без насыщения, благодаря чему задержка сигнала схемой сведена к минимуму. Недостаток $ПУ_{14}$— сложность схемы и высокое энергопотребление.

Существуют модифицированные и упрощенные варианты рассмотренной выше схемы (рис. 8.5). В эмиттере транзистора *VT1* вместо диодов включены резисторы *R2*, *R3*, сопротивления которых выбирают так, чтобы обеспечить для двух уровней входного сигнала $U_1^0 \leqslant 0{,}4$ В и $U_1^1 \geqslant 2{,}4$ В требуемые уровни напряжения на базе транзистора *VT2*:

$$U_{б2}^0 = [(U_1^0 + U_0 - U_{б.э1}) R_3 + U_{и.п2} R_2] G = -1{,}6 \text{ В}; \qquad (8.7)$$

$$U_{б2}^1 = [(U_{б1}^1 - U_{б.э1}) R_3 + U_{и.п2} R_2] G = -0{,}9 \text{ В}, \qquad (8.8)$$

где $G = 1/(R_2 + R_3)$; $U_{б1}^1 = (\beta_1 U_{и.п1} + G R_1 U_{и.п1})/(\beta_1 + G R_1)$; U_0— пороговое напряжение входных диодов; β_1 — коэффициент усиления по току транзистора *VT1*.

Схема на рис. 8.5 нормально функционирует, если для потенциалов, определяемых соотношениями (8.7), (8.8), выполняется условие: $U_{б2}^{1} > U_{оп} > U_{б2}^{0}$. Недостатком схемы на рис. 8.5 является зависимость напряжения $U_{б2}$ от входного U_1^0 и технологического разброса коэффициента β_1.

Еще более простой вариант ПУ$_{14}$ показан на рис. 8.6,*а*. В зависимости от состояния многоэмиттерного транзистора (МЭТ) *VT1* диод *VD2* заперт либо открыт. При запертом диоде *VD2* потенциал базы транзистора *VT2* и выхода определяется током базы $I_{б2}^{0}$, протекающим через резистор *R2*,

$$I_{б2}^{0} = (|U_{и.п2}| - U_{б2} - U_0) / [R_2 + (\beta_2 + 1) R_3],$$

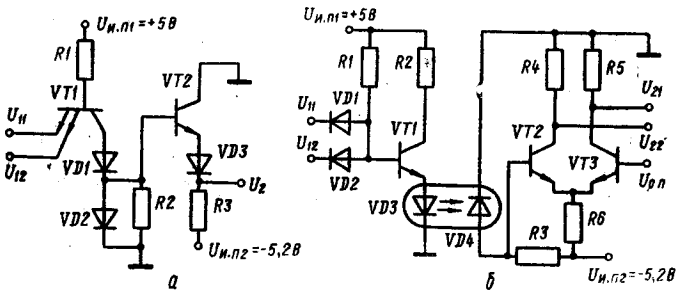


Рис. 8.6

где $U_{б2}$, U_0 — падения напряжения на эмиттерном переходе *VT2* и диоде *VD3*.

Тогда на выходе ПУ$_{41}$ формируется потенциал низкого уровня

$$U_2^0 = -I_{б2}^{0} R_2 - U_{б.э2} U_0 \approx -1{,}6 \text{ В}.$$

Переключение МЭТ *VT1* в инверсный активный режим при запирании эмиттерных переходов высокими уровнями U_{11}, U_{12} повышает потенциал базы транзистора *VT2* приблизительно на 0,7 В. Соответственно повышается уровень выходного напряжения до $U_2^1 \approx -0{,}9$ В. Недостатки схемы на рис. 8.6,*а* — большой входной ток $I_{вх}^{0}$ из-за малого сопротивления резистора *R1* и работа транзистора *VT2* в режиме, близком к насыщению. Кроме того, данный ПУ$_{41}$ имеет низкую помехозащищенность.

Схема ПУ$_{14}$ рис. 8.6,*б* построена на основе токового ключа на транзисторах *VT2*, *VT3*, управляемого через диодную оптронную пару *VD3*, *VD4*. Резисторы *R1*, *R2* выбирают из условия обеспечения необходимого тока через транзистор *VT1* (в активном режиме) и светодиод *VD3*. Основной недостаток ПУ$_{14}$ с оптронной развязкой — большое время задержки сигнала (около 200 нс) из-за инерционности оптронов по сравнению с рассмотренными выше схемами (50 нс).

Преобразование логических уровней ИМС типа ЭСЛ к стандарту ТТЛ выполняет микросхема К100ПУ125 (К500ПУ125), содержащая четыре аналогичных ПУ$_{41}$ (рис. 8.7), которая обеспечивает усиление логического перепада ЭСЛ до необходимого

логического перепада ТТЛ. Функцию усиления по напряжению и мощности выполняют соответственно входной дифференциальный каскад на эмиттерно-связанных транзисторах *VT1* и *VT6* и оконечный двухтактный каскад на транзисторах *VT7* и *VT8*. Режим работы входного каскада определяется опорными напряжениями $U_{оп1} = -1{,}29$ В, $U_{оп2} = -2{,}8$ В, $U_{оп3} = -3{,}5$ В, генератором стабильного тока (*VT3*) и входным напряжением. Одна из баз транзисторов *VT1* или *VT6* с помощью внешнего монтажа соединяется с выводом источника $U_{оп1}$. Таким образом, реализуется либо инвентирующий (вход $U_{11}\,U_{12} = U_{оп1}$), либо

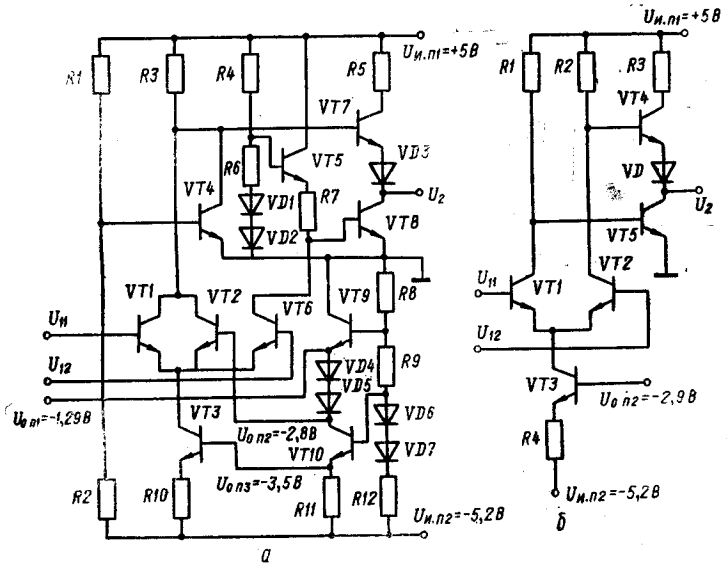


Рис. 8.7

неинвертирующий (вход $U_{12}\,U_{оп1} = U^{1}_{оп1}$). Транзистор *VT2* обеспечивает защиту оконечного каскада (*VT7*, *VT8*) от теплового разрушения сквозным током, так как исключает одновременное отпирание транзисторов *VT7* и *VT8* при подключенном к ИМС напряжении питания и свободных входах U_{11}, U_{12}. Основной недостаток схемы рис. 8.7, *а* — чувствительность к колебаниям напряжения питания $U_{и.п2}$, что обусловлено малым запасом напряжения на резисторе *R10*. Изменяя напряжение $U_{и.п2}$, а также сопротивление резистора *R10*, можно изменять режим работы входного каскада, а следовательно, и выходного.

На рис. 8.7,*б* показана схема $ПУ_{14}$, который не содержит эмиттерных повторителей с резистивными делителями. Кроме того, выходной каскад на транзисторах *VT4* и *VT5* не защищен от теплового пробоя, когда оба транзистора *VT1*, *VT2* заперты (при неподключенных входах U_{11}, U_{12}), что влечет за собой одновременное отпирание транзисторов оконечного каскада. На один

из входов U_{11}, U_{12} подается опорное напряжение $U_{оп1} = -1{,}29$ В и тем самым реализуется соответственно инвертирующий либо неинвертирующий $ПУ_{14}$.

Преобразователей уровней сигналов ТТЛ и И²Л используют биполярные транзисторы двух типов проводимостей, совмещая коллекторную область *p-n-p*-транзистора с базовой областью многоколлекторного *n-p-n*-транзистора (МКТ) и базовую область *p-n-p*-транзистора с эмиттерной областью МКТ. Уменьшение количества фотошаблонов, операций диффузии и изолирующих областей («карманов») обусловливает широкое использование И²Л-технологии в производстве БИС и, в частности, ОЗУ большой емкости. Чаще всего внешние входные и выходные

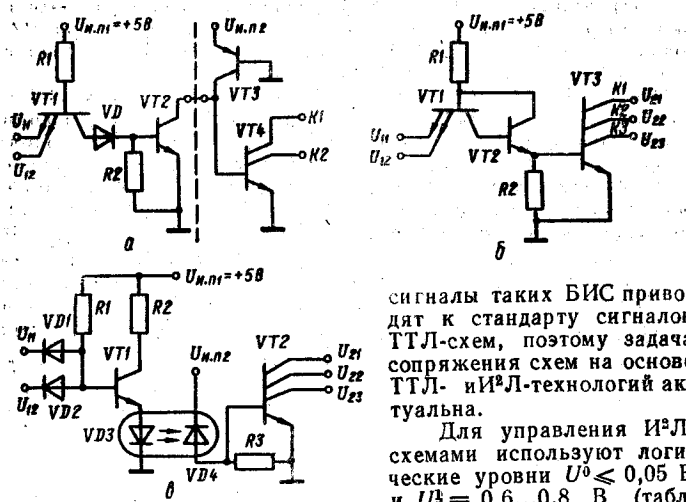


Рис. 8.8

сигналы таких БИС приводят к стандарту сигналов ТТЛ-схем, поэтому задача сопряжения схем на основе ТТЛ- и И²Л-технологий актуальна.

Для управления И²Л-схемами используют логические уровни $U^0 \leqslant 0{,}05$ В и $U^1 = 0{,}6...0{,}8$ В (табл. 8.2), а в ТТЛ-схемах $U^0 \leqslant 0{,}4$ В, $U^1 = 2{,}4...4{,}5$ В. Следовательно, преобразователи уровней ТТЛ → И²Л ($ПУ_{15}$) и И²Л → ТТЛ ($ПУ_{51}$) должны обеспечивать соответственно ослабление и усиление входных сигналов.

В качестве $ПУ_{15}$ можно использовать ТТЛ-схему с открытым коллектором, который подключается непосредственно ко входу И²Л-схемы. Однако при малом числе нагрузок ($K_{раз}$)$ПУ_{15}$ выходной транзистор ТТЛ-схемы имеет глубокое насыщение, при этом возрастает время $t^{01}_{зд.р}$. Поэтому при небольших $K_{раз}$ применяют специальную схему $ПУ_{15}$ (рис. 8.8, *а*). При $U^0_{1i} \approx 0$ транзистор *VT1* насыщен, а *VT2* заперт и ток I_0, инжектируемый генератором тока *VT3*, замыкается через базу МКТ и отпирает его. На выходе $ПУ_{15}$ (коллектор *VT2*) устанавливается $U^1_2 \approx +0{,}7$ В. Если напряжение на входах U_{11}, $U_{12} \geqslant 3{,}5$ В, транзистор *VT1* переключается в инверсный активный режим, а *VT2* — в режим насыщения. Ток I_0 инжектора *VT3* замыкается через насыщенный *VT2*, и поскольку сопротивление коллектора насыщенного тран-

зистора $r_{к.н}$ мало, на выходе $ПУ_{15}$ имеем логический «0» $U_2^0 = r_{к.н} I_0 \approx 0$. Сопротивление резистора

$$R_1 = (U_{и.п1} - U_{б.э1} - U_1^0)/I_{вх}^0.$$

Постоянная времени рассасывания заряда на базе $VT2$

$$\tau_{н2}/C_{вх} > R_2 = \beta_2 R_1 U_{б.э2}/[(U_{и.п1} - U_{б.э2} - U_0 - U_{б.к1})\beta_2 - R_1 I_0 NS], \quad (8.9)$$

где $C_{вх}$ — эквивалентная входная емкость транзистора $VT2$; U_0 — пороговое напряжение диода VD; N — количество нагрузок $И^2Л$ с током инжектора I_0; S — коэффициент насыщения транзистора $VT2$.

Коэффициент S в формуле (8.9) следует выбрать в соответствии с ограничением сверху на сопротивление резистора $R2$. Входная характеристика $ПУ_{15}$ (рис. 8.8,*а*) идентична входной характеристике базового ТТЛ-элемента И—НЕ.

На рис. 8.8,*б* показана модификация схемы рис. 8.8,*а*, полученная заменой диода VD на транзистор $VT2$, работающий без насыщения в режиме эмиттерного повторителя. Многоколлекторный транзистор $VT3$ открывается усиленным транзистором $VT2$ током, что увеличивает быстродействие $ПУ_{15}$. Многоколлекторный выход помимо согласования уровней обеспечивает раздельное управление несколькими $И^2Л$-схемами ($K_{раз}=3$).

В оптоэлектронной схеме $ПУ_{15}$ (рис. 8.8,*в*) входной каскад на транзисторе $VT1$ воспроизводит входные характеристики ТТЛ-элемента И—НЕ. Если хотя бы на одном входе имеется низкий уровень U_{1t}^0, транзистор $VT1$ заперт (светодиод $VD3$ погашен), а значит, заперт фотодиод $VD4$ и МКТ $VT2$ также находится в режиме отсечки. Когда на всех входах имеются логические «1», транзистор $VT1$ насыщен, через светодиод $VD3$ протекает ток

$$I_D = (U_{и.п1} - U_{кн1} - U_0)(R_1 + R_2)/(R_1 R_2) \approx 5 \text{ мА}$$

достаточный для светоизлучения. В результате ток фотодиода открывает транзистор $VT2$ и на выходах (коллекторах) устанавливаются логические «0». Сопротивление резистора $R3$ выбирают так, чтобы за заданное время происходило рассасывание неосновных носителей в базе транзистора $VT2$.

Достоинства оптронного $ПУ_{15}$ — полная гальваническая развязка входных и выходных цепей, а также высокая помехозащищенность. Недостаток — невысокое быстродействие, которое ограничивается оптронной парой.

Преобразователи сигналов $И^2Л$-схем к стандарту ТТЛ ($ПУ_{51}$) должны обеспечить усиление сигналов $И^2Л$ по напряжению (до логического перепада ТТЛ) и по току (от микроампер до миллиампер). Поскольку биполярные транзисторы $И^2Л$-схем имеют малый коэффициент усиления по току ($\beta \approx 2$), требуемое усиление получают последовательным включением (каскадным) нескольких $И^2Л$-схем (рис. 8.9). Число последовательно включаемых $И^2Л$-каскадов зависит от отношения I_1/I_0, где I_0 — ток инжектора; $I_1 \approx U_{и.п}/R_1$. Если каждый МКТ $И^2Л$-схемы содержит $n_к$ коллекторов и имеет коэффициент усиления по току β, то при m последовательно включенных $И^2Л$-схем, ток

$$I_1 = I_0 (n_к \beta)^m. \quad (8.10)$$

Число необходимых каскадов

$$m = \ln(I_1/I_0)/\ln(n_к \beta).$$

На рис. 8.9,*а* показана схема ПУ$_{51}$ для $m = 2$. Выходной каскад ПУ$_{51}$ представляет собой обычный сложный инвертор ТТЛ, управляемый током резистора *R1*, определяемого из соотношения (8.1):

$$R_1 = (U_{и.п} - 2U_0)\, R_2 \beta_{3min}/[(U_{и.п} - U_0)\, S] \approx 0{,}79\, \beta_{3min}\, R_2/S,$$

где $U_0 \approx 0{,}7$ В — напряжение на открытом эмиттерном переходе; $S = 1{,}2...3$ — коэффициент насыщения транзистора.

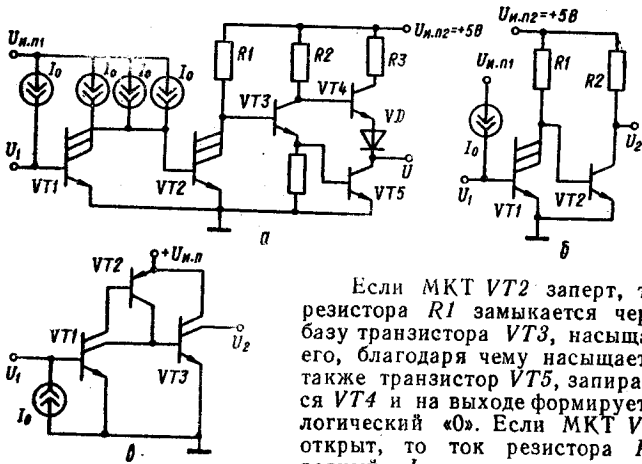


Рис. 8.9

Если МКТ *VT2* заперт, ток резистора *R1* замыкается через базу транзистора *VT3*, насыщает его, благодаря чему насыщается также транзистор *VT5*, запирается *VT4* и на выходе формируется логический «0». Если МКТ *VT2* открыт, то ток резистора *R1*, равный I_1, замыкается через *VT2*, напряжение на базе *VT3* $U_{б3} \approx 0$, поэтому *VT3* и *VT5* заперты, а *VT4* открыт и на выходе устанавливается логическая «1», соответствующая ТТЛ-схемам.

В схеме ПУ$_{51}$ на рис. 8.9,*б* сопротивление резистора *R1* можно выбрать бо́льшим, чем в предыдущей схеме

$$R_1 = (U_{и.п} - U_0)\, R_2\, \beta_{2min}/(SU_{и.п}) \approx 0{,}94\, R_2 \beta_{2min}/S,$$

где R_2 — выходное сопротивление ПУ$_{51}$ в состоянии логической «1» и определяемое из условий согласования с ТТЛ-нагрузками.

Достоинство ПУ$_{15}$ (рис. 8.9,*б*) — простота схемы, а недостатки — все, присущие простым инверторам на выходе ИМС.

В схеме ПУ$_{15}$ на рис. 8.9, *в* [2] выходом является открытый коллектор, который можно подключить непосредственно к входу ТТЛ-схемы. Схема не содержит резисторы и изменением тока инжектора можно регулировать мощность и быстродействие. Схема состоит из двух последовательно включенных И^{2}Л-схем на транзисторах *VT1* и *VT3*. Первый каскад усиливает входной ток I_0 в 2β раз, т. е. ток инжекции второго каскада $I_н = 2\beta I_0$. Второй каскад усиливает ток первого также в 2β раз и его выходной ток должен быть достаточным для непосредственного управления ТТЛ-схемой.

Некоторые из рассмотренных ПУ выпускаются промышленностью в виде монокристальных или гибридных ИМС и широко используются при проектировании цифровых устройств. Наибольшее число промышленных вариантов имеется среди ПУ ТТЛ ↔ ЭСЛ, ТТЛ ↔ МДП.

8.2. ФОРМИРОВАТЕЛИ И ГЕНЕРАТОРЫ ИМПУЛЬСОВ

Все импульсные устройства цифровой схемотехники можно разделить на формирователи импульсов, одновибраторы (ОВ) и мультивибраторы. Формирователями называют логические устройства, для которых существует связь между амплитудно-временными параметрами входных и выходных сигналов. Одновибраторами (или ждущими мультивибраторами) называют спусковые регенеративные устройства, имеющие одно устойчивое состояние, которые в ответ на внешний импульс запуска ге-

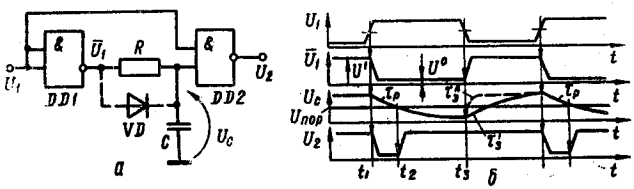


Рис. 8.10

нерируют однократный выходной импульс с заданными амплитудно-временными параметрами (амплитудой U_{2m}, длительностью $t_и$). В цифровых устройствах одновибраторы выполняют функции таймеров, элементов задержки, формирователей импульсов и т. д. Мультивибраторы также являются регенеративными устройствами (с положительной обратной связью), но они не имеют устойчивых состояний равновесия и генерируют непрерывную серию импульсов с постоянными амплитудно-временными параметрами (амплитудой импульса U_{2m}, частотой f или периодом $T = 1/f$ генерируемых колебаний, скважностью импульсов Q).

Формирователи импульсов предназначены для выделения положительных и / или отрицательных фронтов логических сигналов (детекторы фронта), приведения уровней случайного сигнала к стандартным логическим уровням (амплитудный дискриминатор), преобразования формы импульсов, расширения импульсов и т. д.

Детектор фронта (ДФ) импульсной последовательности должен сформировать на выходе короткий положительный или отрицательный импульс в момент соответствующего переключения логических уровней входного сигнала. На рис. 8.10 изображена схема детектора положительного фронта (ДПФ) на основе логических элементов И—НЕ. Элемент *DD1* инвертирует входной сигнал U_1 и подает его на интегрирующую *RC*-цепь. Если на входе $U_1 < U_{пор}$, то высокий уровень заряжает конденсатор *C* до напряжения $U_C = U^1$. Входной сигнал $U_1 = U_1^0$ является доминирующим для *DD2* и на его выходе независимо от $U_C = U^1$ сохраняется уровень логической «1» U_2^1. По положитель-

ному фронту входного сигнала синхронно переключаются в «0» уровни на выходах *DD1* и *DD2*. Совпадение «1» на входах *DD2* поддерживается в течение времени разряда конденсатора *C* от напряжения $U_C = U^1$ до $U_{пор}$. По мере разряда конденсатора через резистор *R* и выходную цепь *DD1* напряжение U_C экспоненциально падает с постоянной времени $\tau_р = C(R + R^0_{вых1})$, где $R^0_{вых1}$ — выходное сопротивление *DD1* в состоянии «0» на выходе. В момент t_2 напряжение U_C достигает $U_{пор}$, и напряжение на выходе *DD2* переключается и устанавливается U^1_2. Таким образом, формируется выходной импульс отрицательной полярности длительностью

$$t_и = \tau_р \ln (U^1/U_{пор}). \qquad (8.11)$$

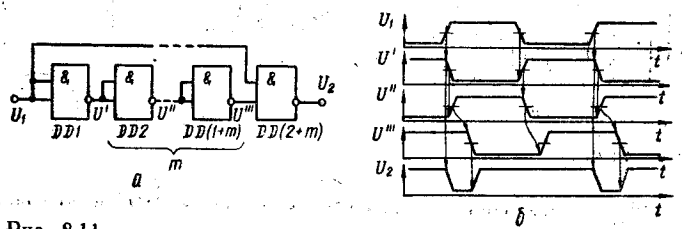


Рис. 8.11

После момента t_2 разряд конденсатора продолжается, асимптотически стремясь к

$$U^0_C \approx U^0_2 + RI^0_{вх2},$$

где $I^0_{вх2}$ — входной ток *DD2* при логическом «0» на входе.

По отрицательному фронту входного сигнала переключается *DD1* напряжением $U_1 = U^1$, восстанавливается заряд на конденсаторе *C*. Заряжается конденсатор выходным током элемента *DD1* через резистор *R* (и диод *VD*, если он подключен) с постоянной времени $\tau'_з = C(R + R^1_{вых1})$ или $\tau''_з \approx C(r_д + R^1_{вых1}) \ll \tau'_з$. Подключение диода *VD* ускоряет заряд конденсатора *C* и переход схемы в исходное состояние. Недостаток ДПФ (рис. 8.10) — наличие навесных компонентов (*R*, *C* и *VD*). Этого недостатка лишен формирователь (рис. 8.11, *а*), в котором длительность выходного импульса определяется временем задержки сигнала в логических элементах *DD1*, ... , DD_k. Как видно из временных диаграмм (рис. 8.11, *б*), длительность выходного импульса при включении между входным *DD1* и выходным *DD4* элементами *m* дополнительных инверторов

$$t_и = (m + 1)\, t_{зд.р.ср}, \qquad (8.12)$$

где *m* — четное число.

Схема ДПФ (рис. 8.11) при $m = 2$ удобна тем, что четыре элемента 2И—НЕ размещаются в одном корпусе серий 133, 155, 564.

Аналогично можно реализовать детектор отрицательного фронта (ДОФ) на логических элементах ИЛИ—НЕ (рис. 8.12,*а*).

Как и в схеме ДПФ важное значение имеет логическая функция только выходного элемента, а в качестве инверторов можно использовать как элементы НЕ, так и ИЛИ—НЕ, И—НЕ. Длительность выходного импульса ДОФ (рис. 8.12,*б*) определяется соотношением

$$t_и = C(R + R^1_{вых1}) \ln \frac{U^1 - U^0 - RI^0_{вх2}}{U^1 - U_{пор}}, \qquad (8.13)$$

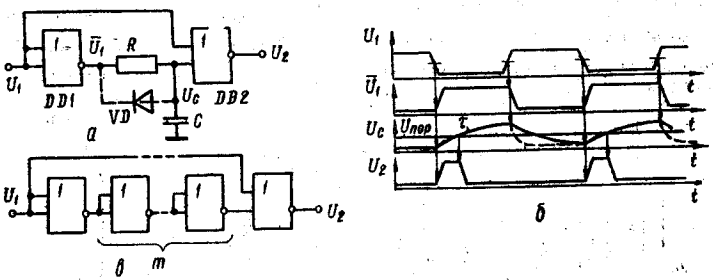


Рис. 8.12

где $R^1_{вых1}$ — выходное сопротивление элемента *DD1* в состоянии логической «1» на выходе; $I^0_{вх2}$ — входной ток элемента *DD2* в состоянии логического «0».

Для быстрого восстановления схемы ДОФ (рис. 8.12,*а*) резистор *R* шунтируют диодом *VD*, вследствие чего ускоряется

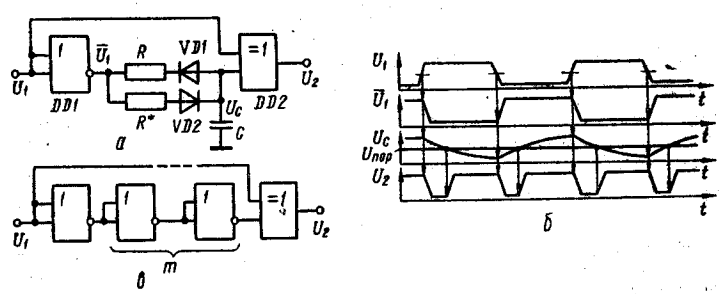


Рис. 8.13

разряд конденсатора *C*. Длительность выходного импульса ДОФ (рис. 8.12,*в*) определяется соотношением (8.12).

На рис. 8.13 показана схема детектора как положительного, так и отрицательного фронта. На выходе элемента *DD2* (рис. 8.13,*а*) ИСКЛЮЧАЮЩЕЕ ИЛИ отрицательный импульс формируется при совпадении логических уровней на его входах. Длительность импульса, формирующегося по положительному фронту, определяется соотношением (8.11), а по отрицательному — соотношением (8.13) с погрешностью, обусловленной задержкой логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. Длительности выходных импульсов, формируемых по положительно-

му и отрицательному фронтам (рис. 8.13,*б*), можно выровнять подключением диодов *VD1*, *VD2* и резистора R^* (на рис. 8.13,*а*), имеющего сопротивление,

$$R^* = \frac{(R + R^0_{\text{вых1}}) \ln [U^1/U_{\text{пор}}]}{\ln [(U^1 - U^0 - RI^0_{\text{вх}})/(U^1 - U_{\text{пор}})]} - R^1_{\text{вых1}}.$$

Схема ДФ рис. 8.13,*в* формирует по каждому фронту импульсы отрицательной полярности приблизительно одинаковой длительности, определяемой соотношением (8.12), причем различие длительностей тем меньше, чем больше m.

Часто на входе цифрового устройства необходим формирователь двухуровневого логического сигнала из случайного непрерывного входного сигнала. Для этого удобно воспользоваться стандартным триггером Шмитта или эквивалентной ему схемой

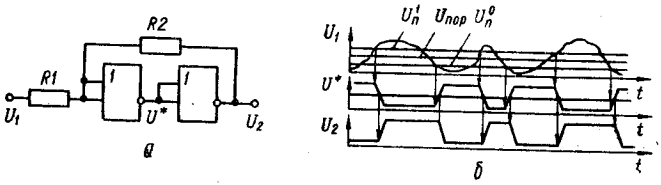


Рис. 8.14

на основе двух инверторов (рис. 8.14,*а*), охваченных параллельной положительной обратной связью через резистор *R2*. Пороговые напряжения $U^0_{\text{п}}$, $U^1_{\text{п}}$ регенеративного переключения полученного таким образом неинвертирующего триггера Шмитта

$$U^{0(1)}_{\text{п}} = U_{\text{пор}} + (U_{\text{пор}} - U^{0(1)}_2)\, R_1/R_2, \qquad (8.14)$$

где $U_{\text{пор}}$ — пороговое напряжение логического элемента *DD1*; U^0_2, U^1_2 — выходные уровни элемента *DD2* в состоянии соответственно «0» и «1». Получаемые из формулы (8.14) пороговые напряжения удовлетворяют условию $U^0_{\text{п}} < U_{\text{пор}} < U^1_{\text{п}}$, что определяет гистерезисный характер передаточной характеристики данного формирователя (рис. 8.14, *б*).

Генераторы импульсов на полевых транзисторах. Полевые транзисторы с управляющим *p-n*-переходом (ПТУП) и МДП-транзисторы и с изолированным затвором и индуцированным или встроенным каналом применяют при построении генераторов импульсов больших длительностей с внешним запуском (одновибраторы, ждущие мультивибраторы) или задающих генераторов низких и инфранизких частот (мультивибраторы, астабильные вибраторы). Это объясняется большим сопротивлением утечки тока в цепи затвора полевых транзисторов и возможностью получения больших постоянных времени $\tau = RC$ времязадающих цепей за счет больших допустимых сопротивлений резисторов при относительно небольших емкостях конденсаторов. Уменьшение емкостей конденсаторов позволяет улучшить конструктивные и стоимостные показатели схем. Рассмотрим наиболее характерные схемы на полевых транзисторах.

Схема расширителя импульсов на МДПТ с индуцированным каналом n-типа [94] показана на рис. 8.15. К расширителям относят моностабильные регенеративные устройства, обеспечивающие при входном импульсе длительностью $t_{вх}$ формирование выходного прямоугольного импульса, длительность $t_п = t_{вх} + \Delta t$, где Δt — приращение, являющееся параметром расширителя.

Расширитель рис. 8.15,*а* построен на основе RS-триггера (транзисторы *VT2*, *VT3*) и времязадающей цепи R, C коммутируемой ключем на транзисторе *VT5*. Для управления состояниями RS-триггера используют транзистор *VT1*, управляемый внешним сигналом, и *VT4*, управляемый напряжением на конденсаторе C. В исходном состоянии входным напряжением $U_1 = U_1^0 < U_{пор1,5}$ транзисторы *VT1* и *VT5* заперты, конденсатор C заряжен до напряжения $+U_{и.п}$ и транзистор *VT4* высоким

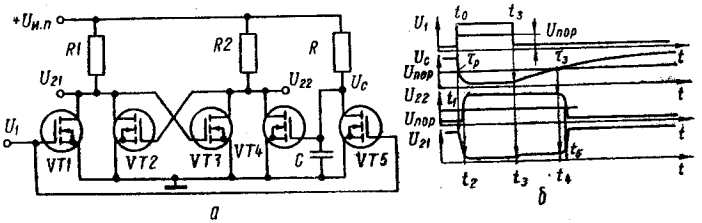


Рис. 8.15

потенциалом $U_C^1 = U_{и.п} > U_{пор4}$ поддерживается открытым (в триодном режиме). На стоке открытого транзистора *VT4* действует низкий потенциал, благодаря чему транзистор *VT2* заперт. На общем стоке запертых транзисторов *VT1* и *VT2* потенциал близок к напряжению питания $U_2^1 = U_{и.п}$, поэтому транзистор *VT3* открыт.

Входной импульс положительной полярности, удовлетворяющий условию $U_1^1 > U_{пор1,5}$, в момент t_0, открывая транзистор *VT1*, переключает состояние триггера и вызывает разряд конденсатора C через открывшийся транзистор *VT5*. Транзисторы *VT1*, *VT2* и *VT5* открываются, транзисторы *VT3*, *VT4* — закрываются, а конденсатор C разряжается. Это состояние расширитель сохраняет до окончания входного импульса. По заднему фронту входного импульса (момент t_3 рис. 8.15,*б*) транзистор *VT5* запирается и конденсатор C начинает заряжаться от источника питания через резистор R. Напряжение на конденсаторе C и затворе транзистора *VT4* нарастает по экспоненциальному закону с постоянной времени $\tau_з = RC$. В момент t_4 $U_C = U_{пор4}$ начинается обратное опрокидывание триггера и схема возвращается в исходное состояние. Приращение длительности выходного импульса

$$\Delta t = \tau_з \ln [(U_{и.п} - U_C^0)/(U_{и.п} - U_{пор4})] \approx$$
$$\approx RC \ln [U_{и.п}/(U_{и.п} - U_{пор4})],$$

где U_C^0 — напряжение сток — исток МДП-транзистора в триодном режиме.

В качестве накопительного конденсатора C можно использовать эквивалентную емкость, состоящую из межэлектродных емкостей транзисторов $VT4$ и $VT5$. Длительность входного импульса $t_{вх}$ должна быть достаточной для полного разряда конденсатора C через открытый транзистор $VT5$. На практике вместо схемы на транзисторах $VT1...VT4$ можно использовать RS-триггер на МДПТ.

При построении одновибраторов, предназначенных для генерирования импульсов большой длительности (порядка миллисекунд и секунд), времязадающая RC-цепочка должна иметь соответственно большую постоянную времени. В этом случае целесообразно использовать в качестве активных компонентов МДП-транзисторы, в цепи затвора которых для задания режима работы включают резисторы с сопротивлением в $10^2...10^4$ раз большим, чем в биполярных транзисторах. При

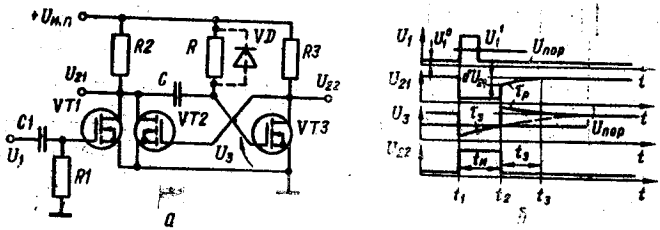


Рис. 8.16

этом конденсатор времязадающей цепи имеет емкость соответственно в $10^2...10^4$ раз меньше, что улучшает массогабаритные параметры схемы и одновременно позволяет уменьшить время восстановления одновибратора.

В схеме на МДПТ с индуцированным каналом (рис. 8.16,*а*) собственно одновибратор построен на транзисторах $VT2$, $VT3$ со стокозатворными связями, а транзистор $VT1$ используется для запуска схемы внешним импульсом. В исходном состоянии транзистор $VT3$ открыт потенциалом $+U_{и.п}$ на затворе. Потенциал стока $VT3$ $U_{22}^0 = U_{зп2} < U_{пор2}$, поэтому транзистор $VT2$ заперт. Поскольку $VT1$ также заперт ($U_{зп1} = 0$), на общем стоке транзисторов $VT1$ и $VT2$ имеется высокий потенциал $U_{21}^1 = U_{и.п}$. Конденсатор C времязадающей цепи разряжен, так как потенциалы на его электродах $U_C = U_{зп3} - U_{21} = U_{и.п} - U_{и.п} = 0$.

Входной импульс положительной полярности, удовлетворяющий условию $U_1^1 > U_{пор1}$, в момент t_1 (рис. 8.16,*б*) открывает транзистор $VT1$ и потенциал его стока скачком падает до $U_{21}^0 \approx \approx 0$. Отрицательный скачок потенциала на стоках $VT1$, $VT2$ через конденсатор C передается на затвор транзистора $VT3$ и запирает его. На стоке $VT3$ и затворе $VT2$ потенциал скачком увеличивается до $U_{22}^1 = U_{зп2} = U_{и.п}$ и транзистор $VT2$ переключается в триодный режим. Схема переключилась в квазиустойчивое состояние, для которого характерен заряд конденсатора C через

резистор R и транзистор $VT2$. Через открытый транзистор $VT2$ конденсатор C оказывается включенным между затвором и истоком транзистора $VT3$. По мере заряда конденсатора напряжение затвор—исток $VT3$ экспоненциально с постоянной времени $\tau_з = RC$ нарастает от $U_{з.и3}(t_1) \approx 0$, стремясь асимптотически к $U_{з.и3}(\infty) = U_{и.п}$. В момент t_2 потенциал затвора $VT3$ достигает уровня $U_{з.и3} = U_{пор3}$ и транзистор $VT3$ открывается. Благодаря положительной обратной связи развивается регенеративный процесс обратного опрокидывания, в результате которого транзистор $VT3$ переключается в триодный режим, а $VT2$ — в режим отсечки. На этапе восстановления одновибратора конденсатор C разряжается через резисторы R и $R2$ с постоянной времени $\tau_р = C(R + R_2)$. Ток разряда обусловливает скол вершины выходного сигнала δU_{21} и

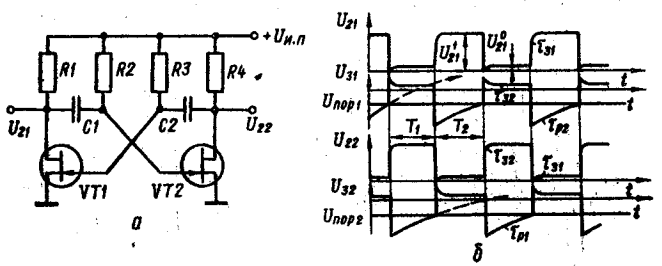


Рис. 8.17

выброс напряжения на затворе транзистора $VT3$. Для ускорения процесса восстановления резистор R шунтируют диодом VD.

Длительность выходного импульса

$$t_и = \tau_з \ln[(U_{и.п} - U_{з.и3}(t))/(U_{и.п} - U_{пор3})] \approx$$
$$\approx RC \ln[U_{и.п}/(U_{и.п} - U_{пор3})]. \qquad (8.15)$$

Длительность восстановления одновибратора (без шунтирующего диода)

$$t_в \approx 3\tau_р = 3C(R + R_2),$$

при подключении диода VD

$$t_в^* \approx 3\tau_р^* = 3C(R \| r_д + R_2) \approx 3CR_2 \ll t_в.$$

Сопротивление резистора R в данной схеме выбирают в диапазоне $R = 10^6 \ldots 10^7$ Ом, а емкость C определяют по формуле (8.15).

Существенным достоинством рассмотренной схемы является отсутствие дополнительного источника запирающего смещения, недостатком —зависимость длительности выходного импульса от температуры: с ростом температуры уменьшаются пороговое напряжение транзисторов $U_{пор}$ и длительность выходного импульса $t_и$.

Инфранизкочастотный генератор прямоугольных импульсов на ПТУП (рис. 8.17,*а*) представляет собой два инвертирующих ключевых каскада, включенных последовательно. Схема самовозбуждается при подключении питающего напряжения $U_{и.п}$.

Она имеет два квазиустойчивых состояния, определяемые режимами работы ПТУП, транзистор *VT1* (*VT2*) заперт в то время, как другой *VT2* (*VT1*) открыт, и управляющий *p-n*-переход смещен в прямом направлении. Пусть мультивибратор находится в квазиустойчивом состоянии, в котором транзистор $VT1$, открыт, а *VT2* заперт. При этом происходит быстрый заряд конденсатора *C2* через резистор *R4* и открытый *p-n*-переход транзистора *VT1* с постоянной времени $\tau_{з2} \approx C_2R_4$. Одновременно конденсатор *C1* разряжается через резистор *R2* и канал открытого транзистора *VT1*. Постоянная времени разряда $C1\ \tau_{р1} \approx C_1R_1 \gg \gg \tau_{з2}$ определяет длительность полупериода, который заканчивается в момент, когда потенциал на правой обкладке конденсатора *C1* и затворе транзистора *VT2* возрастает до уровня порогового напряжения $U_{пор}$, и *VT2* отпирается. Под действием положительной

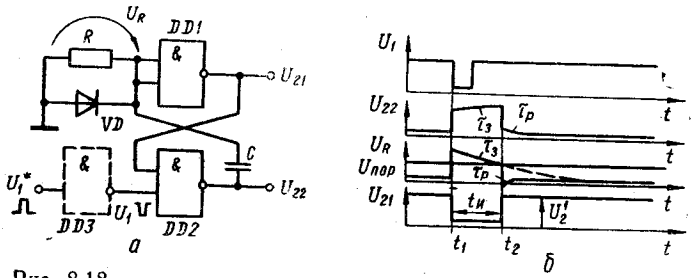


Рис. 8.18

обратной связи мультивибратор переключается в другое квазиустойчивое состояние (*VT1* закрыт, *VT2* открыт), в котором конденсатор *C1* быстро заряжается ($\tau_{з1} \approx C_1R_1$), а *C2* медленно разряжается ($\tau_{р2} \approx C_2R_3$).

Длительности полупериодов T_1, T_2 можно определить по временным диаграммам (рис. 8.17, *б*):

$$T_1 \approx C_1R_2 \ln [2U_{и.п}/(U_{и.п} + |U_{пор2}|)];$$

$$T_2 \approx C_2R_3 \ln [2U_{и.п}/(U_{и.п} + |U_{пор1}|)].$$

Для обеспечения работоспособности такого мультивибратора при выборе типа ПТУП и напряжения источника питания необходимо выполнить условие $U_{и.п} / |U_{пор}| \geqslant 2{,}5$.

Генераторы импульсов на логических ИМС используют для получения импульсов малой длительности (вплоть до наносекундного диапазона). Такие генераторы обладают высокой нагрузочной способностью, обеспечиваемой обычно двухтактным усилителем мощности на выходе ИМС, поэтому даже на емкостной нагрузке формируются импульсы с достаточно короткими фронтами. ИМС ТТЛ-типа имеют относительно большой входной ток логического «0», что накладывает ограничение сверху на сопротивления времязадающих цепей и определяет диапазон генерируемых частот ($10^5 \ldots 10^7$ Гц). Для построения генераторов импульсов используют логические элементы И—НЕ и ИЛИ—НЕ.

Одновибратор на основе ИМС типа И—НЕ (рис. 8.18,*а*) содержит одну времязадающую *RC*-цепь. Для ИМС ТТЛ-

типа сопротивление резистора R выбирают с учетом ограничения

$$R < U_{пор} U_{и.п}/[(U_{и.п} - U_{пор}) I^0_{вх}], \quad (8.16)$$

где $U_{пор}$ — пороговое напряжение; $I^0_{вх}$ — входной ток ИМС при $U_{вх} = 0$.

Если условие (8.16) выполняется, то на входе *DD1* действует напряжение

$$U^0_R = U_{и.п} I^0_{вх} R/(U_{и.п} + I^0_{вх} R) < U_{пор},$$

соответствующее уровню логического «0». Поэтому на выходе *DD1* в устойчивом состоянии имеем высокий уровень U^1_{21}. На входе ИМС *DD2* высокий уровень U^1_{21} совпадает с обязательным в исходном состоянии высоким уровнем U^1_1 входного сигнала, и на выходе *DD2* поддерживается уровень логического «0». Конденсатор C в устойчивом состоянии одновибратора практически разряжен.

Запускается одновибратор коротким отрицательным импульсом U_1 (либо положительным импульсом U^*_1 при наличии дополнительного инвертора *DD3*). По отрицательному фронту входного сигнала в момент времени t_1 (рис. 8.18,*б*) переключается выход *DD2* в состояние логической «1». Приращение потенциала $\Delta U_{22} = U^1_{22} - U^0_{22} \approx U^1_{22}$ через конденсатор C передается на вход ИМС *DD1*, на выходе которой устанавливается низкий уровень $U^0_{21} \approx 0$. Таким образом, через $2t_{зд.р.ср}$ на второй вход *DD2* поступает уровень U^0_{22}, который поддерживает на выходе *DD2* единичный уровень и по окончании входного импульса. Отсюда вытекает требование к длительности входного сигнала $t_и > t_{вх} \gg 2t_{зд.р.ср}$.

В квазиустойчивом состоянии одновибратора заряжается конденсатор C через выходную цепь *DD2*, находящегося в состоянии «1», и резистор R. По мере заряда конденсатора зарядный ток i_R и напряжение $U_R = i_R R$ экспоненциально уменьшаются с постоянной времени

$$\tau_з = C(R + R^1_{вых2}), \quad (8.17)$$

где $R^1_{вых2}$ — выходное сопротивление ИМС *DD2* в состоянии «1» на выходе.

В момент времени t_2 напряжение $U_R = U_{пор}$ и выход *DD1* переключается из «0» в «1». Положительное приращение потенциала $\Delta U_{21} > U_{пор}$ обусловливает переключение *DD2* и под действием положительной обратной связи одновибратор лавинообразно переключается в состояние, являющееся устойчивым. Таким образом, схема генерирует импульс с учетом выражения (8.17) длительностью

$$t_и \approx C(R + R'_{вых2}) \ln(U^1_{22}/U_{пор1}). \quad (8.18)$$

По окончании формирования импульса начинается этап восстановления, связанный с разрядом конденсатора C через

выходное сопротивление $DD2$ и параллельно включенные резистор R и прямосмещенный диод VD. Длительность восстановления определяется постоянной времени цепи разряда

$$t_в \approx 3\tau_р = 3C\,(R^0_{вых2} + r_д \| R) \approx 3C\,(R^0_{вых2} + r_д).$$

Диод VD ускоряет восстановление одновибратора и защищает вход ИМС $DD1$ от недопустимо больших отрицательных уровней. Если ИМС $DD1$ имеет защитные диоды на входах, включать VD не обязательно.

Скол вершины положительного импульса на выходе $DD2$ обусловлен током заряда i_R, амплитудное значение которого зависит от сопротивления R (для ИМС серий 133, 155 $R \leqslant 910$ Ом).

Аналогично построен и функционирует мультивибратор с автоматическим запуском на основе ИМС И—НЕ (рис. 8.19,*а*),

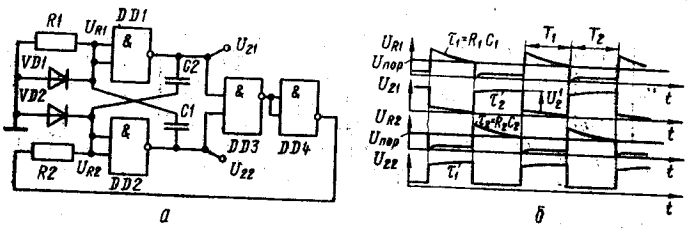


Рис. 8.19

содержащий две времязадающих цепи $R1$, $C1$ и $R2$, $C2$. Собственно мультивибратор построен на ИМС $DD1$ и $DD2$, а элементы $DD3$ и $DD4$ предназначены для автоматического запуска генератора. В режиме стационарных колебаний на входах $DD3$ устанавливаются противофазные сигналы, поэтому на выходе $DD3$ поддерживается постоянный высокий уровень U^1, а на выходе $DD4$ — низкий $U^0 \approx 0$, и резистор $R2$ оказывается практически «заземленным». В случае срыва колебаний на выходах $DD1$ и $DD2$ устанавливаются уровни U^1_{21} и U^1_{22}, поэтому на выходе $DD3$ имеем U^0, а на выходе $DD4$—U^1, который через резистор $R2$ поступает на вход $DD2$ и выводит мультивибратор из равновесного состояния. Таким образом запускается схема. Это позволяет использовать схему для генерирования пачек импульсов управлением режимами генерации по одному из входов ИМС $DD1$ или $DD2$.

Длительности полупериодов T_1, T_2 (рис. 8.19,*б*) мультивибратора определяются времязадающими цепями соответственно $R1$, $C1$ и $R2$, $C2$:

$$T_{1(2)} \approx R_{1(2)}\,C_{1(2)} \ln\,(U^1_2/U_{пор1(2)}),$$

а частота генерируемых колебаний $f = (T_1 + T_2)^{-1}$.

Для стабилизации режима работы в мультивибраторах можно использовать местную (охватывающую одну ИМС) или общую отрицательную обратную связь через резисторы времязадающих цепей. Необходимая для самовозбуждения генератора положительная обратная связь в таких схемах реализуется через конденсатор. Схема простейшего мультивибратора дан-

ного типа показана на рис. 8.20,*а* [16]. Отрицательной обратной связью через резистор *R* охвачен инвертор *DD1*. Самовозбуждение обеспечивается емкостной связью, охватывающей два инвертора. Релаксационные процессы перезаряда конденсатора *C* через резистор *R*, которые включены последовательно между выходами *DD1* и *DD2*, определяют длительности полупериодов T_1, T_2 частоту генерации *f* и скважность выходных импульсов *Q*. На временном интервале T_1 (рис. 8.20, *б*) на входе элемента *DD1* напряжение $U_{11} > U_{пор}$, поэтому на его выходе поддерживается низкий уровень U^0_{21}, а на выходе *DD2* — высокий уровень U^1_{22}. Ток перезаряда конденсатора *C* течет от источника питания по цепи «$+U_{и.п}$» — $R^1_{вых2}$ — *C* — *R* — $R^0_{вых1}$ «земля» и экспоненциально уменьшается с постоянной времени

$$\tau_1 = C\,[(R^0_{вых1} \parallel R^0_{вх2} + R) \parallel R^1_{вх1} + R^1_{вых2}] \approx C\,(R^1_{вых2} + R), \quad (8.19)$$

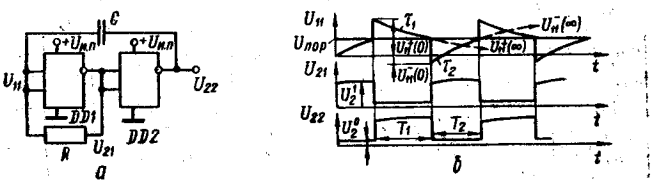


Рис. 8.20

При этом напряжение на входе *DD1* также экспоненциально падает от начального значения

$$U^+_{11}(0) = U_{пор} + (U^1_{22} - U^0_{22})\,\frac{R}{R + R^1_{вых2}} = U_{пор} + \Delta U_л\,\gamma_1, \quad (8.20)$$

где $\Delta U_л = U^1_{22} - U^0_{22}$; $\gamma_1 = R/(R + R^1_{вых2})$, стремясь асимптотически к уровню $U^+_{11}(\infty) = U^0_{22} \approx 0$. В момент, когда напряжение на входе *DD1* достигает уровня порога $U_{пор}$, инвертор *DD1* переходит в усилительный режим, его выходное напряжение, нарастая, включает инвертор *DD2* и далее под действием положительной обратной связи схема регенеративно переключается в другое квазиустойчивое состояние.

На временном интервале T_2 напряжение на входе *DD1* $U_{11} < U_{пор}$, поэтому на выходе *DD1* — высокий уровень U^1_{21}, а на выходе элемента *DD2* — низкий $U^0_{22} \approx 0$. Ток перезаряда конденсатора *C* протекает в противоположном направлении от источника питания элемента *DD1* по цепи «$+U_{и.п}$» $R^1_{вых1}$ *RCR*$^0_{вых2}$ «земля» и создает на резисторе *R* перепад напряжения, достаточный для поддержания на входе элемента *DD1* напряжения в области логического «0». По мере перезаряда ток через резистор *R* уменьшается экспоненциально с постоянной времени

$$\tau_2 = C\,[(R^1_{вых1} \parallel R^1_{вх2} + R) \parallel R^0_{вх1} + R^0_{вых2}] \approx C\,(R \parallel R^0_{вх1}), \quad (8.21)$$

поэтому напряжение на входе *DD1* экспоненциально нарастает от уровня

$$U_{11}^{-}(0) = U_{пор} - (U_{22}^{1} - U_{22}^{0}) \times$$
$$\times \frac{R + R_{вых1}^{1} \parallel R_{вх2}^{1}}{R + R_{вых1}^{1} \parallel R_{вх2}^{1} + R_{вых2}^{0}} = U_{пор} - \Delta U_{л}\, \gamma_2, \qquad (8.22)$$

где $\Delta U_{л}$ — то же, что в формуле (8.20);

$$\gamma_2 = \frac{R + R_{вых}^{1} \parallel R_{вх2}^{1}}{R + R_{вых1}^{1} \parallel R_{вх2}^{1} + R_{вых2}^{0}},$$

стремясь асимптотически к уровню $U_{11}^{-}(\infty) = U_{и.п}$. В момент совпадения $U_{11}(t) = U_{пор}$ схема вновь переключается и все процессы повторяются. Длительность полупериода T_1 с учетом формул (8.19) и (8.20) определяется соотношением

$$T_1 = \tau_1 \ln \frac{U_{11}^{+}(\infty) - U_{11}^{+}(0)}{U_{11}^{+}(\infty) - U_{пор}} = C\,(R_{вых2}^{0} + R) \times$$
$$\times \ln [(U_{пор} + \Delta U_{л}\, \gamma_1)/U_{пор}]. \qquad (8.23)$$

Аналогично можно определить длительность второго полупериода

$$T_2 = \tau_2 \ln \frac{U_{11}^{-}(\infty) - U_{11}^{-}(0)}{U_{11}^{-}(\infty) - U_{пор}} = C\,(R \parallel R_{вх1}^{0}) \times$$
$$\times \ln [(U_{и.п} - U_{пор} + \Delta U_{л}\, \gamma_2)/(U_{и.п} - U_{пор})]. \qquad (8.24)$$

Для ИМС ТТЛ-типа на сопротивление резистора R накладывается ограничение сверху $R < (U_{пор} - U_{2}^{0})/I_{вх}^{1}$, поэтому обычно для серий ИМС К133, К155 оно не превышает 510 Ом. При $R = 390$ Ом частота генерации приближенно определяется соотношением $f_{кГц} = 1{,}2/C_{мкФ}$. Искажение вершин импульсов на выходах U_{21}, U_{22} ТТЛ-схем обусловлено реактивной составляющей выходных токов перезаряда конденсатора через резистор R. При использовании ИМС КМДП-типа $R = 10^3 \ldots 10^5$ Ом, поэтому вершина выходных импульсов не искажена и выражения (8.23), (8.24) существенно упрощаются

$$T_1 = RC \ln [(U_{и.п} + U_{п1})/U_{п2}];$$
$$T_2 = RC \ln [(2U_{и.п} - U_{п2})/(U_{и.п} - U_{п1})],$$

где $U_{п1}$ — пороговое напряжение n-канальных транзисторов ИМС; $U_{п2}$ — напряжение запирания p-канальных транзисторов.

Достоинства рассмотренного мультивибратора — простота схемы и стабильность частоты генерации: при изменении напряжения питания ИМС ТТЛ-типа $U_{и.п} = 4{,}5 \ldots 5{,}5$ В частота изменяется только на 2 %. Главный недостаток схемы — искажения вершин выходных импульсов. Для его устранения схему дополняют еще одним инвертором *DD3* (рис. 8.21). При этом резистор R отключают от выхода *DD1* и подключают к выходу элемента *DD3*. Перезаряд конденсатора C в такой схеме проис-

ходит через резистор R и выходные цепи $DD2$, $DD3$. Поскольку элемент $DD1$ не нагружен емкостью, импульсы на его выходе обладают хорошей прямоугольностью.

Принцип работы мультивибратора рис. 8.21,*а* аналогичен рассмотренному выше (рис. 8.20). Времязадающая RC-цепь определяет экспоненциальные процессы перезаряда конденсатора с постоянными времени (рис. 8.21,*б*)

$$\tau_1 = C\,[R^1_{\text{вых2}} + (R^0_{\text{вых3}} + R) \parallel R^1_{\text{вх}}] \approx C\,(R^1_{\text{вых2}} + R); \quad (8.25)$$

$$\tau_2 = C\,[(R^1_{\text{вых3}} + R) \parallel R^0_{\text{вх1}} + R^0_{\text{вых2}} \parallel R^0_{\text{вх3}}] \approx$$
$$\approx C\,[(R^1_{\text{вых3}} + R) \parallel R^0_{\text{вх1}}]. \quad (8.26)$$

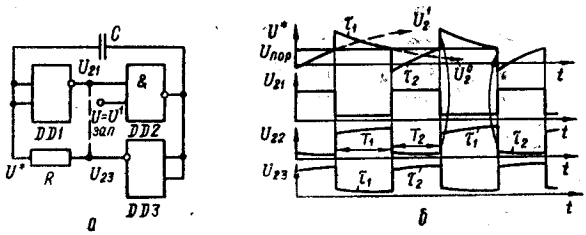


Рис. 8.21

Для ИМС ТТЛ-типа длительности полупериодов генерируемых колебаний

$$T_1 = \tau_1 \ln\,[(U_{\text{пор}} + \Delta U_{\text{л}}\,\gamma_1)/U_{\text{пор}}];$$
$$T_2 = \tau_2 \ln\,[(U_{\text{и.п}} - U_{\text{пор}} + \Delta U_{\text{л}}\,\gamma_2)/(U_{\text{и.п}} - U_{\text{пор}})],$$

где τ_1, τ_2 — определяются соотношениями (8.25), (8.26);

$$\gamma_1 = [R^1_{\text{вх1}} \parallel (R + R^0_{\text{вых3}})]/[R^1_{\text{вых2}} + R^1_{\text{вх1}} \parallel (R + R^0_{\text{вых3}})];$$
$$\gamma_2 = [R^0_{\text{вх1}} \parallel (R + R^1_{\text{вых3}})]/[R^0_{\text{вых2}} \parallel R^0_{\text{вх3}} + R^0_{\text{вх1}} \parallel (R + R^1_{\text{вых3}})].$$

В схеме мультивибратора (рис. 8.21) управляющий вход $U_{\text{зап}}$ используется для возбуждения ($U_{\text{зап}} = U^1$) или торможения ($U_{\text{зап}} = 0$) генерации. При $R = 390$ Ом частота генерации $f_{\text{кГц}} = 1/C_{\text{мкФ}}$.

Оба мультивибратора с местной отрицательной обратной связью обладают слабой чувствительностью к изменениям напряжения питания.

Генераторы импульсов на основе триггеров. Для построения одновибратора на основе RS-триггера [86] необходимо включить времязадающую цепь между одним из выходов и соответствующим входом. Второй вход триггера используется для возбуждения схемы. В одновибраторе (рис. 8.22) в качестве времязадающей используется интегрирующая цепь между единичным выходом Q-триггера и R-входом установки в состояние «0». Поэтому устойчиво триггер может находиться только в состоянии «0», так как после установки в состояние «1» высокий потенциал U^1_{21} обусловливает заряд конденсатора C через резистор R.

Через время $t_и$ напряжение на конденсаторе ($U_C \geqslant U_{пор}$) сбрасывает триггер в устойчивое состояние «0». Таким образом, длительность выходного импульса определяется процессом заряда конденсатора C от некоторого начального значения $U_C(0)$ до порогового напряжения $U_{пор}$ с постоянной времени

$$\tau_1 = C\,[(R^1_{вых} + R) \parallel R^0_{вх}]. \qquad (8.27)$$

Начальное напряжение на конденсаторе C для ИМС КМДП-типа $U_C(0) = 0$, а для ТТЛ-типа определяется выражением

$$U_C(0) = \frac{U_{и.п}(R + R^0_{вых}) + U^0_{22} R^0_{вх}}{R + R^0_{вых} + R^0_{вх}} \approx \frac{U_{и.п} R}{R + R^0_{вх}}, \qquad (8.28)$$

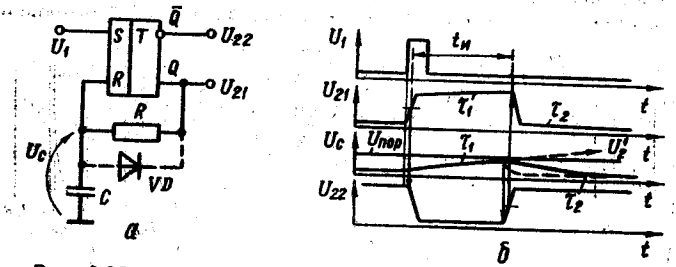


Рис. 8.22

где $R^0_{вх}$, $R^0_{вых}$ — входное и выходное сопротивления триггера, соответствующие уровню логического «0».

Напряжение на конденсаторе нарастает асимптотически, стремясь к

$$U_C(\infty) = \frac{U_{и.п}(R + R^1_{вых}) + U^1_{21} R^0_{вх}}{R + R^1_{вых} + R^0_{вх}} \approx U^1_{21}. \qquad (8.29)$$

Длительность выходного импульса

$$t_и = \tau \ln\,[(U_C(\infty) - U_C(0))/(U_C(\infty) - U_{пор})] \qquad (8.30)$$

определяется с учетом выражений (8.27)—(8.29).

После сброса триггера в состояние «0» схема восстанавливается: конденсатор C разряжается с постоянной времени τ_1 (или происходит ускоренный разряд через подключенный параллельно резистору диод VD). Расчет схемы сводится к выбору сопротивления резистора R, на которое накладывается ограничение

$$R_{н\,min} < R < \frac{(U_{пор} - U^0_{22}) R^0_{вх} - (U_{и.п} - U_{пор}) R_{вых}}{U_{и.п} - U_{пор}} \approx$$

$$\approx \frac{U_{пор} R^0_{вх}}{U_{и.п} - U_{пор}},$$

(где $R_{н\,min}$ — минимально допустимое сопротивление нагрузки триггера), и требуемой емкости конденсатора C. Регулировка

длительности импульса $t_и$ изменением сопротивления резистора R при использовании триггера на ТТЛ-типе малоэффективна, так как согласно (8.30) изменение τ_1 за счет сопротивления R частично компенсируется изменением $U_C(0)$. Такая нежелательная компенсация отсутствует при использовании RS-триггеров на КМДП, которые для схемы на рис. 8.22 предпочтительнее.

Основной недостаток схемы рис. 8.22 — невысокая стабильность длительности импульса $t_и$ при изменении температуры окружающей среды. Это связано с температурным дрейфом порогового напряжения $U_{пор}$. Температурную стабильность можно существенно улучшить, если времязадающую RC-цепь включить между выходами триггера (рис. 8.23,*а*) [16]. Используемый в такой схеме триггер должен допускать значительные

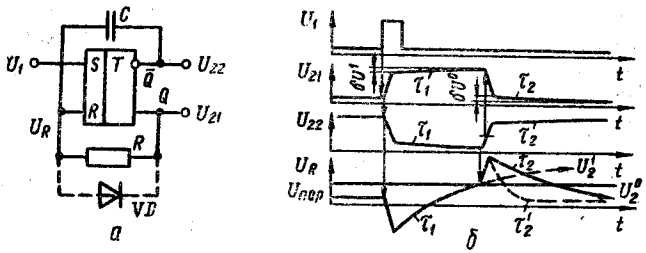


Рис. 8.23

отрицательные выбросы входного напряжения (рис. 8.23,*б*). Длительность выходного импульса $t_и$ определяется процессом перезаряда конденсатора C с постоянной времени

$$\tau_1 = C\,[(R^0_{вых} + R) \parallel R^0_{вх} + R^1_{вых}]$$

от начального уровня

$$U_R(0) = U^0_{21} - (U^1_{21} - U^0_{21})\,\gamma_1 = U^0_{21} - \Delta U_л\,\gamma_1,$$

где

$$\gamma_1 = [R^0_{вх} \parallel (R + R^1_{вых})]/[R^0_{вых} + R^0_{вх} \parallel (R + R^1_{вых})],$$

до порогового напряжения $U_{пор}$ при асимптотическом приближении напряжения U_R к уровню $U_R(\infty) = U^1_{21}$:

$$t_и \approx \tau_1 \ln\,[2\Delta U_л/(U^1_{21} - U_{пор})].$$

Более высокая стабильность одновибратора (рис. 8.23) обусловлена большей крутизной экспоненты $U_R(t)$ в области порогового напряжения. Скол вершин выходных импульсов δU^1, δU^0 объясняется протеканием емкостной составляющей через выходные сопротивления $R^1_{вых}$, $R^0_{вых}$ и наблюдается преимущественно в генераторах на ИМС ТТЛ-типа. Если схему одновибратора на рис. 8.22 дополнить второй времязадающей цепью между инверсным выходом и входом S, получим автоколебательный мультивибратор (рис. 8.24,*а*) с независимой регули-

ровкой длительностей полупериодов и постоянными времени $\tau_1 \approx \approx C_1(R_1 + R^1_{вых})$, $\tau_2 \approx C_2(R_2 + R^1_{вых})$. Длительности полупериодов приближенно определяются соотношениями

$$T_1 \approx C_1(R_1 + R^1_{вых}) \ln[(U^1_{21} - U^0_{21})/(U^1_{21} - U_{пор})];$$

$$T_2 \approx C_2(R_2 + R^1_{вых}) \ln[(U^1_{22} - U^0_{22})/(U^1_{22} - U_{пор})].$$

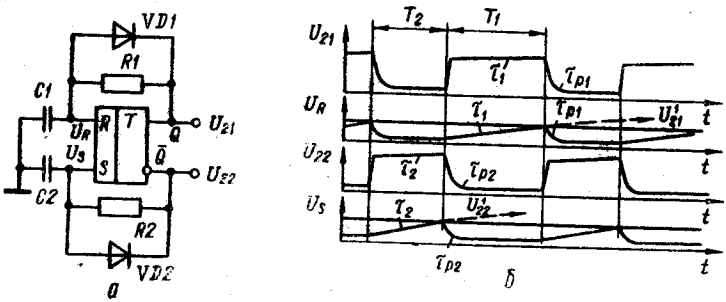


Рис. 8.24

Разряд конденсаторов *C1*, *C2* (рис. 8.24, *б*) протекает быстро через диоды *VD1*, *VD2* с постоянными времени $\tau_{p1} = C_1(R^0_{вых} + r_д) \ll T_2$; $\tau_{p2} = C_2(R^0_{вых} + r_д) \ll T_1$ и не влияет на частоту генерации f.

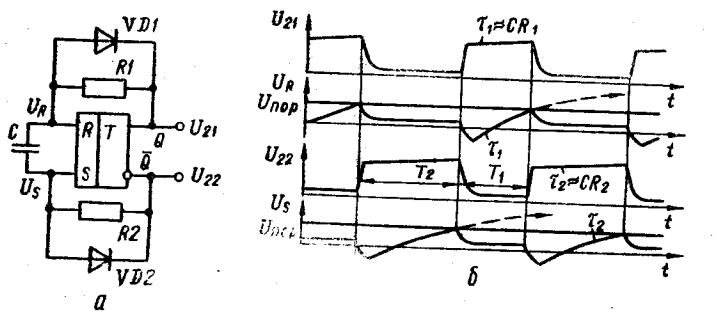


Рис. 8.25

Мультивибратор (рис. 8.24) можно реализовать как на ТТЛ, так и на КМДП ИМС. Он обладает тем же недостатком, что и одновибратор с заземленным конденсатором (рис. 8.22): температурная нестабильность частоты (длительности) генерируемых импульсов. Более высокой температурной стабильностью обладает мультивибратор на *RS*-триггере с одним времязадающим конденсатором (рис. 8.25,*а*). При тех же длительностях импульсов амплитуда напряжения на входах приблизительно вдвое больше (рис. 8.25,*б*), поэтому дрейф порогового напряжения $U_{пор}$ при колебаниях температуры окружающей среды меньше

влияет на частоту. Частота генерации мультивибратора определяется двумя процессами перезаряда конденсатора C. В каждом из них ток перезаряда протекает от выхода триггера, на котором установился высокий уровень U_2^1, через резистор $R1$ (или $R2$), конденсатор C, диод $VD2$ (или $VD1$) к выходу триггера, имеющему низкий уровень U_2^0. Эти процессы характеризуются постоянными времени соответственно

$$\tau_1 = C\,(R^1_{\text{вых}} + R_1 + r_{\text{д}2} + R^0_{\text{вых}}) \approx C\,(R^1_{\text{вых}} + R_1); \quad (8.31)$$

$$\tau_2 = C\,(R^1_{\text{вых}} + R_2 + r_{\text{д}1} + R^0_{\text{вых}}) \approx C\,(R^1_{\text{вых}} + R_2), \quad (8.32)$$

где $r_{\text{д}1}$, $r_{\text{д}2}$ — сопротивления прямо смещенных диодов $VD1$, $VD2$ соответственно.

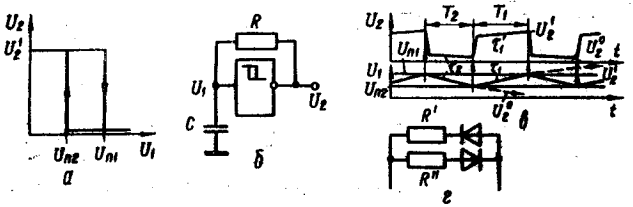


Рис. 8.26

С учетом формул (8.31), (8.32) длительности выходных импульсов приближенно находят из соотношений

$$T_1 = \tau_1 \ln\,[(U_2^1 - 2U_2^0 - U_0 + U_{\text{пор}})/(U_2^1 - U_{\text{пор}})] \approx$$
$$\approx CR_1 \ln\,[(U_2^1 + U_{\text{пор}})/(U_2^1 - U_{\text{пор}})];$$
$$T_2 = \tau_2 \ln\,[(U_2^1 - 2U_2^0 - U_0 + U_{\text{пор}})/(U_2^1 - U_{\text{пор}})] \approx$$
$$\approx CR_2 \ln\,[(U_2^1 + U_{\text{пор}})/(U_2^1 - U_{\text{пор}})],$$

где U_0 — падение напряжения на открытом диоде.

Обе рассмотренные схемы мультивибраторов на основе RS-триггеров обладают мягким самовозбуждением, т. е. не требуют внешнего запуска, поэтому при использовании синхронных RS-триггеров на них можно просто построить генератор пачек импульсов, управляемых потенциалом на тактовом входе. Выбором сопротивлений резисторов $R1$, $R2$ и/или конденсаторов $C1$, $C2$ можно обеспечить режим генерирования с требуемой частотой и скважностью $Q = (T_1 + T_2)\,/\,T_1$.

Если мультивибратор должен обеспечить только заданную частоту генерации $f_{\text{г}}$, а скважность импульсов не существенна, целесообразно воспользоваться схемой простейшего мультивибратора на основе триггера Шмитта (рис. 8.26). Триггер Шмитта входит в состав развитых серий ИМС, и, поскольку он имеет один вход и часто один (инверсный) выход, в одном корпусе содержится до шести триггеров. Передаточная характеристика триггера Шмитта (рис. 8.26,*а*) имеет явно выраженный гистерезисный характер. На ней выделяются два пороговых напря-

жения $U_{п1}$, $U_{п2}$ переключения выходного напряжения соответственно $U_2^1 \to U_2^0$ и $U_2^0 \to U_2^1$.

Простейший мультивибратор на основе триггера Шмитта получается включением интегрирующего RC-звена между инвертирующим выходом и входом (рис. 8.26,*б*). В момент подключения источника питания $U_{и.п}$ конденсатор C разряжен, $U_1 = 0$, на инверсном выходе триггера устанавливается высокий уровень U_2^1, который обусловливает заряд конденсатора через резистор R с постоянной времени $\tau_1 = C[(R + R^1_{вых}) \| R^0_{вх}]$. Входное напряжение U_1 экспоненциально нарастает, стремясь асимптотически к уровню U_2^1. В момент сравнения входного напряжения с $U_{п1}$ (рис. 8.26, *а*) выходное напряжение скачком переключается до низкого уровня U_2^0, что влечет за собой разряд конденсатора C через резистор R и выходное сопротивление $R^0_{вых}$ с постоянной времени $\tau_2 = C[(R + R^0_{вых}) \| R^1_{вх}]$. Напряжение U_1 экспоненциально падает, стремясь в пределе к U_2^0. В момент, когда U_1 сравнивается с $U_{п2}$, триггер

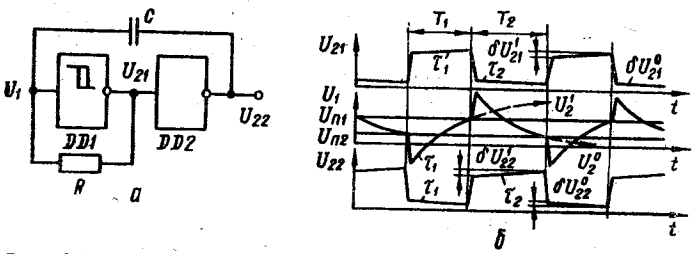


Рис. 8.27

переключается в новое состояние с высоким уровнем U_2^1 на выходе, и начинается новый цикл заряда. Таким образом, мультивибратор самовозбуждается и генерирует прямоугольные импульсы, длительность T_1 и паузы T_2 которых определяются соотношениями

$$T_1 \approx \tau_1 \ln[(U_2^1 - U_{п2})/(U_2^1 - U_{п1})]; \quad (8.33)$$

$$T_2 \approx \tau_2 \ln[(U_2^0 - U_{п1})/(U_2^0 - U_{п1})] \approx \tau_2 \ln[U_{п1}/U_{п2}]. \quad (8.34)$$

Выражения (8.33) и (8.34) позволяют рассчитать частоту генерации $f_г = 1/(T_1 + T_2)$ мультивибратора и скважность Q выходных импульсов. Величина сопротивления R ограничена соотношением (8.16), поэтому требуемая частота генерации зависит от емкости конденсатора C. Коррекцию скважности можно выполнить заменой резистора R нелинейным двухполюсником рис. 8.26,*г*, резисторы которого R', R'' должны иметь сопротивления, удовлетворяющие условию (8.16).

Стабильность частоты мультивибратора (рис. 8.26) невысока, поскольку разность пороговых напряжений $U_{п1}$, $U_{п2}$ мала и температурный дрейф каждого из них существенно влияет на длительности T_1, T_2. Для улучшения стабильности частоты в схему включают дополнительный инвертор *DD2* (рис. 8.27),

который приводит схему к конфигурации рис. 8.20. Длительности полупериодов T_1, T_2 в таком мультивибраторе на ИМС ТТЛ-типа определяются выражениями

$$T_1 \approx C\,[(R^1_{\text{вых}} + R) \parallel R^0_{\text{вх1}}] \times$$
$$\times \ln \frac{(U_{\text{и. п}} - U^1_{21} - U_{\text{п2}})(R^1_{\text{вых1}} + R) + (2U^1_{21} - U_{\text{п2}}) R^0_{\text{вх1}}}{(U_{\text{и. п}} - U_{\text{п1}})(R^1_{\text{вых1}} + R) + (U_{21} - U_{\text{п1}}) R^0_{\text{вх1}}}, \quad (8.35)$$

$$T_2 \approx C\,(R^0_{\text{вых1}} + R + R^1_{\text{вых2}}) \ln \times$$
$$\times \frac{(U_{\text{и. п}} - U^1_{21} U_{\text{п1}})(R^0_{\text{вых1}} + R) - (U^1_{22} + U_{\text{п1}}) R^1_{\text{вх1}}}{(U_{\text{и. п}} - U_{\text{п1}})(R^1_{\text{вых1}} + R) - U_{\text{п2}} R^1_{\text{вх1}}}. \quad (8.36)$$

При использовании ИМС на основе КМДП, имеющих большое входное сопротивление и допускающих выбор сопротивления радиатора R значительно большими, чем из условия (8.16), выражения (8.35), (8.36) упрощаются

$$T_1 \approx CR \ln [(2U_{\text{и. п}} - U_{\text{п2}})/(U_{\text{и. п}} - U_{\text{п1}})]; \quad (8.37)$$
$$T_2 \approx CR \ln [(U_{\text{и. п}} + U_{\text{п1}})/U_{\text{п2}}]. \quad (8.38)$$

Скважность импульсов в схеме рис. 8.27 также можно корректировать выбором резисторов R', R'' нелинейного двухполюсника (см. рис. 8.26,*г*). В этом случае в выражении (8.37) $R = R'$, а в выражении (8.38) $R = R''$.

Сколы высоких (δU^1_{21}, δU^1_{22}) и низких уровней (δU^0_{21}, δU^0_{22}) выходных сигналов определяются величиной емкостной составляющей выходных токов ИМС и наблюдаются в основном в мультивибраторах на ИМС ТТЛ-типа, в которых токи перезаряда конденсатора обусловлены относительно небольшими сопротивлениями резистора R.

Генераторы импульсов на основе операционных усилителей. Операционные усилители (ОУ) эффективно используют в генераторах импульсов, поскольку они обладают следующими свойствами: большой коэффициент усиления по напряжению ($K_U = 10^3 \ldots 10^5$), что облегчает условие самовозбуждения; большой перепад выходного напряжения ΔU_2, уровни которого близки к напряжению источников питания; большое входное ($R_{\text{вх}} = 10^3 \ldots 10^7$ Ом) и малое выходное ($R_{\text{вых}} = 10^2$ Ом) сопротивления; скорость изменения выходного напряжения 10^8 В/с.

Вследствие этих свойств ОУ можно считать идеальным переключающим элементом в импульсных и цифровых схемах для рабочих частот до 1 МГц.

Для обеспечения регенеративного режима переключения ОУ охватывают положительной обратной связью (рис. 8.28,*б*) по напряжению, в результате чего передаточная характеристика (рис. 8.28,*а*) приобретает гистерезисный характер (рис. 8.28,*в*), аналогичный триггеру Шмитта. Схема на рис.8.28,*б* представляет собой триггер Шмитта на ОУ. Пороговые напряжения $U_{\text{п1}}$, $U_{\text{п2}}$ такого триггера определяются частью выходного напряжения, поступающего по цепи положительной обратной связи (*R1*, *R2*) на неинвертирующий вход. Поскольку выходное напряжение ОУ в режиме триггера Шмитта может принимать

только два статических уровня, соответствующих уровням положительного U_{01} или отрицательного $-U_{02}$ ограничений, пороговые напряжения определяются соотношениями

$$U_{п1} = U_{01}\gamma; \quad U_{п2} = -U_{02}\gamma, \tag{8.39}$$

где $\gamma = R_1/(R_1 + R_2)$.

Мультивибратор на основе триггера Шмитта на ОУ можно получить введением связи между выходом ОУ и его инвертирующим входом через интегрирующую RC-цепь (рис. 8.28,*г*). Принцип работы такого мультивибратора заключается в отслеживании с задержкой напряжения на инвертирующем входе $U_{12} = U_C$ за напряжением на неинвертирующем входе U_{11}, которое практически безынерционно повторяет с коэффициентом

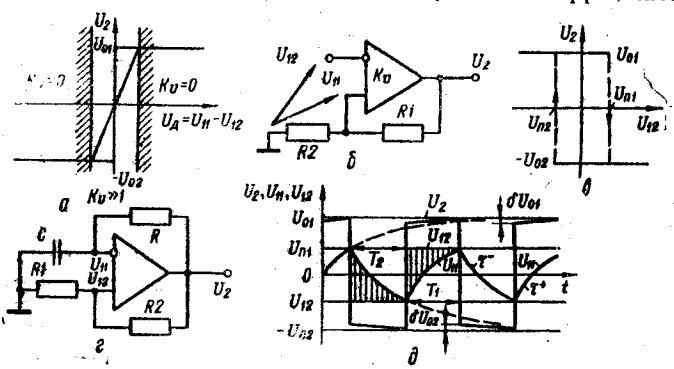


Рис. 8.28

пропорциональности $\gamma < 1$ выходное напряжение U_2. На временной диаграмме рис. 8.28,*д* построены в едином масштабе зависимости $U_{11}(t)$, $U_{12}(t)$, $U_2(t)$. На интервале T_1 на выходе ОУ установился высокий уровень U_{01}, на неинвертирующем входе — также практически постоянный потенциал $U_{п1} = \gamma U_{01}$, а на инвертирующем — напряжение экспоненциально стремится к $U_{12}^+(\infty) = U_{01}$ по мере заряда конденсатора C с постоянной времени

$$\tau_1 = C[(R + R_{вых}^+) \parallel R_{вх}^-] \approx CR, \tag{8.40}$$

где $R_{вых}^+$ — выходное сопротивление ОУ в режиме положительного ограничения; $R_{вх}^-$ — входное сопротивление ОУ при $U_{12} \ll U_{11}$.

Перезаряд конденсатора обусловливает уменьшение дифференциального входного напряжения $U_д = U_{11} - U_{12}$, и в момент достижения $U_д \approx 0$ ОУ переходит в активный режим (область $K_U \gg 1$). Под действием положительной обратной связи триггер Шмитта переключается в состояние с низким уровнем $-U_{02}$ выходного напряжения. За время опрокидывания напряжение на конденсаторе не успевает существенно измениться, поэтому отрицательная обратная связь (RC) на процессы переключения влияния не оказывает. На неинвертирующем входе устанавливается напряжение $U_{п2} = -\gamma U_{02}$.

На интервале T_2 напряжение на конденсаторе C стремится к $U_{12}^{-}(\infty) = -U_{02}$ с постоянной времени

$$\tau_2 = C[(R + R_{\text{вых}}^{-}) \parallel R_{\text{вх}}^{+}] \approx CR, \qquad (8.41)$$

где $R_{\text{вых}}^{-}$ — выходное сопротивление в режиме отрицательного ограничения; $R_{\text{вх}}^{+}$ — входное сопротивление ОУ при $U_{12} \gg U_{11}$.

Интервал T_2 завершается в момент совпадения $U_{12} = U_{\text{п}2}$ и последующего регенеративного переключения ОУ в состояние положительного ограничения. Длительности интервалов T_1, T_2 определяются по экспоненциальным функциям перезаряда конденсатора в диапазоне напряжений между $U_{\text{п}1}$ и $U_{\text{п}2}$:

$$T_1 = \tau_1 \ln[(U_{01} - U_{\text{п}2})/(U_{01} - U_{\text{п}1})]; \qquad (8.42)$$

$$T_2 = \tau_2 \ln[(U_{02} + U_{\text{п}1})/(U_{02} + U_{\text{п}2})]. \qquad (8.43)$$

Если $R_{\text{вх}}^{+}$, $R_{\text{вх}}^{-} \gg R$, $R_{\text{вых}}^{+}$, $R_{\text{вых}}^{-} \ll R$ и $U_{01} \approx U_{02}$, то выражения (8.42) и (8.43) упрощаются и с учетом формул (8.39) — (8.41) имеем

$$T_1 = T_2 = RC \ln[(1 + \gamma)/(1 - \gamma)] = RC \ln[(R_1 + 2R_2)/R_1], \qquad (8.44)$$

т. е. мультивибратор генерирует прямоугольные импульсы со скважностью $Q = 2$. Независимая установка длительностей T_1, T_2 и соответствующей скважности реализуется при замене резистора R нелинейным двухполюсником (см. рис. 8.26,*г*).

Скол вершины δU_{01} и впадины δU_{02} выходных импульсов обусловлен емкостной составляющей тока нагрузки ОУ и определяется соотношением сопротивления R и выходного сопротивления ОУ в режиме положительного ($R_{\text{вых}}^{+}$) и отрицательного ($R_{\text{вых}}^{-}$) ограничения

$$\delta U_{01} = (U_{01} + U_{02})\, R_{\text{вых}}^{+}/(R + R_{\text{вых}}^{+}); \qquad (8.45)$$

$$\delta U_{02} = (U_{01} + U_{02})\, R_{\text{вых}}^{-}/(R + R_{\text{вых}}^{-}). \qquad (8.46)$$

Из выражений (8.40), (8.41) и (8.45), (8.46) следует, что стабильность длительностей T_1, T_2 и частоты генерации $f_{\text{г}}$ тем выше, а искажения δU_{01}, δU_{02} тем меньше, чем сильнее неравенства $R_{\text{вх}}^{+}$, $R_{\text{вх}}^{-} \gg R \gg R_{\text{вых}}^{+}$, $R_{\text{вых}}^{-}$.

Мультивибратор на рис. 8.28 легко преобразовать в одновибратор подключением диода *VD1* параллельно конденсатору *C* (рис. 8.29). Отпирание диода *VD1* предотвращает дальнейший перезаряд конденсатора и фиксирует схему в устойчивом состоянии. Таким образом, в устойчивом состоянии одновибратора диод *VD1* открыт через резистор *R* выходным напряжением соответствующей полярности. Для схемы, показанной на рис. 8.29,*а*, устойчивым является состояние, когда ОУ находится в режиме отрицательного ограничения. Такой одновибратор генерирует импульс положительной полярности. Если изменить полярность включения диода *VD1*, то он открывается и фиксирует состояние одновибратора в режиме положительного ограничения ОУ. Соответственно генерируемый импульс имеет отрицательную полярность.

Запускается одновибратор по положительному фронту входного сигнала U_1, который дифференцируется цепочкой *C1*, *R3*. Входной диод *VD2* заперт в исходном состоянии смещением $-U_{см}$ для предотвращения запуска одновибратора от помех. Входной сигнал переключает ОУ в режим положительного ограничения, и далее формируется импульс длительностью $t_и$, аналогично интервалу T_1 мультивибратора. В момент t_2 (рис. 8.29,*б*) одновибратор переключается в исходное состояние. На этапе восстановления $t_в$ конденсатор *C* разряжается до момента t_3, когда отпирается диод *VD1*. Длительность выходного импульса $t_и$ и время восстановления определяются соотношениями

$$t_и = \tau_1 \ln[(U_{01} - U_0)/(U_{01} - \gamma U_{01})] \approx RC \ln[1 - \gamma]^{-1};$$

$$t_в = \tau_2 \ln[(U_{02} + \gamma U_{01})/(U_{02} + U_д)] \approx RC \ln[1 + \gamma],$$

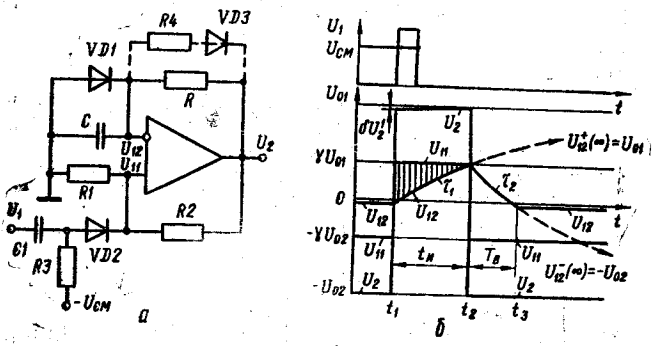


Рис. 8.29

где τ_1, τ_2 — постоянные времени, определяемые соответственно из выражений (8.40), (8.41); $\gamma = R_1/(R_1 + R_2)$; U_0 — падение напряжения на открытом диоде *VD1*.

Если необходимо уменьшить время восстановления, резистор *R* шунтируют цепочкой из диода *VD3* и резистора *R4* (рис. 8.29,*а*).

Описанные схемы мультивибратора и одновибратора на ОУ позволяют строить схемы с хорошей повторяемостью параметров, высокой нагрузочной способностью и надежностью. Для обеспечения стабильности частоты и длительности импульсов коэффициент γ и пороговые напряжения $U_{п1}$, $U_{п2}$ желательно увеличивать. Однако, поскольку в момент переключения состояний дифференциальное входное напряжение ОУ достигает максимума $U_{д\,max} = U_{п1} + |U_{п2}|$, увеличение γ ограничено предельно допустимыми режимами ОУ. При ОУ, критичных к величине дифференциального входного напряжения, применяют схему мультивибратора с емкостной положительной и резистивной отрицательной обратными связями (рис. 8.30,*а*). Для регенеративного режима переключения мультивибратора положительная обратная связь γ_1 должна быть глубже, чем отрицательная γ_2

$$\gamma_1 = R_1/(R_1 + R_2) > \gamma_2 = R_3/(R_3 + R_4). \qquad (8.47)$$

В момент переключения на выходе ОУ формируется перепад напряжения $\Delta U_2 = U_{01} + U_{02}$, часть которого передается на инвертирующий $\Delta U_{11} = \gamma_2 \Delta U_2$ и неинвертирующий $\Delta U_{12} = \gamma_1 \Delta U_2$ входы, причем $\Delta U_{11} > \Delta U_{12}$. Разность $U_д = U_{11} - U_{12}$ поддерживает ОУ в режиме ограничения. Но вследствие экспоненциального уменьшения тока перезаряда конденсатора C напряжение на неинвертирующем входе уменьшается, стремясь асимптотически к $U_{11}(\infty) = 0$. При совпадении напряжения $U_{11}(t)$ с напряжением на инвертирующем входе $U_{12} = \gamma_2 U_2$ ОУ переходит в активный режим, происходит переключение мультивибратора в другое квазиустойчивое состояние, за которым следует новый цикл перезаряда конденсатора. Постоянные времени перезаряда конденсатора C на интервалах T_1, T_2

$$\tau_1 = C\,(R^{+}_{вых} + R_2 + R_1 \| R^{+}_{вх}) \approx C\,(R_1 + R_2); \qquad (8.48)$$

$$\tau_2 = C\,(R^{-}_{вых} + R_2 + R_1 \| R^{-}_{вх}) \approx C\,(R_1 + R_2). \qquad (8.49)$$

Длительности интервалов T_1, T_2 выходного сигнала с учетом формул (8.48) и (8.49)

$$T_1 = \tau_1 \ln [(-\gamma_2 U_{02} + \gamma_1 (U_{01} + U_{02}))/(\gamma_1 U_{01})]; \qquad (8.50)$$

$$T_2 = \tau_2 \ln [(-\gamma_2 U_{01} + \gamma_1 (U_{01} + U_{02}))/(\gamma_1 U_{02})]. \qquad (8.51)$$

Для симметричной передаточной характеристики ОУ $U_{01} = U_{02}$ и выражения (8.50), (8.51) упрощаются

$$T_1 = T_2 \approx C'\,(R_1 + R_2) \ln [(2\gamma_1 - \gamma_2)/\gamma_1].$$

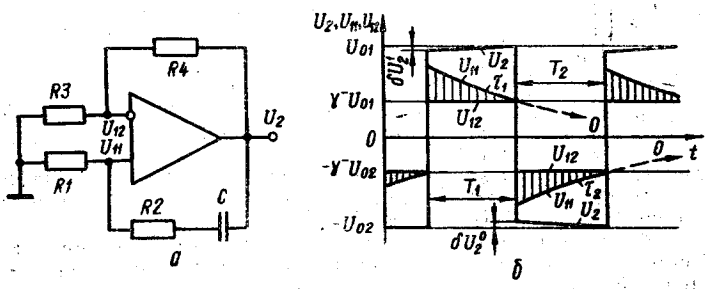


Рис. 8.30

В таком мультивибраторе скважность выходных импульсов $Q = 2$. Для получения другой заданной скважности $Q \neq 2$ один из резисторов $R1$—$R4$ необходимо заменить двухполюсником (см. рис. 8.26,*г*), соблюдая условие (8.47).

Основные достоинства мультивибратора (рис. 8.30) — высокая стабильность частоты и небольшое пиковое напряжение $U_{д\,max}$ между входами ОУ, что расширяет диапазон типономиналов ОУ, применимых в данной схеме.

Аналогичный одновибратор можно получить размыканием отрицательной обратной связи и подачей на инвертирующий вход постоянного смещения $U_{см}$ (рис. 8.31,*а*). В зависимости от знака напряжения $U_{см}$ ОУ находится в состоянии положительного ($U_{см} < 0$) или отрицательного ($U_{см} > 0$) ограничения. При подаче на вход U_1 запускающего импульса одновибратор

генерирует соответственно отрицательный либо положительный импульс. На рис. 8.31, *б* показаны временные диаграммы для $U_{см} > 0$. Коэффициент передачи γ цепи положительной обратной связи и напряжение смещения $U_{см}$ должны удовлетворять условию переключения одновибратора в квазиустойчивое состояние

$$U_{см} < \gamma (U_{01} + U_{02}).$$

В квазиустойчивом состоянии формируется вершина выходного импульса. В течение времени $t_и$ конденсатор C перезаряжается с постоянной времени τ_1 (см. формулу (8.48)). Формиро-

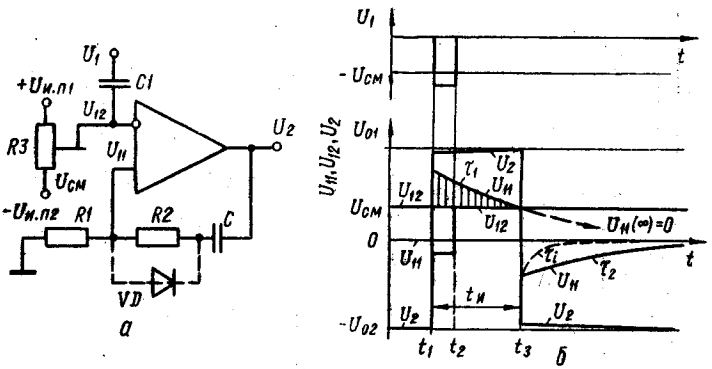


Рис. 8.31

вание импульса $t_и$ заканчивается в момент сравнения напряжений на входах ОУ $U_{11}(t) = U_{см}$. Длительность выходного импульса

$$T_и = \tau_1 \ln [\gamma (U_{01} + U_{02})/U_{см}] \approx C (R_1 + R_2) \ln [\gamma (U_{01} + U_{02})/U_{см}].$$

На этапе восстановления конденсатор C заряжается до исходного значения за время $t_в \approx 3\tau_2$, причем τ_2 можно вычислить по формуле (8.49) либо в случае ускоренного восстановления через диод по формуле $\tau_2' = C (R_1 + r_д + R_{вых}^{-}) \approx CR_1$.

Достоинства одновибратора (рис. 8.31) — малое пиковое напряжение между входами ОУ и простота перестройки одновибратора на режим генерирования импульсов другой полярности. Для этого достаточно воспользоваться ручной или электронной регулировкой напряжения смещения $U_{см}$. Ускоряющий диод *VD* при такой перестройке неприемлем, так как при перемене полярности выходного сигнала необходимо изменять его полярность.

Для повышения стабильности частоты можно заменить релаксационные процессы, протекающие во времязадающих цепях по экспоненциальному закону, линейными. Линейную релаксацию можно реализовать с помощью интегратора, управляемого постоянными уровнями. Схема мультивибратора (рис. 8.32,*а*) представляет собой последовательное соединение в замкнутом контуре инвертирующего интегратора на ОУ *DA1* и неинвертирующего триггера Шмитта на ОУ *DA2*. Если на вы-

ходе триггера Шмитта включить параметрический стабилизатор (резистор *R3* и двухсторонний стабилитрон *VD*), то уровни выходного напряжения U_{22} определяются напряжениями стабилизации стабилитрона $U_{ст}^{+}$, $U_{ст}^{-}$ и не зависят от разброса и/или дрейфа параметров ОУ и нестабильности питающих *DA2* напряжений. Параметрический стабилизатор улучшает форму выходного импульса и в пределах динамического диапазона токов стабилизации исключает влияние нагрузки на выходное напряжение и частоту генерации $f_г$.

Передаточная характеристика неинвертирующего триггера Шмитта с параметрическим стабилизатором изображена на

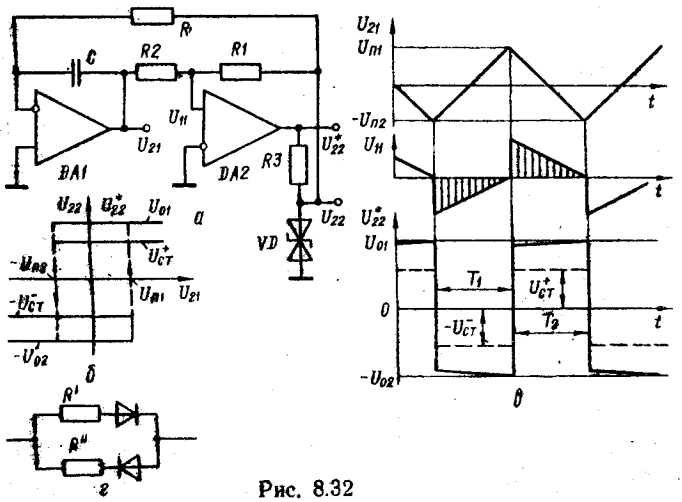


Рис. 8.32

рис. 8.32,*б*. Пороговые напряжения переключения триггера определяются сопротивлениями резисторов *R1* и *R2* положительной обратной связи

$$U_{п1} = U_{ст}^{-} R_2/R_1 = kU_{ст}^{-}; \quad U_{п2} = kU_{ст}^{+}, \qquad (8.52)$$

где $k = R_2/R_1$.

Выходные напряжения триггера Шмитта $U_{22}^{1} = U_{ст}^{+}$, $U_{22}^{0} = -U_{ст}^{-}$ управляют работой интегратора, напряжение на выходе которого изменяется по линейному закону в пределах $U_{п1} \gg U_{21}^{(t)} \gg -U_{п2}$ (рис. 8.32, *в*)

$$U_{21}^{(t)} = U_{21}(0) - U_{22}t/RC.$$

На интервале T_1 $U_{21}(0) = -U_{п2}$; $U_{22} = -U_{ст}^{-}$ и в конце интервала напряжение на выходе интегратора $U_{21}^{-}(T_1) = U_{п1}$:

$$U_{п1} = -U_{п2} + U_{ст}^{-} T_1/RC,$$

откуда длительность интервала T_1 с учетом формулы (8.52):

$$T_1 = kR_C (U_{ст}^{+} + U_{ст}^{-})/U_{ст}^{-}. \quad (8.53)$$

Аналогично определим длительность интервала

$$T_2 = kR_C (U_{ст}^{+} + U_{ст}^{-})/U_{ст}^{+}. \quad (8.54)$$

В частном случае при использовании симметричного стабилитрона $U_{ст}^{+} = U_{ст}^{-} = U_{ст}$, и при $R_1 = R_2$ получаем $U_{п1} = U_{п2} = U_{ст}$, т. е. мультивибратор на выходе U_{22} формирует напряжение типа меандр ($Q = 2$) с амплитудой $U_{22m} = U_{ст}$ и длительностями импульсов $T_1 = T_2 = 2RC$. Одновременно на выходе U_{21} формируется треугольный сигнал с той же амплитудой $U_{21m} = U_{ст}$, что суще-

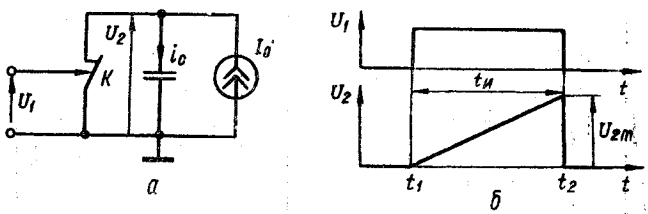


Рис. 8.33

ственно расширяет область применения схемы. Если необходимо получить выходные импульсы с произвольной скважностью, резистор R интегратора необходимо заменить нелинейным двухполюсником (рис. 8.32, *г*). Тогда в выражении (8.53) $R = R'$, а в выражении (8.54) $R = R''$.

При выборе ОУ для мультивибратора (рис. 8.32) следует руководствоваться следующими соображениями: *DA1* должен обладать возможно большим K_U и минимальным входным током; *DA2* должен иметь максимальную скорость нарастания выходного сигнала и допускать пиковое входное напряжение $U_{i1} = \pm (U_{ст}^{+} + U_{ст}^{-})k/(1 + k)$.

Формирователи и генераторы линейно изменяющегося напряжения (ЛИН). К ним относят импульсные устройства, преобразующие входной импульс прямоугольной формы в выходной импульс линейно нарастающего или линейно падающего напряжения той же длительности. В формирователях обычно не используются положительные обратные связи и режим самовозбуждения, тогда как в генераторах ЛИН (ждущих или автоколебательных) временные параметры выходных сигналов зависят только от параметров схемы и не зависят от входного сигнала.

Часто генераторы ЛИН строят на конденсаторе, через который протекает постоянный ток I_0 в течение заданного интервала времени $t_и$. Схема такого формирователя содержит ключ K (рис. 8.33) для разряда конденсатора и восстановления начальных условий формирователя. Управляющий сигнал U_1 в момент

t_1 размыкает ключ, и ток I_0 протекает через конденсатор C, на котором формируется выходной сигнал

$$U_2(t) = U_C(t_1) + \frac{1}{C}\int_t^{t} i_C dt \approx I_0 t/C,$$

где при $U_C(t_1) = 0$ и $i_C(t) = I_0 = \text{const}$ имеем $U_2(t) = I_0 t/C$, т. е. выходное напряжение нарастает по линейному закону. В момент t_2 ключ вновь замыкается, и выходное напряжение от максимального $U_{2m} = U_2(t_2) = I_0 t_и/C$ скачком падает до $U_2 = 0$.

В качестве ключа можно использовать один из вариантов транзисторного электронного ключа, рассмотренных в гл. 4, а в качестве источника тока I_0— транзисторный генератор стабильного тока (ГСТ). На рис. 8.34 показана схема формирова-

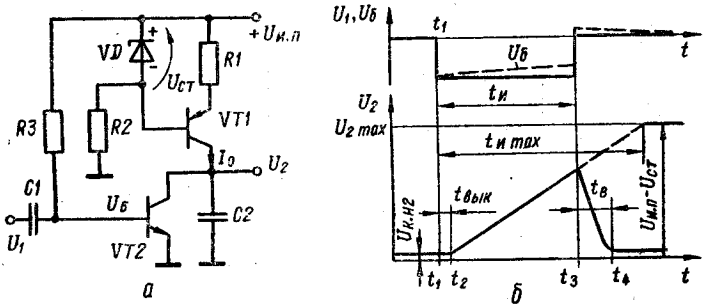


Рис. 8.34

теля на биполярных транзисторах. В качестве ключа используется транзистор $VT2$, а ГСТ выполнен на транзисторе $VT1$.

В исходном состоянии транзистор $VT2$ насыщен током базы, протекающим через резистор $R3$. Транзистор $VT1$ подключен к параметрическому стабилизатору на стабилитроне VD и балластном резисторе $R2$. Благодаря стабилитрону с напряжением стабилизации $U_{ст}$ разность потенциалов $U_{б.э1} + U_{R1} = U_{ст} = \text{const}$ и практически не зависит от колебаний напряжения питания $U_{и.п}$. В коллекторной цепи транзистора $VT1$ протекает постоянный ток

$$I_0 = \alpha_1 I_{э1} = \alpha_1 (U_{ст} - U_{б.э1})/R \approx U_{ст}/R,$$

где α_1— коэффициент передачи по току транзистора $VT1$.

Ток I_0 в исходном состоянии должен замыкаться через насыщенный транзистор $VT2$. Для насыщения транзистора $VT2$ в его базе должен протекать ток

$$I_{б2} = (U_{и.п} - U_{б.э2})/R_3 = S_2 I_0/\beta_{2\,min}, \qquad (8.55)$$

где S_2 — коэффициент насыщения транзистора $VT2$; $\beta_{2\,min}$ — минимальный допустимый коэффициент усиления транзистора $VT2$ по току.

Напряжение коллектор — эмиттер насыщенного транзистора $VT2$ определяет начальное напряжение («пьедестал») выходного сигнала $U_{2(0)} = U_{к.н}$. В момент t_1 на базу транзистора $VT2$ поступает

запирающий импульс, и в момент t_2 транзистор переходит в режим отсечки. Время выключения $t_{вык} = t_2 - t_1$ тем меньше, чем больше амплитуда входного импульса U_{1m}. Ток I_0 в момент t_2 переключается в цепь конденсатора и на нем формируется ЛИН $U_2(t) = U_{к.н} + I_0 t/C$ до амплитудного значения

$$U_{2m} = U_{к.н} + I_0 t_и/C \approx I_0 t_и/C.$$

На интервале $t_2 - t_3$ транзистор $VT2$ должен быть надежно заперт, для чего необходимо выполнить условие $\tau_{вх} = R_3 C_1 > t_{и\,max}$. Время $t_{и\,max}$ определяет максимальную длительность ЛИН, ограниченную переходом транзистора $VT1$ в режим насыщения

$$t_{и\,max} = U_{2\,max} C/I_0 = (U_{и.п} - U_{ст}) C/I_0.$$

В момент t_3 транзистор $VT2$ отпирается и конденсатор $C2$ разряжается через него. Длительность разряда конденсатора $C2$ составляет время восстановления схемы $t_в$, которое зависит от коэффициента насыщения S_2 транзистора $VT2$:

$$t_в = \frac{CU_{к.н} + I_0 T_и}{I_{б2}\beta_{2\,min} - I_0} \approx \frac{I_0 T_и}{I_{б2}\beta_{2\,min} - I_0} = \frac{T_и}{S_2 - 1}. \qquad (8.56)$$

Из соотношения (8.56) для требуемого времени восстановления находят коэффициент насыщения S_2 и затем по формуле (8.55) — сопротивление резистора R_3. Качество формирователя ЛИН определяется линейностью выходного сигнала $U_2(t)$ во времени. В рассмотренной схеме нелинейность выходного сигнала зависит от нестабильности тока I_0 при изменении напряжения коллектор — база транзистора $VT1$ и ответвления части тока I_0 в нагрузку. Зависимость тока I_0 от напряжения $U_{к.б}$ весьма слаба, поэтому коэффициент нелинейности (%)

$$\nu = 100\,\frac{|dU_2(t)/dt|_{max} - |dU_2(t)/dt|_{min}}{|dU_2(t)/dt|_{max}}$$

при $R_н = \infty$ не превышает 1 %.

Недостаток формирователя (рис. 8.34) — низкая нагрузочная способность, обусловленная ростом ν с уменьшением сопротивления нагрузки $R_н$. Практически это означает, что нагрузку к формирователю можно подключить только через буферный каскад (эмиттерный или истоковый повторитель). Некоторые схемы формирователей ЛИН включают в себя в качестве выходных каскадов эмиттерные повторители, имеющие большое входное и малое выходное сопротивления.

В схеме формирователя ЛИН на рис. 8.35,*а* эмиттерный повторитель на транзисторе $VT2$ передает на нагрузку напряжение с конденсатора C. Линейность нарастания напряжения на конденсаторе C обеспечивается параллельной положительной обратной связью по напряжению через конденсатор $C2$. Транзистор $VT1$ выполняет роль разрядного ключа. В исходном состоянии транзистор $VT1$ насыщен с коэффициентом насыщения S_1 током базы $I^1_{б1}$ при условии

$$I^1_{б1} = S_1 (U_{и.п1} - U_д - U_{к.н1})/(R\beta_{1\,min}),$$

где $U_{к.н1}$ — напряжение на коллекторе транзистора $VT1$ в режиме насыщения; $\beta_{1\,min}$ — минимально допустимый коэффициент усиления по току транзистора $VT1$.

Через резистор R и открытый транзистор $VT1$ протекает ток $I_0 = (U_{и.п2} - U_д - U_{к.н1})/R$. Начальное напряжение на конденсаторе $U_C(0) = U_{к.н1} \approx 0$ через эмиттерный повторитель передается на выход формирователя со смещением потенциала на величину $U_{б.э2}$. Транзистор $VT2$ находится в активном режиме благодаря источнику эмиттерного смещения $U_{и.п2}$. Конденсатор $C2$ заряжен до напряжения $U_{C2}(0) = U_{и.п1} - U_д - U_{б.э2} \approx U_{и.п1}$.

Входной импульс отрицательной полярности через конденсатор $C1$ поступает на базу $VT1$, через время $t_{вык}$ заряд неосновных носителей в его базе рекомбинирует и транзистор переходит

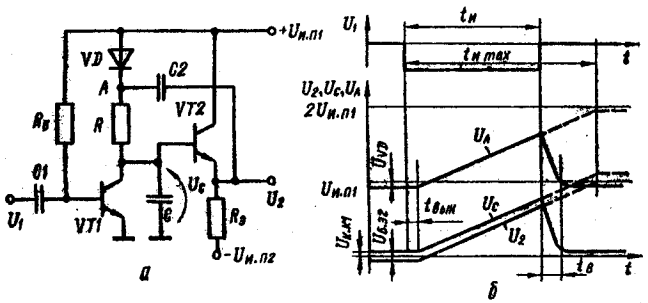


Рис. 8.35

в режим отсечки. Ток I_0 переключается в цепь конденсатора C и начинается его заряд. Положительное приращение напряжения на конденсаторе C через эмиттерный повторитель и конденсатор $C2$ практически без потерь передается в точку соединения резистора R и диода VD (точка A). Благодаря такой обратной связи диод VD запирается, на резисторе R за счет энергии конденсатора $C2$ поддерживается постоянная разность потенциалов $U_R \approx U_{и.п1}$ и, следовательно, $i_к = I_0 = \text{const}$. Поэтому на конденсаторе C формируется ЛИН, которое повторяется на выходе формирователя

$$U_2(t) = U_C(t) - U_{б.э2} = U_{к.н} - U_{б.э2} + I_0 t/C. \qquad (8.57)$$

Напряжение в точке A повторяет функцию времени (8.57) со смещением на $U_{C2}(0) \approx U_{и.п1}$ (рис. 8.35,*б*). Емкость конденсатора $C2$ должна быть достаточно большой, чтобы за время формирования ЛИН ее разрядом можно было пренебречь. Напряжение на конденсаторе C может нарастать до отпирания коллекторного перехода транзистора $VT2$, т. е. не более чем до $+U_{и.п1}$. Следовательно, длительность ЛИН определяется входным сигналом, но как это видно из формулы (8.57), не превышает $t_{и\,max} = U_{и.п1}C/I_0$, так как в противном случае ЛИН искажается за счет ограничения.

По заднему фронту входного сигнала транзистор *VT1* переключается из режима отсечки в активный и конденсатор *C* разряжается через него за время $t_в = t_и/(S_1 - 1)$.

Достоинствами формирователя на рис. 8.35 являются хорошая нагрузочная способность и максимальное использование напряжения коллекторного питания $U_{и.п1}$. К недостаткам следует отнести несколько худшую линейность выходного сигнала, чем в схеме на рис. 8.34, и необходимость конденсатора (*C2*) большой емкости, затрудняющей задачу микроминиатюризации.

С точки зрения микроминиатюризации и коэффициента нелинейных искажений ν выгодно отличаются формирователи ЛИН на основе ОУ. Благодаря большому коэффициенту усиления напряжения ОУ, охваченные емкостной отрицательной обратной связью (рис. 8.36,*а*), представляют собой близкие

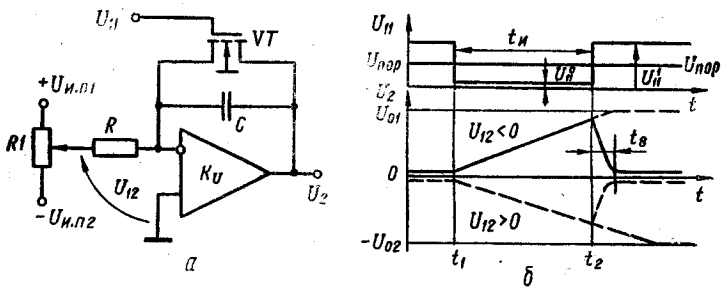


Рис. 8.36

к идеальным интеграторы. Поэтому при подаче на вход интегратора постоянного уровня напряжения U_{12} на его выходе формируется ЛИН

$$U_2(t) = U_2(0) - kU_{12}t, \qquad (8.58)$$

где $U_2(0)$ — начальное выходное напряжение; $k = 1/(RC)$.

Режимом работы формирователя управляет ключ на МДП-транзисторе *VT*. В исходном состоянии транзистор открыт (находится в триодном режиме) напряжением $U^1_{11} > U_{пор}$ и сопротивление канала R_t закорачивает конденсатор *C*. На выходе ОУ поддерживается постоянный уровень

$$U_2(0) = -U_{12}R_t/R = K^{oc}_U U_{12}. \qquad (8.59)$$

Обычно сопротивление резистора *R* и канала R_t устанавливают так, чтобы $R \gg R_t$ и $U_2(0) = 0$. Если управляющий сигнал в момент t_1 (рис. 8.36, *б*) переключается до уровня $U^0_{11} < U_{пор}$, транзистор *VT* запирается, и начинается процесс интегрирования, который с учетом формулы (8.59) описывается выражением (8.58). ЛИН формируется с малыми искажениями ($\nu < 0{,}1$ % при $K_U > 10^4$) в пределах динамического диапазона выходного напряжения ОУ. За время входного импульса к моменту t_2 ЛИН достигает амплитудного значения $U_{2m} = -U_{12}(R_t/R + kt_и)$, которое должно удовлетворять условию $U_{01} > U_{2m} > -U_{02}$, где U_{01}, U_{02} — уровни ограничения выходного напряжения ОУ.

В момент t_2 транзистор VT отпирается, конденсатор C разряжается через него, и схема переключается в режим масштабного усилителя с $|K_U^{o,c}| \ll 1$. Время восстановления начальных условий интегратора приближенно можно определить как $t_в \approx 3R_iC$.

Изменять крутизну ЛИН можно потенциометром $R1$, сопротивление которого обычно $R_1 \ll R$, или внешним источником напряжения U_{12}.

Достоинства формирователя ЛИН на ОУ — простота схемы; хорошая нагрузочная способность; высокая линейность выходного сигнала; простота перестройки крутизны ЛИН, которая легко выполняется подачей напряжения U_{12} от других функциональных узлов; большой динамический диапазон выходных сигналов; малое потребление энергии. К недостатку следует отнести большое время восстановления $t_в$, зависящее от U_{2m} и свойств разрядного транзистора VT (или другого ключевого элемента).

Генераторы ЛИН строят по регенеративной схеме с использованием положительной обратной связи, например, схема на рис. 8.32, либо на основе сочетания одновибратора или мультивибратора и управляемого им формирователя ЛИН. Второй способ позволяет раздельно регулировать временные параметры ЛИН в задающем генераторе и крутизну ЛИН в формирователе.

8.3. КОМПОНЕНТЫ ОТОБРАЖЕНИЯ ЦИФРОВОЙ ИНФОРМАЦИИ

Отображение входной и выходной информации цифровых устройств в значительной мере определяет их эргономические параметры и влияет на производительность оператора. Все устройства отображения информации используются в основном для индикации, визуализации и документирования. К последним относятся алфавитно-цифровые печатающие устройства, графопостроители и другие, относящиеся к периферийному оборудованию ЭВМ. Устройства индикации обеспечивают оперативное отображение информации. Их строят на основе различных оптических приборов, электронно-лучевых трубок (ЭЛТ), ламп накаливания, светодиодов, газоразрядных [55], электролюминесцентных (ЭЛИ) [69], жидкокристаллических индикаторов (ЖКИ) [32].

В малогабаритных цифровых устройствах индикацию алфавитно-цифровой информации чаще всего выполняют на ЖКИ и светодиодах. Основное достоинство ЖКИ — низкое энергопотребление, что обусловливает их широкое использование в цифровых приборах с автономным питанием. Недостатки ЖКИ — малый срок службы, узкий температурный диапазон, низкое быстродействие — ограничивают область применения. Светодиоды имеют следующие достоинства: низкое напряжение питания, хорошую контрастность изображения, использование разных цветов, большой угол наблюдения и срок службы, высокое быстродействие, возможность интеграции с управляющими и дешифрирующими ИМС. Главный недостаток светодиодов — относительно большой потребляемый ток, который зависит от площади оптического элемента и достигает 3...30 мА. Уменьшение среднего тока потребления достигается импульсным питанием светодиодов.

По технологии производства светодиоды можно разделить на две группы: гибридные, получаемые нанесением полупроводника на изоляционную подложку, и монолитные, получаемые из монокристалла полупроводника. Более распространены гибридные светодиоды, которые при меньших затратах полупроводникового материала позволяют получить в несколько раз больший

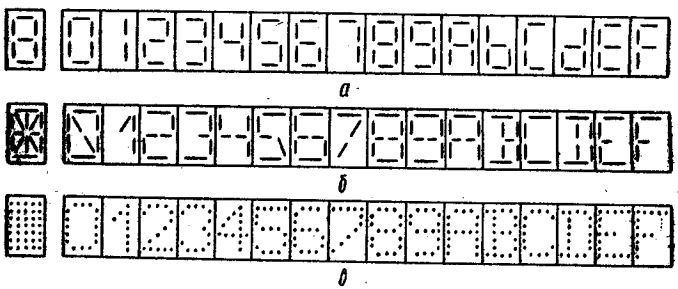


Рис. 8.37

знак по размерам и дешевле монолитных. Срок службы светодиодов и микросхем соизмеримы (10^6 ч). Снижение яркости свечения на 50 % наступает через $2{,}5 \cdot 10^5$ ч работы при температуре среды 25 °С. С ростом температуры срок службы снижается (до $3{,}2 \cdot 10^4$ ч при температуре 50 °С). Высота цифр применяемых светодиодных индикаторов 3...21 мм. Наиболее распространен-

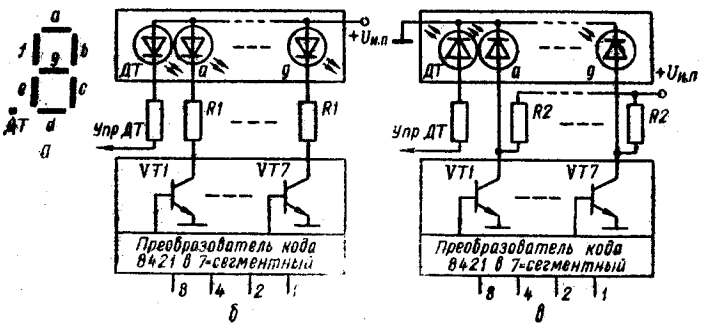


Рис. 8.38

ный цвет красный. Диапазон рабочих температур для светодиодов на основе GaP и GaAsP от —55 до +100 °С.

На рис. 8.37 показаны способы формирования светодиодами знаков с помощью 7-сегментного (*а*), 14-сегментного (*б*) и мозаичного (*в*) разложения. Питающее напряжение светодиода определяется материалом полупроводника и требуемой яркостью свечения. Для обеспечения яркости 300 кд/м² к светодиоду из GaAsP необходимо приложить напряжение около 1,8 В, а к светодиоду из GaP — 2,2 В. Потребляемая мощность на индикацию знака в зависимости от его размеров 60...200 мВт.

На рис. 8.38 изображена схема управления светодиодным 7-сегментным индикатором с десятичной точкой (ДТ). Светодиодный индикатор рис. 8.38, *а*, содержащий восемь светодиодов, управляется преобразователем кода 8421 в 7-сегментный код (см. рис. 5.4) с транзисторными ключами на выходе (рис.8.38,*б*). Ток коллектора $I_{к.н}$ насыщенного транзистора VT_i, определяющий яркость свечения светодиода, устанавливается ограничивающим резистором $R_1 = (U_{и.п} - U_д - U_{к.и}) / I_{к.н}$. В схеме рис. 8.38,*б* светодиодные индикаторы выполнены с объединением эмиттеров светодиодов. Единичные выходные уровни преобразователя кода (см. табл. 5.3) открывают соответствующие транзисторы, и возбужденная группа светодиодов образует требуемый символ. Если в индикаторе объединены базы светодиодов (рис. 8.38,*в*), то для управления транзисторными ключами выходные уровни преобразователя (см. табл. 5.3) должны быть проинвертированы. Иначе может быть синтезирован другой преобразователь кода, состояния выходов которого инверсны по отношению к табл. 5.3. Сопротивления резисторов *R2* выбирают аналогично по требуемому току диода $I_д$: $R_2 = (U_{и.п} - U_д)/I_д$.

Яркость светодиодного индикатора можно регулировать стробированием преобразователей кодов импульсами, запирающими (рис. 8.38,*б*) или отпирающими (рис. 8.38,*в*) все транзисторные ключи. На время строб-импульса все индикаторы выключаются. Изменение скважности стробирующих импульсов вызывает изменение средней яркости символов.

Многоразрядные индикаторы, построенные по схеме на рис. 8.38, имеют повышенные затраты оборудования, которые возрастают пропорционально разрядности *N* индицируемого числа. Затраты оборудования можно сократить, если вместо одновременной (параллельной) индикации всех *N* разрядов перейти к раздельной (последовательной) индикации. В этом случае можно использовать только один преобразователь кода 8421 в 7-сегментный код, управляющий параллельно всеми индикаторами. Последовательность индикации обеспечивается поочередным подключением питания к светодиодным индикаторам (рис. 8.39) через транзисторные ключи VT_i, управляемые дешифратором *DD1*, номера индицируемого разряда. Номер включаемого индикатора задается на дешифратор *DD1* кодом адреса, который одновременно управляет мультиплексорами *DD3*...*DD6*, связанными с соответствующими разрядами двоично-десятичного кода. На мультиплексор *DD3* подаются старшие разряды всех *N* отображаемых двоичных тетрад, а на мультиплексор *DD6* — младшие разряды этих тетрад. Код адреса изменяется циклически с помощью, например, пересчетного устройства с основанием счета *N*. Частоту повторения циклов выбирают так, чтобы за счет интегрирующих свойств человеческого глаза создавалось впечатление немерцающего изображения. Для этого частота циклов f_N должна быть не менее 25 Гц. Учитывая, что средняя яркость свечения пропорциональна току через светодиод (устанавливается сопротивлениями резисторов *R1*) и обратно пропорциональна скважности $Q = N$ импульсов через светодиоды, для обеспечения средней яркости свечения $B_{ср}$ сопротивления резисторов *R1* выбирают из условия

$$R_1 = K_с (U_{и.п} - U_{од})/(NB_{ср}), \qquad (8.60)$$

где K_c — коэффициент, устанавливающий связь между яркостью свечения и током светодиода, кд/(м²·А); $U_{сд}$ — падение напряжения на светодиоде. Из формулы (8.60) следует, что с увеличением разрядности последовательного светодиодного индикатора необходимо уменьшить сопротивления резистора *R1*.

Рассмотренный метод индикации подразумевает заранее определенный набор отображаемых символов, который задается преобразователем кода *DD2*. Замена или расширение набора символов требует переделки устройства. Для оперативной смены

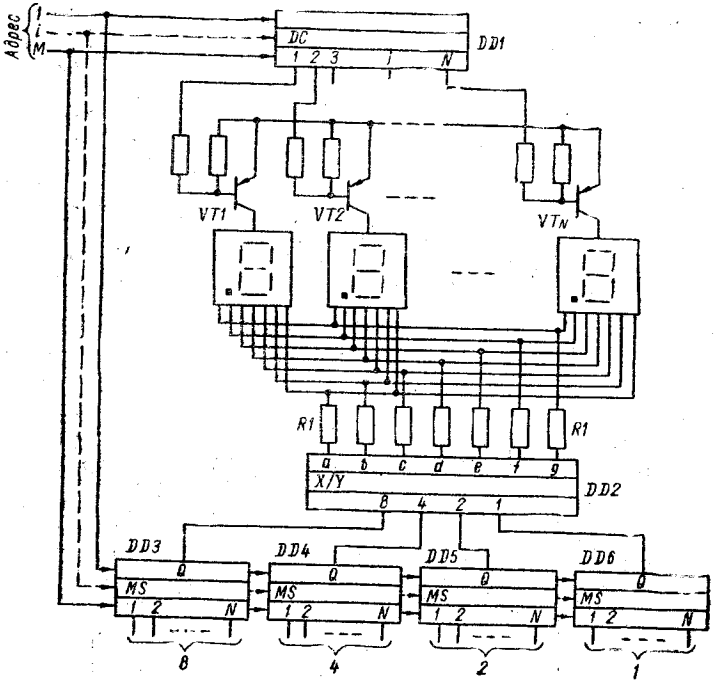


Рис. 8.39

используемого для индикации алфавита удобнее воспользоваться растровым способом формирования символов на основе светодиодной матрицы [69]. На рис. 8.40,*а* приведен пример точечного разложения символа «*А*», реализующая его светодиодная матрица (рис. 8.40,*б*) и таблица построчного кодирования символа «*А*». Возбуждение светодиодной матрицы производится построчно от Y_1 до Y_7 с помощью дешифратора двоичного номера (строки $a_2a_1a_0$ согласно таблице на рис. 8.40,*в*). Одновременно для каждой строки Y_i формируется соответствующий код $X_1...X_5$ возбуждения светодиодов. Двоичные наборы $X_1...X_5$ считываются из ПЗУ по адресу, который определяется кодом отображаемого символа и кодом строки матричного разложения. Таким образом, для отображения алфавита из 64 символов с матричным разложением 7 × 5 элементов необходимо сформировать 9-раз-

рядный адрес для считывания из ПЗУ 4-разрядных двоичных кодов. На рис. 8.41 изображена схема матричного светодиодного индикатора. Тактовые импульсы (ТИ) поступают на 3-разрядный двоичный счетчик *DD1*, его выходные сигналы опреде-

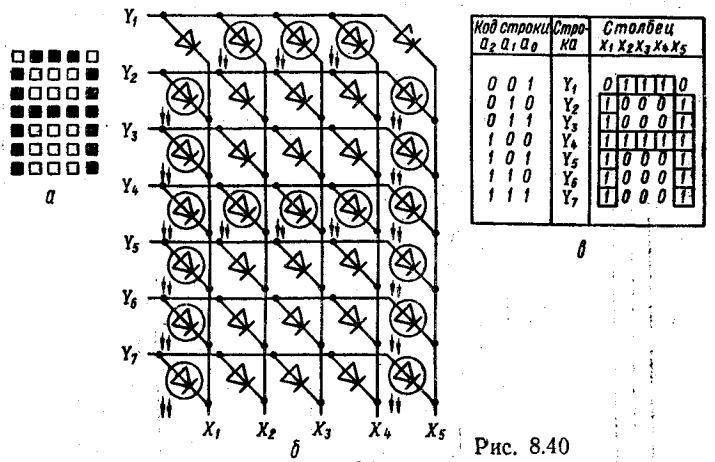


Рис. 8.40

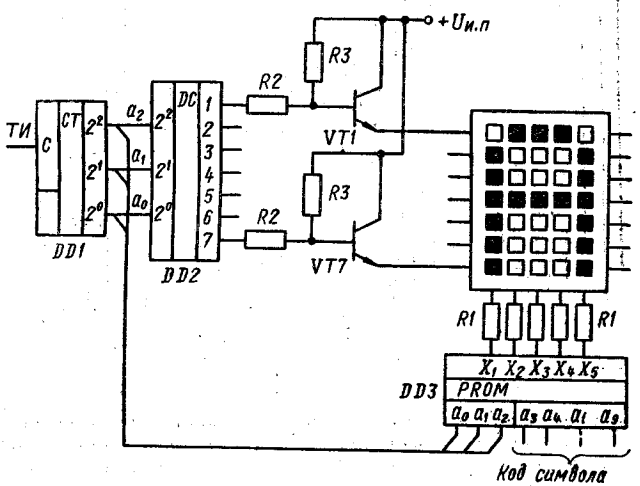


Рис. 8.41

ляют код строки и поступают на дешифратор *DD2*, а как часть кода адреса — на ПЗУ *DD3*. Один из транзисторов *VT1*...*VT7*, на базу которого через резистор *R2* с дешифратора поступает уровень логической «1», открывается и подключает эмиттеры светодиодов (строки) к источнику питания $+U_{и.п}$. При этом излучают свет диоды столбцов, на которые через резисторы *R1* из ПЗУ подаются нулевые уровни. Если $X_i = 1$, то i-й столбец

погашен. Полный цикл работы счетчика *DD1* определяет время индикации одного символа. Многоразрядный матричный индикатор позволяет обойтись общими для всех разрядов компонентами выбора индицируемой строки Y_i(*DD1*, *DD2*, *VT1*...*VT7*) и общим ПЗУ *DD3*. Выходы ПЗУ к N матричным индикаторам подключаются через пять демультиплексоров (по количеству столбцов в знаке) с N выходами, M адресными входами, где $M \geqslant \log_2 N$, которыми управляет дополнительный M-разрядный двоичный счетчик, включаемый последовательно со счетчиком *DD1*. Выходы каждого демультиплексора соединяют с одноименными столбцами матричных индикаторов через резисторы *R1*, определяющие среднюю яркость свечения $B_{ср}$

$$R_1 = k_N (U_{и.\,п} - U_{сд})/(LNB_{ср}),$$

где L — количество строк матричного разложения знака; k_N — коэффициент преобразования тока светодиода в яркость свечения N-разрядного индикатора.

Глава 9

АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

9.1. ДИСКРЕТИЗАЦИЯ НЕПРЕРЫВНЫХ СИГНАЛОВ

Дискретизацией сигнала называется измерительное преобразование непрерывного сигнала $x(t)$ в последовательность мгновенных значений этого сигнала $X_д(kT_ц)$, соответствующих определенным моментам времени $kT_ц$ [58]:

$$X_д(kT_ц) = \sum_{k=1}^{\infty} x(t_k)\,\delta(t - kT_ц),$$

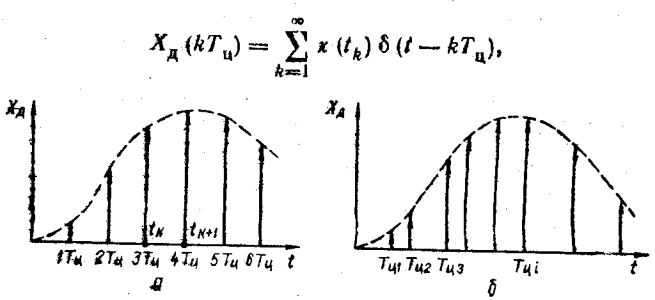


Рис. 9.1

где $k = 1, 2, 3, \ldots, N$; $T_ц$ — шаг дискретизации; $x(t_k)$ — значение сигнала в момент t_k; $\delta(t - kT_ц)$ — функция Дирака.

Дискретизацию сигнала по времени можно выполнить равномерно с постоянным шагом $T_ц = \text{const}$ (рис. 9.1, *а*) и неравномерно с переменным шагом $T_ц = \text{var}$ (рис. 9.1, *б*). Однако в дискретизированном сигнале отсутствуют промежуточные значения между моментами дискретизации t_k, t_{k+1}, поэтому, во многих случаях необходимо восстановить в сигнале все промежуточные значения. При этом сигнал на интервале $[T_1, T_2]$ восстанавливается с задан-

ной погрешностью. В качестве восстанавливающего сигнала используют сумму базисных функций

$$x_{\text{в}}(t) = \sum_{i=1}^{n} a_i C_i(t),$$

где a_i — коэффициенты ряда; $C_i(t)$ — система ортогональных базисных функций.

Коэффициенты ряда a_i и базисные функции $C_i(t)$ выбирают на основе критерия минимума средней квадратической погрешности восстановления или критерия совпадения восстанавливаемого сигнала с мгновенными значениями дискретизированного сигнала. Если коэффициенты ряда и базисные функции выбирают по критерию минимума средней квадратической погрешности восстановления

$$\sigma_{\min} = \sqrt{\frac{1}{T}\int_{T_1}^{T_2} [x_{\text{в}}(t) - x(t)]^2\, dt},$$

то система базисных функций выбирается ортогональной, а коэффициенты ряда определяют как

$$a_i = \int_{T_1}^{T_2} x(t)\, C_i(t)\, dt.$$

При этом для периодических сигналов в качестве базисных функций можно использовать систему тригонометрических функций кратных аргументов $\sin\frac{i2\pi t}{T}$, $\cos\frac{k2\pi t}{T}$, ортогональную на интервале $[0, T]$.

Если коэффициенты ряда и базисные функции выбирают по критерию совпадения в моменты дискретизации мгновенных значений восстанавливаемого сигнала и мгновенных значений дискретизированного сигнала, то их параметры определяют путем решения системы уравнений

$$\left.\begin{aligned} x_{\text{в}}(t_1) &= \sum_{i=1}^{n} a_i C_i(t_1); \\ x_{\text{в}}(t_2) &= \sum_{i=1}^{n} a_i C_i(t_2); \\ &\cdots\cdots\cdots\cdots \\ x_{\text{в}}(t_k) &= \sum_{i=1}^{n} a_i C_i(t_k). \end{aligned}\right\}$$

В случае, если сигнал $x(t)$, обладающий спектром с граничной частотой f_c, дискретизирован циклически с периодом $T_{\text{ц}} \leqslant 0{,}5/f_c$, то его можно восстановить с помощью ряда Котельникова

$$x_{\text{в}}(t) = \sum_{k=-\infty}^{k=+\infty} x(kT_{\text{ц}})\, C(t - kT_{\text{ц}}),$$

где $C(t-kT_ц)=\dfrac{\sin\omega_c(t-kT_ц)}{\omega_c(t-kT_ц)}$ — функция отсчета, обладающая следующими свойствами: в моменты $t=kT_ц$ достигает максимума, равного 1; в моменты времени $t=(k\mp n)T_ц$ при n, равного любому целому числу, равна 0; $\omega_c=2\pi f_c$.

Однако реальные сигналы $x(t)$ всегда ограничены во времени и имеют бесконечный частотный спектр. Поэтому из-за ограничения верхней части спектра сигнала возникает погрешность восстановления. При этом относительное значение средней квадратической погрешности при восстановлении, возникающей в результате ограничения спектра сигнала частотой ω_c, можно определить из следующего неравенства [58]:

$$\sqrt{\frac{E_\Delta}{E_c}}\leqslant\frac{\sqrt{\int\limits_{-\infty}^{+\infty}[x(t)-x_в(t)]^2\,dt}}{\sqrt{\int\limits_{-\infty}^{+\infty}x^2(t)\,dt}}\leqslant 1{,}73\sqrt{\frac{E_\Delta}{E_c}},$$

где $E_\Delta=\dfrac{1}{\pi}\int\limits_{\omega_c}^{\infty}x^2(\omega)\,d\omega$ — энергия погрешности сигнала, возникающая из-за ограничения спектра; $E_c=\dfrac{1}{\pi}\int\limits_{0}^{\omega_c}x^2(\omega)\,d\omega$ — полная энергия сигнала; $x(\omega)=\left|\int\limits_{0}^{\infty}x(t)\,e^{-j\omega t}\,dt\right|$ — частотный спектр сигнала.

В качестве базисных функций при восстановлении сигнала часто используют степенной полином $C_i(t_k-\tau)=P_m(\tau)\,\Pi(\tau/T_ц)$, где $\tau=t-t_k$; $P_m(\tau)=a_0+a_1\tau+a_2\tau^2+\cdots+a_m\tau^m$ — полином m-й степени от τ; $\Pi(\tau/T_ц)=\begin{cases}1 & \text{при } 0<\tau<T_ц\\ 0 & \text{при } \tau<0 \text{ и } \tau>T_ц.\end{cases}$

При восстановлении (аппроксимации) сигнала $x(t)$ на каждом участке между моментами дискретизации t_k, t_{k+1} базисная функция $C_i(t_k+\tau)$ изменяется по определенному закону (например, горизонтальной прямой при использовании степенного полинома нулевого порядка, отрезком наклонной прямой — первого порядка и участком параболы — второго порядка). Погрешность восстановления (аппроксимации) $\Delta x_в=x(t)-x_в(t)$ зависит от закона изменения $x(t)$, способа аппроксимации и шага дискретизации. Шаг дискретизации $T_ц$, а следовательно, частоту дискретизации $f_д=1/T_ц$ определяют по заданной погрешности восстановления (аппроксимации).

В случае использования степенных полиномов нулевого порядка $m=0$ (ступенчатая аппроксимация, рис. 9.2, *а*) $a_i = x(t_k)$, $C_i(t_k+\tau) = \Pi(\tau/T_ц)$, тогда восстанавливаемый сигнал

$$x_в(t) = \sum_{k=1}^{n} x(t_k)\,\Pi(\tau/T_ц).$$

Максимальная погрешность аппроксимации в этом случае будет на участке сигнала, где первая производная $x'_m(t)$ достигнет наибольшего значения

$$\Delta x_в = x'_m(t)\,T_ц = \frac{x'_m(t)}{f_д}.$$

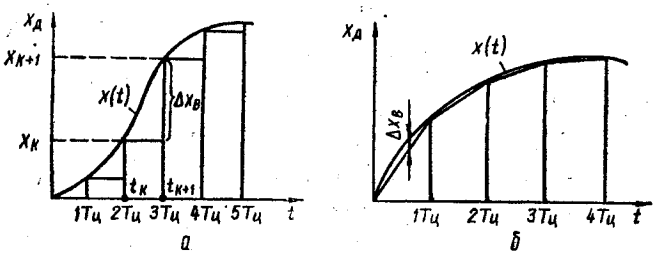


Рис. 9.2

При использовании степенных полиномов первого порядка $m=1$ (кусочно-линейная аппроксимация, рис. 9.2,*б*) восстанавливаемый сигнал имеет вид

$$x_в(t) = \sum_{k=1}^{n} \{x(t_k)\,\Pi(\tau/T_ц) + [x(t_k+T_ц) - x(t_k)] \times$$
$$\times T_ц^{-1}\tau\Pi(\tau/T_ц)\}.$$

Погрешность аппроксимации при этом будет наибольшей на тех участках изменения сигнала, где вторая производная $x''_m(t)$ достигает наибольшего значения

$$\Delta x_в = \frac{x''_m(t)\,T_ц^2}{8} = \frac{x''_m(t)}{8f_д^2}.$$

При параболической аппроксимации погрешность будет наибольшей на тех участках изменения сигнала, где третья производная имеет максимальное значение

$$\Delta x_в = \frac{x'''_m(t)\,T_ц^3}{16} = \frac{x'''_m(t)}{16\,f_д^3}.$$

Дискретизация сигнала сопровождается кодированием информации, заключающейся в том, что каждому дискретному значению ставится в соответствие определенная кодовая комбинация, представленная в двоичном или двоично-десятичном кодах. При этом дискретизация сигнала, т. е. преобразование сигнала в цифровой код реализуется с помощью АЦП и является

измерительным процессом, состоящим из ряда операций сравнения измеряемой величины с набором эталонных дискретных величин. В АЦП аналоговая величина поступает на вход сравнивающего устройства, на второй вход которого в определенной последовательности подаются величины одинаковой природы с измеряемой величиной, вырабатываемые блоком эталонных величин (преобразование вида код — аналог, осуществляемое с помощью ЦАП). Сравнивающее устройство вырабатывает последовательность кодовых комбинаций, являющихся результатом сравнения измеряемой величины с эталонной и используемых для управления цифровым автоматом. При этом состояние цифрового автомата в конце преобразования определяет цифровой код измерительной величины.

Основной особенностью дискретизации сигнала является то, что за счет конечного времени одного преобразования и неопределенности момента его окончания не удается получить однозначное соответствие между значениями отсчетов и моментами времени, к которым их следует отнести. Таким образом, при дискретизации изменяющихся во времени сигналов возникают динамические погрешности, для оценки которых вводят понятие неопределенности [7]. При равномерной дискретизации возникают амплитудные погрешности, которые называются апертурными, численно равные приращению сигнала в течение апертурного времени, равного шагу дискретизации $T_ц$. Для оценки апертурных погрешностей используют синусоидальный измерительный сигнал $x(t) = X_m \sin \omega t$, для которого максимальная относительная апертурная погрешность $\Delta x_а / X_m = \omega T_ц$. Если принять, что для m-разрядного АЦП с разрешением 2^{-m} апертурная погрешность не должна превышать шага квантования по уровню $\Delta x_а$, то между частотой синусоидального сигнала $f = \omega/2\pi$, апертурным временем (шагом дискретизации $T_ц$) и относительной апертурной погрешностью существует соотношение [7]

$$\Delta x_а / X_m = 1/2^m = 2\pi f T_ц.$$

9.2. ПАРАМЕТРЫ И МЕТОДЫ ПОСТРОЕНИЯ АЦП

Основные параметры АЦП можно разделить на две группы: характеризующие статическую точность и динамическую точность [7; 22].

Параметры, характеризующие статическую точность, определяют работу АЦП при дискретизации квазипостоянных физических величин. К этим параметрам относятся: погрешность квантования, инструментальная погрешность (погрешность смещения нуля, погрешность коэффициента передачи, нелинейность), временная нестабильность, разрешающая способность, диапазон измеряемых величин, входное сопротивление.

Погрешность квантования (дискретности) Δ_k — методическая погрешность (рис. 9.3,*а*), вызванная конечным значением шага квантования h (единица младшего разряда ЕМР), максимальное значение которой $\Delta_k = \pm 0{,}5\ h$ (рис. 9.3, *б*), а среднеквадратическое отклонение $\sigma_k = \Delta_k/\sqrt{12} \approx 0{,}3\ h$.

Инструментальная погрешность возникает из-за несовершенства средств измерения и содержит следующие составляющие: погрешность смещения нуля (аддитивная погрешность), погрешность коэффициента передачи (мультипликативная по-

грешность) и нелинейность. Погрешность смещения нуля (аддитивная) $\Delta_а$ — часть общей погрешности, характеризующая параллельный сдвиг всей передаточной характеристики реального АЦП по отношению к идеальному (рис.9.4,*а*). Погрешность коэффициента передачи (мультипликативная) $\Delta_м$ — величина, характеризующая отклонение крутизны усредненной передаточной характеристики АЦП от крутизны идеальной характеристики (рис. 9.4,*б*). Нелинейность $\Delta_н$ — отклонение передаточной характеристики АЦП от идеальной во всем диапазоне изменения входного сигнала, при этом часто используют понятие дифференциальной нелинейности (рис. 9.4,*в*).

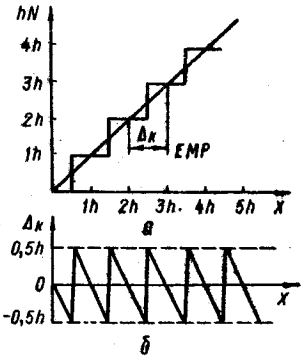


Рис. 9.3

Временная нестабильность характеризует способность АЦП сохранять статическую точность в течение определенных интервалов времени. Различают кратковременную и долговременную стабильности.

Разрешающая способность — это способность АЦП различать два значения входного сигнала, характеризует потенциальные возможности АЦП с точки зрения достижимой точности.

Диапазон измеряемых величин — максимальные x_{max} и минимальные x_{min} для данного АЦП значения измеряемой величины.

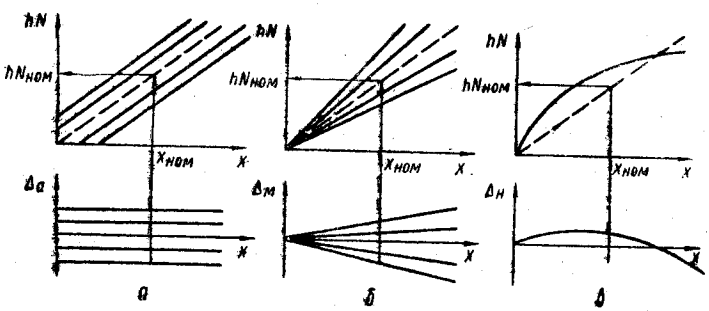


Рис. 9.4

Входное сопротивление характеризует степень влияния входа АЦП на измеряемую величину. Если входное сопротивление невелико и соизмеримо с сопротивлением источника сигнала и оно не постоянно, то это может привести к появлению дополнительных погрешностей. Поэтому к величине входного сопротивления предъявляют жесткие требования по постоянству и величине.

Возникновение динамических погрешностей связано с дискретизацией сигналов, изменяющихся во времени. К параметрам,

характеризующим динамическую точность, относятся: частота дискретизации (шаг дискретизации), время преобразования, время выборки (стробирования).

Частота дискретизации — это частота $f_д = 1/T_ц$, с которой происходит образование дискретных значений сигнала.

Время преобразования $T_{пр}$ — это время, отсчитываемое от начала преобразования до появления на выходе кода, соответствующего данной выборке.

Время выборки $T_в$ — это время, в течение которого происходит образование одного выбранного значения (рис. 9.5).

По принципу действия АЦП делятся на последовательные, параллельные и последовательно-параллельные. При этом последовательную процедуру можно реализовать с помощью как единичных (развертывающего или следящего уравновешивания), так и последовательных приближений (поразрядного уравновешивания) [7; 21; 22; 57; 58].

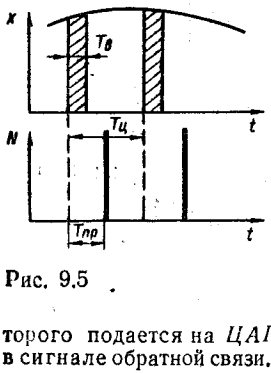


Рис. 9.5

В АЦП последовательного типа развертывающего уравновешивания (рис. 9.6,*а*), состоящего из компаратора *К*, генератора счетных импульсов *ГСИ* с периодом τ_0, счетчика *Сч*, схемы управления *СУ* и *ЦАП*, входной сигнал поступает на один вход компаратора, а на другой — сигнал обратной связи с *ЦАП*. Работа преобразователя начинается с прихода импульса запуска на *СУ*, который включает счетчик, выходной код которого подается на *ЦАП*, осуществляющий его преобразование в сигнале обратной связи. Компенсирующее напряжение $U_к$ обратной связи с *ЦАП* растет от начального значения $U_к = 0$ до значения $U_к \geqslant U_x$. В момент достижения напряжением $U_к$ величины U_x компаратор срабатывает, и его выходной сигнал заканчивает процесс преобразования аналогового сигнала U_x в цифровой эквивалент.

Время преобразования АЦП этого типа определяется величиной входного сигнала. Его максимальное значение $T_{пр\,max} = (2^m - 1)\tau_0$, где m — число разрядов двоичного счетчика; τ_0 — период следования счетных импульсов. Основные особенности АЦП последовательного типа — простота построения, небольшая частота дискретизации ($f_д = \frac{1}{T_{пр\,max}} = 1 \ldots 10$ кГц), малая статическая погрешность $\Delta U = U_{x\,max} / 2^m$. Области применения — цифровые вольтметры постоянного тока и цифровые системы, предназначенные для работы с постоянными и медленно изменяющимися напряжениями.

В АЦП последовательного типа следящего уравновешивания (рис. 9.6,*б*) в отличие от АЦП развертывающего уравновешивания вместо суммирующего счетчика используется реверсивный *РевСч*. В момент достижения $U_к$ величины U_x АЦП переходит в следящий режим и выходной код АЦП колеблется вокруг среднего значения с точностью до шага квантования. Если скорость изменения $U_x(t)$ не превышает максимальной скорости изменения компенсирующего напряжения $U_к$, то в любой момент

$U_к$ не отличается от измеряемого напряжения более чем на шаг квантования $h \leqslant U_x'(t)\,\tau_0$. Это соотношение определяет апертурную погрешность АЦП, а период счетных импульсов τ_0 является апертурным времени. В следящем режиме работы АЦП цифровой код измеряемой величины можно снять в любом такте работы преобразователя.

В АЦП последовательного типа поразрядного уравновешивания (последовательных приближений) (рис. 9.6,*в*) процесс

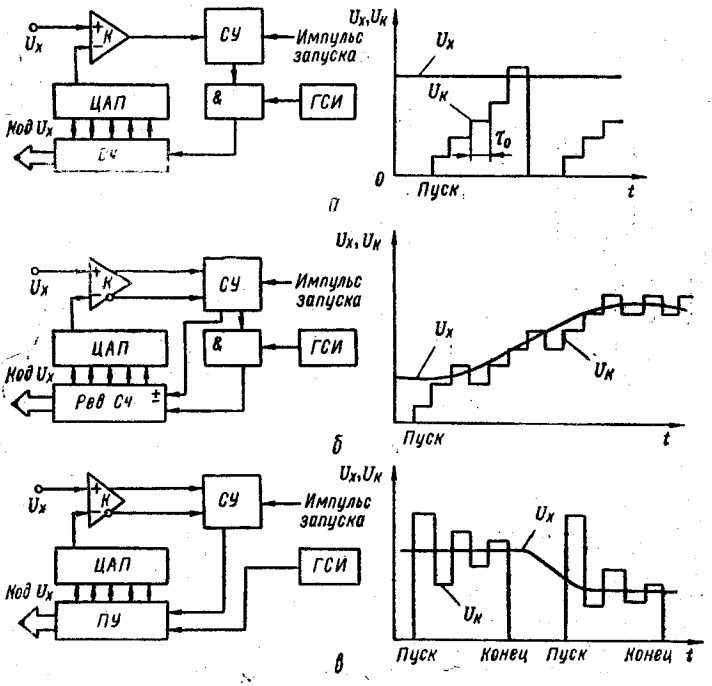


Рис. 9.6

уравновешивания происходит с помощью программного устройства *ПУ* в направлении от старших разрядов с весом 2^{m-1} к младшим с весом 2^0. Это позволяет для m-разрядного АЦП выполнить весь процесс преобразования за m последовательных шагов приближений (итераций) вместо 2^m-1 при развертывающем уравновешивании и получить выигрыш в быстродействии.

Алгоритм работы такого типа АЦП состоит в том, что *ПУ* и *СУ* задают направление перехода в зависимости выходного сигнала компаратора. В начальный момент по импульсу запуска *ПУ* устанавливается в состояние 10...0, при котором значение $U_к$ определяется весом старшего разряда выходного двоичного числа. Затем в течение m тактов напряжение $U_к$ последовательно приближается к значению входного сигнала U_x. При этом на каждом такте возможна одна из ситуаций: 1) если $U_к < U_x$,

то производится установка следующего младшего разряда в «1» при сохранении состояния всех предшествующих старших разрядов; 2) если $U_к > U_x$, то установка младшего разряда в «1» сопровождается сбросом предыдущего старшего разряда в «0». В результате, по истечении m тактов приближения компенсирующее напряжение $U_к$ приблизится к U_x с точностью до шага квантования $h = U_{max}/2^m$. При этом время преобразования $T_{пр} = m\tau_0$. Таким образом, в АЦП поразрядного кодирования сокращение времени преобразования достигается усложнением *ПУ* и *СУ* процедурой последовательного изменения во времени компенсирующего напряжения с *ЦАП*, формируемого цифровым способом.

АЦП с двухтактным интегрированием [7; 57]. Основным недостатком рассмотренных АЦП последовательного типа яв-

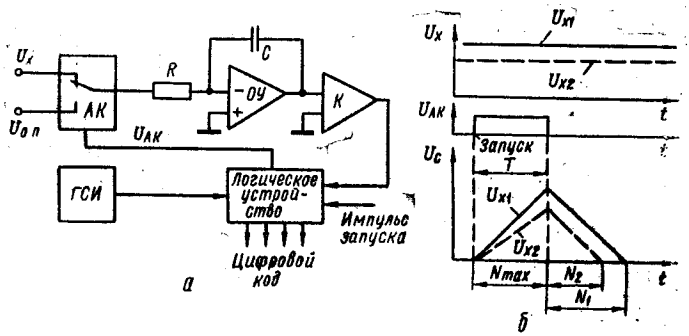


Рис. 9.7

ляется их низкая помехоустойчивость от сетевых наводок. Этот недостаток можно устранить, если в процессе преобразования использовать операцию интегрирования за фиксированный интервал времени. К преобразователям такого типа относится АЦП с двухтактным интегрированием (рис. 9.7,*а*), в котором полный цикл работы состоит из двух тактов.

В первом такте с помощью аналогового интегратора (АИ) на операционном усилителе *ОУ* входное напряжение интегрируется за фиксированный интервал времени $T = N_{max}\tau_0$, где N_{max} — емкость счетчика, определяющая разрешающую способность АЦП. При этом на интегрирующем конденсаторе АИ накапливается заряд $q_1 = \overline{U}_x T/RC$, где $\overline{U}_x$ — среднее входное напряжение за время T. Во втором такте происходит разряд конденсатора от источника опорного напряжения $U_{о.п}$, который имеет полярность, противоположную входному напряжению и подключается к АИ с помощью аналогового ключа *АК*. Этот процесс продолжается до возвращения конденсатора в начальные условия (рис. 9.7, *б*), что фиксируется компаратором *К*. При этом удаленный из конденсатора заряд $q_2 = U_{о.п}t/RC$, где $t = N\tau_0$ — время разряда конденсатора. Так как $q_1 = q_2$, то $t = \overline{U}_x T/U_{о.п}$, тогда $N = \overline{U}_x N_{max}/U_{о.п}$, а $\overline{U}_x = \Delta U_к N$, где $\Delta U_к = U_{о.п}/N_{max}$ — шаг квантования.

Таким образом, используя операцию интегрирования входного сигнала, можно получить усреднение и сглаживание всех

быстрых по сравнению с временем интегрирования T помех, наводок (сетевых) и шумов. В частности, синхронизируя работу такого АЦП с напряжением сети и выбирая $T = i/50$ Гц кратное периоду частоты питающей сети, можно полностью подавить наводки, проходящие по цепям питания.

В параллельных АЦП выполняется одновременно квантование сигнала с помощью набора компараторов K, включенных параллельно источнику сигнала U_x (рис. 9.8,*а*). Пороговые уровни компараторов устанавливают с помощью резистивных дели-

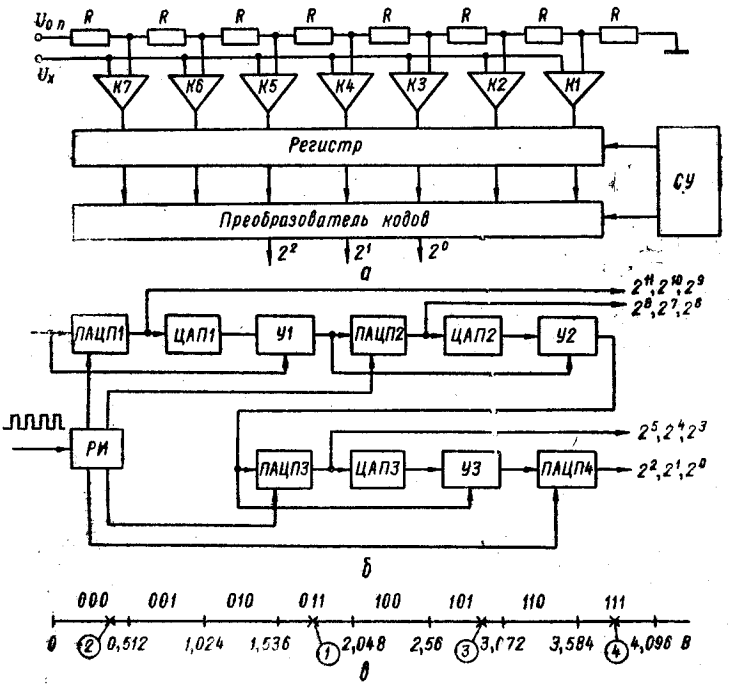


Рис. 9.8

телей. Число m пороговых уровней зависит от количества дискретных значений преобразуемого сигнала в полном диапазоне преобразования $m = U_{max}/h$. Пороговые уровни компараторов $U_{пi} = hi$ для всех $i = 1\ m$. Таким образом, если U_x превышает значение $U_{пi}$, то срабатывают компараторы, пороговые уровни которых $U_{пi} < U_x$. При этом выходные сигналы с компараторов устанавливают в единичное состояние соответствующие разряды m-разрядного регистра. В регистре образуется число, пропорциональное U_x, в виде кода Джонсона, который затем с помощью преобразователя кодов преобразуется в параллельный двоичный код.

Достоинство АЦП параллельного типа — высокое быстродействие, так как входной сигнал U_x за один шаг преобразования сравнивается с полным набором пороговых уровней. Длительность такой операции преобразования определяется вре-

менем срабатывания компараторов и быстродействием цифровых элементов, входящих в регистр и преобразователь кодов. Однако это достоинство достигается за счет аппаратных затрат, так как количество компараторов и элементов памяти равно 2^m. Поэтому АЦП параллельного типа применяют только для построения быстродействующих АЦП малой разрядности.

В АЦП последовательно-параллельного типа m-разрядов разбиваются на несколько n групп [21]. Внутри каждой группы применяется параллельное преобразование, но группа за группой работают последовательно во времени. При этом резко сокращаются аппаратные затраты по сравнению с АЦП параллельного типа, а быстродействие уменьшается незначительно, так как полное время преобразования $T_{пр} = nt_{пр}$, где $t_{пр}$ — время преобразования одной группы.

Первый этап преобразования выполняется параллельным АЦП1 (*ПАЦП1*), имеющим $n_1 = 3$ двоичных разряда. При этом после первого этапа преобразования образуется двоичное число, представляющее разряды первой группы 2^{m-1}, 2^{m-2}, 2^{m-3}, и остаточное напряжение $\Delta U_1 = U_x - U_{п1}$, где $U_{п1}$ — результат обратного преобразования n_1-разрядного *ЦАП1*. Остаток ΔU_1, не превышающий шага квантования $\Delta_1 = U_{о.п}/2^{n_1}$, усиливается в 2^{n_1} раз и подается на второй параллельный АЦП2 (*ПАЦП2*), имеющий $n_2 = 3$ двоичных разрядов. После второго этапа пробразования получается двоичное число, представляющее разряды второй группы 2^{m-n_1-1}, 2^{m-n_1-2}, 2^{m-n_1-3}. При этом шаг квантования после второго этапа преобразования не превышает $\Delta U_2 = U_{о.п}/2^{n_1+n_2}$. Аналогично для третьей группы $\Delta_3 = U_{о.п}/2^{n_1+n_2+n_3}$ и для i-й группы $\Delta_i = U_{о.п}/2^{n_1+n_2+n_3+\ldots+n_i}$.

На рис. 9.8,*б* изображена структурная схема последовательно-параллельного АЦП на 12 разрядов, разбитого на четыре группы по три двоичных разряда в каждой. Пусть шаг квантования АЦП составляет $\Delta = 1$ мВ, тогда при $m = 12$ диапазон входного сигнала U_x будет от 0 до 4,096 В. Рассмотрим процесс преобразования для $U_{x1} = 1{,}5835$ В. Диапазон значений U_x от 0 до 4,096 В разделен на восемь равных участков (рис. 9.8,*в*). Границами между ними служат значения опорных напряжений $U_{01} = 0{,}512$ В; $U_{02} = 1{,}024$ В; $U_{03} = 1{,}536$ В; $U_{04} = 2{,}048$ В; $U_{05} = 2{,}56$ В; $U_{06} = 3{,}072$ В; $U_{07} = 3{,}584$ В. Крестиками обозначены точки, соответствующие напряжению, поступающему на очередной АЦП в каждом из четырех тактов. Трехразрядные

Таблица 9.1

Номер такта	Номер АЦП	Коды на выходе АЦП	Номер ЦАП	Напряжение на выходе ЦАП, В	Номер усилителя	Напряжение на выходе усилителя, В
1	ПАЦП1	011	ЦАП1	1,536	У1	0,38
2	ПАЦП2	000	ЦАП2	0	У2	3,04
3	ПАЦП3	101	ЦАП3	2,56	У3	3,84
4	ПАЦП4	111	—	3,584	—	—

двоичные коды, образующиеся при этом на выходах АЦП, соответствуют кодам, находящимся на рис. 9.8,*в* над участками с крестиками. Процесс преобразования показан в табл. 9.1.

По окончании четвертого такта на выходе АЦП образуется код 011 000 101 111, что соответствует значению $U_x = 1{,}5835$ В.

9.3. ЭЛЕМЕНТЫ АЦП

В АЦП можно выделить цифровую и аналоговую части. Цифровая часть выполняет кодирование и декодирование, запоминание, сравнение, сдвиг, счет и сложение цифровой информации, прием и обработку команд на преобразование и вырабатывает сигналы управления. В последнее время для выполнения перечисленных выше операций широко используют микропроцессоры. В аналоговой части осуществляются операции сравнения, усиления, выборки и хранения, коммутации аналогового сигнала, а также операции по его сложению и вычитанию, делению и перемножению, интегрированию и дифференцированию.

К элементам, выполняющим функции в цифровой части, относят логические схемы, триггеры, регистры, счетчики, запоминающие устройства, микропроцессоры. При этом цифровую часть АЦП выполняют на основе серийно выпускаемых отечественной промышленностью цифровых ИС. Характеристики серий ТТЛ, ТТЛШ, ЭСЛ, КМОП и И²Л приведены в табл. 4.5.

К элементам, выполняющим функции аналоговой части, относят операционные усилители, компараторы, источники опорных напряжений, аналоговые ключи и коммутаторы ЦАП [6; 79].

Операционные усилители (ОУ) представляют собой усилители постоянного тока с дифференциальными входами. Их используют для дифференцирования, интегрирования, масштабирования, фильтрации, а также для сравнения и запоминания сигналов. Особенности работы ОУ рассмотрены в работе [82].

Основные параметры ОУ в статическом и динамическом режимах.

Коэффициент усиления напряжения K_U — отношение выходного напряжения ОУ к входному напряжению.

Напряжение смещения $U_{см}$ — напряжение постоянного тока, при котором выходное напряжение равно нулю.

Максимальное входное напряжение $U_{вх\,max}$ — наибольшее входное напряжение ОУ между входными выводами ОУ, при котором напряжение соответствует заданному.

Максимальное выходное напряжение $U_{вых\,max}$ — наибольшее выходное напряжение между выводами выхода и корпуса ОУ, при котором обеспечиваются заданные параметры ОУ.

Максимальный выходной ток $I_{вых\,max}$ — наибольший выходной ток, при котором обеспечиваются заданные параметры ОУ.

Частота единичного усиления f_1 — частота, на которой коэффициент усиления ОУ равен единице.

Скорость нарастания выходного напряжения $v_{U_{вых}}$ — скорость изменения выходного напряжения ОУ при воздействии импульса максимального входного напряжения прямоугольной формы.

Параметр	Средней			
	КР140УД1	К140УД5	К140УД6	К140УД7
K_U, В/мВ	2	1	70	50
$U_{см}$, мВ	7	5	5	4
$U_{вх\ max}$, В	1,5	3	15	12
$U_{вых\ max}$, В	6	6,5	11	11
$I_{вых\ max}$, мА	3	3	25	20
f_1, МГц	5	14	1	0,8
$v_{U\ вых}$, В/мкс	0,5	6	2,5	1
$t_{уст}$, мкс	1,5	—	1,7	—
$I_{вх}$, мкА	8	10	0,03	0,2
$R_{вх}$, кОм	50	60	10^3	400
$R_{вых}$, кОм	0,5	1	0,2	0,2
$U_{и.\ п}$	±12,6	±12,6	±15	±15
$I_{пот}$, мА	8	12	2,8	2,8
Номер схемы	*1*	*2*	*3*	*4*

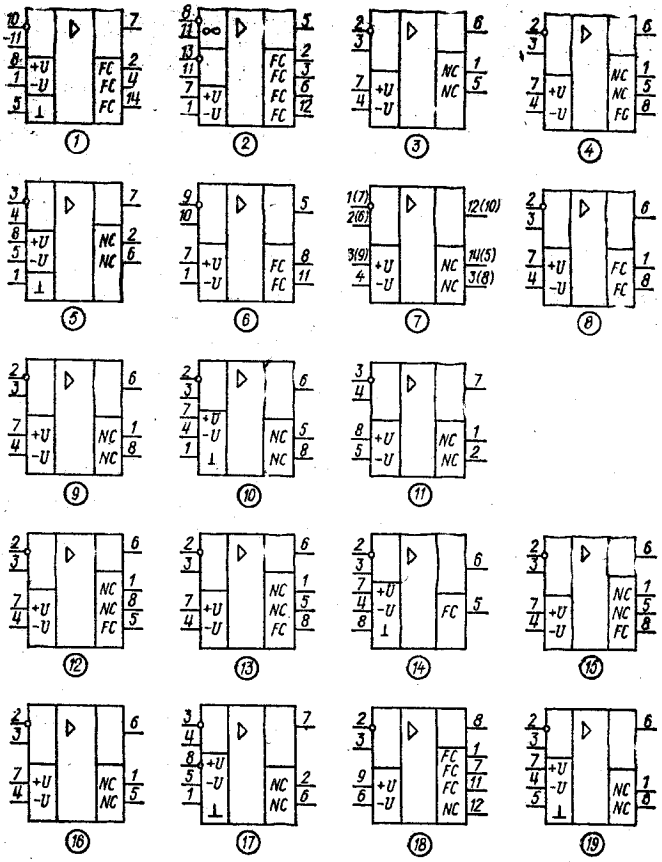
Параметр	Прецизионные			Быстро	
	К140УД3	К140УД17	К553УД5	К140УД11	К154УД2
K_U, В/мВ	10	200	10^3	50	10
$U_{см}$, мВ	0,05	0,07	1	4	2
$U_{вх\ max}$, В	1	15	1	10	—
$U_{вых\ max}$, В	1	12	10	10	10
$I_{вых\ max}$, мА	—	10	2к*	2к*	2к*
f_1, МГц	0,1	0,4		15	—
$v_{U\ вых}$, В/мкс	0,05	0,1	—	50	75
$t_{уст}$, мкс	—	—	—	—	5
$I_{вх}$, мкА	10^{-3}	$4 \cdot 10^{-3}$	0,12	0,5	0,01
$R_{вх}$, кОм	$50 \cdot 10^3$	—	—	300	200
$R_{вых}$, кОм	10	—	—	0,3	0,3
$U_{и.\ п}$	±15	±15	±15	±15	±15
$I_{пот}$, мА	10	4	3,5	8	6
Номер схемы	*10*	*11*	*12*	*13*	*14*

* Минимальное сопротивление нагрузки.

точности

К140УД8	К140УД9	К140УД14	К140УД20	К544УД1
50	35	50	30	50
20	5	2	5	15
10	7	10	—	10
10	10	13	12	10
20	22	20	20	20
1	1	0,3	0,55	1
5	5	0,2	0,3	2
—	—	—	—	—
$0,2 \cdot 10^3$	0,1	$2 \cdot 10^{-3}$	0,2	10^{-3}
1000	300	$30 \cdot 10^3$	$4 \cdot 10^3$	$12 \cdot 10^3$
0,2	0,3	0,5	0,2	0,4
±15	±12,6	±15	±15	±15
5	8	0,6	2,8	3,5
5	*6*	*8*	*7*	*9*

действующие			Микромощные		
К154УД3	К544УД2	К514УД1	К140УД12	К153УД4	К154УД1
8	20	50	50	5	200
9	30	50	5	5	3
—	10	—	1	4	—
0,5	10	10	2	4	12
—	2к*	2к*	3	5к*	2к*
10	20	10	1	0,7	1
80	20	50	0,8	0,12	10
0,5	—	—	0,35		—
0,2	10^{-3}	10^{-3}	$7 \cdot 10^{-3}$	0,4	0,02
—	500	$12 \cdot 10^3$	$5 \cdot 10^3$	400	200
—	0,2	0,3	5	0,4	0,3
±15	±15	±15	±15	±6	±5
7	7	8	1	1	1
15	*16*	*17*	*16*	*18*	*19*



Время установления выходного напряжения $t_{уст}$ — интервал времени, в течение которого выходное напряжение ОУ изменяется с первого достижения уровня 0,1 до последнего достижения уровня 0,9 установившегося значения.

Входной ток $I_{вх}$ — ток, втекающий (или вытекающий) в любой из входных выводов при входном напряжении, равном $U_{см}$, и выходном напряжении, равном нулю.

Дифференциальное входное сопротивление $R_{вх.д}$ — отношение изменения дифференциального входного напряжения к результирующему изменению входного тока при сохранении линейности выходного напряжения.

В АЦП в зависимости от требуемой точности и скорости преобразования и мощности потребления используют следующие ОУ: средней точности 1 % ($U_{см} = 5 \ldots 10$ мВ; $I_{вх} = 100 \ldots 1000$ нА); прецизионные 0,1 % ($U_{см} = 1 \ldots 2$ мВ; $I_{вх} = 1 \ldots 10$ нА), быстродействующие ($v_{U_{вых}} \geqslant 50 \ldots 100$ В/мкс; $t_{уст} <$

≪ 1 мкс) и микромощные (с мощностью потребления не более 20 мВт). Электрические параметры ОУ приведены в табл. 9.2 [5; 33].

Компараторы являются специализированными ОУ с дифференциальным входом и с одним или парафазным цифровым выходом. Входной каскад компаратора построен аналогично ОУ и работает в линейном режиме. На выходе компаратора формируется сигнал логическая «1», если входной сигнал превышает пороговое напряжение, если же входной сигнал меньше порогового напряжения — логический «0». В АЦП компаратор используется как пороговое устройство для квантования сигнала.

Основные параметры компаратора.

Чувствительность (разрешающая способность) — минимальная разность аналоговых сигналов, которую может обнаружить компаратор и зафиксировать на выходе как цифровой сигнал, соответствующий переходу из одного логического состояния

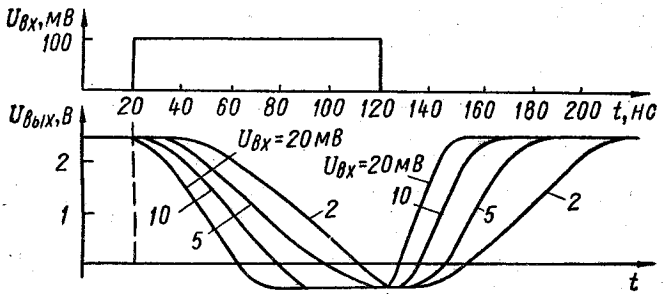


Рис. 9.9

в другое. При этом разрешающая способность компаратора является функцией его быстродействия, определяемого таким параметром, как время переключения, которое обычно оценивают при подаче на вход компаратора скачка напряжения 100 мВ с заданным перевозбуждением, т. е. превышением входного сигнала над пороговым напряжением (рис. 9.9).

Время задержки переключения $t_{зд}^{10(01)}$ — время с момента подачи входного сигнала до момента, когда выходной сигнал превысит пороговый уровень напряжения, соответствующий логическим «1» или «0» в зависимости от того, в каком начальном состоянии находится компаратор.

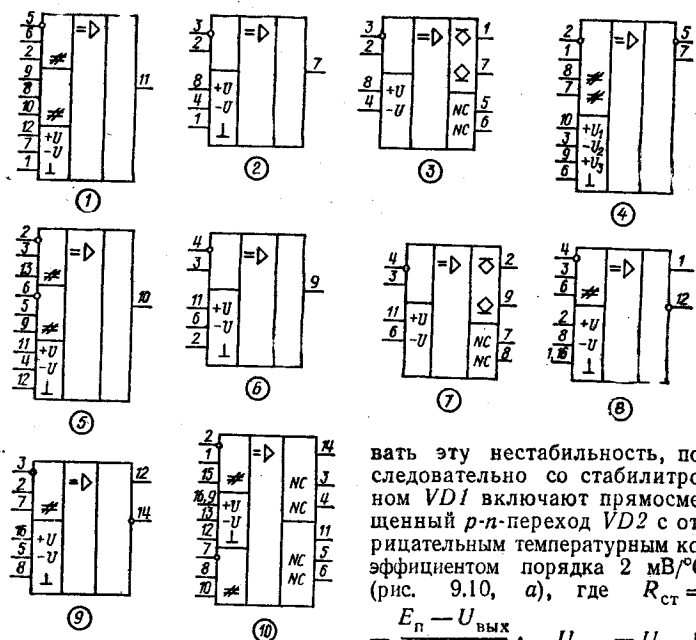
Выходные уровни напряжения $U_{вых}^{0}$ или $U_{вых}^{1}$ — напряжения, соответствующие логическим «0» или «1» на выходе компаратора.

Напряжение смещения $U_{см}$ характеризует погрешность начального смещения, обусловленную отклонением порогового уровня по отношению к истинному значению входного сигнала. Электрические параметры компараторов приведены в табл. 9.3 [6; 33].

Источники опорных напряжений (ИОН) используют в АЦП для задания пороговых напряжений на компараторы, питания резистивных делителей, компенсации преобразуемого аналогового сигнала и т. д. В качестве ИОН применяют параметрические стабилизаторы напряжения с кремниевыми стабилитронами (табл. 9.4), у которых температурный коэффициент положительный и составляет порядка 2 мВ/°С [35; 61]. Чтобы компенсиро-

Таблица 9.3

Параметр	521СА1	521СА2	521СА3	521СА4	К554СА1	К554СА2	К554СА3	К597СА1	К597СА2	К597СА3
$U_{см}$, мВ	3,5	5	3	4	7,5	7,5	3	3	3	5
$t_{зд}$, нс	120	90	300	26	120	130	300	6	12	300
$U^1_{вых}$, В	2,5	2,5	—	2,5	2,5	2,5	—	—0,9	2,5	7
$U^0_{вых}$, В	0,3	0,3	—	0,3	0,3	0,3	—	—1,8	0,5	0,3
$U_{и.\ п1}$, В	12	12	15	9 5	12	12	15	5	5	15
$I_{пот1}$, $I_{пот3}$, мА	12	9	6	4 16	12	9	6	30	42	3
$U_{и.\ п2}$, В	—6	—6	—15	—9	—6	—6	—15	—6	—6	—15
$I_{пот2}$, мА	7	8	5	8	7	8	5	20	34	1
Номер схемы	*1*	*2*	*3*	*4*	5	*6*	*7*	*8*	*9*	*10*



вать эту нестабильность, последовательно со стабилитроном *VD1* включают прямосмещенный *p-n*-переход *VD2* с отрицательным температурным коэффициентом порядка 2 мВ/°С (рис. 9.10, *а*), где $R_{ст} = \frac{E_п - U_{вых}}{I_{ст}}$; $U_{вых} = U_{ст} + U_{пр.\ д}$. В схеме на рис. 9.10, *б* используют ОУ в качестве повторителя, предохраняя термокомпенсированный стабилитрон от перегрузок, которые ухудшают его стабильность. Основой ИОН являются интегральные стабилизаторы напряжения компенсацион-

Таблица 9.4

Параметр	Д818	2С164	2С168	2С191	КС211	КС520	КС531	КС547	КС568	КС596
Напряжение стабилизации, В	9	6,4	6,8	9,1	11	20	31	47	68	96
Ток стабилизации, мА	10	1,5	2,5	10	10	5	5	5	5	5

ного типа [35], имеющие схему защиты от выхода из строя при коротком замыкании нагрузки [6].

Основные параметры стабилизаторов напряжения: *максимальное (минимальное) входное напряжение* — $U_{вх\,max}$ ($U_{вх\,min}$); *номинальное выходное напряжение* — $U_{вых}$; ток нагрузки — $I_н$; *мощность рассеяния* — $P_{рас}$; *коэффициент нестабильности по напряжению* $K_{нU}$ — отношение относительного изменения выходного напряжения $\Delta U_{вых}/U_{вых}$ к вызвавшему его относительному изменению входного напряжения $\Delta U_{вх}/U_{вх}$; *коэффициент нестабильности по току* $\Delta K_{нI}$ — отношение относительного изменения выходного на-

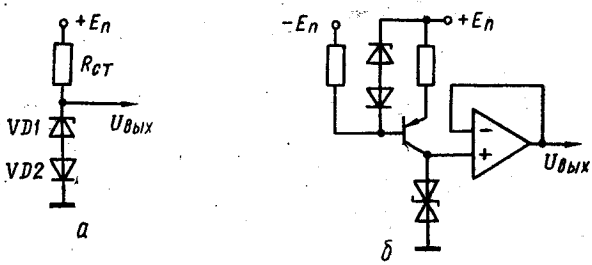
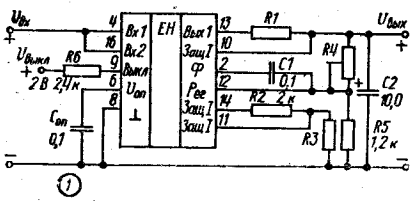


Рис. 9.10

пряжения $\Delta U_{вых}/U_{вых}$ к вызвавшему его относительному изменению тока нагрузки $\Delta I_н/I_н$. Основные электрические параметры интегральных стабилизаторов напряжения серии К142 приведены в табл. 9.5.

Аналоговые ключи и коммутаторы предназначены для коммутации аналоговых сигналов (тока или напряжения) от источников на нагрузку с малыми искажениями. Для коммутации напряжения можно использовать либо однополюсный последовательный (рис. 9.11,*а*) ключ (прерыватель), либо переключатель (рис. 9.11,*б*) на два положения (нагрузка подключается к источнику напряжения или к общей точке схемы). При коммутации тока необходим переключатель на два положения (ток от источника никогда не должен прерываться, а лишь переключаться в различные ветви цепи). Поэтому в цепи для коммутации напряжения нагрузка должна иметь достаточно высокое сопротивление по сравнению с выходным сопротивлением источника сигнала, а для коммутации тока — наоборот. Основные пара-

Тип стабилизатора	К142ЕН1	К142ЕН2	К142ЕН3	К142ЕН4	К142ЕН5А, Б	К142ЕН5В, Г
$U_{вх}$, В	9...25	15...40	19...45	19...40	10	10
$U_{вых}$, В	3...12	12...30	16...30	15...30	4,9...5,6 5,9...6,1	4,8...5,2 5,3...6,2
$(U_{вх}$ —	4	4	3	4	3	3
— $U_{вых})_{min}$, В	0,1	0,1	0,05	0,05	0,05	0,05
$K_{нU}$, %	0,2	0,2	0,5	0,5	3	2
$K_{нI}$, %						
$I_{н\,max}$, А	0,15	0,15	1,0	1,0	3,0	3,0
Номер схемы	*1*	*1*	2	*2*	*3а*	*3а*

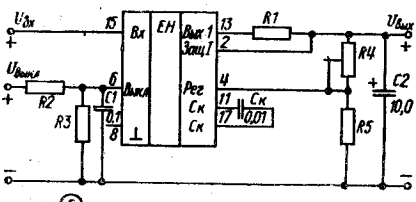


$R_1 = 0{,}7\ В/I_{н\,max}$;

$R_3 = (U_{вых} + 0{,}7\ В)/0{,}3\ мА$;

$R_4 = (U_{вых} - 1{,}8\ В)/1{,}5\ мА$

①



Резистор тепловой защиты

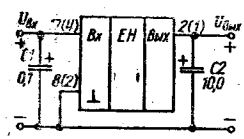
$$R_3 = \frac{0{,}037T_к - 6{,}65}{1 - 0{,}0155T_к}\ кОм;$$

где $T_к = 65...145\ °C$;

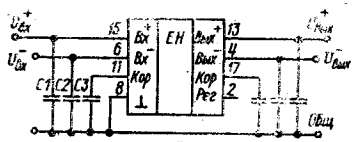
$$R_2 = \frac{U_{выкл}R_3(1+0{,}4R_3) - R_3(1{,}8+0{,}5R_3)}{1{,}8 + R_3(1{,}2+0{,}2R_3)}\ кОм;$$

$$R = \frac{1{,}25 - 0{,}5I_н - 0{,}023(U_{вх} - U_{вых})}{I_н}\ Ом$$

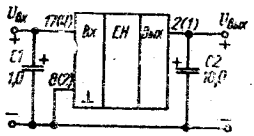
②



③ *а*



б



④

Таблица 9.5

К142ЕН6	К142ЕН8А, Б	К142ЕН8В	К142ЕН9А, Б	К142ЕН9В
±30	12...35	12...35	23...40	23...40
14,7...15,3	8,7...9,3 11,6...12,3	14,5...15,4	19,6...20,4 23,5...24,5	26,4...27,5
2,2	2,5	2,5	2,5	2,5
0,001	0,001	0,05	0,05	0,05
0,2	1	1	1	1
0,2	1,5	1,5	1,5	1,5
3б	*4*	*4*	*4*	*4*

метры аналоговых ключей: остаточное напряжение на замкнутом ключе, остаточный ток разомкнутого ключа и время переключения.

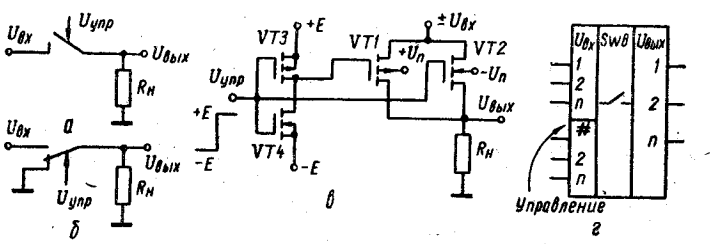


Рис. 9.11

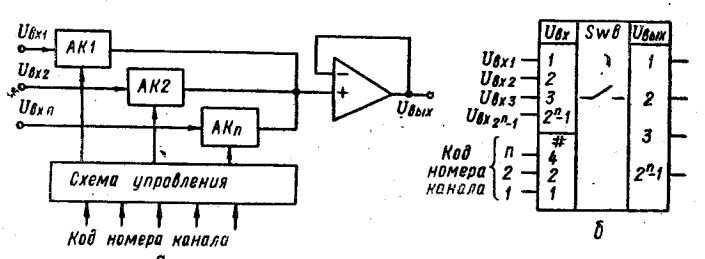
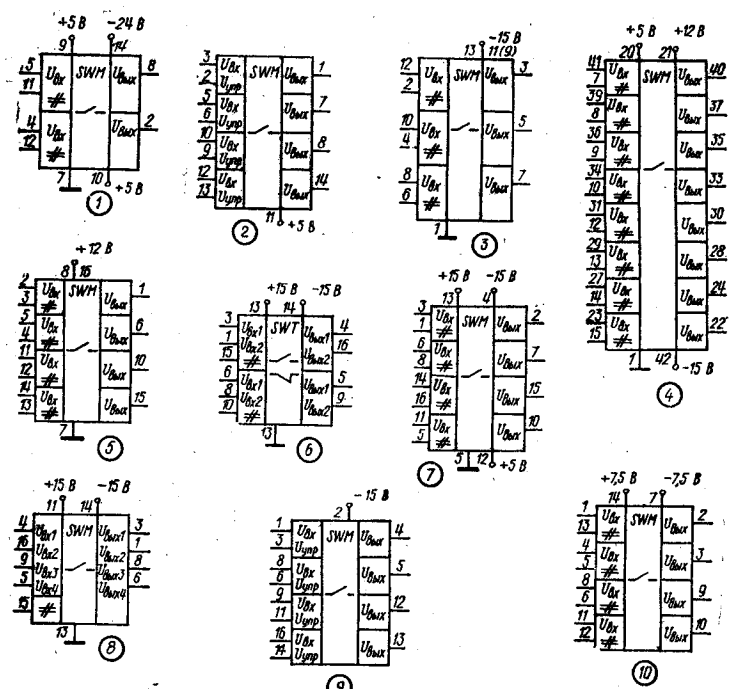


Рис. 9.12

Схема аналогового ключа на КМОП-транзисторах показана на рис. 9.11,*в*. Собственно ключ собран на транзисторах ***VT1***, ***VT2***, а управляется ключ инвертором на транзисторах ***VT3***, ***VT4***. При управляющем напряжении $U_{упр} = -E$ транзистор

Таблица 9.6

Параметр	КР143КТ1	КР168КТ2	К284КН1	543КН3	КР590КН2	КР590КН4	590КН5	590КН7	590КН8	К561КТ3
$U_{ком}$, В	±5	±5	10	5	±10	±15	±15	±15	15	±7
$U_{упр}$ (U^0,	0,7	—6	2,4	0,4	0,4	0,4	0,4	0,4	—5	1
U^1), В	2,6	—15		2,4	4,1	4,1	4,1	4,1	+5	5
$I_{ком}$, мА	10	20	—	20	1	—	—	10	—	10
$R_{пр}$, Ом	150	150	160	80	100	75	70	30	70	100
$t_{пер}$, мкс	2,5	0,7	3	0,8	0,5	0,15	0,3	0,3	0,3	0,1
$U_{и.\ п1,\ 2}$, В	5	—	—13	5	12	±15	±15	±15	—	±7,5
	—24			12						
$U_{и.\ п3}$, В	5	5	—	—15	—	—	5	—	—15	—
Номер схемы	*1*	*2*	*3*	*4*	*5*	*6*	*7*	*8*	*9*	*10*



VT4 закрыт, *VT3* открыт и ключ разомкнут (*VT1*, *VT2* закрыты). При $U_{упр} = +E$ транзистор *VT3* закрыт, *VT4* открыт, при этом на затвор транзистора *VT1* подается отрицательное напряжение через открытый транзистор *VT4*, а на *VT2* — положительное

напряжение управляющего сигнала $+E$, и аналоговый ключ замкнут. Для замкнутого состояния ключа диапазон входного напряжения $U_{вх} = \pm E$.

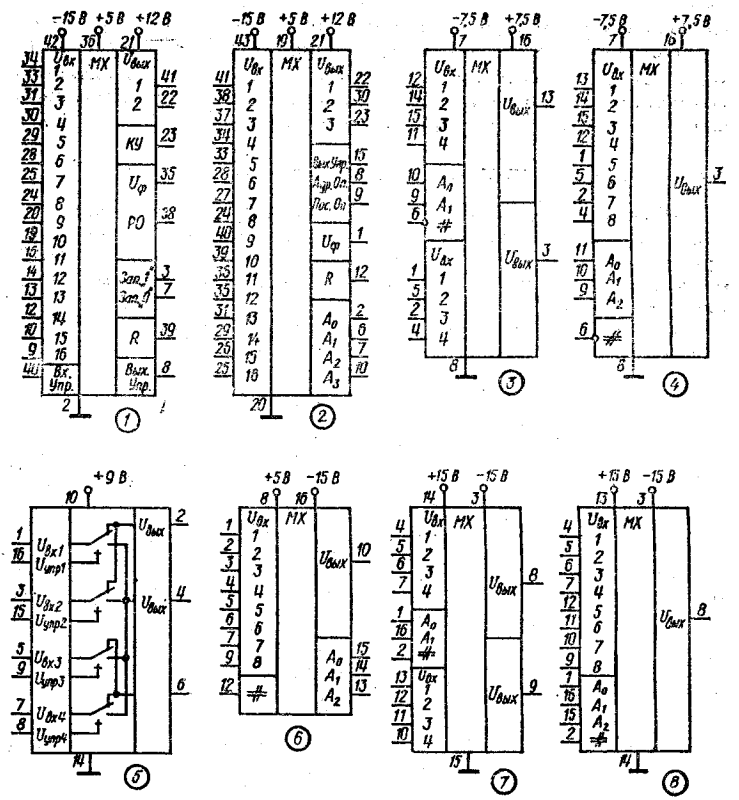
При $U_{вх} = 0$ напряжение $U_{з.и}^{VT1} = -E$, а напряжение $U_{з.и}^{VT2} = +E$ транзисторы $VT1$ и $VT2$ открыты и прямое сопротивление ключа $R_{пр} = R_i/2$ (где R_i внутреннее сопротивление открытого транзистора). Когда $U_{вх} = +E$, транзистор $VT2$ закрыт, так как $U_{з.и}^{VT2} = 0$, а транзистор $VT1$ открыт под действием напряжения $U_{з.и}^{VT1} = -2E$ и $R_{пр} \approx R_i$. При $U_{вх} = -E$ транзистор $VT1$ закрыт, а транзистор $VT2$ открыт, так как $U_{з.и}^{VT2} = +E$ и $R_{пр} = R_i$. Таким образом, при $U_{упр} = +E$ и $U_{вх} = \pm E$ прямое сопротивление ключа меняется в небольших пределах $R_{пр} = R_i/2 \ldots R_i$, а коэффициент передачи ключа $K_п = \frac{U_{вых}}{U_{вх}} = \frac{R_н}{R_н + R_i}$, тогда при $R_i \ll R_н$ $K_п \approx 1$. В интегральном исполнении один корпус ИС содержит один или несколько электрически развязанных аналоговых ключа.

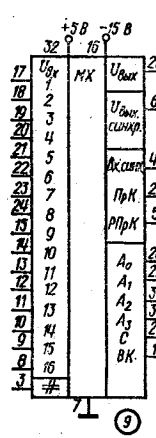
Аналоговый коммутатор (мультиплексор) представляет собой устройство со многими входами для аналоговых сигналов и одним выходом, на который можно подать последовательно во времени любой из входных сигналов (рис. 9.12,*а*). Аналоговый коммутатор состоит из набора аналоговых ключей *АК*, подсоединенных к общей выходной шине, и схемы управления. В состав схемы управления входят дешифратор и формирователь сигналов управления ключами. На вход схемы управления подаются цифровые сигналы в виде параллельного кода (код номе-

Таблица 9.7

Параметр	543КН1	543КН2	К561КП1	К561КП2	КР590КТ1	КР590КН1	КР590ННЗ	КР590КН6	591КН1
$U_{ком}$, В	±12	12	±7,5	±7,5	9	±5	±15	±15	±5
$U_{упр}$ (U^0, U^1), В	0,4 2,4	0,4 2,4	$U_{и.\ п1}$ $U_{и.\ п2}$	$U_{и.\ п1}$ $U_{и.\ п2}$	0,4 7,7	0,4 3,6	0,4 4	0,4 4	0,4 3,6
$I_{ком}$, мА	10	10	10	10	5	10	20	20	5
$R_{пр}$, Ом	200	350	200	300	100	500	300	300	450
$t_{пер}$, мкс	1	1,2	0,6	0,4	0,03	1	0,3	0,3	2,5
$U_{и.\ п1,2}$, В	−15 +5	−15 +5	±7,5	±7,5	9	−15 +5	±15	±15	±15
$U_{и.\ п3}$, В	12	12	—	—	—	—	—	—	5
Номер схемы	*1*	*2*	*3*	*4*	*5*	*6*	*7*	*8*	*9*

Примечание. ВК — выборка каналов: адресная при ВК = 0, последовательная ВК = 1. Выводы: ПрК — предустановка каналов; РПрК — разрешение ПрК; Вх. синхр. используется при организации последовательной выборки в кольцевом режиме при подаче на них логической «1», в остальных случаях на эти выводы подается логический «0»; С — тактовый вход для реализации последовательного опроса каналов (f = 0...300 кГц).





ра канала). Согласование выходной шины с нагрузкой осуществляется с помощью буферного каскада на ОУ, работающего в режиме повторителя напряжения, который обеспечивает высокое входное в точке соединения выходов ключей и низкое выходное сопротивление коммутатора.

Основные параметры аналоговых ключей и коммутаторов.

Коммутируемое напряжение $U_{ком}(U_{вх})$ — максимальное напряжение, подаваемое на аналоговые входы ключа или коммутатора.

Управляющее напряжение $U_{упр}(U^0, U^1)$ — напряжение на управляющем входе ключа или коммутатора, при котором обеспечиваются заданные уровни выходного напряжения.

Коммутируемый ток $I_{ком}$ — ток в цепи аналогового входа в замкнутом состоянии переключателя.

Время переключения $t_{пер}$ — наибольшее время включения или выключения, которое определяется между фронтами уп-

равляющего и выходного напряжения на заданных уровнях.

Прямое сопротивление $R_{пр}$ — сопротивление ключа или коммутатора в замкнутом состоянии переключателя при заданном коммутируемом напряжении. Основные параметры аналоговых ключей и коммутаторов приведены в табл. 9.6 и 9.7.

9.4. ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Цифроаналоговые преобразователи предназначены для преобразования цифрового кода N в пропорциональные аналоговые уровни напряжения $U(N)$. По принципу действия схемы ЦАП бывают: с суммированием и делением напряжения, с суммированием токов [22].

Выходное напряжение в схеме ЦАП с суммированием напряжения (рис. 9.13,*а*)

$$U(N) = U_{оп} R \sum_{i=0}^{n-1} \frac{a_i}{R_i \sum_{i=0}^{n-1} 2^{-(n-i-1)}},$$

где $N = a_0 2^0 + a_1 2^1 + \ldots + a_{n-1} 2^{n-1}$ — двоичный код; $R_i = 2^{n-i-1} R$; $R_{n-1} = R$; n — число двоичных разрядов.

Выходное напряжение в схеме ЦАП с делением напряжения (рис. 9.13,*б*), где используется резистивная матрица типа $R-2R$

$$U(N) = U_{оп} \frac{2}{3} \sum_{i=0}^{n-1} a_i 2^{-(n-i)}.$$

Коэффициент использования опорного напряжения в схеме на рис. 9.13,*б* $\frac{U_{оп}}{U(N_{max})} = \frac{2}{3}$, а в схеме на рис. 9.13,*а* этот коэффициент равен 1. Несмотря на это ЦАП по схеме на рис. 9.13,*б* с резистивной матрицей типа $R-2R$ имеет следующее преимущество: для выполнения схемы требуются два резистора с сопротивлением R и $2R$ (в отличие от схемы на рис. 9.13,*а*, для которой требуется n резисторов сопротивлением $R_i = 2^{n-i-1}R$). Однако следует отметить, что схема на рис. 9.13,*б* имеет более низкое быстродействие, чем схема на рис. 9.13,*а*, так как содержит больше паразитных емкостей и в ней используется многозвенный принцип передачи напряжения.

Для более высокой скорости преобразования на практике используют ЦАП с суммированием токов (рис. 9.13,*в*, *г*). Так как входное сопротивление и коэффициент усиления ОУ велики, то напряжение и ток во входной цепи ОУ близки к нулю. Следовательно, все токи $I_0 + I_1 + I_2 + \ldots + I_{n-1} = I_\Sigma$, текущие через элементы резистивной цепи, уравновешиваются током $I_{о.с} = I_\Sigma$, проходящим в цепи обратной связи. Выходное напряжение такого ЦАП

$$U(N) = R_{о.с} I_{о.с} = R_{о.с} I_\Sigma = R_{о.с} \sum_{i=0}^{n-1} a_i I_i.$$

Для схемы на рис. 9.13, *в* сопротивление резисторов $R_i = R_{n-1}2^{n-i-1}$, выходное напряжение

$$U(N) = R_{\text{о. с}} \sum_{i=0}^{n-1} a_i \frac{U_{\text{оп}}}{R_i} = R_{\text{о. с}} \sum_{i=0}^{n-1} a_i \frac{U_{\text{оп}}}{R_{n-1}2^{n-i-1}}.$$

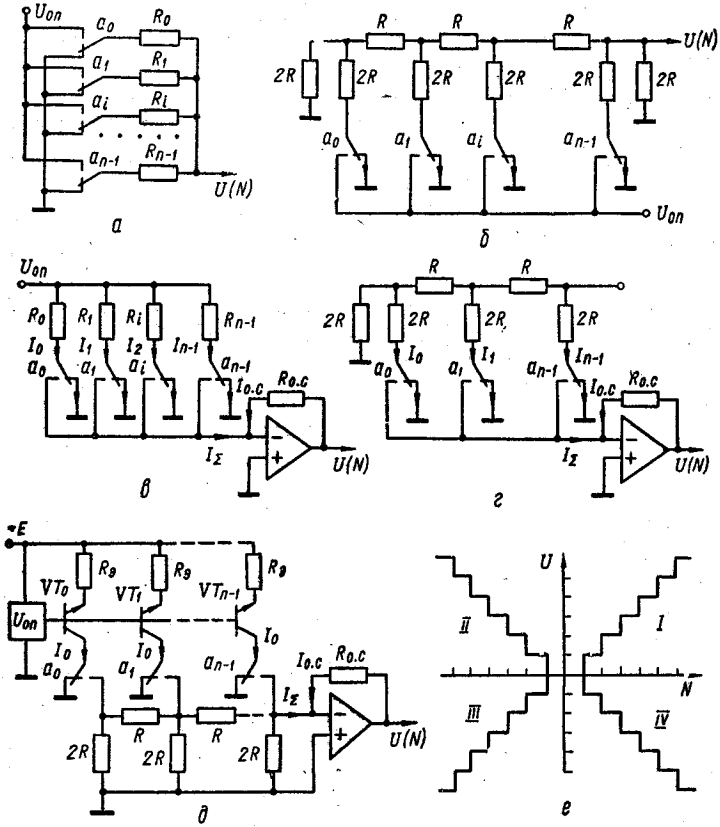


Рис. 9.13

Для схемы на рис. 9.13, *г* с резистивной матрицей $R-2R$ ток $I_i = \frac{U_{\text{оп}}}{R} 2^{-(n-i)}$ и выходное напряжение

$$U(N) = R_{\text{о. с}} \sum_{i=0}^{n-1} a_i \frac{U_{\text{оп}}}{R} 2^{-(n-i)}.$$

Следует отметить, что в схемах ЦАП с суммированием токов (рис. 9.13, *в*, *г*) резистором $R_{\text{о. с}}$ можно менять коэффициент пре-

образования $K_{пр} = \frac{U(N_{max})}{U_{оп}} = \frac{2R_{о.с}}{R_{n-1}}$, так при $R_{о.с} = R = R_{n-1}/2K_{пр} = 1$. Токи в резисторах (рис. 9.13, *в*, *г*) почти не зависят от входного кода, что обеспечивает их стабильный тепловой режим, однако изменения сопротивлений переключателей вызывают погрешность. Для уменьшения влияния сопротивления ключей применяют схемы ЦАП с резистивными матрицами $R - 2R$ и одинаковыми генераторами токов I_0 (рис. 9.13, *д*). Выходное напряжение в таком ЦАП

$$U(N) = I_0 R_{о.с} \sum_{i=0}^{n-1} \frac{a_i}{2^{n-i-1}} = I_{о.с} R_{о.с} 2^{-(n-1)} \sum_{i=0}^{n-1} a_i 2^i = \Delta U_{р.с} N,$$

где $N = \sum_{i=0}^{n-1} a_i 2^i$ — цифровой код; $\Delta U_{р.с} = I_0 R_0 / 2^{n-1}$ — шаг квантования (разрешающая способность).

В этом ЦАП генераторы тока имеют одинаковые динамические свойства, так как нагружены на одинаковые резисторы сопротивлением R. Это позволяет быстрее устанавливаться сигналам младших разрядов, а также уменьшает амплитуду и длительность выбросов. Такие сигналы используют в быстродействующих ЦАП, причем время установления не более 50 нс. Однако в этом ЦАП имеется зависимость токов в резисторах от входного кода, что приводит к нестабильности их теплового состояния.

Выходное напряжение ЦАП можно рассматривать как функцию входного сигнала $U_{оп}$: $U_{вых} = U_{оп} k_1$, где k_1 — коэффициент, пропорциональный цифровому коду N_1 на входе ЦАП. Если $U_{оп}$ рассматривать как сигнал, который получается с помощью другого ЦАП, т.е. $U_{оп} = U'_{оп} k_2$, где k_2 — коэффициент пропорциональный цифровому коду N_2, тогда $U_{вых} = U'_{оп} k_2 k_1$, что представляет собой аналоговое напряжение, пропорциональное произведению двух чисел N_1 и N_2. При этом полярность выходного сигнала зависит от полярности опорного напряжения при суммировании или делении напряжения на резисторах (рис. 9.13, *а*, *б*) и имеет ту же полярность, что и $U_{оп}$, от способов суммирования токов (рис. 9.13, *в* — *д*) и от того, к какому входу ОУ (неинвертирующему или инвертирующему) приложен этот сигнал (ток I_Σ) (последний вариант включения ОУ наиболее распространенный).

Таким образом, выходные сигналы ЦАП могут располагаться в одном, двух или четырех квадрантах в зависимости от того, какие значения принимают k_1, k_2, $U'_{оп}$ (рис. 9.13,*е*). В простейших ЦАП эти величины принимают только один знак и выходной сигнал формируется в I или IV квадранте. В более сложных ЦАП используют специальные коды k_1, k_2, имеющие обе полярности; выходные устройства (операционные усилители), позволяющие изменять полярность выходного сигнала; коммутируемые источники опорного напряжения $U_{оп}$ разной полярности. Кроме того, разработаны умножающие ЦАП, работающие с изменяющимися или биполярными опорными сигналами.

Точность преобразования ЦАП зависит от степени температурного согласования сопротивлений резистивных матриц, стабильности опорного напряжения, характеристик ОУ и внутренних сопротивлений переключателей. Погрешность переходного процесса, т. е. выбросы на фоне выходного сигнала обусловлены тем, что переключающие элементы ЦАП имеют разные времена включения и выключения. Особенно большие выбросы возникают, например, во время перехода кода от 011...11 к 100...00, при этом ключ самого старшего разряда ЦАП может открыться позже, чем закроются ключи младших разрядов. На выходе ЦАП некоторое время будет существовать код 000...000. Этот появляющийся на мгновение код вызывает на выходе ЦАП активный сигнал. Таким образом, если не принять необходимые меры, выходные сигналы быстродействующих ЦАП во время переходных процессов будут иметь большие всплески (рис. 9.14).

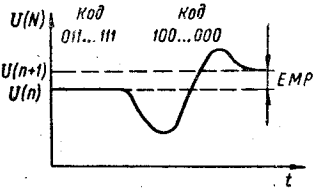


Рис. 9.14

Основной характеристикой ЦАП является передаточная характеристика $U = f(N)$, которая представляет собой ступенчатую кривую. При этом реальная характеристика (рис. 9.15,*б*) отличается от идеальной (рис. 9.15,*а*). Для оценки этих различий вводятся статические и динамические параметры.

Статические параметры. *Погрешность смещения нуля* — выходное напряжение $U_{см}(0)$, когда на вход ЦАП подан код $N = 0$ (рис. 9.15, *в*). Эта погрешность называется аддитивной.

Абсолютная погрешность преобразования $\delta_{п.п}$ — отклонение выходного напряжения от номинального, соответствующего конечной точке характеристики преобразования (рис. 9.15,*г*). Измеряется $\delta_{п.п}$ в единицах младшего разряда. Эта погрешность называетя мультипликативной.

Нелинейность $\delta_л$ — отклонение реальной передаточной характеристики от идеальной (рис. 9.15,*д*). Значение нелинейности не должно выходить за пределы ± ЕМР.

Разрешающая способность — приращение $\Delta U_{р.с}$ при преобразовании смежных значений $\Delta U_{р.с} = U(m) - U(m+1)$. Это приращение является шагом квантования $\Delta U_{р.с} = U_{max}(N)/2^n$, где n — количество двоичных разрядов ЦАП.

Динамические параметры. *Время установления* выходного напряжения $t_{уст}$ — интервал времени от момента подачи входного кода m на вход ЦАП до момента, при котором выходное аналоговое напряжение окончательно войдет в зону шириной ± ЕМР или другой оговоренной величины, симметрично расположенной относительно установившегося значения (рис. 9.15,*е*).

Максимальная частота преобразования $f_{пр}$ — наибольшая частота дискретизации, при которой параметры ЦАП соответствуют заданным.

Отечественная промышленность выпускает ЦАП в интегральном исполнении, параметры которых приведены в табл. 9.8 [6; 79; 84].

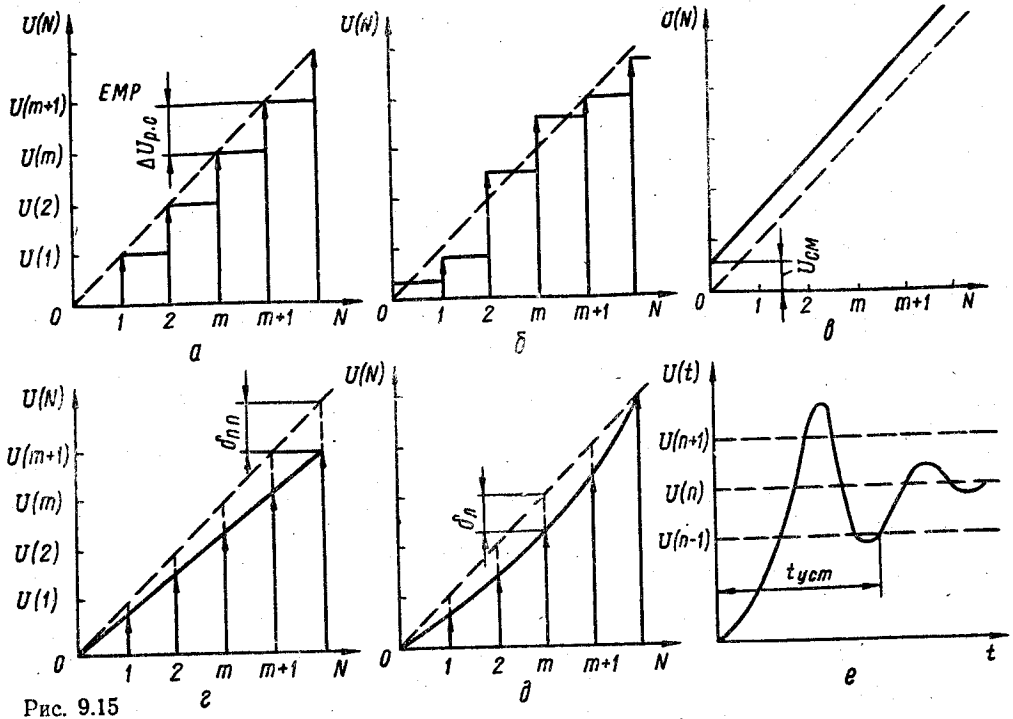

U(N)
U(m+1)
U(m)
U(2)
U(1)
0
1
2
m
m+1
N
EMP
ΔUр.с
а
U(N)
0
1
2
m
m+1
N
б
U(N)
0
1
2
m
m+1
N
Uсм
в
U(N)
U(m+1)
U(m)
U(2)
U(1)
0
1
2
m
m+1
N
δпп
г
U(N)
0
1
2
m
m+1
N
δп
д
U(t)
U(n+1)
U(n)
U(n-1)
tуст
t
е

Рис. 9.15

Таблица 9.8

Параметр	К572ПА1	К572ПА2	К594ПА1	К1108ПА1	К1118ПА1	К1118ПА2	К427ПА1
$U_{о.\ п}$, В	±17	±15	10	10	10	—1	±10
$U_{пр}$ (U^0,	0,8	0,4	0,4	0,4	—1,6	0,4	0,4
U^1), В	3,6	2,4	2,4	2,4	—0,8	2,4	2,4
n, бит	10	12	12	12	8	10	15
$\delta_{п.\ п}$, % (ЕМР)	(±3)	±0,5	—	±0,3	—	(±5)	0,01
$\delta_{л}$, % (ЕМР)	0,1	±0,1	±0,02	0,02	±0,19 (±0,5)	(±1)	0,006
$t_{уст}$, мкс	5	15	3,5	0,7	0,02	0,03	30
$U_{и.\ п1,2}$, В	15	5; —15	5; —15	5; —15	—5,2	—5,2; 5	5; 15; —15
$I_{ост1,2}$, мА	2	0, 1, 2	25, 35	15, 46	130	85, 9	—

Микросхема К572ПА1 (рис. 9.16,*а*) является 10-разрядным ЦАП умножающего типа, построенного с суммированием токов и питающегося от опорного напряжения (рис. 9.13,*г*). Для ее функционирования необходимы внешние ИОН и ОУ. Выход-

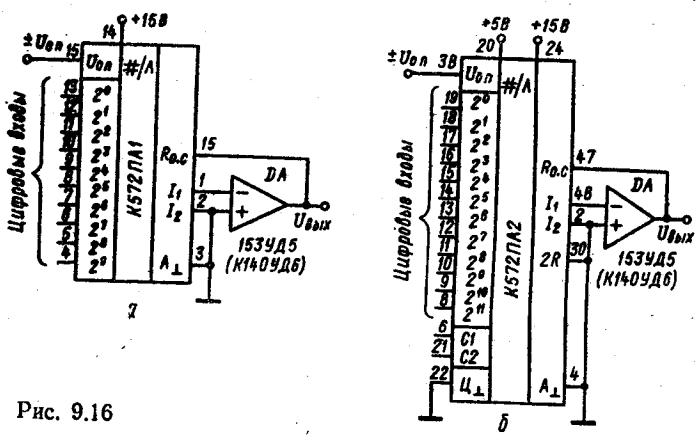


Рис. 9.16

ное напряжение схемы $U_{вых}(N) = \frac{U_{оп}}{2^n}\sum_{i=0}^{n-1} a_i 2^i$. Микросхема может работать в режиме двухквадрантного умножающего преобразования. Для этого предусмотрено подключение двухполярного ИОН, значение которого можно изменять в широких пределах ±17 В.

Микросхема К572ПА2 (рис. 9.16,*б*) является 12-разрядным ЦАП умножающего типа. В отличие от К572ПА1 в ней имеются

два 12-разрядных регистра РГ1, РГ2, позволяющих считывать и хранить промежуточные преобразованные цифровые данные. Выходное напряжение ЦАП определяется кодом, записанным в РГ2. Выходное напряжение ЦАП определяется кодом, записанным в РГ2. При этом код в РГ2 можно записать либо трансляцией входного кода через РГ1 ($C_1 = 1$, $C_2 = 1$), либо данных из РГ1 в РГ2 и хранение данных в РГ1 ($C_1 = 0, C_2 = 1$), либо данных в РГ1 и хранение предыдущих данных в РГ2 ($C_1 = 1$, $C_2 = 0$).

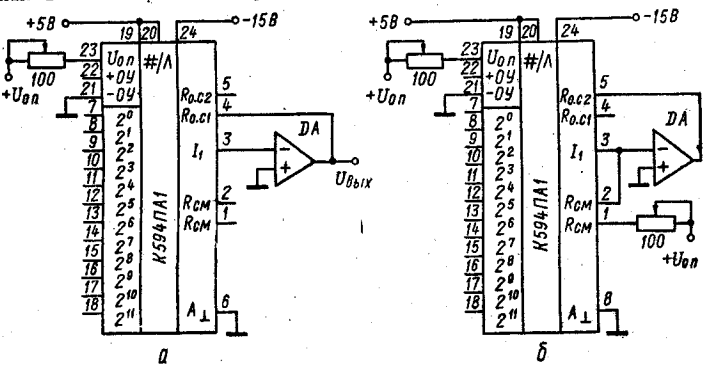


Рис. 9.17

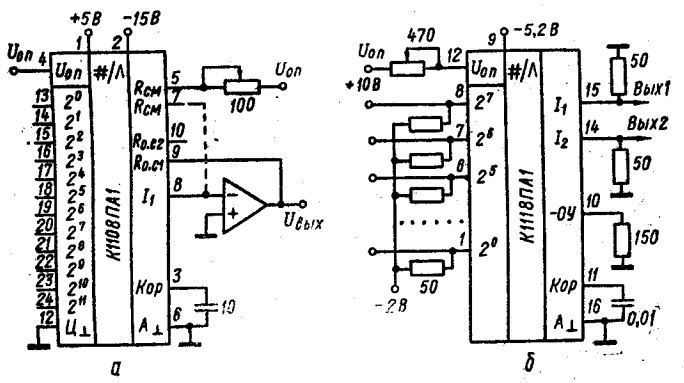


Рис. 9.18

Длительность импульсов по входам управления *C1*, *C2* не должна превышать 5 мкс.

Микросхема К594ПА1 (рис. 9.17) представляет собой 12-разрядный параллельный ЦАП с суммированием токов (рис. (рис. 9.13,*д*) и комбинированной матрицей (взвешенных резисторов в восьми старших разрядах и $R - 2R$ в четырех младших разрядах). В схему ЦАП входят элементы, расширяющие ее функциональные возможности: два резистора с номиналом 5 кОм (выводы $R_{о.с1} \rightarrow 3-4$, $N_{о.с2} \rightarrow 4-5$), включение которых в цепь обратной связи внешнего ОУ обеспечивает работу ЦАП с однополярным (рис. 9.17,*а*) выходом по напряжению 0...10 В

и 0...20 В. Резистор смещения выходного уровня $R_{см} = 10$ кОм (вывод *1*, *2*) обеспечивает режимы двухполярного (рис. 9.17,*б*) сигнала ±2,5; ±5; ±10 В.

Микросхема К1108ПА1 является быстродействующим 12-разрядным ЦАП с суммированием токов (рис. 9.13,*д*). При использовании внутреннего резистора обратной связи $R_{о.с1}$ и $R_{о.с1} + R_{о.с2}$ напряжение в конечной точке шкалы равно $U_{оп}$ и $2U_{оп}$ соответственно (рис. 9.18,*а*). Для перевода микросхемы в режим двухполярного сигнала необходимо подключить резистор (выводы *5*, *7*) между $U_{оп}$ и токовым выходом I_1 (вывод *8*). Это вызывает поступление на вход ОУ дополнительного тока, равного по величине и противоположного по знаку току старшего разряда. В режиме двухполярного сигнала управлять ЦАП можно смещенным двоичным кодом. Для работы в составе АЦП последовательного приближения применяют режим с суммированием токов на внешнем резисторе. В этом случае максимальное напряжение на выводе *8* не должно превышать ±1 В.

Микросхема К1118ПА1 представляет собой 8-разрядный быстродействующий ЦАП для работы с ЭСЛ схемами. Выходной ток в конечной точке шкалы можно установить изменением опорного напряжения (рис. 9.18,*б*).

9.5. АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Основные параметры АЦП в интегральном исполнении (6; 79] приведены в табл. 9.9, методы построения и функционирование которых рассмотрены в § 9.2.

Таблица 9.9

Параметр	К512ПВ1	К572ПВ2 КР572ПВ2	К1107ПВ1	К1107ПВ2	К1107ПВ3	К1108ПВ1	К1113ПВ1
$U_{вх}$, В	0	$\leqslant 2U_{оп}$	—2	—2	2	3	10, ±5
n, бит	12	8,5	6	8	6	10 (8)	10
$T_{пр}$, мкс	170	$320 \cdot 10^3$	0,1	0,1	0,02	1	30
$\Delta_к$, % (ЕМР)	(±3)	(±1)	(±3)	(±2)	(±0,25)	(±4)	(±4)
$\Delta_л$, % (ЕМР)	±0,05	—	(±0,5)	—	—	(±1)	(±1)
$U_{и.п1,2}$, В	5, 15	±5	5, —6	5, —6	5, —5,2	5, —5,2	5, —15
$I_{пот1,2}$, мА	3	1,8	30	35	60	50	10
	5	1,8	150	450	80	130	20
$U_{оп}$, В	±15	±1,999	—2,1	—2	±2,5	2,5	—
	0,3	—	0,4	0,4	—1,6	0,4	0,4
U^0, U^1, В	2,4		2,4	2,4	—0,8	2,4	2,4

Микросхема АЦП К512ПВ1 является универсальным многофункциональным узлом для устройств аналогового ввода-вывода микропроцессорных систем. Совместно с внешними компаратором (или ОУ), ИОН, генератором счетных импульсов (ГСИ),

микросхема выполняет функции (табл. 9.10) АЦП (рис. 9.19,*а*) последовательных приближений (поразрядного уравновешивания) с выводом параллельного двоичного кода через выходные каскады с тремя состояниями, а также функции ЦАП (рис. 9.19,*б*) с параллельным побайтным (или последовательным)

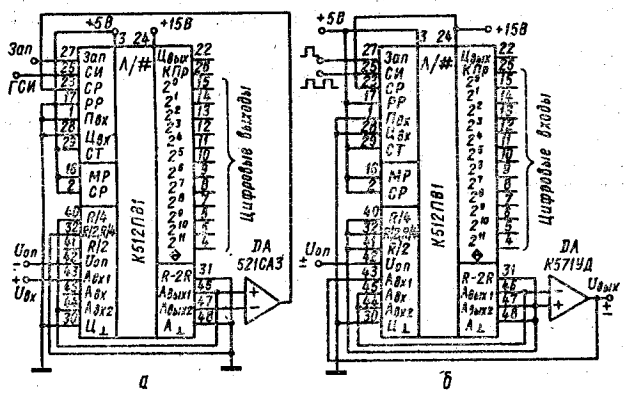


Рис. 9.19

вводом информации с микропроцессора (МП). Назначение выводов микросхемы К512ПВ1 приведено в табл. 9.11.

В режиме АЦП имеется возможность организации синхронной и циклической работы ИС, произвольного уменьшения разрядности преобразования и вывода данных в параллельном коде. Сигнал в АЦП преобразуется за 12 рабочих и 2 вспомогательных тактов (рис. 9.20). Первый вспомогательный такт «Сброс» используется для синхронизации системы и установления всех устройств в начальное состояние, второй — для формирования сигнала «Конец преобразования» и организации циклической работы. Каждый такт по длительности занимает два периода СИ.

Таблица 9.10

Режим работы К512ПВ1	Цифровой вход-выход	Входы управления			
		CP2	MP16	PP17	CT29
АЦП	$2^0 \ldots 2^{11}$	1	1	0	1
	$2^0 \ldots 2^3$	1	0		
	$2^4 \ldots 2^{11}$	0	1		
	∞	0	0		
ЦАП	$2^0 \ldots 2^{11}$	1	1	1	1
	$2^0 \ldots 2^8$	0	1		
	$2^4 \ldots 2^{11}$	1	0		

Полярность входного напряжения $U_{вх}$ может быть любой и устанавливается соответствующим выбором полярности опорного напряжения $U_{оп}$. Разрядность преобразования можно уменьшить до произвольного числа разрядов путем подачи на вывод «Запуск» повторного сигнала «Запуск» по окончании $(i + 1)$ такта. Для перевода АЦП из синхронного режима работы в циклический необходимо вывод *22* Выход «Цикл» соеди-

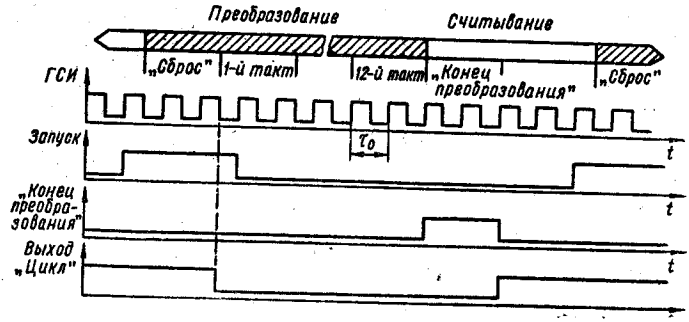


Рис. 9.20

Таблица 9.11

Номер вывода	Назначение выводов К512ПВ1
1	Последовательный вход ПВх
2	Вход управления СР
3	$U_{п.\ п1}$
4—15	Цифровой вход-выход
16	Вход управления МР
17	Вход управления режимом работы АЦП РР
22	Выход «Цикл» $Ц_{вых}$
23	Вход сравнения СР
24	$U_{п.\ п2}$
25	Вход «Счетные импульсы» СИ
26	Конец преобразования КПр
27	Вход «Запуск» Зап
28	Вход «Цикл» $Ц_{вх}$
29	Вход стробирования ЦАП СТ
30	Цифровая земля $Ц_{\perp}$
31	Конечный вывод структуры R—$2R$
32	Общий вывод резисторов $R/2$, $R/4$
40	Вывод резистора $R/4$
41	Вывод резистора $R/2$
42	Опорное напряжение $U_{оп}$
43	Аналоговый вход 1 $A_{вх1}$
44	Аналоговый вход 2 $A_{вх2}$
45	Общий вывод резисторов аналоговых входов 1, 2 $A_{вх}$
46	Аналоговый выход 1 $A_{вых1}$
47	Аналоговый выход 2 $A_{вых2}$
48	Аналоговая земля $A_{\perp}$

нить с выводом *28* Вход «Цикл», а на вход *27* «Запуск» подать логический «0».

Работа микросхемы К512ПВ1 в режиме ЦАП (рис. 9.19,*б*) возможна в двух вариантах (параллельный или последовательный ввод информации). При параллельном вводе информация подается на цифровые вход-выходы. При этом информация в регистры ЦАП записывается подачей на вывод *25* («Вход СИ») пары счетных импульсов длительностью не менее 5 мкс. Для стирания информации на вывод *27* (вход «Запуск») подается логическая «1» с одновременной подачей пары счетных импульсов на вывод *25* («Вход СИ»). Для ввода информации в последовательном коде соответствующий 12-разрядный код подается на вывод *1* («Последовательный вход») с парами счетных импульсов, начиная с младшего разряда (МР).

Микросхема КР572ПВ2 (рис. 9.21) совместно с ИОН и несколькими резисторами и конденсаторами выполняет функцию АЦП, работающего по принципу двухкратного интегрирования с автоматической коррекцией нуля и определением полярности входного сигнала. Цифровая информация на выходе микросхемы представляется в семисегментном коде и отображается на 4-диапазонном светодиодном цифровом табло с семисегментными индикаторами типа АЛС324Б. Назначение выводов микросхемы КР572ПВ2 и К572ПВ2 приведено в табл. 9.12.

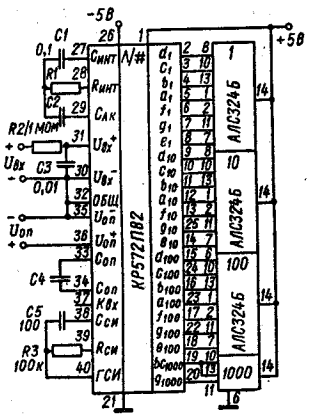


Рис. 9.21

Диапазон входного сигнала определяется внешним опорным напряжением $U_{вх} = \pm 1{,}999 U_{оп}$. Текущие показания цифрового табло соответствуют 1000 $U_{вх}/U_{оп}$. Микросхема имеет дифференциальные входы для входного сигнала и ИОН. Это позволяет измерять напряжения, «плавающие» относительно источника питания, и устранять синфазные помехи в цепях входного сигнала и ИОН. При преобразовании входного сигнала, измеряемого относительно земли, выводы *30*, *32*, *35* КР572ПВ2 (*7*, *9*, *12*, К572) необходимо подсоединить к шине земля *21* (вывод *44*). Для повышения точности внутреннего ГСИ можно использовать кварцевый резонатор, подключаемый между выводами *39* и *40* КР572ПВ2. Элементы *R3* и *C5* в этом случае не используют. При работе от внешнего ГСИ импульсы подают на вывод *40*, а выводы *38* и *39* не используют. Для проверки работоспособности выходных каскадов необходимо вывод *37* (*20*) кратковременно присоединить к источнику + 5 В. При этом на табло должно появиться значение — 1,888. Значения элементов коррекции для $U_{оп} = 100$ мВ, $U_{оп} = 1$ В и $f_{ГСИ} = 50$ кГц приведены в табл. 9.13.

Микросхема К1107ПВ1 (К1107ПВ2) представляет собой 6(8)-разрядный быстродействующий АЦП параллельного преобразования входного напряжения, изменяющегося от —2 В до

Таблица 9.12

Номер вывода		Назначение выводов
КР572ПВ2	К572ПВ2	
1	24	$U_{и.\ п1}$
2	25	Цифровой выход d_1
3	26	» » c_1
4	27	» » b_1
5	28	» » a_1
6	29	» » f_1
7	30	» » g_1
8	31	» » e_1
9	32	» » d_{10}
10	33	» » c_{10}
11	34	» » b_{10}
12	35	» » a_{10}
13	36	» » f_{10}
14	37	» » e_{10}
15	38	» » d_{100}
16	39	» » b_{100}
17	40	» » f_{100}
18	41	» » e_{100}
19	42	» » bc_{1000}
20	43	» » g_{1000}
21	44	Цифровая земля $Ц_{\perp}$
22	45	Цифровой выход g_{100}
23	46	» » a_{100}
24	47	» » c_{100}
25	48	» » g_{10}
26	3	$U_{и.\ п2}$
27	4	Конденсатор интегрирующий $C_{инт}$
28	5	Резистор интегрирующий $R_{инт}$
29	6	Конденсатор автокоррекции $C_{ак}$
30	7	Аналоговый вход $U_{вх}$ «—»
31	8	Аналоговый вход $U_{вх}$ «+»
32	9	Аналоговый вход общ
33	10	Опорный конденсатор $C_{оп}$
34	11	Опорный конденсатор $C_{оп}$
35	12	Опорное напряжение $U^{-}_{оп}$
36	13	Опорный конденсатор $U^{+}_{оп}$
37	20	Контрольный вход $K_{вх}$
38	21	Конденсатор ГСИ $C_{си}$
39	22	Резистор ГСИ $R_{си}$
40	23	Генератор ГСИ

0, в двоичный код (прямой или обратной) с дополнением до двух (прямого или обратного) (рис. 9.22,*а*, *б*). Тип выходного кода АЦП задается кодовой комбинацией на выводах *44*, *48* (*36*, *41*) соответственно: двоичной прямой код 11 (обратный 00); дополнением до двух прямой код 10 (обратный 01). По выводу $U^-_{оп}$(—0,07 В до 0) возможна коррекция напряжения смещения нуля на входе, а по выводу $U^+_{оп}$ (—1,9 до —2,1 В) — абсолютной погрешности преобразования в конечной точке шкалы. Временная диаграмма работы АЦП показана на рис. 9.22,*г*, из которой следует, что в момент времени когда на выходе АЦП появляется результат *n*-й выборки, на входе — (*n* + 2)-я выборка. Частота преобразования АЦП не превышает 20 МГц. Следует предусмотреть разделение цифровой и аналоговой земли с соединением их только в одной точке — клемме источника питания. Назначение выводов приведено в табл. 9.14.

Таблица 9.13

Элементы коррекции	$U_{оп}$	
	100 мВ	1 В
C2, мкФ	0,47	0,047
C4, мкФ	1,0	0,01
R1, кОм	47	470

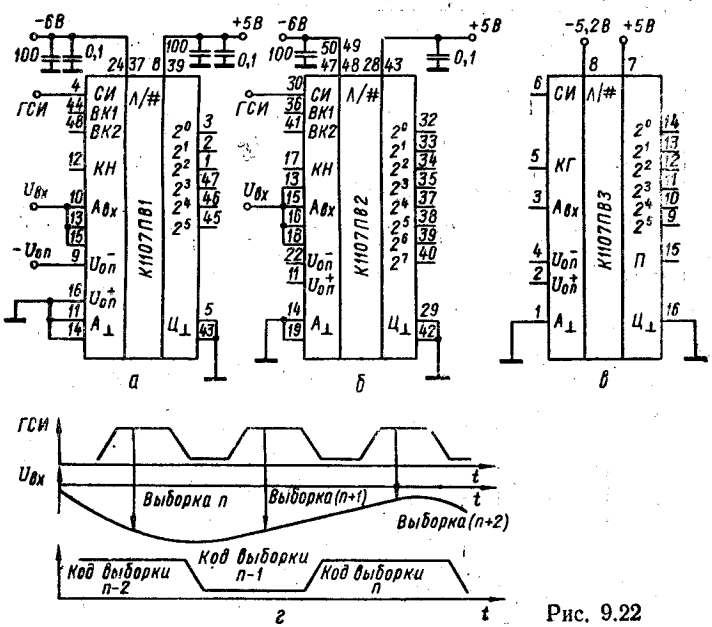


Рис. 9.22

Микросхема К1107ПВ3 (рис. 9.22,*в*) представляет собой 6-разрядный быстродействующий АЦП параллельного действия с временем преобразования 20 нс. Преобразователь имеет цифровой выход переполнения, позволяющий увеличить разрядность до семи путем параллельного соединения.

Таблица 9.14

Номер вывода			Назначение выводов
ПВ1	ПВ2	ПВ3	
3	32	14	Выход 2^0
2	33	13	» 2^1
1	34	12	» 2^2
47	35	11	» 2^3
46	37	10	» 2^4
45	38	9	» 2^5
—	39	—	» 2^6
—	40	—	» 2^7
44	36	—	Выбор кода ВК1
48	41	—	» » ВК2
4	36	6	Счетный импульс СИ
8, 39	28, 43	7	$+U_{и.\ п1}$
24, 37	47, 48	8	$-U_{и.\ п2}$
16	11	2	Опорное напряжение $U^+_{оп}$
9	22	4	» » $U^-_{оп}$
10, 13, 15	13, 15	3	Аналоговый вход $A_{вх}$
12	17	—	Коррекция нелинейная КН
—	—	5	Контроль гистерезиса КГ
—	—	15	Переполнение П
11, 14	14, 19	1	Аналоговая земля $A_{\perp}$
5, 43	29, 42	16	Цифровая » $Ц_{\perp}$

Микросхема К1108ПВ1 является 10(8)-разрядным прецизионным АЦП последовательного приближения (поразрядного уравновешивания). Назначение выводов приведено в табл 9.15.

Таблица 9.15

Номер вывода	Назначение вывода	Номер вывода	Назначение вывода
1	Выход 2^9	14	Цифровая земля $Ц_{\perp}$
2	» 2^8	15	—5,2 (аналоговая часть)
3	» 2^7	16	Коррекция ОУ КОУ
4	» 2^6	17	Аналоговый вход $А_{вх}$
5	» 2^5	18	Опорное напряжение $U_{оп}$
6	» 2^4	19	Коррекция ИОН КИОН
7	» 2^3	20	Аналоговая земля $А_{\perp}$
8	» 2^2	21	+5 В
9	» 2^1	22	«Запуск» Зап
10	» 2^0	23	Счетные импульсы СИ
11	Готовность данных ГД	24	Разрешение считывания РСЧ
12	—5,2 (цифровая часть)		
13	Разрядность АЦП10 (8) (*n*)		

Содержит ИОН, ГСИ и выходной регистр на три состояния с хранением информации преобразования в течение последующего цикла преобразования и выдачей ее в двоичном параллельном коде. 10-разрядный режим (рис. 9.23,*а*) устанавливается подключением вывода *13* к выводу *14*, при 8-разрядном режиме (рис. 9.23,*б*) вывод *13* соединяется с выводом *15*. При работе с внутренним ИОН (рис. 9.23,*а*) необходимо вывод *19* через конденсатор 0,47 мкФ подключить на «землю» (вывод *20*). Внешнее опорное напряжение (рис. 9.23,*б*) можно подать на вывод *18*,

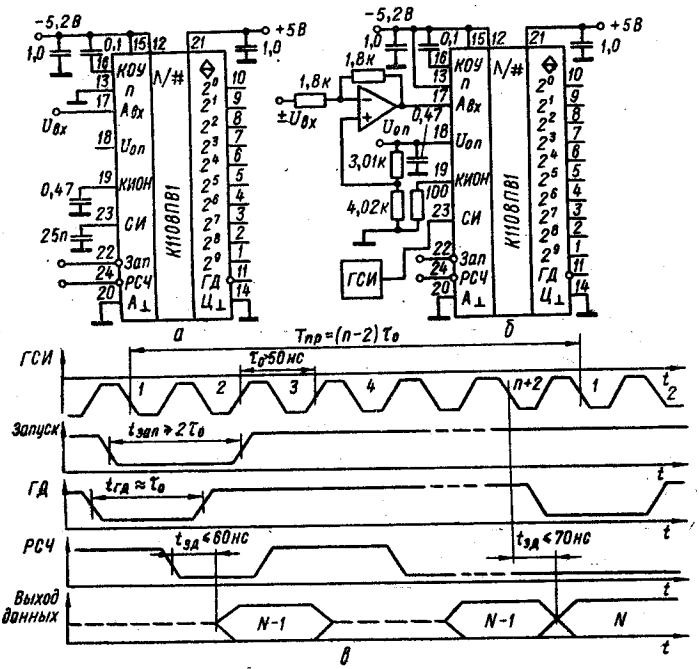


Рис. 9.23

при этом вывод *19* подключают через резистор сопротивлением 100 Ом к выводу *20*. При работе с внутренним ГСИ (рис. 9.23,*а*) вывод *23* через конденсатор емкостью 25 пФ можно подключить к выводу *20*. В системе с жесткой синхронизацией тактов преобразования внешний ГСИ (с периодом $\tau_0 > 50$ нс) подключается к выводу *23*, при этом уровень СИ должен соответствовать уровням ЭСЛ схем (рис. 9.23,*б*). Для сопряжения тактового входа СИ (вывод *23*) с ТТЛ можно использовать интегральную схему преобразователя уровня ТТЛ→ЭСЛ типа К500ПУ124.

Выборка АЦП производится по сигналу «Запуск» (уровень логический «0» ТТЛ) и по переднему фронту СИ и длится 12 периодов (рис. 9.23,*в*). Преобразование информации заканчивается выдачей сигнала АЦП в систему о готовности данных (уровень логический «0» ТТЛ на выводе *11* «Готовность данных»). Выводится информация из АЦП на шину данных по сигналу «Разре-

шение считывания» (уровень логический «0» ТТЛ), поступающего на вывод *24* от системы обработки, например МП. В режиме автоматического запуска вывод *22* («Запуск») подключается к выводу *14* («Цифровая земля»).

Микросхема К1113ПВ1 [84] обеспечивает аналого-цифровое преобразование однополярного или биполярного сигнала в 10-разрядный двоичный код. Микросхема содержит АЦП последовательного приближения с встроенными ИОН и ГСИ (с частотой 300—400 кГц). Выходные каскады с тремя состояниями позволяют передавать информацию непосредственно на шину данных МП. При включении АЦП в однополярном режиме необходимо вывод *15* (однополярный или двухполярный сигнал О/Д) соединить с выводом *16* («Цифровая земля»), а в двухполярном режи-

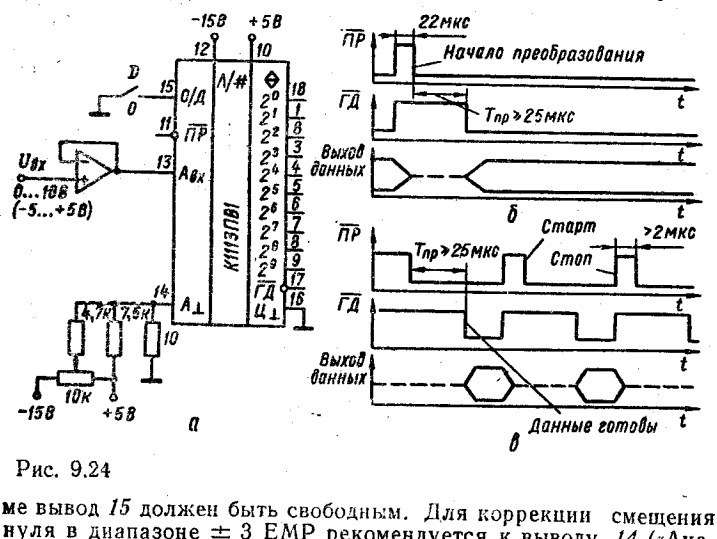


Рис. 9.24

ме вывод *15* должен быть свободным. Для коррекции смещения нуля в диапазоне ± 3 ЕМР рекомендуется к выводу *14* («Аналоговая земля») подключать схему регулировки смещения нуля (рис. 9.24,*а*), а для регулирования диапазона необходимой шкалы входного напряжения до 10, 24 В в цепь аналогового входа (вывод *13*) включают переменный регистр 100...200 Ом.

По внешнему сигналу «Преобразование» ($\overline{\text{ПР}}$) (вывод *11*) АЦП начинает преобразование входной информации в режиме однократного запуска (рис. 9.24,*б*) или стартстопном режиме (рис. 9.24,*в*). По окончании преобразования АЦП вырабатывает сигнал «Готовность данных» — $\overline{\text{ГД}}$ (вывод *17*) и информация через выходные каскады с тремя состояниями поступает на цифровые выходы.

Аппаратурное и программное обеспечение современных МП и микро-ЭВМ позволяет осуществлять цифровую обработку информации с большой скоростью в информационно-измерительных системах обработки сигналов. Поэтому одним из важнейших требований АЦП и ЦАП является возможность их сопряжения с МП по шине адреса, по шине данных и шине управления, которые необходимы для выбора начала преобразования, инициирования и управления процессом преобразования и пере-

дачи данных. Необходимым условием совместной работы АЦП и ЦАП с МП является также их совместимость по логическим уровням цифровых сигналов, цифровому коду и формату данных (параллельный или последовательный код).

Глава 10
ОДНОКРИСТАЛЬНЫЕ МИКРОПРОЦЕССОРЫ

10.1. ОСНОВНЫЕ ПАРАМЕТРЫ И ТИПЫ МИКРОПРОЦЕССОРНЫХ КОМПЛЕКТОВ

Для реализации устройств обработки информации (УОИ) используют аппаратные, программные и аппаратно-программные средства. При аппаратных получают УОИ с «жесткой» логикой, что обеспечивает наибольшее быстродействие, но требуются большие аппаратные затраты. При программных УОИ реализуется в виде программы для типовой универсальной микро-ЭВМ, предназначенной для встраивания непосредственно в разрабатываемые блоки. При аппаратно-программных предполагается разработка как программных, так и аппаратных средств на базе микропроцессоров (МП).

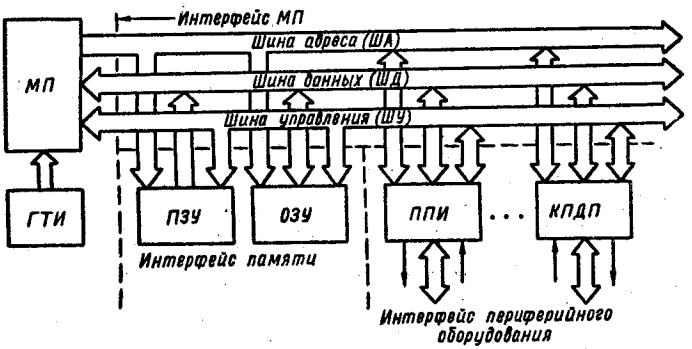


Рис. 10.1

Микропроцессор представляет собой функционально законченное устройство, состоящее из одной или нескольких программно-управляемых БИС и предназначенное для выполнения операций по обработке информации и управления вычислительным процессом. На рис. 10.1 изображена структура микропроцессорного устройства (системы). Следует отметить, что такую же структуру имеют микро-ЭВМ широкого назначения. Центральное место в этой структуре занимает микропроцессор, который подобно процессору обычных ЭВМ непосредственно выполняет арифметические и логические операции над данными, программное управление процессом обработки информации, организует взаимодействие всех устройств, входящих в систему. Структура, изображенная на рис. 10.1, отражает магистрально-модульный принцип организации микропроцессорных устройств. Отдельные блоки (*ПЗУ*, *ОЗУ*) являются законченными функци-

ональными модулями в виде одной или нескольких БИС. Межмодульные связи и обмен информацией между модулями осуществляются посредством коллективных шин (магистралей) адреса, данных и управления. Периферийное оборудование (УВВ и внешние ЗУ) подсоединяется к шинам *МП* не непосредственно, а через программно-управляемые интерфейсные БИС — контроллеры (контроллер прямого доступа к памяти *КПДП*, программируемый параллельный интерфейс *ППИ*, программируемый последовательный интерфейс связи ППИС, программируемый контроллер приоритетных прерываний ПКПП, программируемый таймер ПТ и т. п.). При этом в каждый данный момент возможен обмен информацией только между двумя модулями системы [19; 37; 48; 50; 75; 78]. В схеме имеется генератор тактовых импульсов *ГТИ*.

В МП обрабатываются машинные слова, представленные в двоичном коде. Машинные слова бывают двух типов: информа-

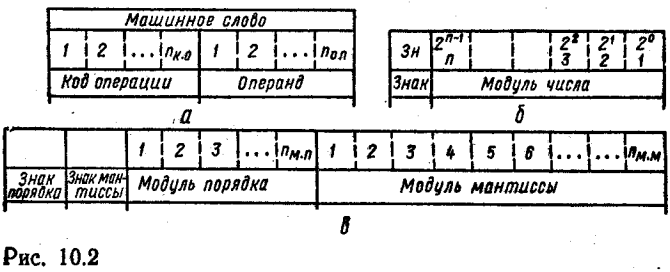


Рис. 10.2

ционные (данные) и командные (команды). Информационные слова (данные) представляют собой числа, над которыми выполняется цифровая обработка. Длина слова данных определяется диапазоном чисел, обрабатываемых МП, и способом кодирования (двоичный или двоично-десятичный код). Командное слово состоит из кода операции и операнда (рис. 10.2,*а*). Код операции — это закодированное название операции, которую должен выполнить МП. Совокупность кодов операции образует набор команд МП. Число разрядов $n_{к.о}$, выделенных для кодов операций, определяется набором $N_к$ команд: $n_{к.о} = \log_2 N_к$. Операнд — адрес информационного слова или само информационное слово. Адрес — месторасположение машинного слова в памяти.

В МП используются преимущественно две формы представления чисел: с фиксированной запятой — естественная форма (рис. 10.2,*б*) и с плавающей запятой — показательная форма (рис. 10.2,*в*). При записи чисел с фиксированной запятой положение запятой фиксируется в определенном месте разрядов числа (например, перед старшим разрядом или после младшего разряда) и сохраняется неизменным для всех чисел, с которыми оперирует МП. При этом старший разряд используется в качестве знакового, в нем записывается код знака числа (0 — положительного, 1 — отрицательного). Остальные разряды числа используются для представления модуля числа: для положительного числа они соответствуют записи прямого кода, для отрицательного значения — дополнительного кода. Поэтому если машинное слово имеет n бит, то $(n - 1)$ бит используется для представления числа от 0 до 2^{n-1}. Для представления боль-

ших чисел можно использовать два или несколько слов: например, число — 2_{10} (отрицательное десятичное число) $\Rightarrow$ —0010_2 (отрицательное двоичное число) $\Rightarrow$ 1.1101 ($\overline{2}$ — с фиксированной запятой, модуль числа в обратном коде) $\Rightarrow$ 1.1110 ($\overline{2}$ — с фиксированной запятой, модуль числа в коде дополнения до двух); число —25_{10} $\Rightarrow$ —0010 0101_{2-10} (отрицательное двоично-десятичное число) $\Rightarrow$ 1.0111 0100_{2-10} (25 — с фиксированной запятой, модуль числа в коде дополнения до 9).

При записи чисел с плавающей запятой число выражается порядком и мантиссой (рис. 10.2,*в*). Числа с плавающей запятой, как правило, нормализуются, т. е. запятая ставится перед старшим разрядом мантиссы, содержащим 1. Например,

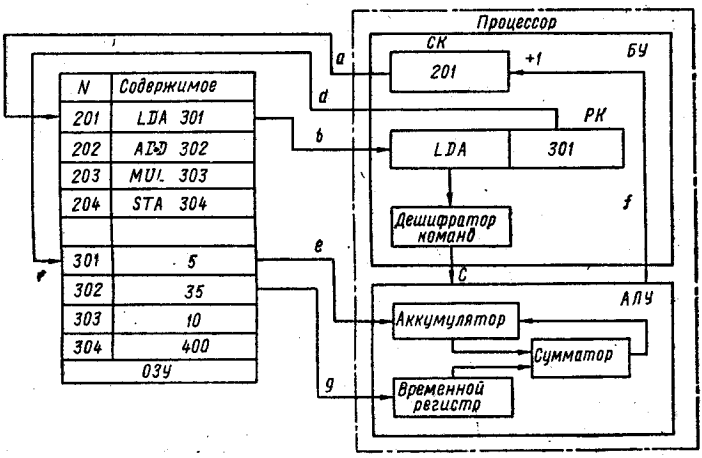


Рис. 10.3

$0{,}0025_{10} = 0{,}25 \cdot 10^{-2}$; $0{,}000101_2 = 0{,}101 \cdot 2^{-11}$. При использовании чисел с плавающей запятой довольно просто реализуются операции умножения и деления, при сложении и вычитании необходимо выполнить преобразование чисел так, чтобы они имели равные модули порядка. При такой форме записи диапазон чисел определяется прежде всего модулем порядка, а точность — разрядностью мантиссы.

Основной функциональный блок микро-ЭВМ — процессор. Рассмотрим принцип работы процессора на примере выполнения арифметических операций (5 + 35)10. Пусть программа для выполнения приведенного примера находится в ячейках оперативной памяти с номерами 201...204, а данные — в ячейках с номерами 301...304 (рис. 10.3). Программа содержит следующие команды: LDA — поместить содержимое ячейки памяти с адресом 301 в аккумулятор; ADD — сложить содержимое ячейки 302 с содержимым аккумулятора и результат поместить в аккумулятор; MUL — умножить содержимое ячейки 303 на содержимое аккумулятора; STA — загрузить содержимое аккумулятора в ячейку памяти с адресом 304. Для последовательного выполнения отдельных операций блок управления *БУ* должен обеспечить реализацию следующих функций: считывание команды;

дешифрацию кода операций; установку адреса операнда; установку счетчика команд *СК* для выборки последующей команды; выполнение команды, заданной кодом операции.

Прежде всего надо загрузить в счетчик команд адрес 201. Затем по сигналу ПУСК устройство управления передает адрес 201 в оперативную память (линия *a*). Командное слово, хранимое по этому адресу, пересылается в регистр команд *РК* устройства управления (линия *b*). Код операции LDA дешифратором команд обеспечивает выработку соответствующих управляющих сигналов для загрузки в аккумулятор арифметико-логического устройства *АЛУ* содержимого соответствующей ячейки памяти (линия *c*). По адресу (в адресной части команды), хранимому в регистре команд, извлекается через регистр адреса содержимое ячейки с номером 301 из оперативной памяти (линия *d*). Содержимое данной ячейки (число 5) передается в аккумулятор *АЛУ* (линия *e*). *АЛУ* выдает в устройство управления информацию об окончании операции (линия *f*), вследствие этого содержимое счетчика команд увеличивается на единицу, т. е. становится равным 202. Рассмотренная последовательность должна повториться по командному слову, хранимому в ячейке памяти с адресом 202 и т. д.

Совокупность микропроцессорных и интегральных микросхем (ПКПП, КПДП, ППИ, ППИС, ПТ и др.), совместимых по конструктивно-технологическому исполнению и предназначенных для использования при построении микропроцессорных систем, микро-ЭВМ и других вычислительных устройств называется микропроцессорным комплектом интегральных схем (МПК ИС). МПК состоит из четырех групп БИС: 1) базовый МПК; 2) БИС запоминающих устройств (ОЗУ, ПЗУ, ППЗУ); 3) БИС для связи между МП и УВВ (дисплеи, АЦПУ, внешние накопители информации — гибкие диски и др.); 4) БИС для связи с объектом (ЦАП, АЦП, преобразователи и т. д.).

К основным параметрам МПК БИС относят: тип микроэлектронной технологии (КМОП, МОП, ТТЛШ, ЭСЛ, $И^2Л$); количество кристаллов, образующих МП; длину (количество разрядов *n*) слова, обрабатываемого МП; быстродействие МП (тактовая частота, время выполнения команд основных операций); емкость адресуемой памяти; эффективность системы команд (количество команд, выполняемые операции, возможные способы адресации и т. п.); число уровней прерываний; возможность прямого доступа к памяти; номинальные параметры используемых сигналов; число входящих в МПК дополнительных БИС и выполняемые ими функции; количество и уровни питающих напряжений; мощность рассеяния МП.

По виду обрабатываемых входных сигналов различают аналоговые и цифровые МПК. Сами МП — цифровые устройства, однако могут иметь встроенные АЦП и ЦАП. Поэтому аналоговые сигналы передаются в МП через преобразователь в цифровой форме, обрабатываются и после обратного преобразования в аналоговую форму поступают на выход. Такие МП называются аналоговыми микропроцессорами (АМП). Они выполняют функции любой аналоговой схемы (например, генерацию колебаний, фильтрацию, кодирование и декодирование сигналов в реальном времени и т. д.).

Микропроцессорные БИС можно разделить на: однокристальные МП (табл. 10.1) с фиксированной разрядностью слова, с фиксированной системой команд и, как правило, с управля-

Таблица 10.1

Обозначение	Функциональное назначение	n, бит	$F_{так}$, МГц, (T_2, нс)	$E_п$, В ($I_{пот}$, мА)
	Однокристальные МП серии КР580 (n-МОП)			
КР580ВМ80А	Центральный процессор	8	2,5	5; 12; —5
КР580ВВ51	Программируемый последовательный интерфейс связи	8	2	5
КР580ВВ55	Программируемый параллельный интерфейс	8, 4, 1	2	»
КР580ВИ53	Программируемый таймер	8, 16	2	5
КР580ВТ57	Программируемый контроллер прямого доступа к памяти	8, 16	2	5
КР580ВН59	Программируемый контроллер приоритетных прерываний	8	(500)	5
КР580ВГ75	Программируемый контроллер ЭЛТ	8, 16	3	5
КР580ИР82 (83)	Буферный регистр	8	(45)	5 (160)
КР580ВА86 (87)	Шинные формирователи	8	(30)	5 (160)
КР580ВК28 (38)	Системный контроллер и шинный формирователь	8	(60)	5 (190)
КР580ГФ24	Генератор тактовых импульсов	—	27	12 (12) 5 (115)
КР580ВВ79	Программируемый контроллер клавиатуры и индикации	8	2	5
	Серия К581 (n-МОП) [49: 70]			
К581ИК1	БИС регистрового АЛУ	8, 16	(400)	12 (25) —5
К581ИК2	БИС управления выполнением операций	16	(400)	12 ±5
К581РУ1	БИС хранения микрокоманд управления	22	(400)	+12 ±5
К581РУ2	БИС МП ЗУ для реализации стандартного набора системы команд	22	(400)	+12 ±5

Обозначение	Функциональное назначение	n, бит	$F_{так}$, МГц, (T_2, нс)	$E_п$, В ($I_{пот}$, мА)
К581РУ2	БИС для расширения арифметических операций с плавающей запятой	2	(400)	+12 ±5
	Серия 586 (n-МОП) [49; 70]			
К586ИК1	Центральный процессор	16	2	+12 ±5
К586ИК2	Устройство ввода-вывода	8×3	2	+12 ±5
К586РУ1	Статическое ОЗУ	4×254	2	±5
К586РЕ1	ПЗУ	16×1024	2	+12 +5
	Серия К588 (КМОП) [11; 67; 81]			
К588ВС2	Центральный процессор	16	(1500)	5 (1)
К588ВУ2	БИС микропрограммной управляющей памяти	16	(800)	5 (3)
К588ВГ1	БИС системного контроллера	—	(500)	5 (1)
К588ИР1	БИС 8-разрядного многофункционального буферного регистра	8	(250)	5
К588ВР2	БИС аппаратного умножения 16-разрядных чисел	16	(2000)	5
К588ВГ2	БИС контроллера ЗУ	—	(200)	5
К588ВТ1	БИС селекторов адреса	8	(300)	5
К588ВА1	БИС 8-разрядного магистрального приемопередатчика	8	(150)	5
К588ВН1	БИС контроллера прерываний	7	(500)	5 (0,2)
К588ВТ2	БИС контроллера прямого доступа к памяти	—	(2000)	5 (0,8)
К588ВГ3	БИС кодек мультиплексорного канала	2/23	12	5

Обозначение	Функциональное назначение	n, бит	$F_{так}$, МГц, (T_2, нс)	$E_п$, В ($I_{пот}$, мА)
К588ВГ6	БИС адаптер мультиплексорного канала	16	12	5
К588ВГ5	БИС контроллера ЦАП	16/8	(500)	5
К588ВГ4	БИС контроллера АЦП	16/8	(500)	5 (0,5)
К588ВИ1	БИС программируемый интервальный таймер	16	(500)	5 (0,2)
К588ВА3	Усилитель-ограничитель	1	(100)	5 (60) —5,2 (60)
К588ВА2	Формирователь трансформаторной линии	1	(100)	5
	Серия К1801 (n-МОП) [17; 26; 70; 81]			
К1801ВМ1	Центральный процессор	16	16	5 (240)
К1801ВМ2	Центральный процессор	16	10	5 (340)
К1801ВМ3	Центральный процессор	16	6	5 (400)
К1801ВЕ1	БИС однокристальной микро-ЭВМ	16	—	5
К1801ВП1-030	БИС управления ОЗУ (К565РУ6)	14	—	5
К1801ВП1-033	Бис интерфейса накопитель на ГМД интерфейса параллельного ввода-вывода	8	—	5 (200)
К1801ВП1-034	БИС устройства передачи информации, регистра данных и контроллера прерываний	8	—	5 (200)
К1801ВП1-035	БИС последовательного синхронного приемопередатчика	16 ↔ 1	—	5
К1801РЕ1	БИС системного ПЗУ 16×4К	16	(400)	5 (50)
	Серия К1806 (КМОП) [81]			
К1806ВМ2	Центральный процессор	16	5	5

Обозначение	Функциональное назначение	n, бит	$F_{так}$, МГц, (T_2, нс)	$E_п$, В ($I_{пот}$, мА)
	Серия К1809 (n-МОП) [81]			
К1809ВВ1	БИС программируемого ввода-вывода	8	—	5
К1809ВВ2	БИС системного последовательного канала	4	—	5
К1809ВГ1	Микроконтроллер магнитофона	—	—	5
К1809ВГ3	Микроконтроллер телевизора и магнитофона	—	—	5
К1809РУ1	БИС статического ОЗУ 16×1к	16	(400)	5
К1809РЕ1	ПЗУ 16×4к	16	(400)	5
	Серия К1810 (n-МОП) [37; 43; 45; 50; 81]			
К1810ВМ86	Центральный процессор	20/16	5	5 (340)
К1810ГФ84	Генератор тактовых импульсов	—	5	5 (140)
К1810ВГ88	Системный контроллер	3	10	5 (200)
К1810ВБ89	Арбитр шины	3	10	5 (165)
К1810ВН59	Программируемый контроллер прерываний	8	(350)	5 (90)
	Многокристальные МП серии К589 (К585), (ТТЛШ) [8; 63; 81]			
К589ИК02	Центральный процессор	7/2	70	5 (200)
К589ИК01	Блок микропрограммного управления	12	(100)	5 (200)
К589ИК03	Блок ускоренного переноса	8	(40)	5 (130)
К589ИК14	Блок приоритетов прерывания	8	(80)	5(130)
К589ИР12	Многорежимный буферный регистр	8	(35)	5 (130)
К589АП16 К589АП26	Шинный формирователь	4	(65)	5 (130)
К589ХЛЧ	Универсальный контроллер синхронизации	4	(40)	5 (100)

Обозначение	Функциональное назначение	n, бит	$F_{так}$, МГц, (T_2, нс)	$E_п$, В ($I_{пот}$, мА)
	Серия К1800 (ЭСЛ) [1; 63; 81]			
К1800ВС1	АЛУ	4	(41)	—5,2 —2
К1800ВУ1	Блок микропрограммного управления	4	(25)	—5,2 —2
К1800ВБ2	Универсальный контроллер синхронизации	4	(25)	—5,2
К1800ВТ3	Контроллер памяти	4	(37)	—5,2 —2
К1800РП6	Двухадресная регистровая память 32×9	9	(19)	—5,2
К1800ВР8	Программируемый сдвигатель	16	(6)	—5,2
К1800ВА4	Двунаправленный транслятор уровней ЭСЛ и ТТЛ	4	(6)	—5,2 5
К1800ВА7	Двунаправленный магистральный транслятор	5	(5)	—5,2
	Серия КР1802 (ТТЛШ) [50; 63; 81]			
КР1802ВС1	Арифметическое устройство	8	(140)	5 (300)
КР1802ИР1	Блок регистров общего назначения	4	(60)	5 (180)
КР1802ВВ1	Схема обмена информацией	4	(80)	5 (300)
КР1802ВВ2	Контроллер интерфейса	—	(8)	5 (260)
КР1802ВР1	Арифметический расширитель	16	(180)	5 (300)
КР1802ВР2	Секционный умножитель	8	(80)	5 (300)
КР1802ВР3	Умножитель 8×8	8	(140)	5 (300)
КР1802ВР4	Умножитель 12×12	12	(145)	5 (600)
КР1802ВР5	Умножитель 16×16	16	(175)	5 (800)
КР1802ИМ1	Параллельный 4-входовой сумматор	4	(55)	5 (300)
	Серия К1804 (ТТЛШ) (50; 63; 81)			
К1804ВС1 (2)	Центральный процессор	4	(100)	5 (130)
К1804ВУ1 (2)	Блок управления адресом микрокоманд	4	(100)	5 (130)

Продолжение табл. 10.1

Обозначение	Функциональное назначение	n, бит	$F_{так}$, МГц, (T_2, нс)	$E_п$, В ($I_{пот}$, мА)
К1804ВУ3	Контроллер последовательностей микрокоманд	4—8	(50)	5 (110)
К1804ВУ4	Блок микрокомандного управления	12	(100)	5 (300)
К1804ВУ5	Контроллер адреса	4	(7)	5 (120)
К1804ВР1	Блок ускоренного переноса	4	(15)	5 (200)
К1804ВР2	Контроллер состояний	4 + 4	(60)	5 (300)
К1804ИР1	Параллельный регистр	4	(50)	5 (120)
К1804ИР2	Многоцелевой буферный регистр	8	(45)	5 (40)
К1804ИР3	Интерфейс ввода-вывода	8	(30)	5 (100)
К1804ГГ1	Генератор синхронизации	—	30	5 (100)
К1804ВА1 (2, 3)	Магистральные приемопередатчики	4	35	5 (100)

ющим устройством со «схемной» логикой; многокристальные (секционные) микропрограммируемые МП (табл. 10.1) с изменяемой разрядностью слова и с фиксированным набором микроопераций; однокристальные микро-ЭВМ (табл. 10.2), имеющие в своем составе центральный процессор с фиксированной структурой и системой команд, ОЗУ и ПЗУ; аналоговые микропроцессоры (табл. 10.3) для цифровой обработки сигналов.

Таблица 10.2

Серия ОМЭВМ	Объем памяти		Технология	Число команд	t^0, мкс	F, МГц	n, бит	$E_г$, В ($I_{пот}$, мА)
	ПЗУ, бит	ОЗУ, бит						
К1814	1024×8	64×4	p-МОП	43	20	0,3	4	—9 (7)
К1816	1024×8	64×8	n-МОП	96	2,5	6	8	5 (120)
К1820	1024×8	64×4	n-МОП	49	4	1,6	4	5 (35)
К1013	1024×8	64×4	КМОП	53	61	0,03	4	—3 —1,5
К1801ВЕ1	1024×16	128×16	n-МОП	404	—	—	16	5

Многокристальные (секционные) микропрограммируемые МП обеспечивают большую гибкость при разработке универ-

Таблица 10.3

Обозначение	Функциональное назначение	n, бит	$F_{так}$, МГц (T, нс)	$E_п$, В ($J_{пот}$, мА)
КМ1813ВЕ1	ОМЭВМ цифровой обработки аналоговых сигналов	9	6	±5
К1815	МПК для цифровой обработки сигналов	—	—	—
К1815ВФ1	Универсальный процессор	16/8	(118)	5 (60) 3 (300)
К1815ВФ2	Накапливающий 24-разрядный сумматор с интерфейсом	24/12	(472)	5 (200)
К1815ВФ3	МП для построения процессора БМФ	24	(100)	1,5 (300)
К1815ИА1	Быстродействующее АЛУ	1	(118)	5 (150)
К1815ИМ1	Быстродействующий 16-разрядный сумматор последовательных чисел	1	(118)	5 (450)
К1815ПР1	Преобразователь последовательно-параллельных кодов	8, 16, 32	(118)	5 (200)
К1815ИР1	Ортогональная матрица регистровой памяти	4, 8,	(118)	5 (450)

сальных специализированных ЭВМ, реализующих различные системы команд в УОИ в реальном времени. Однако при этом пользователь должен разработать микропрограммы, реализующие эти команды, и занести их в управляющую память МП. Использование микропрограммируемых МП связано с определенными трудностями и требует от разработчика высокой квалификации в вопросах программирования и схемотехнического проектирования. Наиболее широко используют однокристальные МП с фиксированной разрядностью и однокристальные микро-ЭВМ.

В настоящее время наибольшее распространение получили 8-разрядные МПК КР580 и 16-разрядные К1810 и К1801. Поэтому рассмотрим эти типы МПК, так как построение микро-ЭВМ на базе МПК КР580, К1810, К1801 позволяет легко освоить работу других аналогичных МПК.

10.2. МИКРОПРОЦЕССОР СЕРИИ КР580

МПК КР580 предназначен для создания широкого класса средств вычислительной техники и обработки информации [3; 6; 37; 50; 64; 81]. МПК выполнен по n-МОП технологии и по напряжениям логических уровней согласуется с ИС ТТЛ. Состав базового комплекта КР580 и основные параметры приведены в табл. 10.1.

Микропроцессор КР580ВМ80А представляет собой однокристальный 8-разрядный МП с фиксированной системой команд, обеспечивающий выполнение логических и арифметических операций с 8-разрядными числами в двоичной и десятичной системах счисления.

Структурная схема (рис. 10.4) МП состоит из следующих блоков: арифметико-логического устройства *АЛУ*, блока регистров *БР*, блока управления *БУ*, блока синхронизации *БС*, блока обмена информации *БОИ* и интерфейса. Все блоки объединены системой шин, сгруппированных в три магистрали: информационную 8-разрядную трехстабильную (три состояния — высокий уровень, низкий уровень и высокоимпедансное состояние), двунаправленную шину данных *ШД* D0...D7, адресную 16-разрядную трехстабильную однонаправленную шину адреса *ША* A0...A15 и шину управления *ШУ* (четыре входных и шесть выходных линий связи).

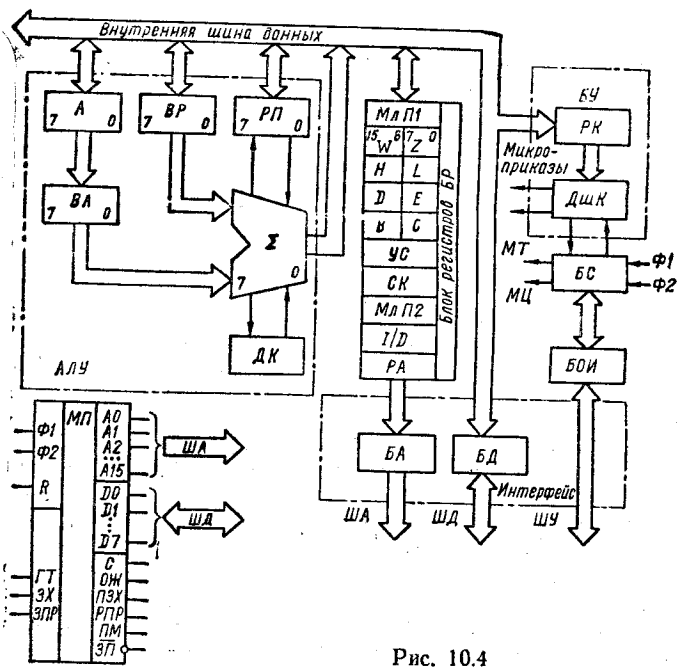


Рис. 10.4

Арифметико-логическое устройство обеспечивает выполнение арифметических и логических операций над 8-разрядными данными, представленными в двоичном коде. В состав *АЛУ* входят аккумулятор *A* (регистр результата), временный регистр *BP*, сумматор Σ, регистр признаков *РП*, десятичный корректор *ДК* и временный аккумулятор *BA*.

Аккумулятор предназначен для приема данных и хранения результата, полученного при выполнении арифметических и логических операций. Временный регистр служит для приема и хранения данных на время выполнения команды. Сумматор — схема комбинационного типа с последовательным переносом — используется для выполнения арифметических и логических операций. Регистр признаков предназначен для фиксации результата выполнения команды. Его содержимое может подвергаться анализу для выполнения команд перехода по усло-

вию. В регистр признаков входят пять триггеров: триггер знака результата S (разряд D7) устанавливается в «1», если результат отрицательное число; триггер нулевого результата Z (разряд D6) устанавливается в «1», если результат текущей операции равен 0; триггер вспомогательного переноса C' (разряд D4) устанавливается в «1» при наличии переноса из младших четырех разрядов в старшие; триггер четности P (разряд D2) устанавливается в «1», если результат содержит четное число единичных битов; триггер переноса C (разряд D0) устанавливается в «1» при возникновении переноса из старшего разряда сумматора. Десятичный корректор предназначен для выполнения операций с данными, представленными в двоично-десятичной форме.

При выполнении арифметических или логических операций один из операндов пересылается из аккумулятора во временный

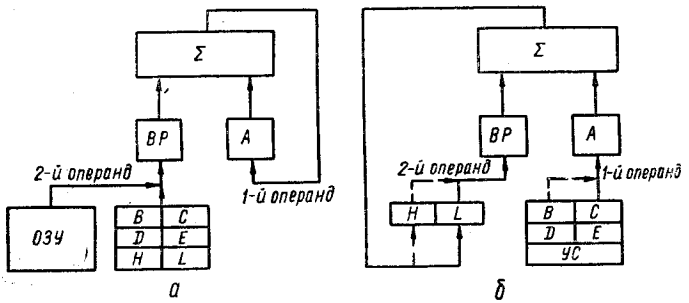


Рис. 10.5

аккумулятор, а затем в сумматор. Второй операнд поступает из памяти или из блока регистров через внутреннюю шину данных во временный регистр, а затем пересылается в сумматор. При этом результат операции через внутреннюю шину данных передается в аккумулятор или блок регистров, а признаки результата записываются в регистр признаков.

Блок регистров предназначен для хранения и выдачи информации, участвующей в процессе выполнения программы. Блок регистров состоит из статической памяти с произвольным доступом в виде семи 16-разрядных регистров (регистров общего назначения *РОН*: *BC*, *DE*, *HL*), 16-разрядного временного регистра *WZ*, регистра адреса *РА*, счетчика команд *СК*, указателя стека *УС*, мультиплексоров *МлП1* и *МлП2* и схемы инкремента (*I/D*) (декремента) адреса.

Регистры общего назначения *BC*, *DE*, *HL* можно использовать как шесть отдельных 8-разрядных программно доступных регистров *B*, *C*, *D*, *E*, *H*, *L* для временного хранения промежуточных результатов. Содержание каждого из регистров можно передавать в *АЛУ*, память или между регистрами. Пары регистров *BC*, *DE*, *HL* можно использовать как три 16-разрядных программно доступных регистра для хранения адресов, при косвенной адресации, или двухбайтовых операндов, а также для выполнения арифметических (логических) операций, где первый операнд помещается в аккумулятор, а второй — во *ВР* (рис. 10.5,*а*); и вычислений с удвоенной точностью с 16-разрядными числами по команде DAD (рис. 10.5,*б*).

Временной регистр *WZ* программно недоступен и используется для приема и временного хранения второго и третьего байтов команды и передачи этих операндов в регистр адреса или в регистр *HL*.

Регистр адреса предназначен для приема информации из других регистров и передачи ее на буфер адреса или на схему инкремента (декремента).

Схема инкремента (декремента) позволяет увеличивать или уменьшать на единицу содержимое РОН и указателя стека, что упрощает адресацию. 16-разрядный счетчик команд *СК* используется для приема и хранения адреса следующей выполняемой по программе команды, которая должна передаваться из памяти

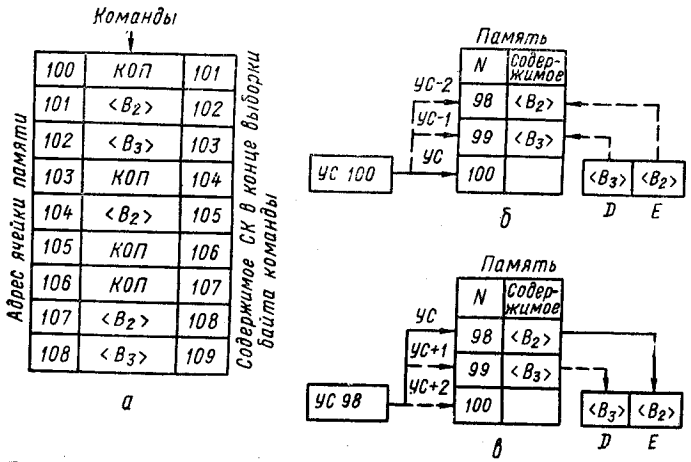


Рис. 10.6

в МП. Содержимое *СК* автоматически увеличивается на единицу после выборки каждого байта команды (рис. 10.6,*а*). Счетчик команд может загружаться содержимым регистра *HL* или вторым и третьим байтами команды перехода.

16-разрядный указатель стека *УС* предназначен для приема и хранения адреса ячейки стека, к которой было последнее обращение. Стек — область памяти МП, последовательность считывания данных из которой обратна последовательности их записи. Содержимое *УС* уменьшается (увеличивается) на единицу перед занесением (после извлечения) байта в стек (из стека). Стек предназначен в основном для временного хранения содержимого РОН, аккумулятора, регистра признаков и *СК* при переходе к подпрограммам. При этом содержимое *СК* автоматически загружается в стек, где оно сохраняется до конца действия подпрограммы, а содержимое РОН, аккумулятора и регистра признаков загружается по команде PUSH (рис. 10.6,*б*) и извлекается по команде POP (рис. 10.6,*в*). Мультиплексор *МлП1* служит для передачи информации с внутренней шины данных в блок регистров и обратно, мультиплексор *МлП2* для передачи информации из РОН, *СК* и *УС* в *РА*.

Блок управления вырабатывает в определенной последовательности микрооперации, необходимые для выполнения команд

в МП. *БУ* состоит из регистра команд *РК* и дешифратора команд *ДШК*. Регистр команд предназначен для приема кода операции команды, поступающего в МП в такте *Т3* машинного цикла, и хранения кода во время выполнения команды. Дешифратор команд расшифровывает код операции команды и вырабатывает микроприказы в соответствии с микропрограммой выполнения команд.

Блок синхронизации предназначен для синхронной работы всех внутренних узлов МП и синхронизирует прием и передачу потоков информации с помощью периодических импульсов, называемых машинными тактами *МТ* и машинными циклами *МЦ*. В МП используется двухфазная система внешней синхронизации неперекрывающимися импульсами *Ф1*, *Ф2*. Блок синхронизации состоит из схем формирования *МТ*, *МЦ*, схемы формирования сигнала сброса и схемы формирования сигнала синхронизации. Схема формирования *МТ* предназначена для выработки машинных тактов (*Т1—Т5*), равных по длительности периоду тактовой частоты. В течение одного такта выполняется одна микрокоманда. Схема формирования *МЦ* предназначена для выработки машинных циклов (М1—М5), равных по длительности трем, четырем или пяти машинным тактам. Схема формирования сигнала сброса необходима для выработки сигнала сброса, устанавливающего все блоки МП в начальное состояние, а схема формирования сигнала синхронизации — для выработки сигнала синхронизации СИНХРО, определяющего начало каждого машинного цикла.

Блок обмена информации *БОИ* состоит из схем анализа прерываний, анализа захвата шин и анализа готовности. Схема анализа прерывания обеспечивает возможность работы МП в реальном времени. Она состоит из триггера разрешения прерывания, который устанавливается в состояние «1» программно с помощью команды EI и триггера запроса прерывания. Запрос прерывания анализируется в последнем такте последнего машинного цикла каждой команды (кроме команды EI и DI). Схема анализа захвата шин способствует организации режима прямого доступа к памяти с помощью входного сигнала ЗАХВАТ шин и выходного сигнала ПОДТВЕРЖДЕНИЕ ЗАХВАТА. В этом режиме МП находится до тех пор, пока действует сигнал ЗАХВАТ шин. Схема анализа готовности позволяет МП работать с памятью и внешними устройствами любого быстродействия. Это обеспечивается тем, что запуск такта *Т3*, который является тактом обмена информацией микропроцессора с внешними устройствами, управляется сигналом ГОТОВ.

Блок интерфейса предназначен для связи МП с внешними устройствами. Он состоит из буфера адреса, буфера данных и шины управления *ШУ*. Буфер адреса используется для выдачи 16-разрядного адреса на шину адреса *ША* A0...A15. Он обеспечивает адресацию внешней памяти объемом до 64 Кбайт и представляет собой однонаправленную схему с тремя устойчивыми состояниями: A0 — младший разряд, A15 — старший разряд. Буфер данных служит для двустороннего обмена информацией (данными) между МП и внешними устройствами по 8-разрядной шине данных *ШД* D0...D7. Он представляет собой двунаправленную трехстабильную схему: D0 — младший разряд, D7 — старший разряд. Шина управления включает в себя сигналы приема и выдачи синхронизирующих и управляющих сигналов между МП и внешними устройствами. К сигналам управления

относятся сигналы управления шиной данных, прямым доступом к памяти, прерываниями, асинхронной передачей данных, а к сигналам синхронизации — фазовые импульсы *Ф1*, *Ф2*, СИНХРО, СБРОС.

Сигналы управления *ШД*: РАЗРЕШЕНИЕ ПРИЕМА — ПМ (DBIN) информации в МП с *ШД* (активное состояние — высокий потенциал) и выходной сигнал РАЗРЕШЕНИЕ ЗАПИСИ — $\overline{ЗП}$ ($\overline{WR}$) информации с МП в память (активное состояние — низкий потенциал).

Сигналы управления прямым доступом к памяти: входной сигнал ЗАХВАТ — ЗХ (HOLD) (активное состояние —высокий потенциал) обеспечивает запрос на прямой доступ к памяти со стороны внешнего устройства и выходной сигнал ПОДТВЕРЖДЕНИЕ ЗАХВАТА — ПЗХ (HLDA) разрешает допуск внешнего устройства к *ШД* и *ША*, при этом *ШД* и *ША* микропроцессора переходят в высокоомное состояние.

Сигналы управления прерыванием: входной сигнал ЗАПРОС ПРЕРЫВАНИЯ — ЗПР (INT) (активное состояние — высокий потенциал), который воспринимается МП только при наличии выходного сигнала РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ — РПР (INTE). Если сигнал ЗПР воспринимается МП, то он переходит на подпрограмму обслуживания, при этом на выходе РПР устанавливается низкий уровень, и запросы прерывания больше не воспринимаются, а МП после завершения подпрограммы обслуживания возвращается к тому месту прерванной программы, откуда был совершен переход.

Сигнал управления асинхронной передачей данных: входной сигнал ГОТОВ — ГТ (READY) (активное состояние — высокий потенциал) разрешает работу МП и указывает на готовность внешнего устройства к обмену информацией с МП. Сигнал ГТ позволяет синхронизировать обмен информацией с внешними устройствами более низкого быстродействия. При этом внешнее устройство при обращении к нему МП выдает на вход ГТ низкий потенциал и останавливает работу МП. Одновременно МП выдает сигнал ОЖИДАНИЯ — ОЖ (WAIT) (высокий потенциал), подтверждающий вход МП в режим ожидания. Работа МП возобновляется при появлении высокого потенциала на входе ГТ. Сигнал ГТ позволяет организовать работу МП по машинным циклам, покомандно или с остановом по требуемому адресу МП.

Сигналы синхронизации: входные сигналы фазовых неперекрывающихся импульсов *Ф1*, *Ф2*. Выходной сигнал синхронизации СИНХРО — С (SYNC) определяет начало каждого машинного цикла команды, во время действия которого через *ШД* выдается информация состояния МП. Входной сигнал СБРОС — *R* (RESET) обеспечивает начальную установку МП, т. е. прерывается выполнение операций в МП, *СК* и *РК*, а внутренние триггеры «Разрешения прерывания» и «Подтверждения захвата» устанавливаются в нулевое состояние. При этом во время действия сигнала R (его длительность должна быть не менее трех периодов *Ф1*), *ШД* и *ША* находятся в высокоомном состоянии, выходные сигналы управления переходят в неактивное состояние, а содержимое РОН, аккумулятора и регистра признаков остаются без изменения.

Процесс выполнения команд в МП состоит из двух частей: подготовительной и исполнительной. В подготовительной части принимаются команды (состоящие из 1, 2 или 3 байтов) из ЗУ

и размещаются на регистрах МП. В исполнительной части дешифрируется код команды.

Команды МП выполняются по машинным циклам (М1...М5). В зависимости от типа команда выполняется за один — пять МЦ. В каждом МЦ микропроцессор обращается (чтение или запись) к ЗУ или УВВ. Во время машинного цикла М1 из памяти извлекается код операции очередной команды. МЦ М2...М5 используются для повторных обращений к памяти с целью извлечения или записи операндов. Каждый МЦ выполняется по машинным тактам (МТ). МЦ может содержать три, четыре или пять МТ (рис. 10.7).

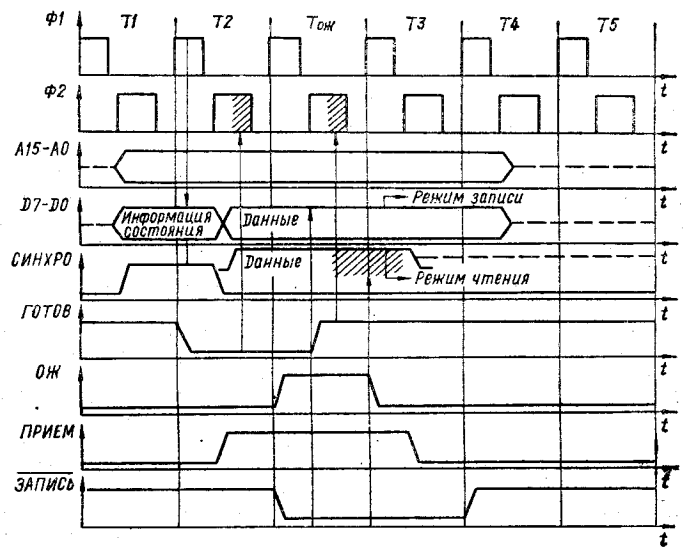


Рис. 10.7

Число тактов в цикле определяется кодом выполняемой команды. Длительность каждого такта равна периоду тактовой частоты и определяется как интервал времени между двумя тактовыми импульсами *Ф1*. В начале каждого МЦ по фронту *Ф2* МП вырабатывает сигнал СИНХРО. Для синхронизации МП с памятью или внешними устройствами он может находиться в состояниях ОЖИДАНИЕ, ЗАХВАТ, ПРЕРЫВАНИЕ, которые инициируются внешними сигналами, и ОСТАНОВ, который инициируется программно по команде HLT.

На рис. 10.8 изображена схема алгоритма работы МП КР580ВМ80А, показывающая последовательность перехода от такта к такту в МЦ и влияние внешних сигналов ГОТОВ, ЗАХВАТ и ЗАПРОС ПРЕРЫВАНИЯ на выполнение МЦ. При выполнении команды в такте *Т1* содержимое *СК* (указателя стека или РОН) через регистр адреса и буфер адреса выдается на *ША*. В этом же такте МП выдает на *ШД* по фронту *Ф2* информацию о состоянии МП, которая указывает тип выполняемого машинного цикла (см. рис. 10.7).

Из такта *T1* МП переходит в такт *T2*, в котором содержимое *СК* увеличивается на единицу, при этом содержимое регистра адреса остается неизменным до такта *T4*. В такте *T2* по заднему фронту *Ф2* анализируются входные сигналы ГОТОВ, ЗАХВАТ шин и сигналы состояния ПОДТВЕРЖДЕНИЕ ОСТАНОВА ($П_{ост}$). Если на входе ГОТОВ в такте *T2* по фронту *Ф1* устанавливается напряжение логического «0» или вырабатывается сигнал состояния $П_{ост}$, то МП переходит в состояния соответ-

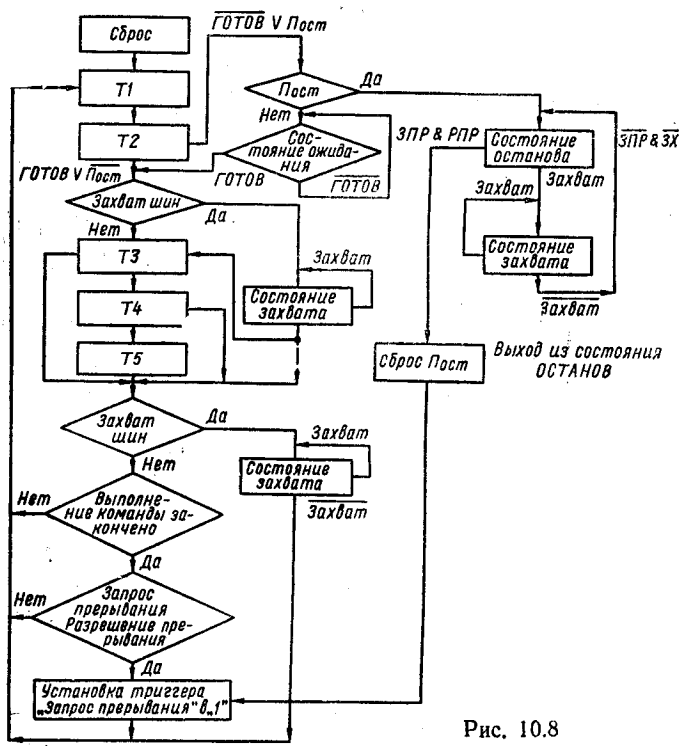


Рис. 10.8

ственно ожидания ($T_{ож}$) или останова ($T_{ост}$). В состоянии ожидания МП находится до тех пор, пока на вход ГОТОВ не будет подано напряжение логической «1». В состоянии ОСТАНОВ МП выполняет действия, указанные при описании этого состояния. Если на входе ЗАХВАТ шин напряжение логической «1», то после окончания такта *T3* МП переходит в состояние ЗАХВАТ шин и выполняет действия, указанные при описании этого состояния.

После выполнения такта *T3* цикл может закончиться или МП перейдет в такт *T4* После выполнения такта *T4* цикл также может закончиться либо МП перейдет в такт *T5*. После выполнения такта *T5* цикл заканчивается. Число тактов в цикле зависит от кода выполняемой команды. В течение тактов *T4* и *T5* выполня-

ются внутренние операции МП. В это время не происходит обращения к ЗУ, УВВ и не требуется подачи внешних управляющих сигналов.

В конце машинного цикла анализируется сигнал ЗАХВАТ шин. Если на вход ЗАХВАТ шин подается напряжение логической «1», то продолжается выполнение состояния ЗАХВАТ шин. В противном случае анализируется окончание выполнения команды. Если команда не закончена, то МП начинает выполнять следующий МЦ с такта *T1*. В последнем такте последнего цикла команды по фронту *Ф2* анализируется сигнал на входе ЗАПРОС ПРЕРЫВАНИЯ. Напряжение логической «1», поданное на вход ЗАПРОС ПРЕРЫВАНИЯ, установит внутренний триггер «Запрос прерывания» в состояние «1», если на выходе РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ имеется напряжение логической «1». При этом МП начинает выполнять действия, указанные при описании состояния ПРЕРЫВАНИЕ. Если на входе ЗАПРОС ПРЕРЫВАНИЯ существует напряжение логического «0», то МП начинает выполнять первый цикл следующей команды с такта *T1*.

Самая длинная команда МП — команда обмена стека XTHL. В результате выполнения этой команды содержимое РОН *HL* обменивается с содержимым двух ячеек стека. В циклах *M2* и *M3* извлекаются два верхних байта из стека, которые загружаются в регистры временного хранения *WZ*. В циклах *M4* и *M5* содержимое регистров *HL* загружается в стек и, наконец, в тактах *T4* и *T5* последнего цикла *M5* содержимое регистров *WZ* пересылается в регистры *HL*.

Действия, выполняемые МП в конкретном МЦ, определяются 8-разрядной информацией состояния, которая выдается через канал данных в такте *T1* каждого МЦ. Эту информацию можно использовать для выработки сигналов обращения к ЗУ, УВВ и для организации различных режимов работы МП. Для запоминания информации состояния ее заносят во внешний 8-разрядный регистр состояния по сигналу совпадения импульса *Ф1* и сигнала СИНХРО (см. рис. 10.7) либо только по сигналу СИНХРО.

Наименование, назначение сигналов состояния и их соответствие разрядам канал данных:

$П_{пр}$ [D0] — подтверждение прерывания; активный сигнал «1» используется для стробирования команды RST в МП из блока прерывания;

$\overline{ЗП}$, $\overline{ВЫВ}$ [D1] — запись-вывод; активный сигнал «0» свидетельствует о том, что в данном цикле выдается информация из МП в ЗУ или УВВ;

СТЕК [D2] — операция со стеком; активный сигнал «1» свидетельствует о том, что на адресном канале установлено содержимое указателя стека;

$П_{ост}$ [D3] — подтверждение останова; активный сигнал «1» свидетельствует о том, что МП перешел в состояние ОСТАНОВ;

ВЫВОД [D4] — вывод; активный сигнал «1» свидетельствует о том, что на адресном канале установлен номер внешнего устройства и информация выводится из регистра результата (аккумулятора) на УВВ;

M1 [D5] — выборка кодов команды; активный сигнал «1» свидетельствует о том, что в МП принимается первый байт команды;

ВВОД [D6] — ввод; активный сигнал «1» свидетельствует о том, что на адресном канале установлен номер ВУ и вводится информация из УВВ в аккумулятор;

ЧТЕНИЕ [D7] — чтение; активный сигнал «1» свидетельствует о чтении данных из ЗУ.

Машинные циклы можно разбить на десять типов в зависимости от сочетания сигналов состояния, выдаваемых в одном цикле: 1) цикл М1 — выборка кода команды или прием первого байта команды в РК; 2) цикл ЧТЕНИЕ ЗУ — чтение ЗУ по содержимому *СК* или по содержимому одного из регистров *BC*, *DE*, *HL*; 3) цикл ЗАПИСЬ в ЗУ — запись по содержимому одного из регистров *BC*, *DE*, *HL*; 4) цикл ЧТЕНИЕ СТЕКА — чтение ЗУ по адресу, формирующимся указателем стека; 5) цикл ЗАПИСЬ В СТЕК — запись в ЗУ по адресу, формирующимся указателем стека; 6) цикл ВВОД — ввод информации в аккумулятор из ВУ; 7) цикл ВЫВОД — вывод информации из аккумулятора во ВУ; 8) цикл ПРЕРЫВАНИЕ — прием кода команды RST из блока прерывания; 9) цикл ОСТАНОВ; 10) цикл ПРЕРЫВАНИЕ в режиме ОСТАНОВ — прием кода команды при выводе МП из режима ОСТАНОВ по прерыванию.

Соответствие сигналов состояния типам машинных циклов приведено в табл. 10.4.

Первым МЦ выполнения команды является цикл выборки кода команды — М1 (рис. 10.9). Он начинается фронтом фазы

Таблица 10.4

Машинный цикл	Разряд канала данных							
	E0	D1	D2	D3	D4	D5	D6	D7
	$П_{пр}$	$\overline{ЗП.\ ВЫВ}$	СТЕК	$П_{ост}$	ВЫВОД	М1	ВВОД	ЧТЕНИЕ
Выбор кода команды М1	0	1	0	0	0	1	0	1
Чтение ЗУ	0	1	0	0	0	0	0	1
Запись в ЗУ	0	0	0	0	0	0	0	0
Чтение стека	0	1	1	0	0	0	0	1
Запись в стек	0	0	1	0	0	0	0	0
Чтение ВУ (ввод)	0	1	0	0	0	0	1	0
Запись по ВУ (вывод)	0	0	0	0	1	0	0	0
Подтверждение прерывания	1	1	0	0	0	1	0	0
Подтверждение останова	0	1	0	1	0	0	0	1
Подтверждение прерывания в режиме ОСТАНОВ	1	1	0	1	0	1	0	0

Ф1 в такте *Т1*. Сигнал СИНХРО вырабатывается по фронту *Ф2* в такте *Т1*. Информация состояния выдается на шины данных по *Ф2* в такте *Т1* и должна быть записана во внешний регистр состояния по сигналу совпадения фазы *Ф1* и СИНХРО. Поскольку цикл М1 является циклом выборки кода команды, только два разряда канала находятся в активном состоянии логической

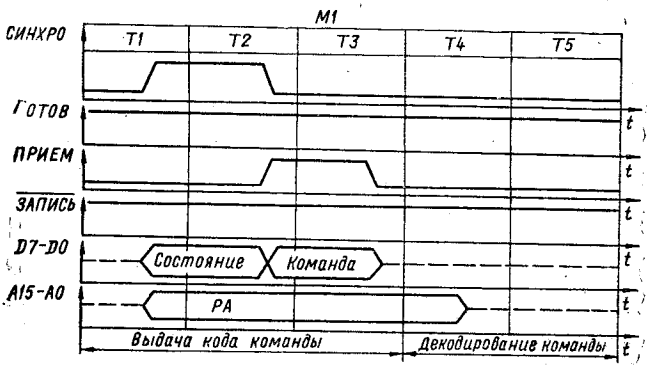


Рис. 10.9

«1». Разряд D5 (М1) указывает, что выбирается первый байт команды; D7 (ЧТЕНИЕ) указывает, что байт команды выбирается из внешней памяти. Содержимое *СК* выдается на шины адреса по *Ф2* в такте *Т1*. Информация на адресных шинах остается неизменной по *Ф2* такта *Т4*. Сигналы состояния сбрасываются по фронту *Ф2* в такте *Т2*, и канал данных переключается для приема байта команды из внешней памяти МП. Код команды прини-

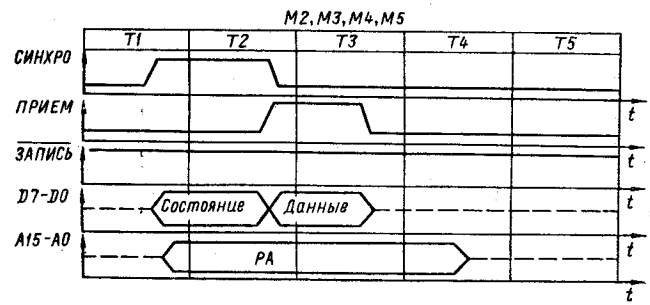


Рис. 10.10

мается в *РК* в такте *Т3*. Декодирование кода команды происходит в тактах *Т4* и *Т5*. При работе с медленнодействующей памятью сигнал ГОТОВ можно использовать для введения задержки между тактами *Т2* и *Т3*, чтобы обеспечить требуемое время выборки информации из памяти.

Цикл ЧТЕНИЕ ЗУ идентичен циклу выборки команды за исключением того, что сигнал состояния М1 не вырабатывается и байт информации заносится в один из внутренних регистров МП, а не в *РК* (рис. 10.10). Циклы ЧТЕНИЕ — М2...М5. Един-

ственным сигналом состояния, выдаваемым на шинах данных логической «1», является сигнал состояния D7 (ЧТЕНИЕ).

Цикл ЗАПИСЬ В ЗУ отличается от цикла ЧТЕНИЕ тем, что информация, выданная из МП, записывается в указанную ячейку памяти (рис. 10.11). МЦ ЗАПИСИ может быть любой из циклов М2...М5, в котором выполняется операция записи. Временные соотношения сигналов подобны циклам ВЫБОРКА КОМАНДЫ и ЧТЕНИЕ за исключением информации на шинах данных. В циклах ЧТЕНИЕ и ВЫБОРКА КОМАНДЫ микропроцессор переводит канал данных в режим приема, а в цикле ЗАПИСЬ по *Ф2* такта *Т2* на шины данных выдается информация из МП для записи во внешнюю память и хранится состояние в течение всего такта *Т3*. Шины данных переходят в высокоим-

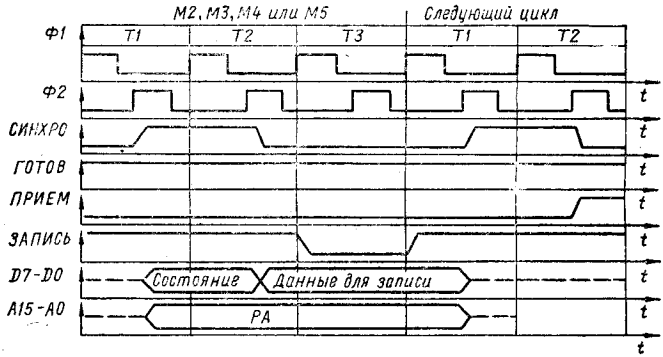


Рис. 10.11

педансное состояние по фронту *Ф2* в такте, следующем за тактом *Т3* (обычно это такт *Т1* следующего МЦ).

МЦ ЧТЕНИЕ СТЕКА и ЗАПИСЬ В СТЕК идентичны МЦ ЧТЕНИЕ ЗУ и ЗАПИСЬ В ЗУ за исключением дополнительного сигнала состояния СТЕК, выдаваемого по шине D2 в такте *Т1*. Сигнал состояния СТЕК можно реализовать для организации отдельно адресуемой области памяти объемом до 64 Кбайт. Если под стековую память отведена область основной оперативной памяти, то сигнал СТЕК можно использовать для формирования сигнала запрета выбора нестековой области памяти при выполнении циклов ЧТЕНИЕ СТЕКА и ЗАПИСЬ В СТЕК.

Циклы ЧТЕНИЕ ВУ и ЗАПИСЬ В ВУ могут наступить только при выполнении команд соответственно IN и OUT (рис. 10.10 и 10.11). Отличие заключается в том, что на канал данных в цикле *М3* в такте *Т1* выдается сигнал состояния D6 (ВВОД) для цикла ЧТЕНИЕ ВУ, а на D7 и сигнал D4 (ВЫВОД) для цикла ЗАПИСЬ В ВУ.

МЦ ПОДТВЕРЖДЕНИЕ ОСТАНОВА может наступить только в результате выполнения команды HLT (рис. 10.12). Этот цикл характеризуется сигналами D7 (ЧТЕНИЕ) и D3 ($П_{ост}$). Остальные сигналы неактивны.

Состояния микропроцессора. При работе МП может находиться в состояниях ОЖИДАНИЕ, ЗАХВАТ, ОСТАНОВ и ПРЕРЫВАНИЕ. Эти состояния синхронизированы МТ, а дли-

тельность определяется внешними сигналами ГОТОВ, ЗАХВАТ, ЗАПРОС ПРЕРЫВАНИЯ. Состояние ОЖИДАНИЕ используется для введения задержки между тактами *Т2* и *Т3* при обращении к медленнодействующей памяти или УВВ, состояние ЗАХВАТ — для отключения адресных шин и шин данных независимо от МП. Состояние ОСТАНОВ необходимо для про-

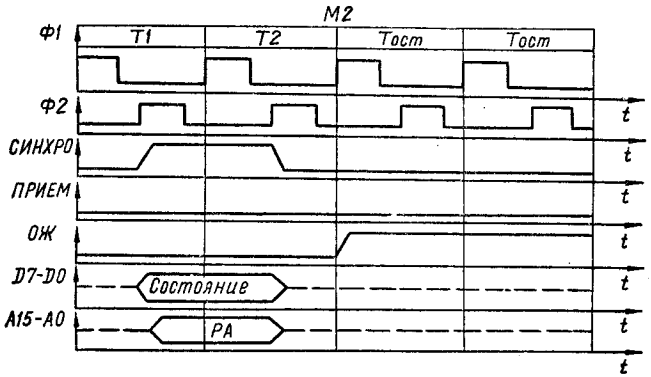


Рис. 10.12

граммного прекращения выполнения программы с помощью команды HLT, состояние ПРЕРЫВАНИЕ — для прерывания выполнения текущей программы по сигналу ЗПР и перехода по команде RST на подпрограмму обслуживания.

Состояние ОЖИДАНИЕ можно использовать для увеличения времени обращения МП к медленнодействующим ЗУ или

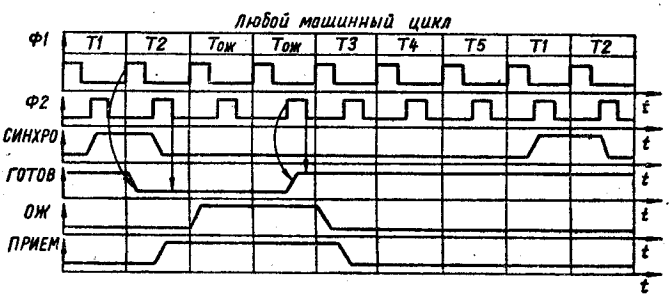


Рис. 10.13

УВВ, остановки выполнения любого МЦ в команде, чтобы проконтролировать информацию на каналах адреса и данных (обычно при отладке устройства и программы). Состояние ОЖИДАНИЕ всегда длится целое число МТ $T_{ож}$ между *Т2* и *Т3*.

На рис. 10.13 показана временная диаграмма МЦ ЧТЕНИЕ ЗУ с состоянием ОЖИДАНИЕ, включенными между тактами *Т2* и *Т3*, МП переходит в состояние ОЖИДАНИЕ при подаче на вход ГОТОВ по фронту *Ф1* в такте *Т2* напряжения логического «0». Анализируется сигнал ГОТОВ по спаду *Ф2* в такте

T2 ($T_{ож}$). Причем сигнал ГОТОВ должен устанавливаться в состояние логического «0» не менее, чем за 120 нс до спада *Ф2*. В МП системе, использующей такты $T_{ож}$, при обращении к памяти и УВВ время выполнения команды определяется следующим образом: $t_к = Tn + T\Sigma K_i$, где T — период тактовой частоты; n — число тактов, требуемое для выполнения команды; K_i — число тактов ожидания в i-м цикле выполнения команды.

Состояние ЗАХВАТ характеризуется тем, что МП заканчивает выполнение текущего МЦ команды и переводит шины адреса и данных в высокоимпедансное состояние. Это позволяет ВУ, например контроллеру прямого доступа к памяти, управлять шинами без участия МП. Состояние ЗАХВАТ инициируется подачей по фронту *Ф1* напряжения логической «1» на вход

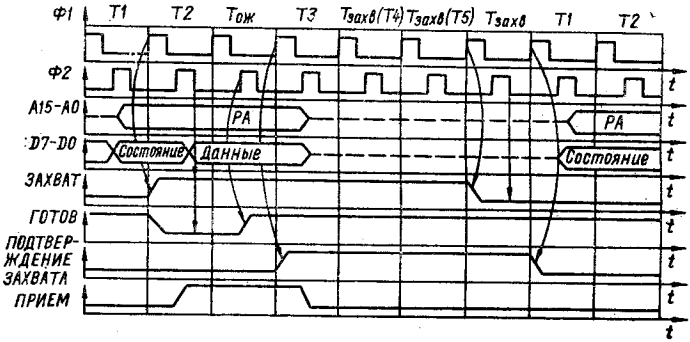


Рис. 10.14

ЗАХВАТ. Занесение внешнего сигнала ЗАХВАТ на внутренний триггер «Захвата» происходит по *Ф2*, если МП выполняет такт *T2* (или такт $T_{ож}$) и сигнал на входе ГОТОВ в состоянии логической «1» (при условии, что в предыдущем цикле внешний сигнал ЗАПРОС ПРЕРЫВАНИЯ не поступил на внутренний триггер «Запроса прерывания»).

При поступлении сигнала ЗАХВАТ на внутренний триггер «Захвата» МП выполняет следующие действия: 1) оканчивает выполнение текущего МЦ; 2) переходит в состояние ЗАХВАТ и подтверждает это выдачей сигнала ПОДТВЕРЖДЕНИЕ ЗАХВАТА. Если текущий МЦ — ЧТЕНИЕ, то сигнал ПОДТВЕРЖДЕНИЕ ЗАХВАТА выдается по фронту *Ф1* в такте *T3*, а для МЦ записи сигнал ПЗХ выдается по фронту фазы *Ф1*, следующем за тактом *T3* (это может быть такт *T4* текущего МЦ или первый такт состояния ЗАХВАТ). Шины адреса и данных переходят в высокоимпедансное состояние (отключаются от системных шин и не оказывают влияния на информацию, которая пересылается по каналам адреса и данных); 3) после окончания действия сигнала ЗАХВАТ (сигнал переходит в состояние логического «0» по фронту *Ф1*) МП выполняет следующий МЦ прерванной команды или первый цикл новой команды с такта *T1*.

На рис. 10.14 изображена временная диаграмма перевода МП в состояние ЗАХВАТ в цикле ЧТЕНИЕ. Для избежания сбоя в работе МП при вводе его в состояние ЗАХВАТ необходимо, чтобы сигнал ЗАХВАТ был установлен в состояние логи-

ческой «1» за время не менее, чем 120 нс до спада фазы *Ф2*. Это требование можно выполнить синхронизацией внешнего сигнала ЗАХВАТ фронтом фазы *Ф1* или фазы *Ф2*. При этом сигнал ПОДТВЕРЖДЕНИЕ ЗАХВАТА выдается по фазе *Ф1* в такте *Т3*. Шины данных и адреса переходят в высокоомное состояние по фронту фазы *Ф2* в такте *Т3*. Если текущий МЦ содержит такты *Т4* и *Т5*, то они выполняются, хотя МП и перешел в состояние ЗАХВАТ (в состоянии ЗАХВАТ блокируется запуск машинного цикла с такта *Т1*, но не блокируется выработка тактов в текущем цикле). Сброс внешнего сигнала ЗАХВАТ можно синхронизировать фронтом фазы *Ф1*.

На рис. 10.15 показана временная диаграмма перехода МП в состояние ЗАХВАТ в цикле ЗАПИСЬ. В этом случае состояние ЗАХВАТ наступает по фазе *Ф1* в такте, следующем за тактом *Т3*. Шина данных переходит в высокоимпедансное состояние по фазе *Ф2* такта, следующего за тактом *Т3*.

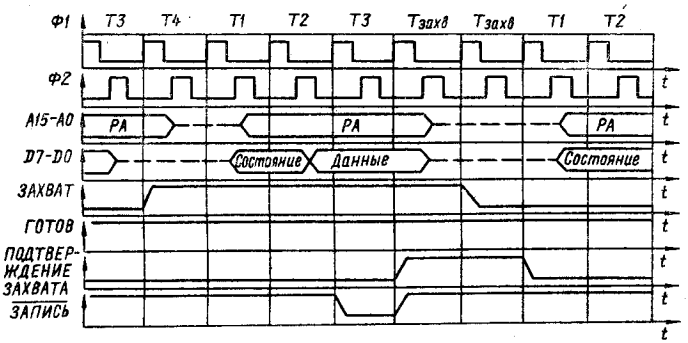


Рис. 10.15

В систему команд МП введена команда HLT (ОСТАНОВ), при выполнении которой прекращается выполнение программы и МП переходит в состояние ОСТАНОВ. Состояние ОСТАНОВ ($T_{ост}$) характеризуется тем, что шины адреса и данных переходят в высокоимпедансное состояние и на выходе ОЖИДАНИЕ устанавливается напряжение логической «1». В это состояние МП переходит при выполнении команды HLT в МЦ ПОДТВЕРЖДЕНИЕ ОСТАНОВА после такта *Т2* (рис. 10.16).

Состояние ОСТАНОВ отличается от состояния ОЖИДАНИЕ следующим: состояние ОСТАНОВ инициируется выполнением команды HLT, а состояние ОЖИДАНИЕ — подачей напряжения логического «0» на вход ГОТОВ; такты $T_{ож}$ можно ввести между тактами *Т2* и *Т3* в любом МЦ, а такты $T_{ост}$ — только в МЦ ПОДТВЕРЖДЕНИЕ ОСТАНОВА, которым является МЦ *М2*, если команда, принятая в цикле *М1*, расшифрована как HLT. Состояние ОСТАНОВ можно прерывать в трех случаях (рис. 10.17).

1. При подаче на вход ЗАХВАТ напряжения логической «1». При этом МП переходит в состояние ЗАХВАТ, о чем свидетельствует сигнал ПОДТВЕРЖДЕНИЕ ЗАХВАТА, но сигнал ОЖИДАНИЕ остается в состоянии логической «1». После окончания состояния ЗАХВАТА МП переходит в состояние ОСТАНОВ.

2. При подаче на вход ЗАПРОС ПРЕРЫВАНИЯ напряжения логической «1», если до команды HLT выполнялась команда EI, разрешившая прерывание, т. е. триггер «Запроса прерывания» был установлен в «1». В этом случае МП выполняет МЦ подтверждения прерывания при останове в соответствии с описанием состояний прерывания.

3. При подаче на вход СБРОС напряжения логической «1» МП начинает работу с такта *T1* цикла M1 (*СК* устанавливается в состояние «0»).

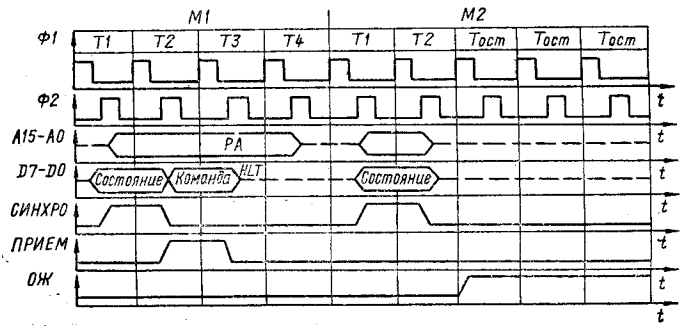


Рис. 10.16

Временная диаграмма соотношения входных сигналов ЗАХВАТ и ЗАПРОС ПРЕРЫВАНИЯ в состоянии ОСТАНОВ показана на рис. 10.18. Если МП находится в состоянии ЗАХВАТ, то поступление сигнала ЗАПРОС ПРЕРЫВАНИЯ на внутренний триггер «Запроса прерывания» блокируется. Если внутренний триггер «Запроса прерывания» установлен в «1», то поступление сигнала ЗАХВАТ на внутренний триггер «Захвата» бло-

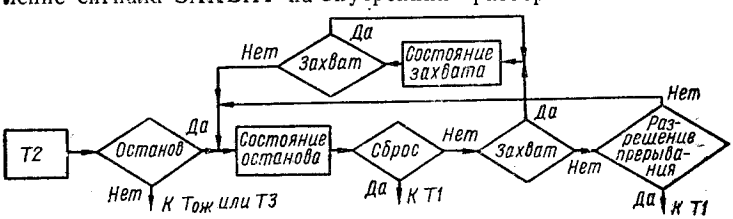


Рис. 10.17

кируется на время, пока внутренний триггер «Запроса прерывания» не сбросится в состояние «0», т. е. до окончания выполнения только первого цикла — цикла чтения команды RST. По окончании состояния ЗАХВАТ завершается выполнение прерванной подпрограммы обслуживания прерывания.

Система прерываний. МП содержит схемы, позволяющие ВУ прервать выполнение текущей программы и перейти на выполнение новой программы, которая называется подпрограммой обслуживания прерывания. Когда выполнение подпрограммы обслуживания заканчивается, МП переходит к выполнению основной программы с команды, которая должна выполняться, если бы не произошло прерывания (рис. 10.19,*а*).

Для перехода на подпрограмму обслуживания прерывания выполняются следующие действия: 1) внешний сигнал ЗАПРОС ПРЕРЫВАНИЯ поступает на схему прерывания, если прерывание разрешено, сигнал РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ находится в состоянии логической «1»; 2) заканчивается выполнение текущей команды; 3) выдается сигнал состояния ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ, сигнализирующий, что МП принял запрос прерывания и готов обработать запрос прерывания; 4) сбрасывается в состояние логический «0» выходной сигнал РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ; 5) ВУ, выдавшее сигнал ЗАПРОС ПРЕРЫВАНИЯ, обеспечивает выдачу на шину данных команды, определяющей адрес подпрограммы обслуживания;

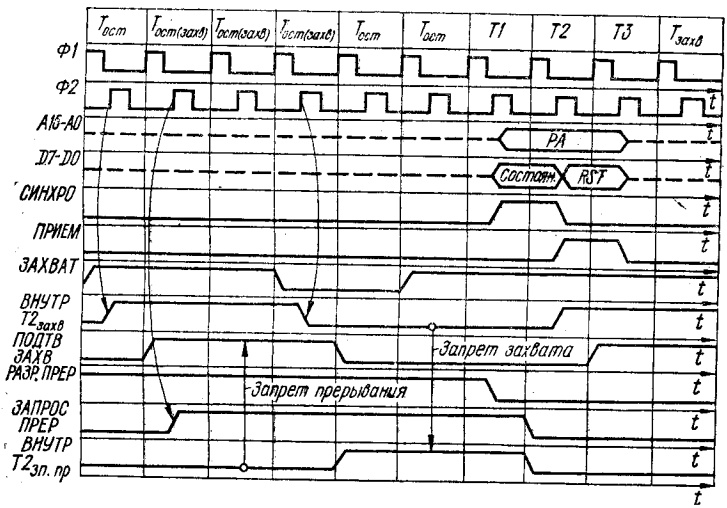


Рис. 10.18

6) содержимое *СК* запоминается в стеке; 7) адрес новой команды подпрограммы обслуживания записывается в *СК*.

После окончания обслуживания подпрограммы прерывания МП возвращается в основную программу следующим образом: 1) выполняется команда возврата RET; 2) адрес команды основной программы, перед которой произошло прерывание, выбирается из стека и используется для выборки команды; 3) адрес команды инкременируется, и результат засылается в *СК*.

В МП используются три сигнала управления прерыванием: 1) РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ — выходной сигнал устанавливается в состояние «1» по команде EI (разрешение прерывания), показывающий готовность МП к прерыванию; 2) ЗАПРОС ПРЕРЫВАНИЯ — входной сигнал, используемый для подачи запроса прерывания; 3) ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ — сигнал состояния, являющийся реакцией МП на сигнал ЗАПРОС ПРЕРЫВАНИЯ.

После обнаружения логической «1» на входе ЗАПРОС ПРЕРЫВАНИЯ МП заканчивает выполнение текущей команды и выполняет МЦ ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ. При этом выходной сигнал РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ сбра-

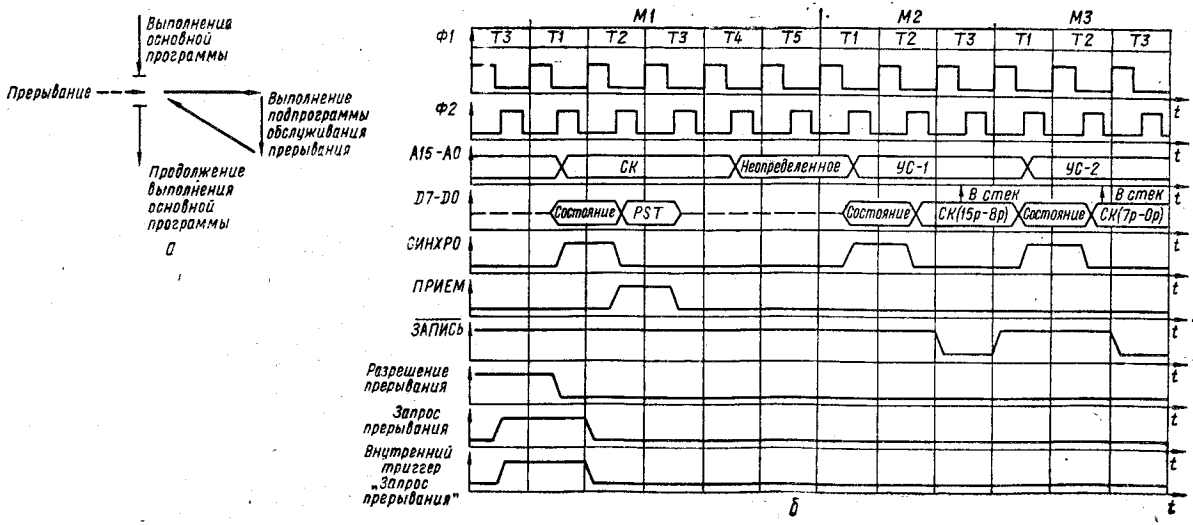

Выполнение основной программы
Прерывание
Выполнение подпрограммы обслуживания прерывания
Продолжение выполнения основной программы
а
M1
M2
M3
Ф1
T3
T1
T2
T3
T4
T5
T1
T2
T3
T1
T2
T3
Ф2
A15-A0
СК
Неопределенное
УС-1
УС-2
D7-D0
Состояние
PST
Состояние
СК(15р-8р)
Состояние
СК(7р-0р)
В стек
В стек
СИНХРО
ПРИЕМ
ЗАПИСЬ
Разрешение прерывания
Запрос прерывания
Внутренний триггер „Запрос прерывания"
t
б

Рис. 10.19

сывается в состояние логического «0» по фронту *Ф2* такта *Т1*, но может быть сброшен также подачей на вход СБРОС напряжения логической «1» или выполнением команды DI (запрет прерывания). Входной сигнал ЗАПРОС ПРЕРЫВАНИЯ может быть установлен в состояние логического «0» в любой момент после начала МЦ ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ, но обязательно до выполнения команды EI. Если ЗАПРОС ПРЕРЫВАНИЯ не будет установлен в состояние логического «0», то появляется возможность прерывания, т. е. выполнения нового цикла ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ. Для сброса внешнего сигнала ЗАПРОС ПРЕРЫВАНИЯ можно использовать сигнал состояния ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ, который выдается на D0 в такте *Т1* по фазе *Ф2*.

Машинный цикл ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ характеризуется наличием напряжения логической «1» на выходах D0 ($П_{пр}$) и D5 (*М1*) при выдаче информации состояния (рис. 10.19,*б*). Переход на подпрограмму обслуживания прерывания инициируется внешним сигналом ЗАПРОС ПРЕРЫВАНИЯ, который должен установиться в состояние логической «1» за время не менее, чем 120 нс до спада фазы *Ф2* в последнем такте последнего МЦ текущей команды. Следующим выполняется цикл ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ, в котором принимается один байт информации от ВУ. Принятый байт записывается в *РК* и интерпретируется как код команды.

В МЦ ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ выполняются следующие действия:

1) выходной сигнал РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ сбрасывается в состояние логического «0» по фронту *Ф2* в такте *Т1*, и блокируется поступление новых запросов прерывания; 2) содержимое *СК* выдается на шины адреса, но не инкрементируется в этом цикле; 3) сигнал состояния ЧТЕНИЕ не выдается; 4) ВУ, выдавшее адрес прерывания, во время действия сигнала ПРИЕМ, обеспечивает подачу команды прерывания на шину данных путем стробирования сигналом состояния $П_{пр}$ (D0 = 1) и воспринимается МП как слово данных, которое принимается *РК* в такте *Т3*.

Обычно команда, формируемая прерывающим устройством, является командой перехода на подпрограмму обслуживания. В системе команд МП такой командой является команда RST, формат которой 11AAA111, где AAA — вектор прерывания. Эта команда представляет собой однобайтную инструкцию перехода на подпрограмму и обеспечивает сохранение содержимого *СК* в стеке и занесение в *СК* начального адреса подпрограммы 0000 0000 00AA A000. Для выбора одного из восьми фиксированных адресов перехода на подпрограмму прерывания используется трехбитовый вектор AAA. В табл. 10.5 приведены восемь векторов команды прерывания и соответствующие адреса.

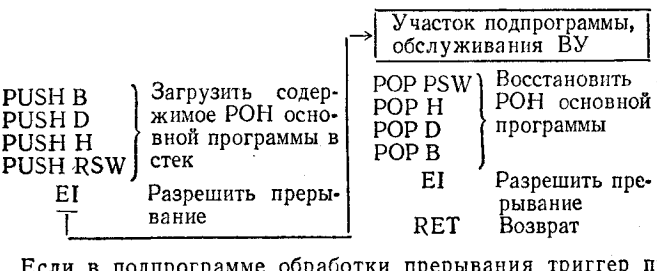
В восьми байтах памяти, отведенных для каждого прерывания, можно записать начало подпрограммы обслуживания прерывания. Последней выполняемой командой в этой подпрограмме обычно является команда возврата RET из подпрограммы, которая передает управление прерванной программе.

Для продолжения основной программы подпрограмма обслуживания прерывания должна сохранять, а затем восстанавливать содержимое всех регистров, используемых в основной программе. Так как прерывание сбрасывает внутренний триггер

Таблица 10.5

Команда	Вектор прерывания ААА	Адрес подпрограммы прерывания		
		десятичный	шестнадцатеричный	восьмеричный
RST0	000	0000	0000	000 000
RST1	001	0008	0008	000 010
RST2	010	0016	0010	000 020
RST3	011	0024	0018	000 030
RST4	100	0032	0020	000 040
RST5	101	0040	0028	000 050
RST6	110	0048	0030	000 060
RST7	111	0056	0038	000 070

прерывания в «0», по окончании подпрограммы обслуживания прерывания необходимо установить командой EI триггер прерывания в «1», чтобы дать возможность МП обрабатывать следующие запросы на прерывание. Таким образом, подпрограмма обслуживания прерывания может иметь следующий вид:



Если в подпрограмме обработки прерывания триггер прерывания установлен командой EI в состояние «1», то выполнение этой подпрограммы, в свою очередь, можно прервать запросом на прерывание от другого ВУ. Максимальное количество прерываний описанным способом равно восьми.

Временная диаграмма выполнения команды RST показана на рис. 10.19,*б*. Цикл *M1* — это цикл подтверждения прерывания. В этом цикле ВУ передает в МП команду RST, которая дешифрируется в тактах *T4* и *T5*, и содержимое *УС* декрементируется. В циклах *M2* и *M3* содержимое *СК* записывается в память по указателю стека, а в *СК* формируется адрес подпрограммы обслуживания из разрядов, содержащих вектор прерывания. ВУ имеет возможность подавать в МП не только команду RST, но и команду CALL $\langle A_1 \rangle \langle A_2 \rangle$. Получив команду CALL, МП автоматически переходит в режим ввода двух байт адреса $\langle A_1 \rangle$ и $\langle A_2 \rangle$ в циклах *M2* и *M3*. После этого сохраняется содержимое *СК* в стеке и МП обращается к началу подпрограммы обслуживания. Начало подпрограммы указано во втором и третьем байтах ($\langle A_1 \rangle \langle A_2 \rangle$) команды CALL.

Если МП находится в состоянии ЗАХВАТ или ОЖИДАНИЕ, то прерывание не воспринимается, но МП может перейти в эти состояния из цикла ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ.

Машинный цикл ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ ПРИ ОСТАНОВЕ выполняется при поступлении ЗАПРОСА ПРЕРЫВАНИЯ в то время, когда МП находится в состоянии ОСТАНОВ. Машинный цикл ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ ПРИ ОСТАНОВЕ аналогичен машинному циклу ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ. Единственное отличие заключается в том, что по фазе *Ф2* в такте *Т1* на шинах данных выдается дополнительный сигнал — состояния ПОДТВЕРЖДЕНИЕ ОСТАНОВА.

Система команд МП. Микро-ЭВМ на основе серии КР580 представляет собой массив программно доступных регистров,

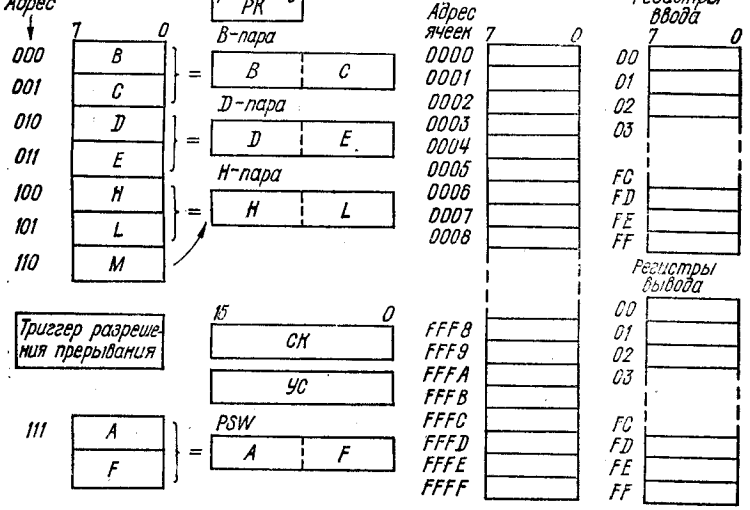


Рис. 10.20

над содержимым которых выполняются указанные в командах операции (рис. 10.20). Эффективность программы определяется полнотой системы команд МП и умением применять эту систему команд при решении поставленной задачи. Программа состоит из последовательности команд, размещенных в памяти, которую можно представить как последовательность ячеек размером один байт. МП последовательно байт за байтом считывает содержимое ячеек памяти, адрес которых указывает счетчик команд, дешифрирует их и выполняет считанную команду.

Особенностью программной модели (рис. 10.20) МП является возможность программного объединения 8-битовых РОН *B, C, D, E, H, L* в 16-битовые регистровые пары *BC, DE, HL*. Эти пары могут хранить 16-битовые операнды или выступать в качестве указателей памяти. Основным указателем памяти служит *HL*-пара и ячейка памяти, адрес которой определяется содержимым этой пары и обозначается *M*. Программно доступными являются также 16-битовые счетчик команд, указатель

стека, слово-состояние AF—PSW (аккумулятор *A* и регистр признаков *F*) и триггер «Разрешения прерывания», а также признаки переноса *C*, знака *S*, нулевого результата *Z* и четности *P*. МП можно адресовать до 256 регистров ввода, 256 регистров вывода, а также 64 Кбайт памяти.

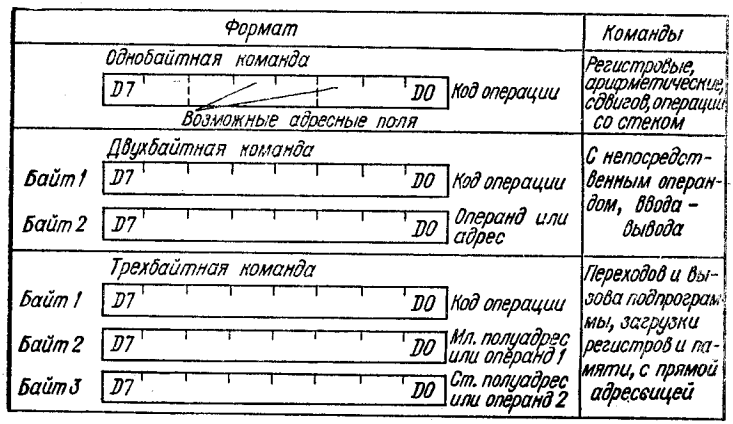


Рис. 10.21

Команда МП может содержать один, два или три байта (рис. 10.21). Первый байт команды всегда содержит код операции, а в остальных двух байтах размещаются операнды или адреса операндов. Адресация может быть прямая, непосредственная, регистровая, косвенная.

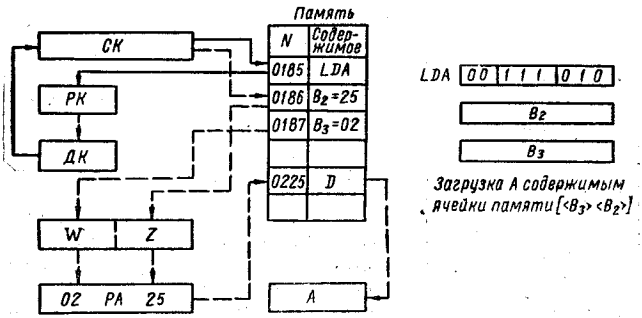


Рис. 10.22

При прямой адресации исполнительный адрес операнда содержится непосредственно в команде (рис. 10.22). В первом байте расположен код операции, а во втором и в третьем байтах — адрес операнда. С помощью прямой адресации можно обращаться к любой ячейке памяти, однако многобайтные команды занимают много места в памяти, а их выполнение требует многократного обращения к памяти.

При непосредственной адресации во втором или во втором и в третьем байтах команды непосредственно содержится операнд (данные) или адрес, заносимый в РОН (рис. 10.23). Этот способ адресации используется при работе с константами.

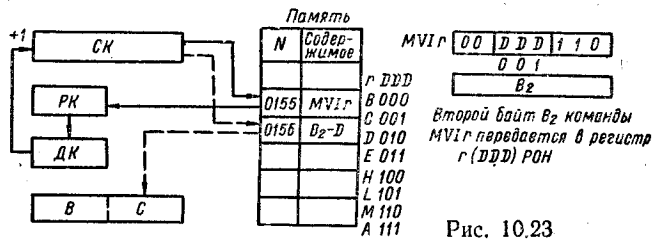


Рис. 10.23

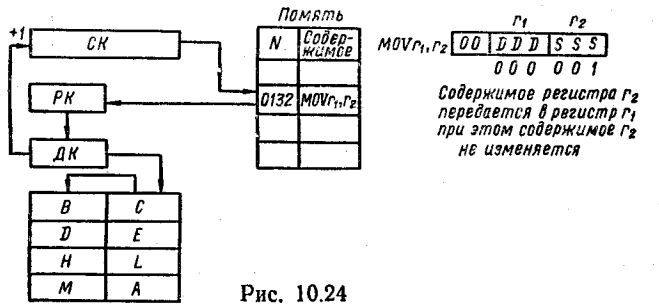


Рис. 10.24

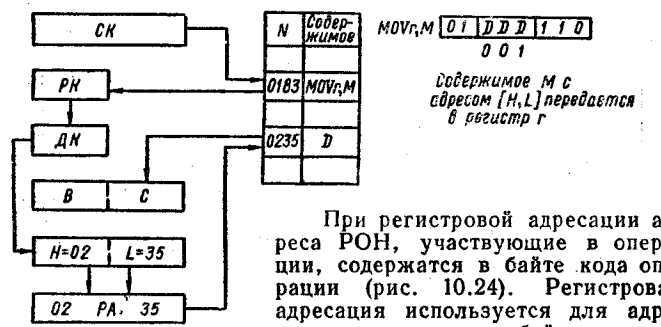


Рис. 10.25

При регистровой адресации адреса РОН, участвующие в операции, содержатся в байте кода операции (рис. 10.24). Регистровая адресация используется для адресации одно- или двухбайтовых слов, содержащихся в РОН.

При косвенной адресации в однобайтной команде указывается адрес, по которому хранится исполнительный адрес операнда (рис. 10.25). Исполнительный адрес операнда, т. е. указатель памяти, располагается в одной из пар РОН *BC*, *DE*, *HL*, код которых указывается по команде. Косвенную адресацию широко используют в циклических программах, например при обработке регулярных структур данных типа массивов. В указатель памяти сначала загружается базовый (начальный) адрес массива, а переход к последовательным элементам масси-

ва осуществляется с помощью инкремента указателя памяти. В командах загрузки стека и извлечения из стека также применяют косвенную адресацию. При этом исполнительным адресом является указатель стека.

Базовая система команд МП КР580ИК80А содержит 111 команд (табл. 10.6). Классификация команд МП по формату, архитектурным и функциональным признакам показана на рис. 10.26. В зависимости от функционального назначения систему команд МП можно разделить на следующие группы: команды передачи (пересылки) данных, команды арифметических и логических операций, команды управления программой, команды стека, команды управления МП [25; 48; 59; 70].

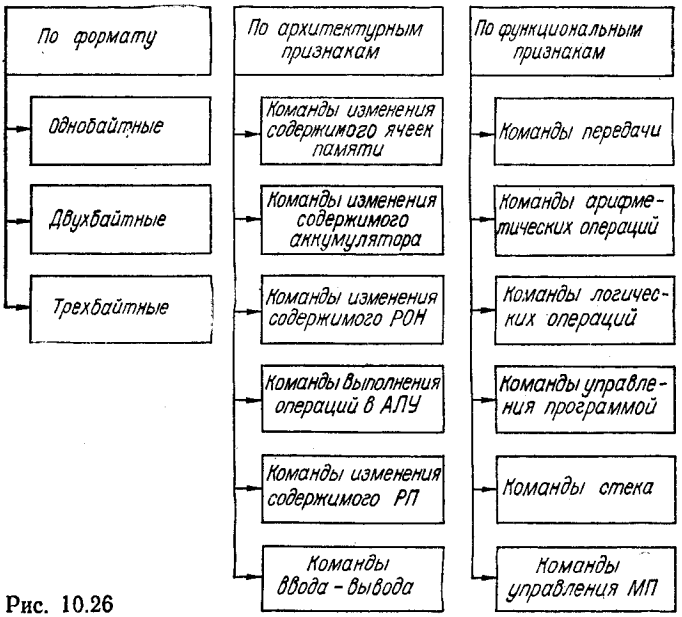


Рис. 10.26

Команды передачи (пересылки) данных обеспечивают двусторонний обмен информацией между внешней памятью и блоком РОН или между различными регистрами блока РОН. Группа команд передачи содержит следующие команды:

пересылки байта данных MOV DS между регистрами *B*, *C*, *D*, *E*, *H*, *L*, т. е. содержимое регистра-источника *S* пересылается в регистр-получатель *D* без изменения содержимого регистра-источника *S* или между РОН и памятью MOV M, r (r → M по адресу *HL*), MOV r, M (M [H, L] → r);

непосредственной загрузки РОН MVI r (⟨B_2⟩ → r) или ячеек памяти MVI M (⟨B_2⟩ → M [H, L]);

прямой загрузки аккумулятора LDA ([⟨B_3⟩ ⟨B_2⟩] → A) или по адресу в паре регистров *BC*, *DE*, LDAX ([BC] → A);

прямого запоминания содержимого аккумулятора STA (A → → [⟨B_3⟩ ⟨B_2⟩]) или по адресу в паре регистров *BC*, *DE* STAX (A → [BC]);

команду загрузки регистров LHLD ([⟨B_3⟩ ⟨B_2⟩] → L, [⟨B_3⟩ ⟨B_2⟩ + 1] → *H*) и команду запоминания содержимого HL SHLD (L → [⟨B_3⟩ ⟨B_2⟩], H → [⟨B_3⟩ ⟨B_2⟩ + 1]);

непосредственной загрузки регистровых пар *B*, *D*, *H* и *УС* SXI B (⟨B_2⟩ → C, ⟨B_3⟩ → B);

загрузки указатели стека SPHL (HL → УС) и счетчика команд PCHL (HL → СК);

команду обмена между регистрами *HL* и *DE* XCHG (H ↔ D, L ↔ E), и команду обмена XTHL содержимого регистров *HL* и содержимого *M* с адресом [УС + 1, УС].

Команды арифметических операций позволяют выполнять операции сложения и вычитания 8-битовых операндов. В этой группе команд адресуется только один операнд, второй операнд находится в аккумуляторе, при этом результат сложения загружается в аккумулятор, и признаки устанавливаются в регистре признаков F. Операции умножения и деления, а также операции с другими форматами данных реализуются подпрограммами, что приводит к значительному уменьшению производительности МП. Группа арифметических команд содержит следующие команды:

сложения содержимого аккумулятора с содержимым РОН ADD r (A + r → A) или ячейки памяти M [H, L] ADD M (A + + M [H, L] → A) или со вторым байтом ⟨B_2⟩ команды ADI (A + ⟨B_2⟩ → A);

сложения с переносом ADC r (A + r + C → A); ADC M (A + + M [H, L] + C → A), ACI (A + ⟨B_2⟩ + C → A), что позволяет реализовать сложение многобайтных чисел;

вычитания из содержимого аккумулятора байта данных РОН SUB r (A—r) → A или ячейки памяти M [H, L] SUB M (A — —M [H, L] → A) или второго байта ⟨B_2⟩ команды SUI (A— — ⟨B_2⟩ → A);

вычитания с заемом SBB r (A—r—C → A), SBB M (A — — M [H, L] — C → A), SBI (A — ⟨B_2⟩) — C → A), что позволяет реализовать вычитание многобайтных чисел;

сложения двухбайтовых слов DAD rp (HL, rp → HL), при этом суммируется содержимое регистра *HL* с содержимым регистровой пары rp РОН *BC*, *DE*, *HL*, *УС*, а результат заносится в регистр *HL* и устанавливается бит переноса *C* (см. рис.10.5,*б*);

инкремента (увеличения) / декремента (уменьшения) на единицу содержимого РОН *A*, *B*, *C*, *D*, *E*, *H*, *L*, памяти *M* INR r (r + 1 → r) / DCR r(r — 1 → r) или регистровой пары *BC*, *DE*, *HL*, *УС* INX rp(rp + 1 → rp) / DCXr (rp — 1 → rp);

команду десятичной коррекции аккумулятора DAA, которая используется при сложении двоично-десятичных чисел. Коррекция осуществляется следующим образом: 1) если младшие 4 бита аккумулятора представляют число больше 9 или признак $C' = 1$, то к *A* прибавляется число 06_{10}, в противном случае содержимое аккумулятора не изменяется; 2) если старшие 4 бита аккумулятора представляют число больше 9 и если признак $C = 1$, то к старшим 4 битам прибавляется число 6_{10}. Следует заметить, что команда DAA не корректирует результат двоичного вычитания.

Команды логических операций выполняют операции булевой алгебры, при этом указанные команды адресуют только один операнд, второй операнд находится в аккумуляторе, туда же загружается результат операции. По результату операции модифицируются состояния всех признаков регистра *F*, кроме при-

Таблица 10.6

№ п/п	Обозначение команды	Наименование команды	Код	Признаки					Число				Содержание команды
				C	Z	S	R	C′	Байт	Циклов	Тактов	Время, мкс	
													Команды передачи
1	MOV r_1, r_2	Пересылка из r_2 в r_1	1DS	—	—	—	—	—	1	1	5	2,5	$(r_2) \rightarrow (r_1)$. Содержимое r_2 передается в r_1, при этом содержимое r_2 не изменяется
2	MOV M ,r	Пересылка из r в память *M*	16S	—	—	—	—	—	1	2	7	3,5	$(r) \rightarrow (M)$. Содержимое r передается в M с адресом (H, L)
3	MOV r, M	Пересылка из памяти M в r	1D6	—	—	—	—	—	1	2	7	3,5	$(M) \rightarrow (r)$. Содержимое M с адресом (H, L) передается в регистр r
4	MVI r	Посылка в r	0D6	—	—	—	—	—	2	2	7	3,5	$<B_2> \rightarrow (r)$. Второй байт команды B_2 передается в регистр r
5	MVI M	Посылка в M	066	—	—	—	—	—	2	3	10	5,0	$<B_2> \rightarrow (M)$. Второй байт команды B_2 передается в ячейку памяти M с адресом (H, L)
6	LDA	Загрузка A (прямая)	072	—	—	—	—	—	3	4	13	6,5	$[<B_3> <B_2>] \rightarrow (A)$. Содержимое ячейки памяти, адрес которой определяется 2-м и 3-м байтами команды помещается в A
7	STA	Загрузка M (прямая)	062	—	—	—	—	—	3	4	13	6,5	$(A) \rightarrow [<B_3><B_2>]$. Содержимое A помещается в M, адрес которой определяется 2-м и 3-м байтами команды
8	LHLD	Загрузка (H) и (L) содержимым M	052	—	—	—	—	—	3	5	16	8,0	$[<B_3><B_2>] \rightarrow (L)$, $[<B_3><B_2>+1] \rightarrow (H)$. Загрузить регистры H и L из M с адресом, указанным в байтах B_2 и B_3 команды

9	SHLD	Запоминание H и L по адресу [<B_3><B_2>]	042	—	—	—	—	—	3	5	16	8,0	(L) → [<B_3><B_2>], (H) → [<B_3><B_2>+1]. Содержимое H и L записывается в M по адресу, указанному в B_2 и B_3 команды
10	LXI B	Загрузка B и C	001	—	—	—	—	—	3	3	10	5,0	<B_2>→(C), <B_3>→(B). Содержимое 2-го байта команды помещается в C, а 3-го байта команды — в B
11	LXI D	Загрузка D и E	021	—	—	—	—	—	3	3	10	5,0	<B_2> → (E), <B_3> → (D). Содержимое 2-го байта команды помещается в E, а 3-го байта команды — в D
12	LXI H	Загрузка H и L	041	—	—	—	—	—	3	3	10	5,0	<B_2>→(L), <B_3>→(H). Содержимое 2-го байта команды помещается в L, а 3-го байта команды — в H
13	LXI SP	Загрузка УС	061	—	—	—	—	—	3	3	10	5,0	<B_2> → $(УС)_{мл}$, <B_3> → $(УС)_{ст}$. Содержимое 2-го байта команды помещается в младшие разряды УС, а 3-го байта — в старшие разряды УС
14	LDAX B	Посылка в A содержимого M с адресом [(B) (C)]	012	—	—	—	—	—	1	2	7	3,5	[(B) (C)] → (A). Содержимое M, адрес которого определяется содержимым регистров B и C, записывается в A
15	LDAX D	Посылка в A содержимого M с адресом [(D) (E)]	032	—	—	—	—	—	1	2	7	3,5	[(D) (E)] → (A). Содержимое M, адрес которого определяется содержимым регистров D и E, записывается в A
16	STAX B	Запоминание A по адресу [(B) (C)]	002	—	—	—	—	—	1	2	7	3,5	(A→[(B) (C)]. Содержимое A записывается в M, адрес которой определяется содержимым B и C
17	STAX D	Запоминание A по адресу [(D) (E)]	022	—	—	—	—	—	1	2	7	3,5	(A)→[(D) (E)]. Содержимое A записывается в M, адрес которой определяется содержимым D и E

Продолжение табл. 10.6

№ п/п	Обозначение команды	Наименование команды	Код	Признаки					Число				Содержание команды
				C	Z	S	P	C'	Байт	Циклов	Тактов	Время, мкс	
18	XCHG	Обмен содержимым регистров	353	—	—	—	—	—	1	1	4	2,0	(H) ↔ (D), (L) ↔ (E). Происходит обмен между содержимым регистров H, D и L, E
19	XTHL	Обмен содержимым регистров и стека	343	—	—	—	—	—	1	5	18	9,0	(L) ↔ [УС], (H) ↔ [УС+1]. Происходит обмен между содержимым регистров H, L и содержимым М с адресом [УС+1], [УС]
20	SPHL	Загрузка УС	371	—	—	—	—	—	1	1	5	2,5	(H), (L) → (УС). Содержимое H и L помещается в указатель стека. Содержимое H и L не изменяется
21	PCHL	Загрузка СК	351	—	—	—	—	—	1	1	5	2,5	(H), (L) → (СК). Содержимое H помещается в старшие разряды СК, а L — в младшие разряды СК. Содержимое H и L не изменяется.
		Команды арифметические											
22	ADD r	Сложение A и r	20S	+	+	+	+	+	1	1	4	2,0	(A) + (r) → (A). Содержимое A и r складывается, результат помещается в A
23	ADD M	Сложение A и M	206	+	+	+	+	+	1	2	7	3,5	(A) + (M) → (A). Содержимое A и M складывается, результат помещается в A
24	ADC r	Сложение A и r с переносом	21S	+	+	+	+	+	1	1	4	2,0	(A) + (r) + (C) → (A). Содержимое A, r и триггера переноса C складывается, результат помещается в A

25	ADC M	Сложение A и M и с переносом	216	+	+	+	+	+	1	2	7	3,5	(A) + (M) + (C) → (A). Содержимое A, M и триггера переноса C складывается, результат помещается в A
26	ADI	Сложение A со 2-м байтом команды	306	+	+	+	+	+	2	2	7	3,5	(A) + <B_2> → (A). Содержимое A и 2-го байта команды <B_2> складывается, результат помещается в A
27	ACI	Сложение A со 2-м байтом команды и с переносом	316	+	+	+	+	+	2	2	7	3,5	(A) + <B_2> + (C) → (A). Содержимое A, 2-го байта команды <B_2> и триггера переноса C складывается, результат помещается в A
28	DAD B	Сложение регистров B и C с регистрами H и L	011	+	—	—	—	—	1	3	10	5,0	(B) (C) + (H) (L) → (H) (L). Содержимое в регистрах B и C складывается с H и L. Результат заносится в H и L. Содержимое A не изменяется
29	DAD D	Сложение регистров D и E с регистрами H и L	031	+	—	—	—	—	1	3	10	5,0	(D) (E) + (H) (L) → (H) (L). Содержимое в регистрах D и E складывается с H и L. Результат заносится в H и L. Содержимое A не изменяется
30	DAD H	Двойное сложение регистров H и L	051	+	—	—	—	—	1	3	10	5,0	(H) (L) + (H) (L) → (H) (L). Содержимое в регистрах H и L складывается с самим собой. Результат заносится в H и L. Содержимое A не изменяется
31	DAD SP	Сложение УС с регистрами H и L	071	+	—	—	—	—	1	3	10	5,0	(H) (L) + (УС) → (H) (L). Содержимое в регистрах H и L складывается с УС. Результат заносится в H и L. Содержимое A не изменяется
32	SUB r	Вычитание из A регистра r	22	+	+	+	+	+	1	1	4	2,0	(A) — (r) → (A). Содержимое r вычитается из содержимого A, результат помещается в A

Продолжение табл. 10.6

№ п/п	Обозначение команды	Наименование команды	Код	Признаки					Число				Содержание команды
				C	Z	S	P	C′	Байт	Циклов	Тактов	Время, мкс	
33	SUB M	Вычитание из A памяти M	226	+	+	+	+	+	1	1	7	3,5	(A) — (M) → (A). Содержимое M вычитается из содержимого A, результат помещается в A
34	SBB г	Вычитание из A регистра г с заемом	23S	+	+	+	+	+	1	1	4	2,0	(A) — (г) — (C) → (A). Содержимое г и триггера переноса C вычитается из A, результат помещается в A
35	SBB M	Вычитание из A памяти M с заемом	236	+	+	+	+	+	1	2	7	3,5	(A) — (M) — (C) → (A). Содержимое M и триггера переноса C вычитается из A, результат помещается в A
36	SBI	Вычитание 2-го байта из A с переносом	336	+	+	+	+	+	2	2	7	3,5	(A) — <B_2> — (C) → (A). Содержимое 2-го байта команды <B_2> и триггера переноса C вычитается из A, результат помещается в A
37	SUI	Вычитание 2-го байта команды из A	326	+	+	+	+	+	2	2	7	3,5	(A) — <B_2> → (A). Содержимое 2-го байта команды <B_2> вычитается из A, результат помещается в A
38	DCR г	Декремент регистра г	5	—	+	+	+	+	1	1	5	2,5	(г) — 1 → (г). Содержимое регистра г уменьшается на 1
39	DCX B	Декремент регистров B, C	013	—	—	—	—	—	1	1	5	2,5	(B) (C) — 1 → (B) (C). Содержимое регистров B, C уменьшается на 1
40	DCX D	Декремент регистров D, E	033	—	—	—	—	—	1	1	5	2,5	(D) (E) — 1 → (D) (E). Содержимое регистров D, E уменьшается на 1

41	DCX H	Декремент регистров H, L	053	—	—	—	—	—	1	1	5	2,5	(H)(L) — 1 → (H)(L). Содержимое регистров H, L уменьшается на 1
42	DCX SP	Декремент УС	073	—	—	—	—	—	1	1	5	2,5	(УС) — 1 → (УС). Содержимое УС уменьшается на 1
43	DCR M	Декремент памяти	065	—	+	+	+	+	1	3	10	5,0	(M) — 1 → (M). Содержимое памяти M уменьшается на 1
44	INR r	Инкремент регистра r	0D4	—	+	+	+	+	1	1	5	2,5	(r) + 1 → (r). Содержимое регистра r увеличивается на 1
45	INX B	Инкремент регистров B, C	003	—	—	—	—	—	1	1	5	2,5	(B)(C) + 1 → (B)(C). Содержимое регистров B, C увеличивается на 1
46	INX D	Инкремент регистров D, E	023	—	—	—	—	—	1	1	5	2,5	(D)(E) + 1 → (D)(E). Содержимое регистров D, E увеличивается на 1
47	INX H	Инкремент регистров H, L	043	—	—	—	—	—	1	1	5	2,5	(H)(L) + 1 → (H)(L). Содержимое регистров H, L увеличивается на 1
48	INX SP	Инкремент УС	063	—	—	—	—	—	1	1	5	2,5	(УС) + 1 → (УС). Содержимое УС увеличивается на 1
49	INR M	Инкремент памяти	064	—	+	+	+	+	1	3	10	5,0	(M) + 1 → (M). Содержимое памяти M увеличивается на 1
50	DAA	Десятичная настройка аккумулятора	047	+	+	+	+	+	1	1	4	2,0	Десятичная коррекция аккумулятора с образованием двух 4-разрядных двоично-десятичных чисел

Команды логические

51	ANA r	Логическое умножение A и r	24S	0	+	+	+	—	1	1	4	2,0	(A) ∧ (r) → (A). Содержимое A и r поразрядно логически умножается, результат помещается в A
52	ANA M	Логическое умножение A и M	246	0	+	+	+	—	1	2	7	3,5	(A) ∧ (M) → (A). Содержимое A и M поразрядно логически умножается, результат помещается в A

Продолжение табл. 10.6

№ п/п	Обозначение команды	Наименование команды	Код	Признаки					Число				Содержание команды
				C	Z	S	P	C'	Байт	Циклов	Тактов	Время, мкс	
53	ANI	Логическое умножение A и <B_2>	346	0	+	+	+	—	2	2	7	3,5	(A)∧<B_2>→(A). Содержимое A и <B_2> поразрядно логически умножается, результат помещается в A
54	ORA r	Логическое сложение A и r	26S	0	+	+	+	—	1	1	4	2,0	(A)∨(r)→(A). Содержимое A и r поразрядно логически складывается, результат помещается в A
55	ORA M	Логическое сложение A и M	266	0	+	+	+	—	1	2	7	3,5	(A)∨(M)→(A). Содержимое A и M поразрядно логически складывается, результат помещается в A
56	ORI	Логическое сложение A и <B_2>	366	0	+	+	+	—	2	2	7	3,5	(A)∨<B_2>→(A). Содержимое A и <B_2> поразрядно логически складывается, результат помещается в A
57	XRA r	Отрицание равнозначности A и r	25S	0	+	+	+	—	1	1	4	2,0	(A)⊕(r)→(A). Производится поразрядное отрицание равнозначности содержимых A и r, результат помещается в A
58	XRA M	Отрицание равнозначности A и M	256	0	+	+	+	—	1	2	7	3,5	(A)⊕(M)→(A). Производится поразрядное отрицание равнозначности содержимых A и M, результат помещается в A
59	XRI	Отрицание равнозначности A и ⟨B_2⟩	356	0	+	+	+	—	2	2	7	3,5	(A)⊕<B_2>→(A). Производится поразрядное отрицание равнозначности содержимых A и B, результат помещается в A

													Команды инвертирования и установки переноса
60	CMA	Ирвертирование A	057	—	—	—	—	—	1	1	4	2,0	$(\overline{A}) \to (A)$. Содержимое A инвертируется
61	CMC	Инвертирование переноса C	077	+	—	—	—	—	1	1	4	2,0	$(\overline{C}) \to (C)$. Содержимое триггера переноса C инвертируется
62	STC	Установка переноса C	067	+	—	—	—	—	1	1	4	2,0	$1 \to (C)$. Триггер переноса устанавливается в «1»
													Команды сравнения
63	CMP r	Сравнение A и r	27S	+	+	+	+	+	1	1	4	2,0	$(A) = (r)$. Содержимые A и r поразрядно сравнивается путем вычитания из A, оставляя A неизменным. Если $A=r$, $Z=1$; $A<r$, $C=1$
64	CMP M	Сравнение A и M	276	+	+	+	+	+	1	2	7	3,5	$(A) = (M)$. Содержимые A и M поразрядно сравниваются путем вычитания M из A, оставляя A неизменным
65	CPI	Сравнение A и $<B_2>$	376	+	+	+	+	+	2	2	7	3,5	$(A) = <B_2>$. Содержимые A и $<B_2>$ поразрядно сравниваются вычитанием $<B_2>$ из A, оставляя A неизменным
													Команды сдвига
66	RLC	Сдвиг влево циклический	007	+	—	—	—	—	1	1	4	2,0	$A_{m+1} \leftarrow A_m$, $A_0 \leftarrow A_7$, $C \leftarrow A_7$. Циклический сдвиг содержимого A на один разряд влево
67	RRC	Сдвиг вправо циклический	017	+	—	—	—	—	1	1	4	2,0	$A_{m+1} \to A_m$, $A_0 \to A_7$, $A_0 \to C$. Циклический сдвиг содержимого A на один разряд вправо

Продолжение табл. 10.6

№ п/п	Обозначение команды	Наименование команды	Код	Признаки					Число				Содержание команды
				C	Z	S	P	C′	Байт	Циклов	Тактов	Время, мкс	
68	RAL	Сдвиг влево с переносом	027	+	—	—	—	—	1	1	4	2,0	$A_{m+1} \leftarrow A_m$, $C \leftarrow A_7$, $A_0 \leftarrow C$. Циклический сдвиг содержимого A на один разряд влево через перенос
69	RAR	Сдвиг вправо с переносом	037	+	—	—	—	—	3	3	10	5,0	$A_{m+1} \rightarrow A_m$, $C \rightarrow A_7$, $A_0 \rightarrow C$. Циклический сдвиг содержимого на один разряд вправо через перенос
		Команды перехода, вызова, возврата											
70	JMP	Переход	303	—	—	—	—	—	3	3	10	5,0	$\langle B_2 \rangle \langle B_3 \rangle \rightarrow$ СК. Производится безусловный переход к команде, по адресу, указанному в $\langle B_2 \rangle$ и $\langle B_3 \rangle$ команды JMP
71	JNZ	Переход, если Z=0	302	—	—	—	—	—	3	3	10	5,0	Если Z=0, то $\langle B_2 \rangle \langle B_3 \rangle \rightarrow$ (СК), иначе (СК) = (СК) + 3
72	JZ	Переход, если Z=1	312	—	—	—	—	—	3	3	10	5,0	Если Z=1, то $\langle B_2 \rangle \langle B_3 \rangle \rightarrow$ (СК), иначе (СК) = (СК) + 3
73	JNC	Переход, если C=0	322	—	—	—	—	—	3	3	10	5,0	Если C=0, то $\langle B_2 \rangle \langle B_3 \rangle \rightarrow$ (СК), иначе (СК) = (СК) + 3
74	JC	Переход, если C=1	332	—	—	—	—	—	3	3	10	5,0	Если C=1, то $\langle B_2 \rangle \langle B_3 \rangle \rightarrow$ (СК), иначе (СК) = (СК) + 3
75	JPO	Переход, если P=0	342	—	—	—	—	—	3	3	10	5,0	Если P=0, то $\langle B_2 \rangle \langle B_3 \rangle \rightarrow$ (СК), иначе (СК) = (СК) + 3

76	JPE	Переход, если P=1	352	—	—	—	—	—	3	3	10	5,0	Если P=1, то <B₂><B₃> → (СК), иначе (СК) = (СК) + 3
77	JP	Переход, если S=0	362	—	—	—	—	—	3	3	10	5,0	Если S=0, то <B₂><B₃> → (СК), иначе (СК) = (СК) + 3
78	JM	Переход, если S=1	372	—	—	—	—	—	3	3	10	5,0	Если S=1, то <B₂><B₃> → (СК), иначе (СК) = (СК) + 3
79	CALL	Вызов	315	—	—	—	—	—	3	5	17	8,5	<B₂><B₃> → (СК); (СК) → [УС — 1] [УС — 2]; (УС) = (УС) — 2. Производится безусловный переход к команде, по адресу <B₂><B₃> команды CALL
80	CNZ	Вызов, если Z=0	304	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если Z=0, то <B₂><B₃>→(СК), (СК)→[УС—1] [УС—2], (УС) = (УС— — 2), иначе (СК) = (СК) + 3
81	CZ	Вызов, если Z=1	314	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если Z=1, то действия аналогичные как для команды 80
82	CNC	Вызов, если C=0	324	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если C=0, то действия аналогичные как для команды 80
83	CC	Вызов, если C=1	334	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если C=1, то действия аналогичные как для команды 80
84	CPO	Вызов, если P=0	344	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если P=0, то действия аналогичные как для команды 80
85	CPE	Вызов, если P=1	354	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если P=1, то действия аналогичные как для команды 80
86	CP	Вызов, если S=0	364	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если S=0, то действия аналогичные как для команды 80
87	CM	Вызов, если S=1	374	—	—	—	—	—	3	3/5	11/17	5,5/8,5	Если S=1, то действия аналогичные как для команды 80

Продолжение табл. 10.6

№ п/п	Обозначение команды	Наименование команды	Код	Признаки					Число				Содержание команды
				C	Z	S	P	C′	Байт	Циклов	Тактов	Время, мкс	
88	RET	Возврат	311	—	—	—	—	—	1	3	11	5,5	[УС+1] [УС] → (СК), (УС) = (УС)+2. Безусловный возврат к команде по адресу в верхней паре ячеек стека. Содержимое УС увеличивается на 2
89	RNZ	Возврат, если Z=0	300	—	—	—	—	—	1	1/3	5/11	2,5/5,5	Если Z=0, то [УС+1] [УС]→(СК), (УС) = (УС)+2, иначе (СК) = (СК)+1
90	RZ	Возврат, если Z=1	310	—	—	—	—	—	1	1/3	5/11	2,5/5,5	Если Z=1, то действия аналогичные как для команды 89
91	RNC	Возврат, если C=0	320	—	—	—	—	—	1	1/3	5/11	2,5/5,5	Если C=0, то действия аналогичные как для команды 89
92	RC	Возврат, если C=1	330	—	—	—	—	—	1	1/3	5/11	2,5/5,5	Если C=1, то действия аналогичные как для команды 89
93	RPO	Возврат, если P=0	340	—	—	—	—	—	1	1/3	5/11	2,5/5,5	Если P=0, то действия аналогичные как для команды 89
94	RPE	Возврат, если P=1	350	—	—	—	—	—	1	1/3	5/11	2,5/5,5	Если P=1, то действия аналогичные как для команды 89

95	RP	Возврат, если S=0	360	—	—	—	—	—	1	$\frac{1}{3}$	$\frac{5}{11}$	$\frac{2,5}{5,5}$	Если S=0, то действия аналогичные как для команды 89
96	RM	Возврат, если S=1	370	—	—	—	—	—	1	$\frac{1}{3}$	$\frac{5}{11}$	$\frac{2,5}{5,5}$	Если S=1, то действия аналогичные как для команды 89

Команды стека

97	PUSH B	Ввод в стек B и C	305	—	—	—	—	—	1	3	11	5,5	(B)→[УС—1], (C)→[УС—2] (УС)=(УС—2). Содержимое помещается в память с адресом [УС—1], а C→[УС—2]. Содержимое УС уменьшается на 2
98	PUSH D	Ввод в стек D и E	325	—	—	—	—	—	1	3	11	5,5	(D)→[УС—1], (E)→[УС—2], (УС)=(УС—2) Содержимое помещается в память с адресом [УС—1], а E→[УС—2]. Содержимое УС уменьшается на 2
99	PUSH H	Ввод в стек H и L	345	—	—	—	—	—	1	3	11	5,5	(H)→[УС—1], (L)→[УС—2], (УС)=(УС—2). Содержимое H помещается в память с адресом [УС—1], а L→[УС—2]. Содержимое УС уменьшается на 2
100	RUSH PSW	Ввод в стек A и F	365	—	—	—	—	—	1	3	11	5,5	(A)→[УС—1], (F)→[УС—2], (УС)=(УС—2). Содержимое A помещается в память с адресом [УС—1], а F→[УС—2]. Содержимое УС уменьшается на 2

Продолжение табл. 10.6

№ п/п	Обозначение команды	Наименование команды	Код	Признаки					Число				Содержание команды
				C	Z	S	P	C′	Байт	Циклов	Тактов	Время, мкс	
101	POP B	Вывод из стека B и C	301	—	—	—	—	—	1	3	10	5,0	[УС]→(C), [УС+1]→(B), (УС)=[УС+2] Содержимое памяти с адресом [УС] помещается в C, а с адресом [УС+1]—в B. Содержимое УС увеличивается на 2
102	POP D	Вывод из стека D и E	321	—	—	—	—	—	1	3	10	5,0	[УС]→(E), [УС+1]→(D), (УС)=(УС+2). Содержимое памяти с адресом [УС] помещается в E, а с адресом [УС+1] — в D. Содержимое УС увеличивается на 2
103	POP H	Вывод из стека H и L	341	—	—	—	—	—	1	3	10	5,0	[УС]→(L), [УС+1]→(H), (УС)=(УС+2). Содержимое памяти с адресом [УС] помещается в *L*, а с адресом [УС+1] — в H. Содержимое УС увеличивается на 2
104	POP PSW	Вывод из стека A и F	361	—	—	—	—	—	1	3	10	5,0	[УС]→(F), [УС+1]→(A), (УС)=(УС)+2. Содержимое памяти с адресом [УС] помещается в *F*, а с адресом [УС+1] — в *A*. Содержимое УС увеличивается на 2

Команды ввода-вывода и управления МП

105	IN	Ввод данных	333	—	—	—	—	—	2	3	10	5,0	(ВУ)→(А). Содержимое ВУ по адресу <B_2> команды помещается в регистр А
106	OUT	Вывод данных	323	—	—	—	—	—	2	3	10	5,0	(А)→(ВУ). Содержимоое А помещается в ВУ по адресу <B_2> команды
107	RST	Повторный запуск	3А7	—	—	—	—	—	1	3	11	5,5	(СК)→[УС—1] [УС—2], 00000000 00ААА00→(СК), (УС)=(УС)—2. Содержимое СК записывается в стек, в СК заносится код 00000000 00ААА000
108	EI	Разрешение прерывания	373	—	—	—	—	—	1	1	4	2,0	Триггер прерывания устанавливается в «1», прерывание разрешено
109	DI	Запрет прерывания	363	—	—	—	—	—	1	1	4	2,0	Триггер прерывания устанавливается в «0», прерывание запрещено
110	NOP	Холостая команда	000	—	—	—	—	—	1	1	4	2,0	Пустая операция. Выполнение программы продолжается по следующему адресу
111	HLT	Останов	166	—	—	—	—	—	1	1	7	3,5	Работа МП прекращается. В СК заносится адрес следующей команды

знака переноса C, который всегда сбрасывается в «0». Группа команд логических операций содержит следующие команды:

операции конъюнкции (логического умножения И) над содержимым аккумулятора и содержимым одного из РОН ANA r ($A \wedge r \rightarrow A$) или ячейки памяти ANA M ($A \wedge M[H, L] \rightarrow A$), или вторым байтом $\langle B_2 \rangle$ команды ANI ($A \wedge \langle B_2 \rangle \rightarrow A$). Эти команды можно использовать для проверки бита слова в аккумуляторе с помощью другого слова-маски;

операции дизъюнкции (логического сложения ИЛИ) над содержимым аккумулятора и содержимым одного из РОН ORA r ($A \vee r \rightarrow A$) или содержимым ячейки памяти ORA M ($A \vee M[H, L] \rightarrow A$), или вторым байтом $\langle B_2 \rangle$ команды ORI ($A \vee \langle B_2 \rangle \rightarrow A$). Эти команды используют для установки определенных битов слов в аккумуляторе с помощью другого слова-

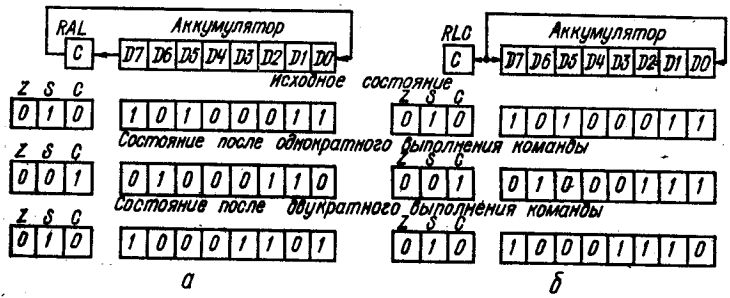


Рис. 10.27

маски, а также для синтеза нового слова из полей других слов;

операции ИСКЛЮЧАЮЩЕЕ ИЛИ (отрицание равнозначности, сумма по модулю 2) над содержимым аккумулятора и содержимым одного из РОН XRA r ($A \oplus r \rightarrow A$) или ячейки памяти XRA M ($A \oplus M[H, L] \rightarrow A$), или вторым байтом B_2 команды XRI ($A \oplus \langle B_2 \rangle \rightarrow A$). Эти команды используют для инвертирования определенных битов слов с помощью слова-маски на основе тождества $1 \oplus X_i = \overline{X}_i$, а также для сравнения слова на абсолютное равенство ($X_i \oplus X_i = 0$ и $Z = 1$);

операций инвертирования содержимого аккумулятора CMA ($\overline{A} \rightarrow A$) или признака переноса C CMC ($\overline{C} \rightarrow C$) и установки переноса $C = 1$ STC ($1 \rightarrow C$);

операции арифметического сравнения содержимого аккумулятора и содержимого одного из РОН CMP r ($A - r \rightarrow A$), или ячейки памяти CMP M ($A - M[HL] \rightarrow A$), или второго байта B_2 команды CPI ($A - \langle B_2 \rangle \rightarrow A$), которые из содержимого A вычитают значения адресуемого операнда, модифицируют по результату все признаки (если $A = r$, $Z = 1$; $A < r$, $C = 1$; $A > r$, $C = 0$), но не изменяют содержимое аккумулятора;

операции циклического сдвига (рис. 10.27 и 10.28) содержимого аккумулятора на один разряд влево (вправо) с заполнением признака переноса RLC (RRC) или с включением признака переноса в цепь сдвига RAL (RAR).

Команды управления (ветвления) программой позволяют изменять обычную последовательность выполнения команд

программы в зависимости от результатов обработки данных. Команды управления программой состоят из трех байтов. Во втором и в третьем байтах содержится адрес, по которому выбираются следующие команды другой части программы. Команды управления программой состоят из команд безусловного и условного переходов и используются для создания ветвления и циклов в программе. К командам безусловного перехода относятся:

команда перехода JMP (⟨B_2⟩ ⟨B_3⟩ → СК) без возврата, по которой в *СК* заносится новый адрес программы, содержащийся во втором и третьем байтах команды;

команда вызова подпрограммы CALL (СК → [УС — 1], [УС — 2], ⟨B_2⟩ ⟨B_3⟩ → СК) с возвратом, по которой содержимое СК, т. е. адрес следующей команды (адрес возврата), сохраняется в стеке, а в СК заносится адрес перехода (адрес

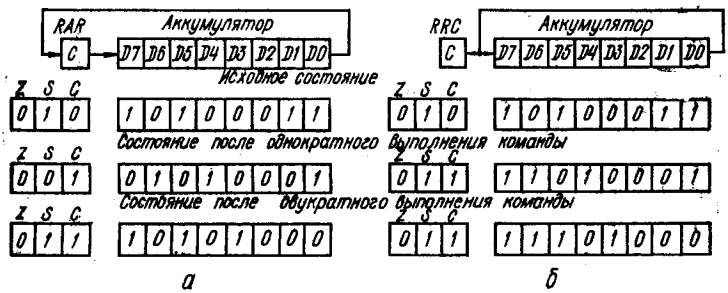


Рис. 10.28

первой команды подпрограммы); при этом после выполнения подпрограммы по ее последней команде ВОЗВРАТ RET ([УС + 1, УС] → СК) восстанавливается содержимое СК, т. е. адрес возврата из стека, адресуемый указателем стека.

Команды условного перехода осуществляют передачу управления только при выполнении некоторого условия ($Z = 0$ или $Z = 1$, $C = 0$ или $C = 1$, $P = 0$ или $P = 1$, $S = 0$ или $S = 1$), при этом программа переходит по адресу, указанному в команде, если же условия не выполняются, то передача управления не происходит, а выполняется следующая по порядку команда. Команды условного перехода, условия, их мнемонические обозначения приведены в табл. 10.7.

Команды стека обеспечивают размещение в стековой области памяти содержимого РОН при выполнении команд управления программой и при обработке прерывания. Команды стека содержат следующие команды:

ввода в стек PUSH гр содержимого регистровой пары гр(B, D, H, PSW), при этом в ячейки памяти с адресом [УС — 1] заносится старший байт гр, а в ячейку с адресом [УС — 2] — младший байт гр (см. рис. 10.6,*б*);

вывода из стека POP гр, при этом содержимое по адресу УС передается в младшие 8 бит гр, а содержимое по адресу [УС + + 1] — в старшие 8 бит гр. После этого содержимое УС увеличивается еще на единицу (см. рис. 10.6,*в*). Для правильной ра-

Таблица 10.7

Условие	Мнемоническое обозначение	Команда условного		
		перехода	вызова	возврата
Неравенство нулю ($Z \neq 0$)	NZ	JNZ	CNZ	RNZ
Равенство нулю ($Z = 1$)	Z	JZ	CZ	RZ
Нет переноса ($C = 0$)	NC	JNC	CNC	RNC
Наличие переноса ($C = 1$)	C	JC	CC	RC
Нечетность ($P = 0$)	PO	JPO	CPO	RPO
Четность ($P = 1$)	PE	JPE	CPE	RPE
Плюс ($S = 0$)	P	JP	CP	RP
Минус ($S = 1$)	M	JM	CM	RM

боты стека команды PUSH и POP обязательно должны быть парными.

Команды управления МП применяют для задания режимов работы МП. Они содержат:

команду останова HLT, которая обеспечивает прекращение выполнения программы и переводит МП в состояние останов;

команду разрешения (запрещения) прерывания EI (DI), которая устанавливает внутренний триггер разрешения прерывания в состояние «1» («0»), тогда МП реагирует (не реагирует) на запросы прерываний, поступающие от внешних устройств, инициирующих обмен данными;

команду повторного запуска, т. е. перехода на подпрограмму обслуживания прерывания RST $\vec{A}$, где вектор прерывания $\vec{A}$ формируется подсистемой прерывания в зависимости от значений $\vec{A}$ (11AAA111), МП переходит к одной из восьми ячеек, находящихся в первых адресах памяти (0000_{10}, 0008_{10}, 0016_{10}, 0024_{10}, ...);

холостую команду NOP, которая не производит никаких действий, кроме инкремента СК для перехода к следующей команде, и используется для создания программных циклов задержки, в которых МП генерирует сигналы программируемой длительности;

команды ввода-вывода IN (ВУ по адресу $\langle B_2 \rangle \rightarrow$ $\rightarrow$ A)/OUT (A $\rightarrow$ ВУ $\langle B_2 \rangle$); второй байт $\langle B_2 \rangle$ этих команд указывает адрес регистров ввода-вывода, а получателем (или источником) может быть только аккумулятор.

На рис. 10.29 показаны команды, которые влияют на аккумулятор. Команды, указанные над аккумулятором, действуют на данные в этом регистре и за исключением команды CMA (инвертирование аккумулятора) влияют на один или на несколько триггеров «Регистра признаков». Команды, расположенные ниже аккумулятора, пересылают данные в аккумулятор или из него и не влияют на триггеры «Регистра признаков». Здесь же показаны команды STC (установки переноса) и CMC (инвертирование переноса).

Команды управления программой (рис. 10.30) изменяют содержимое СК, изменяя при этом нормальное последовательное выполнение команд. Команды перехода JMP влияют только на СК. Команды вызова CALL и возврата RET воздействуют на СК, УС и стек. Команды для пары регистров (рис. 10.31)

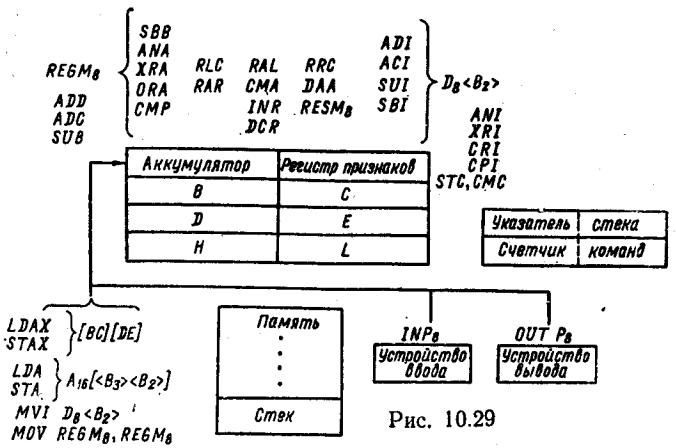


Рис. 10.29

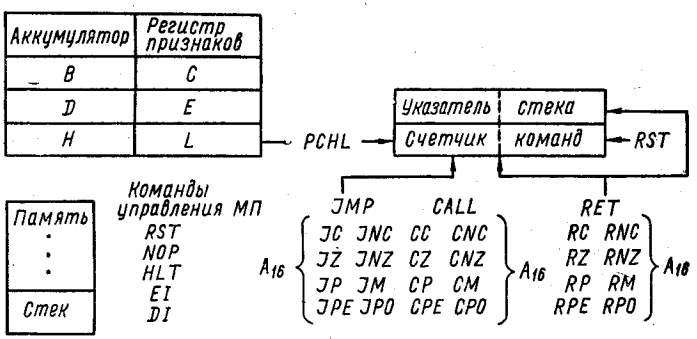


Рис. 10.30

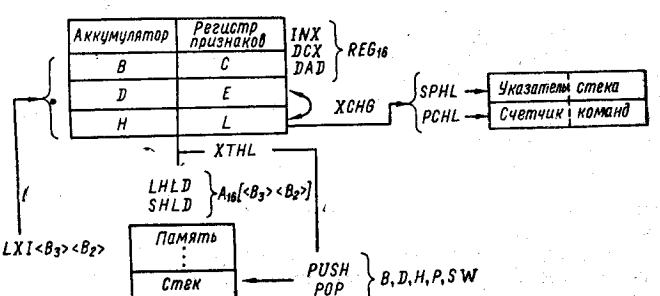


Рис. 10.31

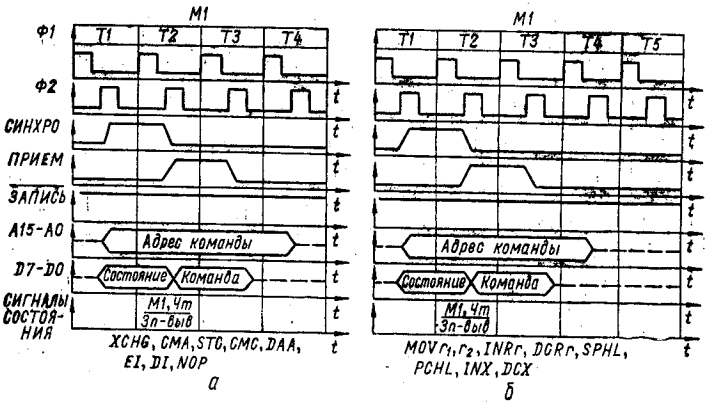


Рис. 10.32

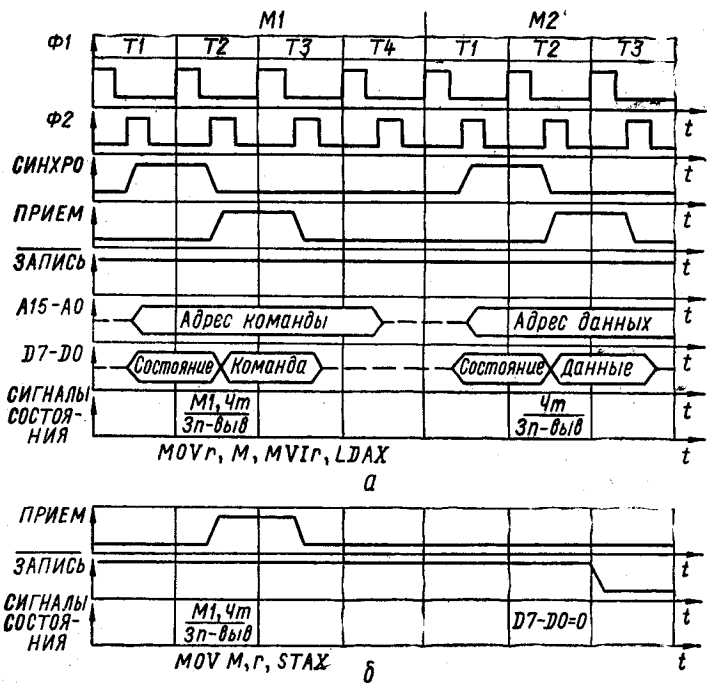


Рис. 10.33

связаны с 16-битовыми словами. За исключением команды DAD, которая суммирует содержимое пары регистров B и C (или D и E) с H и L, ни одна из этих команд не изменяет состояние «Регистра признаков», а DAD влияет только на признак переноса.

Временные диаграммы выполнения различных команд, изображенные на рис. 10.32, даны для одного машинного цикла:

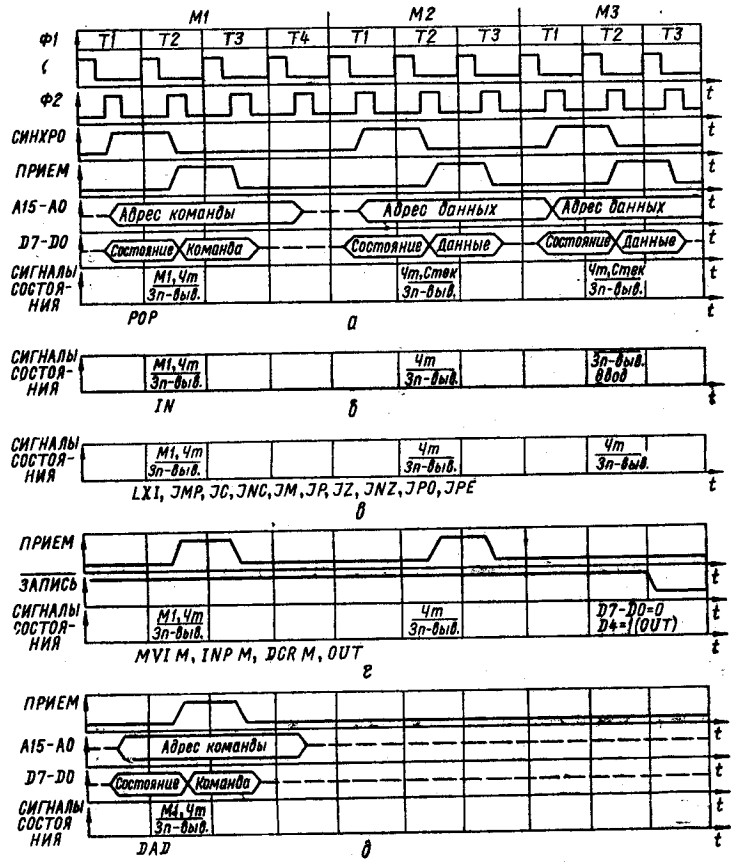


Рис. 10.34

обмена регистрами XCHG, инвертирования аккумулятора CMA, установки переноса STC, инвертирования переноса CMC, десятичной коррекции аккумулятора DAA, разрешения прерывания EI, запрета прерывания DI, холостой команды NOP — на рис. 10.32, *а*;

пересылки MOV r_1r_2, инкремента регистра INR r, декремента регистра DCR r, загрузки указателя стека SPHL, загрузки счетчика команд PCHL, инкремента пары регистров BC, DE, HL и указателя стека INX, декремента пары регистров BC, DE, HL и указателя стека DCX — на рис. 10.32,*б*.

Временные диаграммы для двух машинных циклов изображены на рис. 10.33:

пересылки MOV r, M, посылки MVI r, посылки в A содержимого [(BC) или (DE)] ячейки (LDAX) — на рис. 10.33,*а*;

пересылки MOVM, r, запоминания A по адресу [(BC) или (DE)] STAX — на рис. 10.33,*б*.

Временные диаграммы для трех машинных циклов изображены на рис. 10.34 и 10.35:

вывода из стека POP — на рис. 10.34,*а*;

ввода IN — на рис. 10.34,*б*;

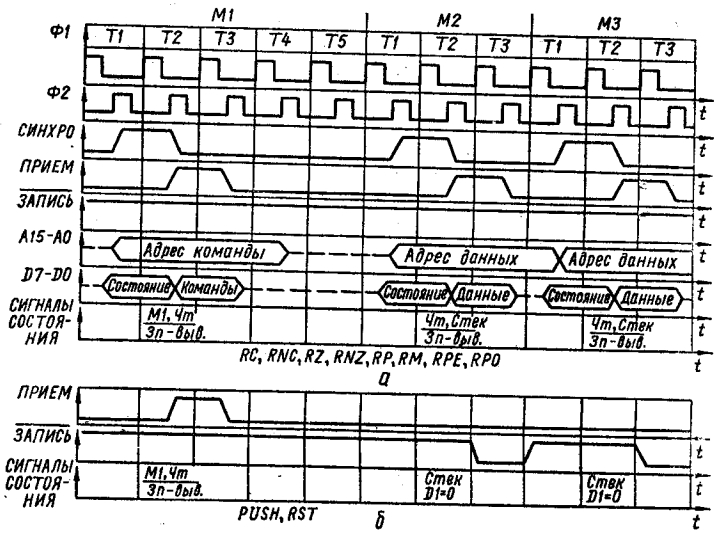


Рис. 10.35

загрузки пары регистров BC, DE, HL и указателя стека LXI, безусловного перехода JMP и условных переходов JC, JNC, JM, JP, JZ, JNZ, JPO, JPE — на рис. 10.34,*в*;

посылки MVI M, инкремента ячейки памяти INR M, декремента ячейки памяти DCR M, вывода OUT — на рис. 10.34,*г*;

двойного сложения DAD — на рис. 10.34,*д*;

условных возвратов RC, RNC, RZ, RNZ, RP, RM, RPE, RPO — на рис. 10.35,*а*;

ввода в стек PUSH, повторного запуска RST — на рис. 10.35,*б*.

Временные диаграммы для четырех машинных циклов изображены на рис. 10.36:

загрузки памяти STA — на рис. 10.36,*а*;

загрузки аккумулятора LDA — на рис. 10.36,*б*.

Временные диаграммы для пяти машинных циклов изображены на рис. 10.37:

вызова подпрограммы CALL условных переходов на подпрограмму CC, CNC, CZ, CNZ, CP, CM, CPE, CPO — на рис. 10.37,*а*;

запоминания регистров H и L по адресу [⟨B_3⟩ ⟨B_2⟩] SHLD — на рис. 10.37,*б*;

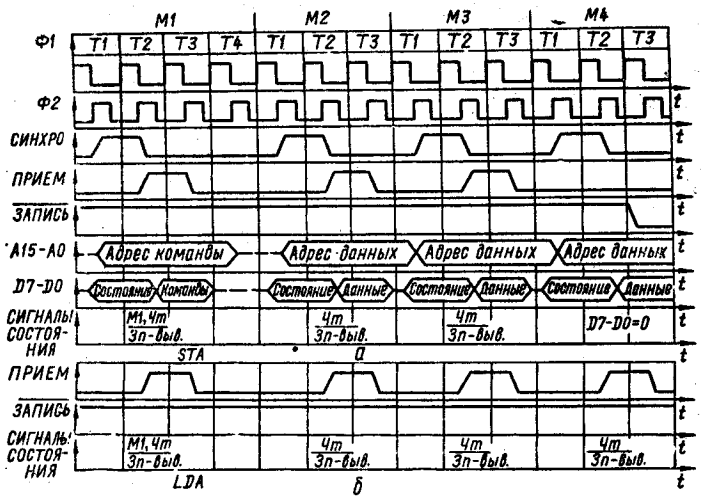


Рис. 10.36

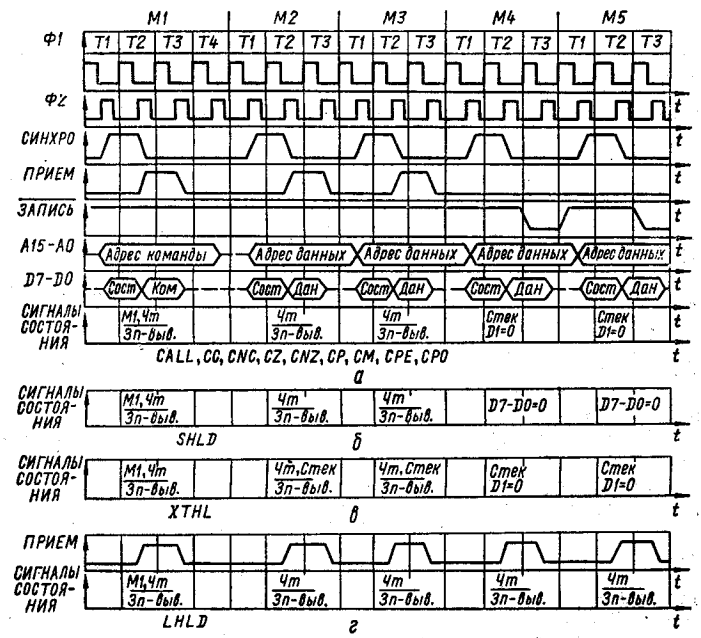


Рис. 10.37

обмена стека XTHL — на рис. 10.37,*в*;

загрузки регистров H и L содержимым ячейки памяти LHLD — на рис. 10.37,*г*.

Временна́я диаграмма соотношения входных и выходных управляющих, адресных и информационных сигналов, фазовых импульсов *Ф1* и *Ф2* показана на рис. 10.38.

Пример выполнения команды CALL (вызов подпрограммы). Это трехбайтовая команда выполняется за пять МЦ и предназначена для запоминания содержимого СК в стеке по адресу, указанному в УС, и приема в СК второго и третьего байтов команды, являющихся соответственно младшей и старшей частями первого адреса подпрограммы (рис. 10.37,*а*).

В такте *Т1* цикла *М1* содержимое СК посылается через мультиплексор МлП2 на 16-разрядный РА, а с РА — на БА и схему I/D. Этот адрес хранится в РА на протяжении трех тактов (*Т1—Т3*) цикла *М1*. В такте *Т1* по импульсу *Ф2* на шины данных выдается информация состояния. Действительными для данного цикла являются три бита: ЧТЕНИЕ, М1,ЗАПИСЬ-ВЫВОД. Содержимое РА, увеличенное на единицу, засылается в СК через мультиплексор МлП2; СК, таким образом, подготовлен к выбору следующего байта команды по адресу (СК + 1).

В такте *Т3* цикла *М1* управляющий внутренний сигнал ПРИЕМ вместе с сигналом состояния ЧТЕНИЕ стробирует поступление в РК первого байта команды, выбранного из внешнего ЗУ. Содержимое РК расшифровывается в ДК в такте *Т4*, и схемы управления начинают вырабатывать сигналы для управления последующими стадиями выполнения команды.

В тактах *Т4* и *Т5* цикла *М1* содержимое УС уменьшается на единицу для получения адреса (УС—1), по которому записывается старший байт СК. Это происходит следующим образом. В такте *Т4* цикла *М1* содержимое УС посылается на РА, с РА — на схему декремента. В такте *Т1* цикла *М2* содержимое СК = (СК + 1) посылается на РА для выборки второго байта команды. В такте *Т2* цикла *М2* информация состояния ЧТЕНИЕ, ЗАПИСЬ-ВЫВОД с шин данных заносится во внешний регистр состояния. В цикле *М1* информация состояния не характеризует выполняемую команду, так как в это время команда еще не записана в РК и не декодирована. В цикле *М2* и следующих циклах информация состояния отражает действия, выполняемые МП в этих циклах.

В такте *Т3* цикла *М2* второй байт команды засылается в младшую половину вре́менного регистра (WZ), расположенного в группе общих регистров.

В цикле *М3*, аналогично циклу *М2*, третий байт команды записывается в старшую половину вре́менного регистра (WZ). Эти два байта, расположенные во вре́менном регистре (WZ), и определяют начальный адрес подпрограммы.

В такте *Т1* цикла *М4* на 16-разрядную шину адреса выдается содержимое УС, равное (УС—1). С этого момента шины адреса указывают адрес ячейки области ЗУ, отведенной под стековую память. Адрес первой ячейки стека должен быть введен в УС ранее выполненной команды LXI SP (загрузка указателя стека). Командой LXI SP задается начало стека в любой области ЗУ. В такте *Т3* цикла *М4* старший байт содержимого СК выдается на шины данных и запоминается в стеке по адресу (УС — 1). В этом же такте в УС заносится содержи-

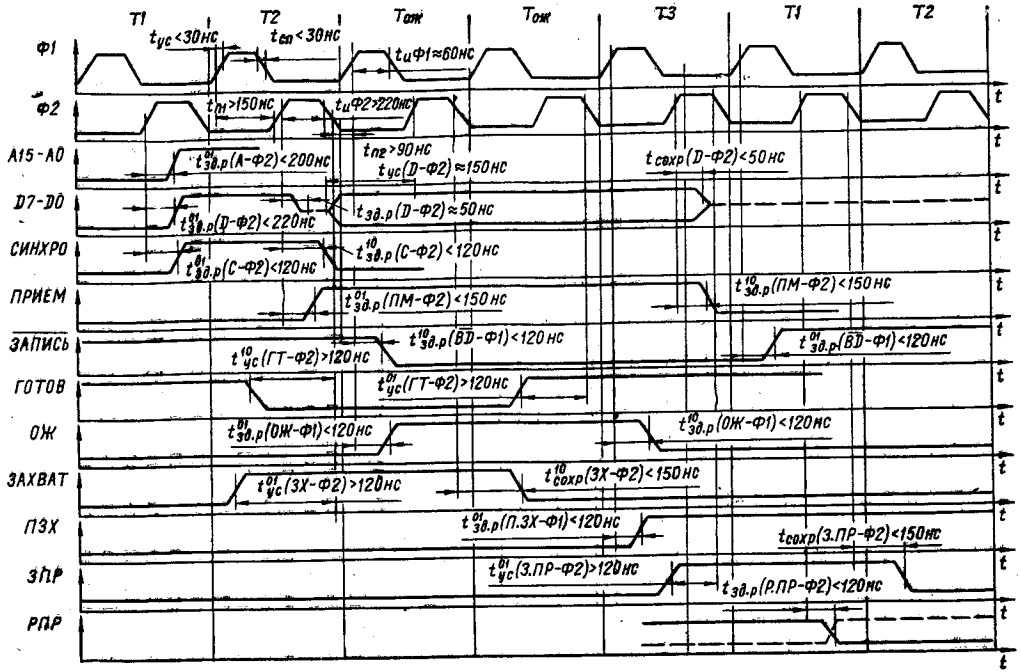

T1
T2
Tож
Tож
T3
T1
T2
Ф1
Ф2
A15-A0
D7-D0
СИНХРО
ПРИЕМ
ЗАПИСЬ
ГОТОВ
ОЖ
ЗАХВАТ
ПЗХ
ЗПР
РПР
t
tус<30нс
tсп<30нс
tиФ1≈60нс
tп1>150нс
tиФ2>220нс
tпг>90нс
tус(D-Ф2)≈150нс
tзд.р(A-Ф2)<200нс
tзд.р(D-Ф2)<220нс
tзд.р(D-Ф2)≈50нс
tзд.р(C-Ф2)<120нс
tзд.р(C-Ф2)<120нс
tзд.р(ПМ-Ф2)<150нс
tзд.р(ПМ-Ф2)<150нс
tзд.р(BD-Ф1)<120нс
tзд.р(BD-Ф1)<120нс
tус(ГТ-Ф2)>120нс
tус(ГТ-Ф2)>120нс
tзд.р(ОЖ-Ф1)<120нс
tзд.р(ОЖ-Ф1)<120нс
tус(ЗХ-Ф2)>120нс
tсохр(ЗХ-Ф2)<150нс
tзд.р(П.ЗХ-Ф1)<120нс
tсохр(З.ПР-Ф2)<150нс
tус(З.ПР-Ф2)>120нс
tзд.р(Р.ПР-Ф2)<120нс
tсохр(D-Ф2)<50нс

Рис. 10.38

мое РА, уменьшенное на единицу. При этом содержимое УС становится равным (УС — 2).

В такте *Т1* цикла *М5* содержимое УС, равное (УС — 2), выдается на канал адреса. В такте *Т2* циклов *М4* и *М5* на внешний регистр состояния заносятся сигналы состояния СТЕК и ЗАПИСЬ-ВЫВОД. В такте *Т3* цикла *М5* младший байт содержимого СК выдается на шину данных и запоминается в стеке по адресу (УС — 2). Напряжение логического «0» на выходе ЗАПИСЬ стробирует информацию, выдаваемую через канал данных в циклах *М4* и *М5*.

Содержимое регистра (WZ) передается в РА и на БА в такте *Т1* цикла *М1* следующей команды (являющейся первой командой подпрограммы) и записывается в СК при пересылке содер-

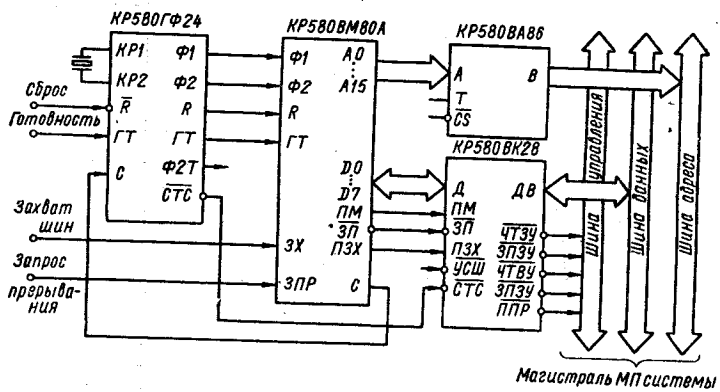


Рис. 10.39

жимого РА через схему инкремента — декремента и мультиплексор МлП2.

Центральный процессор на БИС КР580 состоит из МП (КР580ВМ80А), шинных формирователей (КР580ВА86) адреса и данных, генератора тактовых импульсов (КР580ГФ24) и системного контроллера (КР580ВК28) (рис. 10.39). Указанные микросхемы МПК КР580 [47; 64] непосредственно взаимодействуют с МП (КР580ВК80А), расширяют его функциональные возможности и позволяют создавать экономичные и компактные микропроцессорные системы.

Шинный формирователь КР580ВА86 (87) представляет собой двунаправленный 8-разрядный приемопередатчик с высокой нагрузочной способностью (обеспечивающий токи нагрузки до 32 мА) и связывает микропроцессор с периферийными устройствами ввода-вывода информации (рис. 10.40,*б*). Микросхема КР580ВА87 отличается от КР580ВА86 тем, что двунаправленная передача осуществляется с инверсией. Микросхема КР580ВА86 (87) имеет двунаправленный канал А, подключаемый к МП и двунаправленный В, подключаемый к магистральной шине. Передача информации возможна при поступлении сигнала РАЗРЕШЕНИЕ $\overline{CS} = 0$ в направлении А → В (Т = 1) и А ← В (Т = 0). При $\overline{CS} = 1$ все выходы каналов А и В отключаются и переходят в высокоомное состояние.

Функции шинного формирователя в магистрали ША может выполнять также микросхема КР580ИР82 (83), представляющая собой 8-разрядный буферный регистр, предназначенный для ввода-вывода информации со стробированием (рис. 10.40,*в*). Микросхема КР580ИР83 отличается от КР580ИР82 тем, что имеет инвертирующие выходы. При $\overline{CS}$ = 0 и СТРОБ СОСТОЯНИЯ СТС = 1 осуществляется нетактируемая передача информации от входов DI до выходов D0. При подаче СТС = 0 микросхема хранит информацию предыдущего такта, при подаче на вход

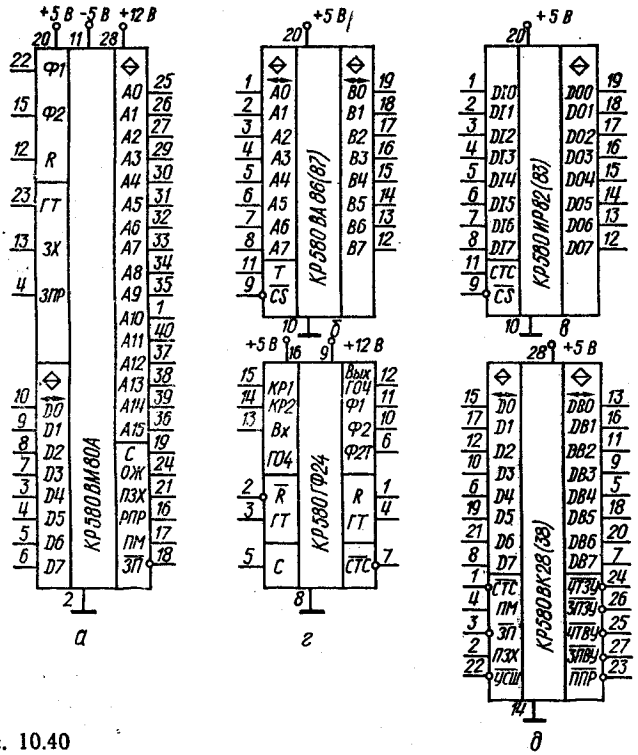


Рис. 10.40

СТС положительного перепада импульса происходит «защелкивание» входной информации. При $\overline{CS}$ = 1 буферы переводятся в состояние «выключено», т. е. высокоомное состояние.

Генератор тактовых импульсов КР580ГФ24 предназначен для синхронизации МП систем на основе МПК КР580 (рис. 10.40,*г*). ГТИ формирует высокоуровневые (12 В) тактовые сигналы *Ф1* и *Ф2* с несовпадающими фазами; тактовый сигнал Ф2Т, по уровню совместимый с ТТЛ-сигналом и синхронизированный с сигналом *Ф2*; сигнал СТРОБ СОСТОЯНИЯ $\overline{СТС}$ (STSTB), фиксирующий состояние шины данных МП; сигнал СБРОС (RESET) — R. К выводам КР1 и КР2 подключается кварцевый резонатор, обеспечивающий высокую стабильность генератора опорной частоты (вывод ГОЧ), частота которого

не должна превышать 27 МГц, при этом на выходах *Ф1* и *Ф2* формируются тактовые импульсы с частотой до 2,5 МГц. При поступлении сигнала СИНХРО (SYNC) — С с МП на одноименный вход микросхемы КР580ГФ24 на ее выходе $\overline{\text{СТС}}$ формируется сигнал длительностью, равной длительности тактового сигнала *Ф1*. По сигналу СИСТЕМНЫЙ СБРОС — R и ГОТОВНОСТЬ — ГТ микросхема ГФ24 формирует сигнал СБРОС — R, обеспечивающий установку в исходное состояние микропроцессорной системы, и сигнал ГОТОВ (READY), стробированный тактовым сигналом *Ф2*.

Системный контроллер и шинный формирователь КР580ВК28 (38) предназначен для фиксации слова-состояния МП, выработки системных управляющих сигналов, буферизации шины данных МП и управления передачей данных (рис. 10.40,*д*). Отличие микросхемы КР580ВК28 от КР580ВК38 состоит в способе формирования сигналов ЗАПИСЬ В ВУ — $\overline{\text{ЗПВУ}}$ (I / OW), ЗАПИСЬ В ЗУ $\overline{\text{ЗПЗУ}}$ (MEMW). Микросхема ВК28 формирует эти сигналы относительно сигнала ЗАПИСЬ—$\overline{\text{ЗП}}$ (WR), а микросхема ВК38 — относительно сигнала СТРОБ СОСТОЯНИЯ $\overline{\text{СТС}}$ (ST STB), что позволяет при применении в микропроцессорной системе микросхемы ВК38 использовать ЗУ и УВВ с более широким диапазоном быстродействия.

Системный контроллер подключается к ШД микропроцессора с помощью двунаправленных выводов D0...D7, к системной шине — с помощью двунаправленных выводов DB0...DB7. Передача информации по двунаправленной шине возможна при УПРАВЛЕНИЕ СИСТЕМНОЙ ШИНОЙ $\overline{\text{УСШ}}$ = 0 (BUSEN = =0), а направление передачи определяется сигналами ПРИЕМ ПМ (DBIN) и ЗАПИСЬ $\overline{\text{ЗП}}$ (WR) при ПМ = 1 и $\overline{\text{ЗП}}$ = 1 передача D ← DB, а при ПМ = 0 и $\overline{\text{ЗП}}$ = 0 передача D → DB. При $\overline{\text{УСШ}}$-1 выводы DB системного контроллера переходят в состояние «выключено», т. е. высокоомное.

Запись слова-состояния МП, поступающего по шине данных D0. D7, осуществляется по сигналу $\overline{\text{СТС}}$ = 0 (STSTB), поступающему в начале каждого машинного цикла. При этом в зависимости от режима работы МП (слова-состояния) и выходных управляющих сигналов ПЗХ (HLDA), $\overline{\text{ЗП}}$ (WR), ПМ (DBIN) формируется сигнал $\overline{\text{ППР}}$ (INTA) («Подтверждение прерывания») или сигналы чтения (записи) при обращении к ЗУ или ВУ.

Микро-ЭВМ на основе МПК КР580 строят по модульному принципу, который обеспечивает подключение к единой магистрали ЦП, ЗУ и УВВ, что расширяет возможности системы. Информацию на магистраль в любой момент времени выдает один из модулей-передатчиков. Принимает информацию один или несколько приемников. Одновременная работа двух пар модулей передатчик-приемник запрещена.

10.3. УНИВЕРСАЛЬНЫЕ ИНТЕРФЕЙСНЫЕ БИС СЕРИИ КР580

Магистрально-модульная архитектура микропроцессорных систем основана на унификации и мультиплексировании магистральных шин адреса, данных и управления. Это позволяет наращивать объем памяти, число и номенклатуру внешних устройств (ВУ), которые сопрягаются с МП системой посред-

ством унифицированных интерфейсных БИС. Такие БИС могут быть программируемыми и применяться для двунаправленной передачи данных и сигналов управления. Функционально назначение интерфейсных БИС устанавливается либо подачей на них управляющих сигналов, приходящих или от ВУ, или со стороны МП, либо путем предварительной коммутации их управляющих входов.

В МП системе большое значение имеют средства обмена информацией с разнообразными периферийными устройствами ввода-вывода (счетчики, регистры, АЦП и др.). Эти средства образуют подсистему ввода-вывода (ВВ), включающую в себя аппаратные и программные средства интерфейса с УВВ, а также информацию, участвующую в обмене. Микропроцессорные системы могут работать в трех режимах с УВВ: программно-управляемом, все действия по обмену информацией в котором инициируются прикладной программой, а УВВ отводится пассивная роль сигнализации о своей готовности к обмену; в режиме прямого доступа к памяти (ПДП), в котором на время передачи информации от УВВ в ЗУ МП приостанавливает свою работу и отключается от шин адреса и данных, УВВ инициирует и управляет обменом информацией между УВВ и ЗУ с помощью контроллера ПДП, а информация между МП системой и УВВ передается по линиям D0...D7 шины данных; ввода-вывода по прерываниям, в котором действия по обмену информацией инициируют сами УВВ, генерируя сигналы прерывания.

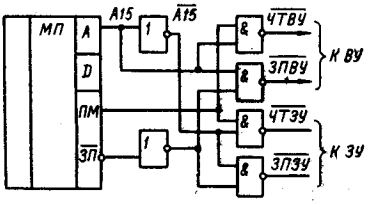


Рис. 10.41

При программно-управляемом используется два способа ВВ: изолированный и отображенный на память. При изолированном ВВ применяют двухбайтовые команды ввода IN и вывода OUT, в которых второй байт (B_2) представляет собой адрес регистра ввода или вывода, общее число регистров ввода и вывода в отдельности не превышает 256, а их адреса изолированы от адресного пространства ЗУ. При этом управляющие сигналы $\overline{ЧТВУ}$ и $\overline{ЗПВУ}$, генерируемые в цикле *М3* команд IN и OUT схемой формирования управляющих сигналов, определяют момент и направление передачи данных. Ввод-вывод, отображенный на память, не требует специальных команд. При этом регистры ввода и вывода считаются ячейками адресного пространства памяти, и все команды с обращением к памяти, содержащие адреса УВВ, превращаются в команды ВВ: команды загрузки осуществляют ввод, а команды запоминания — вывод. При реализации ВВ, отображенного на память, адресное пространство разделяется на две области: память ЗУ с адресами 0... (32К — 1) и ввод-вывод с адресами 32К...(64К — 1). При этом разделительным признаком служит старший разряд адреса A15. Если A15 = = 0, то адресуется память, если A15 = 1, то — УВВ (рис. 10.41).

Алгоритм программно-управляемого ВВ включает в себя выполнение следующих действий (рис. 10.42): 1) в ВУ передается приказ об инициировании действия ВВ (запуск ВУ); 2) МП считывает состояние ВУ; 3) проверяется готовность устройства

к обмену данными; 4) если устройство не готово к обмену, то действия пп. 2, 3 циклически повторяются; 5) если устройство готово к обмену, то МП выполняет собственно ввод или вывод (передача данных).

Чтобы сократить непроизводительные потери времени на ожидание готовности УВВ к обмену данными, вводят периодиче-

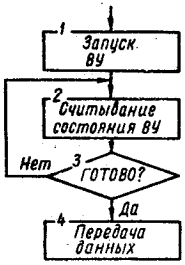


Рис. 10.42

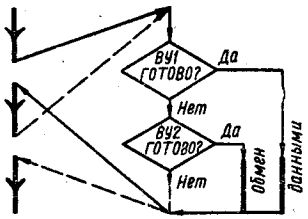


Рис. 10.43

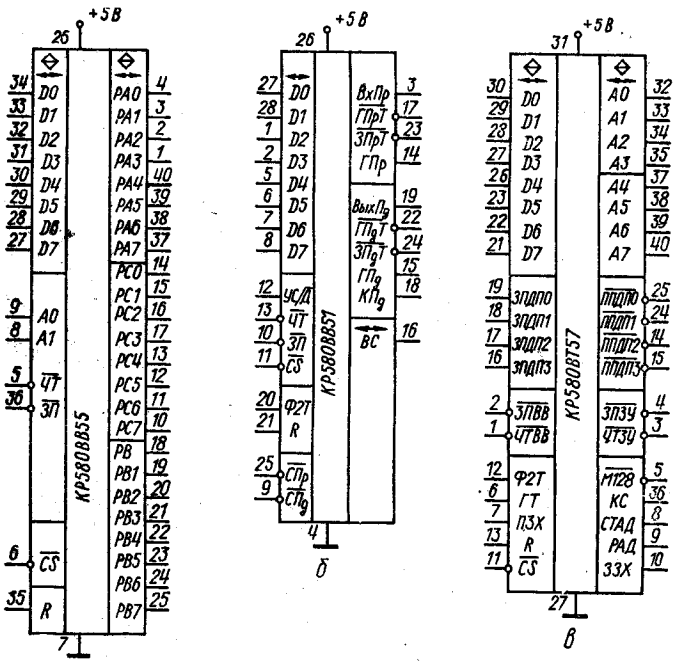


Рис. 10.44

скую проверку готовности УВВ (рис. 10.43). Частоту опроса выбирают так, чтобы система обеспечивала работу УВВ с их номинальным быстродействием.

Для реализации ВВ в МПК КР580 имеются программируемые параллельный интерфейс (ППИ) КР580ВВ55 и последовательный интерфейс связи (ППИС) КР580ВВ51, а для прямого

доступа к памяти — контроллер ПДП КР580ВТ57 (рис. 10.44) [3; 37; 81].

Программируемый параллельный интерфейс КР580ВВ55 предназначен для сопряжения УВВ с системной шиной МП системы на базе МП КР580ИК80А. Для сопряжения ВУ с шиной данных микропроцессора ППИ имеет три 8-разрядных канала-А, В и С. Управляются каналы по программе путем выдачи слова управления, которое содержит информацию о режиме работы (0 — основной ВВ каналов А, В и С; 1 — ВВ со стробированием каналов *А* и *В*; 2 — двунаправленная шина со стробированием канала А) и об установке или о сбросе отдельных разрядов канала С.

Канал А состоит из входного и выходного 8-разрядных регистров формирователя и может работать в режимах «0», «1»

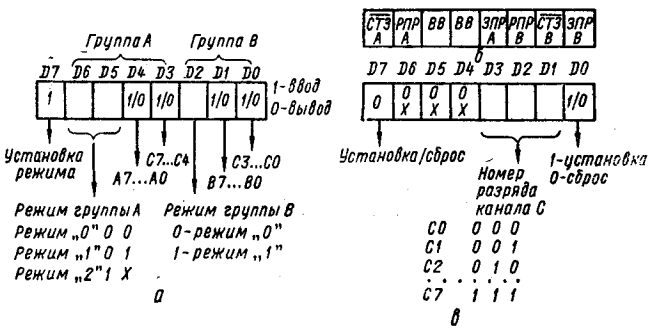


Рис. 10.45

и «2». В режиме «0» информация (А→ШД) вводится непрерывно, т. е. входной регистр изменяет свое состояние в соответствии с изменением данных на входе. Выводится информация(ШД→ А) в режиме «0» и «1» также непрерывно, но до смены информации в выходном регистре. Информация вводится в режимах «1» и «2» на входной регистр и выводится в режиме «2» непрерывно в течение действия внешнего сигнала управления ПРИЕМ, поступающим на входы регистра канала «0».

Канал В состоит из 8-разрядного регистра ввода-вывода, входных и выходных формирователей и может работать при вводе информации (В→ ШД) в режимах «0» и «1». В режиме «0» регистр канала изменяет свое состояние в соответствии с ее изменением на входе канала. В режиме «1» информация вводится так же, но только в течение действия внешнего сигнала управления ПРИЕМ, поступающим на входы регистра С.

Канал С состоит из двух 4-разрядных регистров, содержащих разряды 0—3 и 4—7. Канал может работать в режимах «0» и «1». В режиме «0» осуществляется ввод и вывод 4-разрядных слов. В режиме «1» канал С используется для приема и выдачи управляющих сигналов. Регистры канала С в совокупности используются как 8-разрядный регистр состояния.

Режим работы каждого канала определяется содержимым регистра управляющего слова (РУС), в который заносится код управляющего слова (рис. 10.45,*а*). Для установки/сброса отдельных разрядов регистра канала С используется управля-

ющее слово с форматом, показанным на рис. 10.45,*в*. При каждом изменении режима работы любого канала все входные и выходные регистры каналов сбрасываются в состояние «0». Режим работы ППИ можно устанавливать в любом месте выполнения программы, что позволяет обслуживать различные ВУ в очередном порядке одним ППИ. Вид передачи информации (табл. 10.8) между МП и ППИ выбирается с помощью линий A0, A1 шины адреса и сигналов управления: выбор микросхемы $\overline{CS}$, чтение (ввод ВУ → ШД) $\overline{ЧТ}$, запись (вывод ШД → ВУ) $\overline{ЗП}$. При подаче на вход R (СБРОС) напряжения логической «1» РУС устанавливается в состояние, при котором каналы A, B, C переходят в режим «0» для ввода информации, а шины каналов A, B, C переходят в высокоомное состояние. Режим «0» применяется при синхронном обмене или при программной организации асинхронного обмена. На рис. 10.46,*а* изображена схема сопряжения

Таблица 10.8

A1	A0	$\overline{ЧТ}$	$\overline{ЗП}$	$\overline{CS}$	Направление передачи и вид операции
			ВУ → ШД Ввод (чтение)		
0	0	0	1	0	A → ШД
0	1	0	1	0	B → ШД
1	0	0	1	0	C → ШД
			ШД → ВУ Вывод (запись)		
0	0	1	0	0	ШД → A
0	1	1	0	0	ШД → B
1	0	1	0	0	ШД → C
1	1	1	0	0	ШД → регистр управления
			Запрет		
×	×	×	×	1	ШД → 3-е состояние
1	1	0	1	0	Запрещенное состояние сигналов
×	×	1	1	0	ШД → 3-е состояние

МП с ВУ через ППИ и временные диаграммы ввода (рис. 10.46,*б*) и вывода (рис. 10.46,*в*) информации.

Для записи управляющего слова в РУС используется команда вывода OUT. При этом управляющее слово предварительно записывается в аккумулятор, а затем выводится в соответствующий интерфейс с указанным адресом (РУС A1, A0=11). Например, для записи УПС (режим «0», каналы A, B, C — на вывод) в интерфейс с адресом 01111111 требуется следующая последовательность команд: выборка РУС

MVI A, 10000000 — загрузка УПС в A

$$\text{OUT} < B_2 > = \underbrace{0111}_{\text{Адрес интерфейса}}\underbrace{1111}_{\text{Выборка РУС}}$$

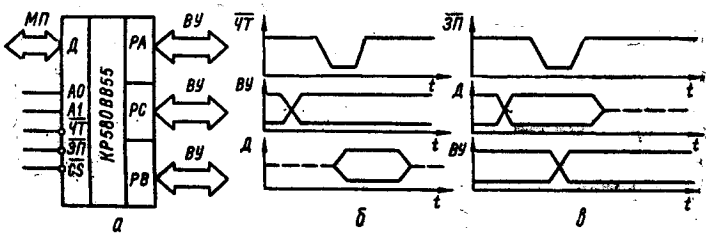


Рис. 10.46

После этого интерфейс готов к выводу информации. Например, команда вывода через канал A

$$\text{OUT} < B_2 > = \underbrace{0111}_{\text{Адрес интерфейса}}\underbrace{1100}_{\text{Выборка канала A}}$$

Режим «1» обеспечивает стробируемый обмен информацией с ВУ. Данные передаются по каналам A и B, а линии канала C управляют передачей. Причем входные и выходные данные фиксируются в регистрах канала A и B. В режиме «1» для ввода используются управляющие сигналы (рис. 10.47,*а*): строб приема $\overline{\text{СТП}}_{A(B)}$ — входной сигнал, формируемый ВУ, по которому данные записываются в регистр канала A (B); подтверждение приема $\text{ПТП}_{A(B)}$ — выходной сигнал ППИ, сообщающий ВУ о фиксации данных во входной регистр канала; запрос прерывания $\text{ЗПР}_{A(B)}$ — выходной сигнал ППИ, информирующий МП о завершении приема информации в канале. Состояние выходов фиксируется в регистрах канала C и может быть прочитано МП в слове состояния (СС) интерфейса (рис. 10.45,*б*). Для чтения информации состояния используется обычная операция чтения канала C с последующим выделением управляющих разрядов.

Для вывода информации в режиме «1» используются управляющие сигналы (рис. 10.47,*б*): строб записи $\overline{\text{СТЗ}}_{A(B)}$ — выходной сигнал, указывающий ВУ о готовности к выводу; подтвер-

ждения записи $\overline{ПТЗ}_{A(B)}$ — входной сигнал от ВУ, подтверждающий прием информации от ППИ; запрос прерывания $ЗПР_{A(B)}$ — выходной сигнал ППИ, информирующий МП о завершении вывода информации.

В режиме «1» не используемые для передачи управляющих сигналов разряды PC6, PC7 (рис. 10.47,*а*) и PC4, PC5 (рис. 10.47,*б*) можно запрограммировать на ввод (D3 = 1) или вывод (D3 = 0).

После перевода ППИ в режим «1» на вывод данных сигналы на выходах $\overline{СТЗ}_{A(B)}$ и $ЗПР_{A(B)}$ находятся в состоянии логи-

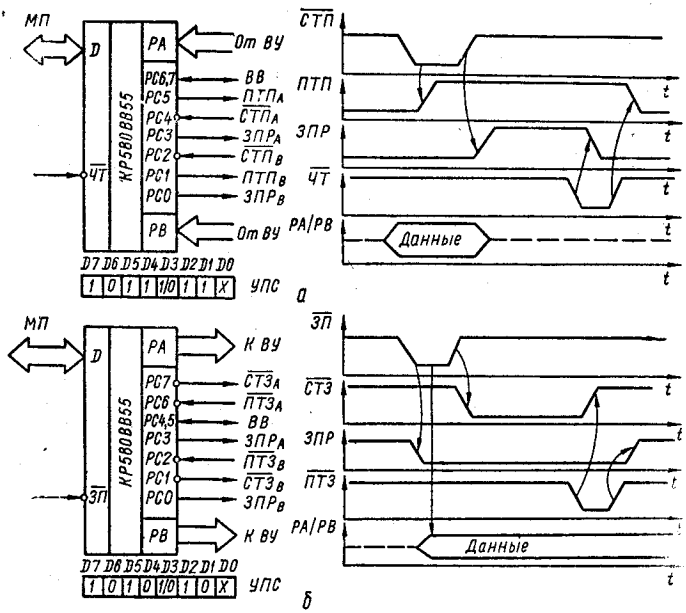


Рис. 10.47

ческого «0» и необходимо выполнить их начальную установку. Для этого на вход $\overline{ПТЗ}_{A(B)}$ следует подать логический «0» (т. е. выполнить ложное подтверждение) или, используя режим установки,— сброса разрядов регистра С, установить PC7, PC1 и PC6, PC2 в состояние логической «1». При этом на выходах $\overline{СТЗ}_{A(B)}$ и $\overline{ЗПР}_{A(B)}$ установится состояние логической «1». После этих действий интерфейс готов к выводу данных в режиме «1».

Режим «2» обеспечивает двунаправленную передачу информации по каналу А к ВУ и обратно. Процесс обмена сопровождают пять управляющих сигналов, подаваемых по линиям PC7—PC3. Оставшиеся линии PC2 — PC0 можно использовать для управления каналом В в режиме «0» или «1» (рис.10.48). В управляющем слове для режима «2» разряд D0 определяет настройку на ввод (D0 = 1) или вывод (D0 = 0) интерфейсных

линий PC2 — PC0. После перехода канала А в режим 2 на выходах $\overline{СТЗ_А}$, $ЗПР_А$ устанавливаются логические «0». Для приведения сигнала $\overline{СТЗ_А}$ в состояние логическая «1» после записи управляющего слова необходимо PC7 установить в состояние логическая «1» словом установки сброса разрядов канала С, а для установки в состояние логическая «1» сигнала $ЗПР_А$ следует PC4 и PC6 установить также в состояние логическая «1».

Программируемый последовательный интерфейс связи (ППИС) КР580ВВ51 (рис. 10.44,*б*) представляет собой универсальный синхронно-асинхронный приемопередатчик и предназначен под воздействием команд ввода-вывода IN/OUT принимать информацию, представленную последовательным кодом,

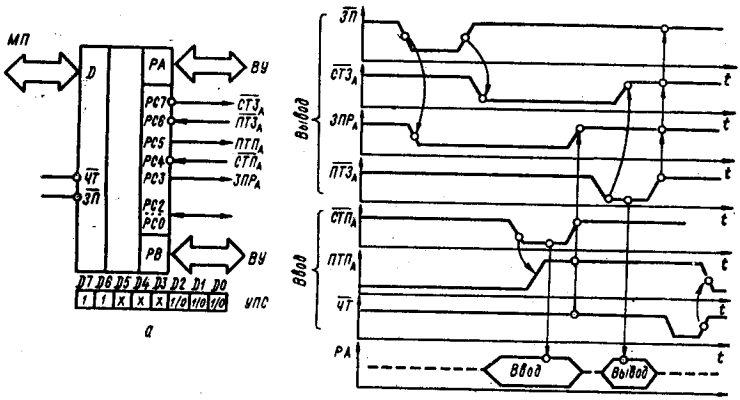


Рис. 10.48

преобразовывать ее в параллельный код для ввода в МП, а также принимать байт данных из МП в параллельном коде с преобразованием его в последовательный код со служебными символами (стартовым, стоповым и контрольным битами) для их передачи по каналам связи с различной скоростью. ППИС может работать в пяти режимах: асинхронная передача, асинхронный прием, синхронная передача, синхронный прием с внутренней синхронизацией, синхронный прием с внешней синхронизацией. Обмен данными производится в асинхронном режиме со скоростью передачи до 9,6 Кбит/с, в синхронном со скоростью 56 Кбит/с. Длина передаваемых символов от 5 до 8 бит. При передаче в МП символов длиной менее 8 бит неиспользуемые биты заполняются нулями. Формат символа включает также служебные биты и необязательный бит контроля по четности (нечетности).

Основные сигналы ($\overline{ЗП}$ — запись, $\overline{ЧТ}$ — чтение, $\overline{CS}$ — выборка микросхемы, УС/$\overline{D}$ — управляющий сигнал / данные) управления работой ППИС, подаваемые от МП, определяют вид обрабатываемой информации и направление передачи (табл. 10.9). Режим работы ППИС задается программно путем загрузки в него управляющих слов из МП. Для управления ППИС используются два формата управляющих слов: управляющие слова режима (УСР) и управляющие слова команды (УСК).

Таблица 10.9

УС/$\overline{D}$	$\overline{ЧТ}$	$\overline{ЗП}$	$\overline{CS}$	Направление передачи и вид операции
0	0	1	0	ППИС → ШД Чтение данных
0	1	0	0	ППИС → ШД Запись данных
1	0	1	0	ППИС → ШД Чтение состояния
1	1	0	0	ППИС → ШД Запись управляющего слова
×	×	×	1	ШД — высокий импеданс

Управляющие слова режима задают синхронный (рис. 10.49,*а*) или асинхронный (рис. 10.49,*б*) режим работы, формат данных, скорость приема или передачи необходимого

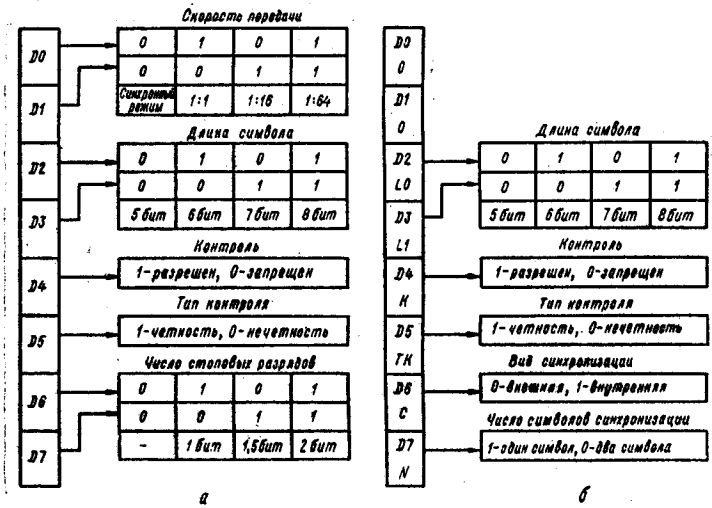


Рис. 10.49

контроля. УСР заносится программно после установки ППИС в исходное состояние или после сигнала СБРОС и заменяется лишь при смене режима. Управляющее слово команды (рис. 10.50,*а*) устанавливает режим обмена и его можно многократно задавать в процессе обмена и управления различными этапами.

ППИС позволяет осуществлять как программно-управляемый обмен между МП и ВУ, так и обмен в режиме прерывания

программами. Для этого информация о состоянии приемного и передающего буферов выводится на внешние выводы БИС и используется для инициализации прерываний МП и обмена в режиме прерывания. Для обеспечения программно-управляемого обмена предусмотрена возможность программного считывания слова-состояния (рис. 10.50,*б*). Это слово содержит информацию о текущем состоянии приемного и передающего буферов, наличие ошибок приема и передачи. Считывается слово-состояния при УС/$\overline{D}$ = 1.

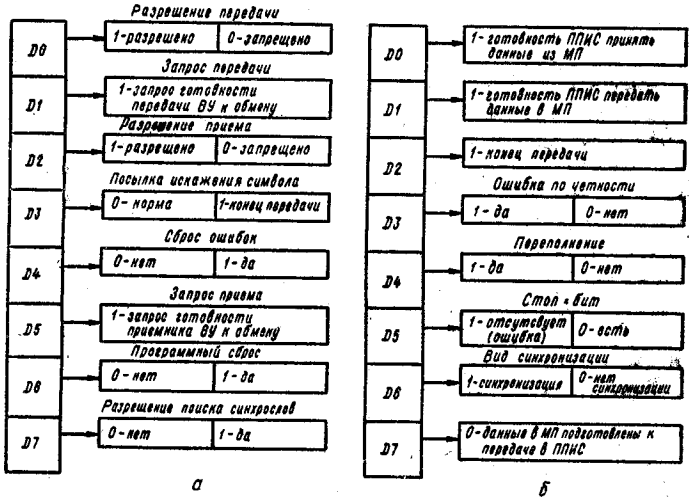


Рис. 10.50

Режим приема или передачи данных программируется подачей УСР на ППИС при УС/$\overline{D}$ = 1. Последовательность программирования следующая:

MVI A, УСР; загрузка УСР в аккумулятор
OUT ППИС; запись УСР в ППИС

программирование режима

MVI A, 01 11 11 01 → УСР

Один стоп бит; Контроль на четность; Длина слова 8 бит; Асинхронный режим скорость 1 : 1

OUT ППИС

программирование работы

MVI A, 00110001 → УСК
OUT ППИС

Структура программного блока, управляемого работой ППИС, имеет вид:

$\overline{CS} = 0$ Сброс сигналом R или командой

$УС/\overline{D} = 1$ УСР

$УС/\overline{D} = 1$ Синхросимвол 1 } Для синхронного режима

$УС/\overline{D} = 1$ Синхросимвол 2 }

$УС/\overline{D} = 1$ УСК

$УС/\overline{D} = 0$ Данные

$УС/\overline{D} = 1$ УСК

$УС/\overline{D} = 0$ Данные

При асинхронном обмене приемник автоматически синхронизируется стартовым битом так, что можно производить отбор данных в моменты, соответствующие середине каждого бита.

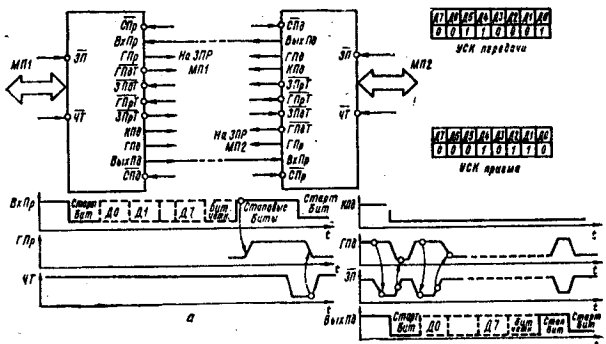


Рис. 10.51

В результате этого получается небольшой дрейф частоты генераторов тактовых импульсов. В режиме асинхронной передачи (рис. 10.51,*а*) символ, представленный последовательным кодом, выдвигается из буфера ППИС поразрядно по заднему фронту сигнала «Синхронизация передатчика» $\overline{СП}_д$ с частотой 1/16 или 1/64 частоты синхронизации $\overline{СП}_д$. При отсутствии данных передатчик выдает в линию высокий уровень напряжения, при их поступлении — низкий уровень. Длительность одной посылки (бита информации) определяется сигналами $\overline{СП}_д$ (для передатчика) и $\overline{СП}_р$ (для приемника). Получив низкий уровень напряжения, приемник воспринимает его как стартовый бит, а последующие восемь посылок (или десять, если используется контроль на четность или нечетность) — как биты информации. После передачи байта информации передатчик передает, а приемник принимает стоповый бит, представленный высоким уровнем напряжения. После приема слова данных (рис. 10.51,*б*) в приемный буфер, сигнал «Готовность приемника» (ГПр) устанавливается в состояние логической «1», подтверждающей готовность слова данных для ввода в МП. Если МП не считает из буфера это слово до начала приема приемником следующего слова, автоматически устанавливается триггер ошибки по переполнению, а слово данных, находившееся в буфере, теряется. Сбрасывается триггер ошибок управляющим словом команды.

Программа обмена МП и ППИС во время передачи

XMIT:IN ПОРТ C; чтение слова состояния (УС/$\overline{D}$ = 1)
ANI MACK1; выделение бита D0 (MACK1 = 00000001)
JZ XMIT; переход к чтению, если $ГП_д$ = 0
MOV A, M; загрузка слова данных в аккумулятор из ЗУ
OUT ПОРТ D; вывод слова данных (УС/$\overline{D}$ = 0).

Программа приема данных из ППИС при программном обмене

RECY:IN ПОРТ C; чтение слова состояния (УС/$\overline{D}$ = 1)
ANI MACK2; выделение бита D1 (MACK2 = 00000010)
JZ RECY; переход к чтению, если $ГП_р$ = 0
ANI MACK3; анализ ошибок (MACK3 = 00111000)
CNZ ERROR; переход к подпрограмме обработки ошибок, если она обнаружена
IN ПОРТ D; чтение данных (УС/$\overline{D}$ = 0).

В синхронном режиме прием и передача данных возможны только на частоте, которая подается на входы $\overline{СПр}$ приемника и $\overline{СП}_д$ передатчика ППИС. При внутренней синхронизации ППИС выдает на линию передачи символы синхронизации до тех пор, пока не загрузится его выходной буфер. В это время выходной сигнал «Запрос приемника терминала» $\overline{ЗПрТ}$ = 1. После загрузки слова данных из МП в ППИС этот сигнал

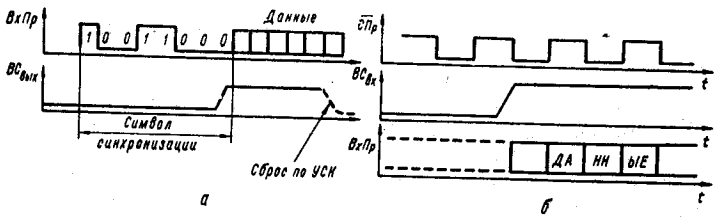


Рис. 10.52

$\overline{ЗПрТ}$ сбрасывается в состояние логического «0» и начинается выдача слова данных на линию. Выдачу очередного слова данных можно запретить подачей логической «1» на вход «Готовность приемника терминала» ($\overline{ГПрТ}$) передатчика. Для задания работы приемника в режиме внутренней синхронизации вывод «Вид синхронизации» (ВС) приемника программируется управляющей командой на работу в качестве выхода. Затем управляющим словом команды приемник переводится в режим поиска символов синхронизации. Обнаружив символ синхронизации, последующую информацию приемник начинает воспринимать как последовательность слов, формат которых определен. При синхронизации (во время поступления последнего бита символа синхронизации) устанавливается сигнал ВС = 1, который автоматически сбрасывается по команде считывания слова-состояния (рис. 10.52,*а*). В режиме внешней синхронизации вывод ВС в ППИС приемника программируется на работу в качестве

входа, а в ППИС передатчика — в качестве выхода. Вход ВС приемника и выход ВС передатчика соединяются. При этом прием слов данных приемником синхронизируется по фронту сигнала ВС от передатчика (рис. 10.52,*б*).

Подключение микросхемы КР580ВВ51 к магистрали МП-системы показано на рис. 10.53. Выход передатчика (ВыхПд), вход приемника (ВхПр), выводы сигналов «Запрос передатчика (приемника) терминалов» ($\overline{ЗПдТ}$ ($\overline{ЗПрТ}$), «Готовность передатчика (приемника) терминалов» ($\overline{ГПдТ}$ ($\overline{ГПрТ}$)) подключаются к схеме сопряжения по уровню преобразующей ТТЛ-уровни входных и выходных сигналов в уровни, необходимые для работы с ВУ (дисплеем, накопителем на магнитной ленте и т. д.).

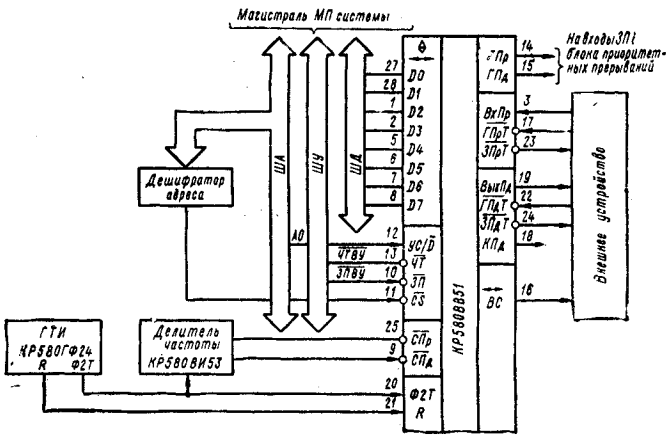


Рис. 10.53

Программируемый контроллер ПДП (КПДП) (КР580ВТ57) [3; 76] представляет собой четырехканальный программируемый контроллер для организации непосредственной связи между ВУ и ЗУ в микропроцессорных системах. Основная функция контроллера — формирование адресов памяти и управляющих сигналов ЧТ/ЗП памяти или ВУ. Контроллер принимает запрос ПДП (ЗПДП), обрабатывает его, формирует сигнал захвата шин МП, в результате чего отключается системная шина от МП и формируется последовательность адресов памяти и управляющих сигналов чтения / записи. По исчерпании требуемого числа данных обмена контроллер выдает управляющий сигнал ВУ об окончании обмена. Каждый канал содержит 16-разрядный регистр адреса, позволяющий адресовать память объемом 64 Кбайт, и 14-разрядный регистр числа циклов обмена для пересылки массивов данных объемом 16 Кбайт. Направления обмена данными (табл. 10.10), а также режим работы устройства задаются с помощью программы.

Программирование осуществляется управляющими словами (УПС) загрузки начального адреса памяти, числа циклов операций ПДП и типом операции ПДП (рис. 10.54). После записи управляющих слов контроллер ПДП готов к работе. Он прини-

Таблица 10.10

$\overline{CS}$	$\overline{ЧТ}$ ВВ	$\overline{ЗП}$ ВВ	A3	A2	A1	A0	Направление передачи и вид операции
							Шина данных → КПДП
0	1	0	0	0	0	0	Запись в регистр адреса канала 0
0	1	0	0	0	1	0	Запись в регистр адреса канала 1
0	1	0	0	1	0	0	Запись в регистр адреса канала 2
0	1	0	0	1	1	0	Запись в регистр адреса канала 3
0	1	0	0	0	0	1	Запись в регистр конца счета канала 0
0	1	0	0	0	1	1	Запись в регистр конца счета канала 1
0	1	0	0	1	0	1	Запись в регистр конца счета канала 2
0	1	0	0	1	1	1	Запись в регистр конца счета канала 3
0	1	0	1	0	0	0	Запись в регистр управления режимами
							КПДП → Шина данных
0	0	1	0	0	0	0	Чтение регистра адреса канала 0
0	0	1	0	0	1	0	Чтение регистра адреса канала 1
0	0	1	0	1	0	0	Чтение регистра адреса канала 2
0	0	1	0	1	1	0	Чтение регистра адреса канала 3
0	0	1	0	0	0	1	Чтение регистра конца счета канала 0
0	0	1	0	0	1	1	Чтение регистра конца счета канала 1
0	0	1	0	1	0	1	Чтение регистра конца счета канала 2
0	0	1	0	1	1	1	Чтение регистра конца счета канала 3
0	0	1	1	0	0	0	Чтение регистра состояния
1	×	×	×	×	×	×	Высокоомное состояние

мает запросы ПДП, обрабатывает их и выполняет операции ПДП.

В контроллере ПДП КР580ВТ57 (см. рис. 10.44,*в*) каждый канал ПДП имеет свой вход запроса (ЗПДП0...ЗПДП3). Внешние устройства информируют о готовности к обмену данными подачей логической «1» на один из входов. При этом на одном из выходов ППДП0...ППДП3 (подтверждение ПДП) появление логического «0» информирует ВУ о его выборе для обмена данными по каналу ПДП. D7...D0 — двунаправленная ШД, по которой информация обменивается между МП и контроллером ПДП при записи программы (управляющих слов в контроллер). При этом в обмене данными между ВУ и ЗУ двунаправленная ШД контроллера не участвует.

А0...А3 — младшие разряды двунаправленной ША, которые используются при записи в контроллер набора управляющих слов, а также для чтения содержимого регистров и как входы — для выбора регистра, с которым будет происходить обмен информацией. При работе в цикле ПДП А0...А3 исполь-

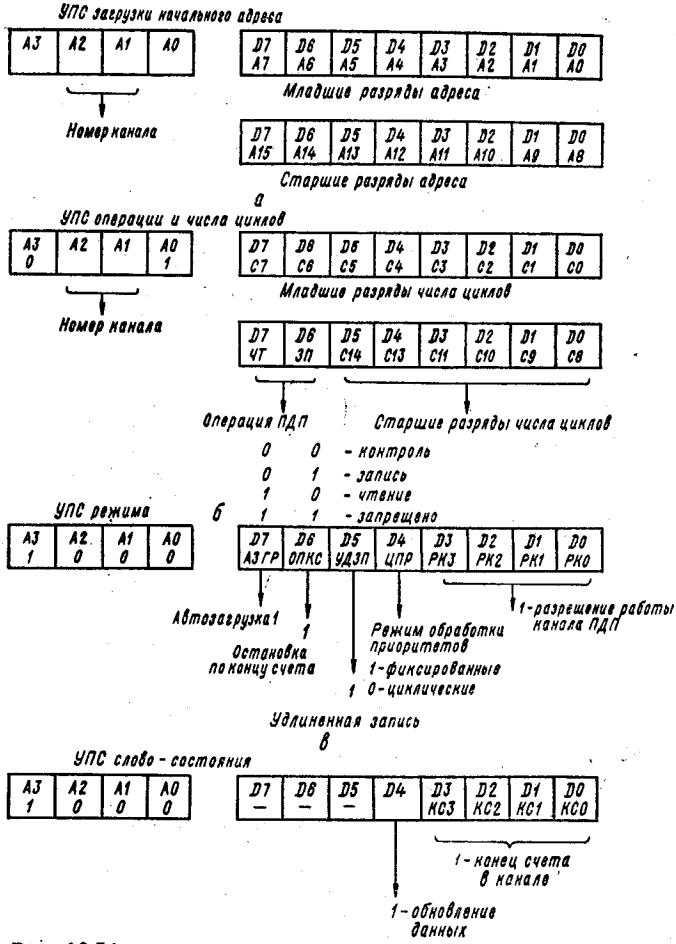


Рис. 10.54

зуются для вывода младших четырех разрядов кода адреса. А4...А7 — однонаправленные линии связи ША с тремя состояниями, по которым выводятся соответственно А4...А7 разряды кода адреса.

$\overline{\text{ЗП}}$ ВВ (запись ввод-вывод) — двунаправленный управляющий вход-выход используется как вход для подачи сигнала на запись во внутренние регистры контроллера, при работе в цикле

ПДП — как выход для сигнала, разрешающего запись данных из памяти во ВУ.

$\overline{\text{ЧТ ВВ}}$ (чтение ввод-вывод) — двунаправленный управляющий вход-выход используется как вход для получения сигнала $\overline{\text{ЧТ ВВ}}$ от ШУ микро-ЭВМ используется при чтении содержимого внутренних регистров контроллера, а при работе в цикле ПДП — как выход для сигнала, разрешающего считывание данных из ВУ в ЗУ. Таким образом, выводы $\overline{\text{ЧТ ВВ}}$ и $\overline{\text{ЗП ВВ}}$ контроллера подключаются к ЗУ и определяют для них направление и интервалы времени, отведенные для записи и считывания данных. Сигналы, определяющие эти же интервалы для памяти, формируются на выходах $\overline{\text{ЧТ ЗУ}}$ и $\overline{\text{ЗП ЗУ}}$, используемых для чтения из ЗУ и записи данных в ЗУ.

$\overline{\text{М128}}$ — выход сигнала маркера 128-го цикла ПДП, указывающий, что текущий цикл ПДП является по счету 128 циклом при передаче массива данных. ГОТОВ (готовность) ГТ — управляющий вход, используемый при работе с медленными УВВ, у которых время записи информации больше, чем длительность такта работы микро-ЭВМ. Подача логического «0» на этот вход переводит схему в состояние ожидания, аналогичное состоянию ожидания для МП. КС (конец счета) — выход, логическая «1» на котором указывает ВУ, что текущий цикл обмена по каналу ПДП является последним при передаче массива данных.

РАД (разрешение адреса) — выход, используемый для отключения всех магистралей микро-ЭВМ от МП, а также для записи старших восьми разрядов кода адреса в буферный регистр адреса и отключения схем выборки ВУ. При работе в режиме ПДП выборка ВУ для обмена данными осуществляется с помощью выходных сигналов ППДП0...ППДП3.

СТАД (строб, адреса) — выход, на котором формируется сигнал, записывающий старшие восемь разрядов кода адреса в буферном регистре.

$\overline{\text{CS}}$ (выбор устройства) — вход выбора данной схемы. Логический 0 на входе ВУ должен формироваться дешифратором адреса по сигналам с разрядов А4...А16 микро-ЭВМ. Вход автоматически отключается при работе в цикле ПДП.

СБРОС (R) — вход начальной установки схемы. Подача логической «1» обнуляет содержимое всех программно-доступных регистров схемы, что, в свою очередь, отключает все каналы К0...К3.

Ф2Т — вход сигнала Ф2Т. ЗЗХ (запрос захвата) — сигнал этого выхода схемы подается на вход ЗЗХ МП.

ПЗХ (подтверждение захвата) — вход, на который подается выходной сигнал ПЗХ от МП, подтверждающий, что все магистрали переведены в состояние высокого сопротивления.

Разряд А3 управляет выборкой каналов (А3 = 0) и регистра установки режима при записи или регистра слова состояния при чтении (А3 = 1). При выборке регистров каналов разряд А0 выбирает регистр канала: при А0 = 0 выбирается регистр адреса ПДП, при А0 = 1 — регистр конца счета. Разряды А2, А1 определяют номер канала (00 — канал 0, 01 — канал 1; 10 — канал 2; 11 — канал 3). При выборке регистров установки режима и слова состояния А2...А0 = 000.

С точки зрения программирования КПДП представляет собой массив из восьми двухбайтных специализированных реги-

стров и двух регистров однобайтных (рис. 10.55). Все регистры КПДП программно доступны, но в регистр режима (РР) можно только записать, а из регистра состояния (РС) — только считать байт данных. Канальные регистры адреса (РА), в которые заносятся начальные адреса ЗУ для передаваемых массивов данных, и регистры числа циклов обмена (РЧЦ), в которые записываются числа, определяющие длину передаваемых массивов, могут работать в режимах записи и считывания. Два старших разряда регистра числа циклов Р15, Р14 определяют тип операции обмена (00 — считывание содержимого регистров канала РА и РЧЦ; 01 — запись в ЗУ; 10 — чтение из ЗУ).

Инициализация КПДП осуществляется загрузкой управляющих слов (рис. 10.54) и исходных данных в адресуемые регистры РР, РА, РЧЦ по командам OUT или командам MOV (если адресация к ВУ ведется ячейками ЗУ). При этом линии А15...А4 ША после дешифрирования формируют сигнал $\overline{CS}$ (выборка) контроллера, а линии А3...А0 адресуют один из внутренних регистров КПДП. Каждый из 16-разрядных регистров канала обменивается парой команд OUT на этапе загрузки и парой команд IN при считывании. При этом первой команде соответствует младший байт, а второй — старший байт слова. Перед началом программирования КПДП регистр режима устанавливается в нулевое состояние по сигналу СБРОС (R), запрещая тем самым работу всех каналов КПДП. Потом загружаются регистры РА, РЧЦ всех каналов и управляющего слова режима (УСР) в регистр режима.

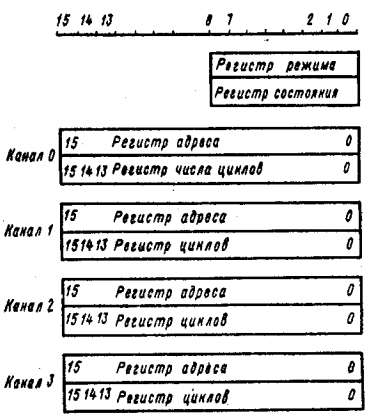


Рис. 10.55

Младшие полбайта D3...D0 (рис. 10.54,*в*) $РК_i$ — (разрешение канала) используются для маскирования сигналов ЗПДП. Если разряд разрешения канала $РК_i = 0$, то КПДП удовлетворяет запрос ПДП i-го канала. Разряд D4 (рис. 10.54,*в*) «Циклический приоритет» (ЦПР) определяет порядок работы схемы управления приоритета: при ЦПР = 0 распределение приоритетов между каналами ПДП фиксировано (РК0 — высший приоритет, РК3 — низший), а при ЦПР = 1 реализуется режим циклической смены приоритетов. При циклической смене приоритетов после каждого цикла ПДП схема приоритетов меняется: каналу, который выполняет цикл ПДП, присваивается самый низкий приоритет, а остальным каналам — приоритеты, следующие по уровню. Например, РК0 (низший приоритет), РК1, РК2, РК3 (высший приоритет), конец 1 цикла ПДП, РК1 (низший приоритет), РК2, РК3, РК0 (высший приоритет), конец 2 цикла ПДП и т. д. Если в УСР разряд D5 = 1, то КПДП генерирует сигналы $\overline{ЗПВВ}$ и $\overline{ЗПЗУ}$ с удвоенной длительностью, что обеспечивает временное согласование с памятью без использова-

ния сигнала готовности (ГТ) и перевода КПДП в состояние ожидание. Если разряд «Остановка по концу счета» (ОПКС) D6 = 1, то каждый канал КПДП передает только один блок данных, так как по сигналу «Конец счета» (КС) сбрасывается в нуль разряд разрешения работы канала $РК_i$ соответствующего канала. Повторная работа этого канала возможна только после занесения нового управляющего слова в регистр режима. Если разряд D6 = 0, реализуются многоблочные передачи данных по каналам ПДП. Режим автоматической загрузки (АЗГР) при D7 = 1 позволяет использовать канал 2 для повторной передачи блока или последовательности блоков без вмешательства МП в промежутке между передачей блоков.

ЦП МП системы может прочитать состояние контроллера в виде содержимого регистров каналов (РА и РЧЦ) или слово-состояния. Считывание слова-состояния (рис. 10.54,*г*)позволяет определить, в каком из каналов КПДП достигнут конец счета (D3...D0) и выполняется ли дополнительный цикл для перегрузки канала 3 в режиме автозагрузки (D4). Разряды D3...D0 регистра состояния устанавливаются в «1» в момент появления на выходе контроллера сигнала (КС) «Конца счета» для данного канала и остаются в таком состоянии, пока не будет прочитано состояние КПДП. Сигнал СБРОС (R) также обнуляет разряды D3...D0. Разряд D4 устанавливается в состояние логической «1» в режиме автозагрузки, т. е. когда АЗГР = 1 (D7 = 1 регистра режима). Пока D4 = 1, инициализация КПДП на передачу новых блоков данных запрещена. Состояние D4 не изменяется после чтения состояния контроллера. Установка D4 в состояние логического «0» осуществляется либо сигналом СБРОС (R), либо загрузкой нового УСР, в котором разряд D7 = 1.

На период инициализации и считывания КПДП прерывания запрещены командой DI.

На рис. 10.56,*а* изображена схема подключения контроллера ПДП к магистрали МП системы. В виду того, что старшие восемь разрядов адреса A15...A8 записаны в буферном регистре, контроллер КР580ВТ57 подключается к магистрали совместно с буферным регистром (БР) типа КР580ИР82. Временные диаграммы, поясняющие процесс записи старших восьми разрядов адреса в БР, показаны на рис. 10.56,*б*, работу схемы в цикле передачи данных по каналу ПДП — на рис. 10.56, *в* и при различных направлениях обмена данными по каналу ПДП — на рис. 10.56,*г*.

При ВВ по прерываниям действия по вводу-выводу инициируют сами ВУ, генерируя сигнал прерывания, который несет информацию о готовности ВУ передать или принять данные. При восприятии сигнала прерывания МП приостанавливает выполнение текущей программы и переходит к подпрограмме обслуживания прерывания соответствующего ВУ, обменивается с ним данными и возобновляет выполнение прерванной программы. Внешне реакция МП на прерывание похожа на вызов подпрограммы. Однако вызов подпрограммы запрограммирован и полностью предсказуем, а вызов прерывания осуществляется внешним сигналом, момент возникновения которого предсказать невозможно. Тем не менее прерывание можно считать внешним (аппаратным) вызовом подпрограммы.

Обслуживание запросов прерывания от одного ВУ не вызывает затруднений, так как начальный адрес подпрограммы обслуживания прерывания можно зафиксировать аппаратно. Ситуация несколько усложняется, когда на вход ЗАПРОС ПРЕРЫВАНИЯ

микропроцессора подаются сигналы прерываний от нескольких ВУ. Поэтому приходится присваивать ВУ приоритеты, и при одновременном возникновении ЗПР от ВУ первым обслуживается ВУ с наивысшим приоритетом. Приоритеты ВУ устанавливаются по максимально допустимому времени ожидания или обслу-

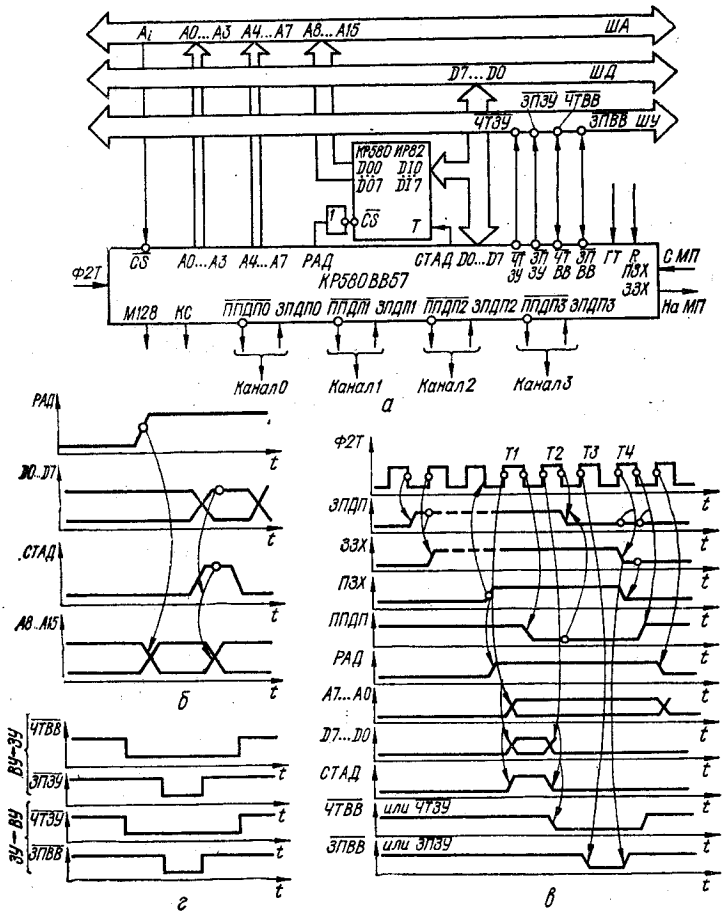


Рис. 10.56

живания: чем меньше время ожидания, тем выше приоритет. При организации в МП системе одноуровневых прерываний начатое обслуживание любого ВУ не может прерваться запросами на обслуживание от других ВУ независимо от приоритета. При организации многоуровневых прерываний запрос от ВУ с большим приоритетом может прервать подпрограмму обслуживания ВУ с меньшим приоритетом.

При одноуровневом прерывании (рис. 10.57) с несколькими ВУ сигналы ЗПР от всех ВУ объединяются по схеме ИЛИ и по-

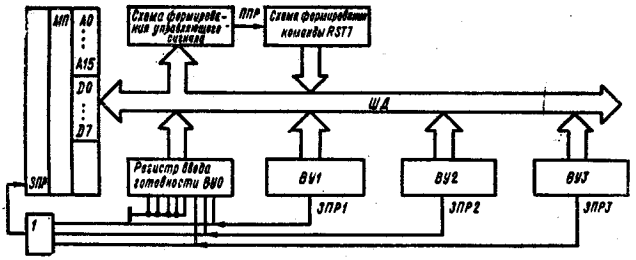


Рис. 10.57

даются на вход ЗПР (INT) микропроцессора. При появлении сигнала ЗПР на соответствующем входе МП выполняет следующие операции (рис. 10.58): 1) команду RST7 с передачей управления ячейке, например, с адресом 56; 2) запрещает восприятие

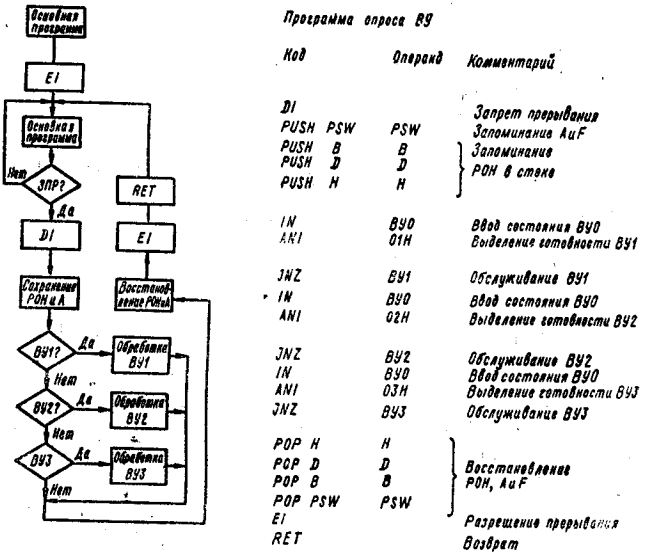


Рис. 10.58

последующих сигналов ЗПР на входе МП с помощью команды DI (запрет прерывания); 3) загружает содержимое РОН и А в стек; 4) опрашивает программно в установленной последовательности ВУ и определяет адрес источника прерывания; 5) обработку прерывания (ввод-вывод данных); 6) восстанавливает содержимое РОН и А; 7) снимает запрет на дальнейший прием

сигнала ЗПР с помощью команды EI (разрешение прерывания); 8) возвращается к выполнению прерванной программы.

При программном опросе признак ЗПР каждого ВУ проверяется в соответствии с программно реализуемой последовательностью опроса, поэтому приоритет каждого ВУ определяется его местом в последовательности опроса, и устройство ВУ1 (рис. 10.58) имеет наивысший приоритет. Рассмотренный способ прерывания является сравнительно медленным, и запрещение прерывания на время обслуживания программы обработки прерывания ВУ может привести к потере запросов быстродействующих ВУ.

При многоуровневом прерывании ВУ присваиваются определенные приоритеты, причем основной программе присваивается низший приоритет. При возникновении ЗПР от ВУ, приоритет

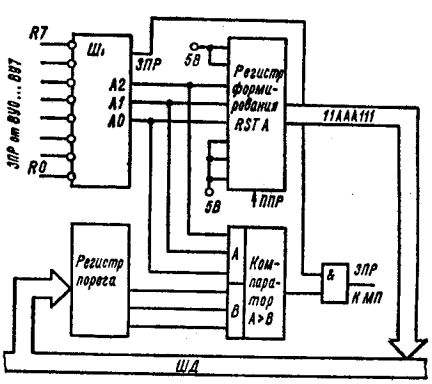


Рис. 10.59

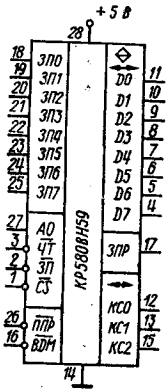


Рис. 10.60

которого выше приоритета текущей подпрограммы обработки прерывания, МП реагирует на прерывание, а запросы от ВУ, приоритет которых ниже,— игнорируются. В системе команд МП КР580ИК80А имеется восемь команд RST0...PST7 (см. табл. 10.6), которые присваиваются ВУ. Для дифференцирования ЗПР используется восьмивходовая (R0...R7) комбинационная схема (рис. 10.59) шифратора приоритетов (ШП), на выходах A2, A1, A0 которого формируется трехбитовый код вектора AAA (табл. 10.11), соответствующий запросу от ВУ с наивысшим приоритетом (чем больше код вектора AAA, тем выше приоритет). В процессе инициализации каждой программы в регистр порога загружается программа по команде OUT трехбитовый код приоритета текущей программы. Входной код ШП с помощью компаратора A > B сравнивается со значением порога B. На выходе компаратора формируется сигнал, когда приоритет ВУ, запросившего обслуживания, выше порога. Выход ЗПР шифратора приоритетов и выход компаратора объединяются по схеме И и генерируют сигнал ЗПР для МП.

После того как МП воспринял запрос i-го ВУ и выполнил команду RST, он переходит к следующей операции: 1) загрузка в стек содержимого РОН, A, PSW которые используются при обработке запроса i-го ВУ; 2) загрузка в стек значения текущего

Таблица 10.11

Входы R								Выходы			
0	1	2	3	4	5	6	7	A2	A1	A0	ЗПР
1	1	1	1	1	1	1	1	*	*	*	0
*	*	*	*	*	*	*	0	1	1	1	1
*	*	*	*	*	*	0	1	1	1	0	1
*	*	*	*	*	0	1	1	1	0	1	1
*	*	*	*	0	1	1	1	1	0	0	1
*	*	*	0	1	1	1	1	0	1	1	1
*	*	0	1	1	1	1	1	0	1	0	1
*	0	1	1	1	1	1	1	0	0	1	1
0	1	1	1	1	1	1	1	0	0	0	1

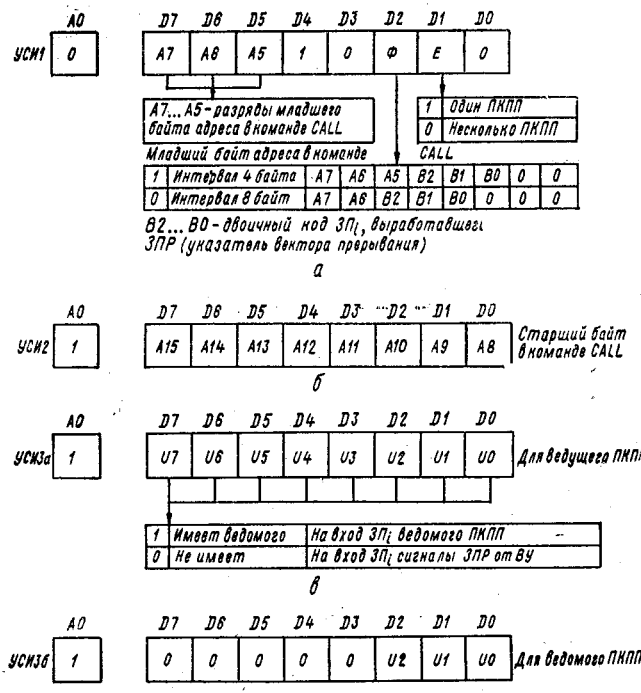
порога; 3) загрузка в регистр порога значения, соответствующего приоритету i-го ВУ, и сброс его сигнала прерывания; 4) разрешение прерываний командой EI; 5) обмен данными с i-м ВУ; 6) запрещение прерываний командой DI; 7) восстановление значения порога прерываний программы; 8) восстановление состояния МП; 9) разрешение прерываний командой EI; 10) возврат к прерванной программе командой RET.

Следует учитывать, что прерывания, генерируемые во время выполнения команды EI, воспринимаются после завершения команды, следующей за командой EI. МП не реагирует на прерывания при запрещении их командой DI, в состояниях ожидания и прямого доступа к памяти. В цикле прерывания (в течение времени выполнения команды RST A) МП запрещает прерывания, загружает в стек адрес возврата и передает в СК начальный адрес подпрограммы обработки прерывания.

Программируемый контроллер приоритетного прерывания (ПКПП) КР580ВН59 (рис. 10.60) обеспечивает обслуживание ВУ по запросу прерывания программы МП с учетом уровня приоритета. Он управляет запросами прерывания по восьми уровням и содержит внутренние схемы, позволяющие наращивать уровни (до 64). Его программирование осуществляется с помощью системного программного обеспечения и аналогично программированию ВУ ввода-вывода [64; 81].

Таблица 10.12

$\overline{CS}$	$\overline{ЧТ}$	$\overline{ЗП}$	$\overline{A0}$	Направление передачи	Вид операций
0	1	0	0	ШД → ПКПП	Запись УСИ1
0	1	0	1		Запись УСИ2, УСИ3
0	0	1	0	ШД ← ПКПП	Чтение РЗП, РО, КУЗП
0	0	1	1		Чтение РМП
1	*	*	*	Высокоимпедансное состояние	



N ПКПП	U2	U1	U0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
8	1	1	1

г

Рис. 10.61

ПКПП принимает запросы прерываний (ЗПР), осуществляет их приоритетную обработку и формирует сигналы ЗПР центральному процессору. Приняв от ЦП сигнал РПР, контроллер формирует информацию, идентифицирующую источник запроса прерывания, принятый к обслуживанию, и передает управление по обслуживанию запроса ЦП.

Контроллер можно запрограммировать на режим векторного прерывания (адрес подпрограммы обслуживания формируется командой CALL) с фиксированным приоритетом, с циклическим перераспределением приоритетов, с адресуемым распределением приоритетов и режим опроса ВУ с приоритетом, определяемым местом ВУ в последовательности опроса.

Сигналы управления $\overline{ЗП}$, $\overline{ЧТ}$, A0 и $\overline{CS}$ определяют вид обрабатываемой информации и направление передачи между ЦП и ПКПП (табл. 10.12).

Программируется ПКПП управляющими словами инициализации (УСИ) и управляющими словами операций (УСО). Вводят-

ся УСИ и УСО с помощью команды OUT. УСИ подаются перед началом работы ПКПП, а УСО служат для оперативного изменения режима обслуживания прерываний и могут подаваться в любое время в процессе работы контроллера.

Управляющие слова УСИ1, УСИ2 (рис. 10.61,*а*, *б*) задают начальные адреса подпрограмм обслуживания (D7...D5 в УСИ1 и D7...D0 в УСИ2), определяют наличие в системе одного или нескольких ПКПП (D1 в УСИ1), и интервал 4 (или 8) байтов подпрограмм обслуживания (D2 в УСИ1). Общий объем памяти для подпрограмм обслуживания может составлять 32 или 64 байта.

Процедура инициализации (рис. 10.62) заключается в последовательном вводе в ПКПП УСИ1 (A0 = 0, D4 = 1), УСИ2 (A0 = 1). Перед проведением инициализации прием прерываний МП должен быть запрещен с помощью команды DI. После загрузки УСИ1 в контроллере выполняются следующие операции: сброс регистра запросов прерывания (РЗП), входы запросов прерываний ЗП0...ЗП7 блокируются от поступления сигналов запросов ($ЗП_i$); сброс в нуль регистра маски прерывания (РМП), триггера маскирования (ТМ) и триггера чтения (ТЧ); входу ЗП7 присваивается низший приоритет 7.

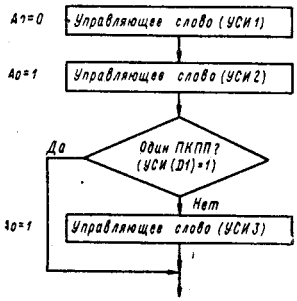


Рис. 10.62

В случае использования в МП системе нескольких ПКПП один из них выступает в качестве ведущего ($\overline{ВДМ}$ = 1), а остальные — в качестве ведомых ($\overline{ВДМ}$ = 0). Все ПКПП инициируются отдельно, вначале для каждого из них загружаются УСИ1, УСИ2, а затем вводится УСИ3 (рис. 10.61,*в*, *г*), которое определяет соподчиненность ПКПП. В ведущий ПКПП вводится УСИ3а, при этом во всех трех разрядах регистра подчинения, которые соответствуют запросам от ведомых ПКПП, устанавливается «1». В ведомых ПКПП вводится УСИ3б, при этом в разрядах 2, 1, 0 регистра подчинения записывается код, который идентифицирует ее номер. В процессе работы в ведомом ПКПП этот номер сравнивается с кодом на входах шины каскадного соединения КС2...КС0, поступающим от ведущего ПКПП, и если они окажутся равными, то ПКПП выдает второй и третий байты команды CALL ADR — адрес подпрограммы обслуживания прерывания.

Управление режимами работы ПКПП, изменение приоритетов, управление маскированием прерываний осуществляются управляющими словами операции (рис. 10.63).

Управляющее слово операции УСО1 (рис. 10.63,*а*) используется для маскирования отдельных запросов прерывания во время исполнения программы. Для маскирования соответствующего входа запроса прерываний ($ЗП_i$) в соответствующем разряде D_i УСО1 указывается «1». При этом сигналы $ЗП_i$ фиксируются, но не обслуживаются до тех пор, пока программа не снимет маску.

Управляющее слово УСО2 (рис. 10.63,*б*) используется для программирования циклической обработки приоритетов (D7,

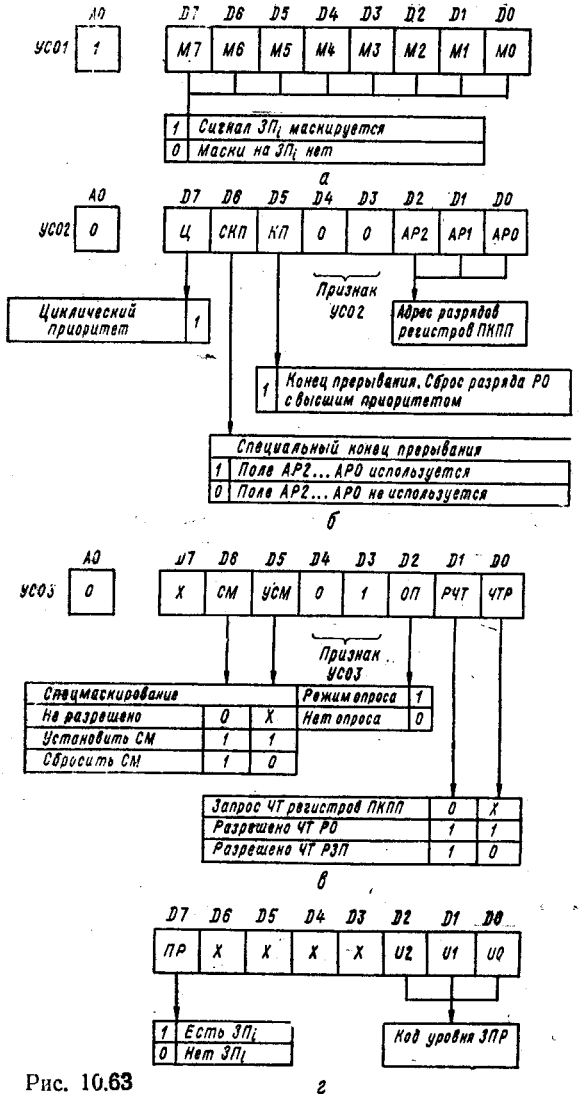


Рис. 10.63

D2...D0) и конца подпрограммы обработки прерываний (D6, D5, D2...D0).

В табл. 10.13 перечислены операции, которые можно задать с помощью УСО2. Каждая подпрограмма обслуживания прерываний должна сообщать ПКПП о своем завершении передачей в него одного из управляющих слов: конец прерывания (КП) или специальный конец прерывания (СКП), которые имеют модификации для системы с фиксированными приоритетами и для

Таблица 10.13

УСО2	D7	D6	D5	D4	D3	D2	D1	D0	Операции
КП	0	0	1	0	0	×	×	×	Конец прерывания. Фиксированный приоритет. Сброс разряда РО с высшим приоритетом
КПЦ	1	0	1	0	0	×	×	×	Конец прерывания. Циклический сдвиг приоритетов. Присвоение обслуженному $ЗП_i$ низшего приоритета (НП)
СКП	0	1	1	0	0	АР2	АР1	АР0	Специальный конец прерывания. Фиксированный приоритет АР2...АР0. Адрес сбрасываемого разряда в РО
СКПЦ	1	1	1	0	0	АР2	АР1	АР0	Специальный конец прерывания. Циклический сдвиг приоритета АР2...АР1. Адрес сбрасываемого разряда в РО и присвоение ему НП
УПЦ	1	1	0	0	0	АР2	АР1	АР0	Установка приоритета. Циклический сдвиг приоритета без завершения обслуживания прерывания АР2...АР0 Адрес входа $ЗП_i$, которому присваивается НП

системы с циклическими приоритетами. Кроме того, управляющее слово установки приоритета циклического (УСУПЦ) позволяет программно определить вход $ЗП_i$ с низким приоритетом независимо от УСКП и УССКП, т. е. без изменения содержимого регистра обслуживания (РО). При этом адресуемому полем $АР_2$—$АР_0$ входу $ЗП_i$ присваивается низший приоритет, а приоритеты остальных входов располагаются по кольцу.

Управляющее слово УСО3 (рис. 10.63,*в*) используется для управления режимом специального маскирования (СМ), для чтения состояния ПКПП и управления работой ПКПП в режиме прерываний по результатам опроса. С помощью УСО3 МП считывает состояние ПКПП, т. е. перегружает в РОН для последующего анализа содержимое регистра запроса прерываний (РЗП), регистра обслуживания (РО), регистра маски прерывания (РМП) и код уровня запроса прерывания (КУЗП) с наивысшим приоритетом. После подачи УСО3 обслуживания по результату опроса по команде IN ($\overline{ЧТ} = 0$) в МП передается слово состояния ПКПП, формат которого и назначение полей показаны на рис. 10.63,*г*. Обслуживаются $ЗП_i$ запросы ВУ на прерывание после анализа считанного слова состояния ПКПП специальной программой, которая определяет, какой из прошедших $ЗП_i$

обладает наивысшим приоритетом по сравнению с приоритетом в текущий момент времени программы.

Использование режима прерываний по результату опроса целесообразно, когда для ВУ имеется общая подпрограмма

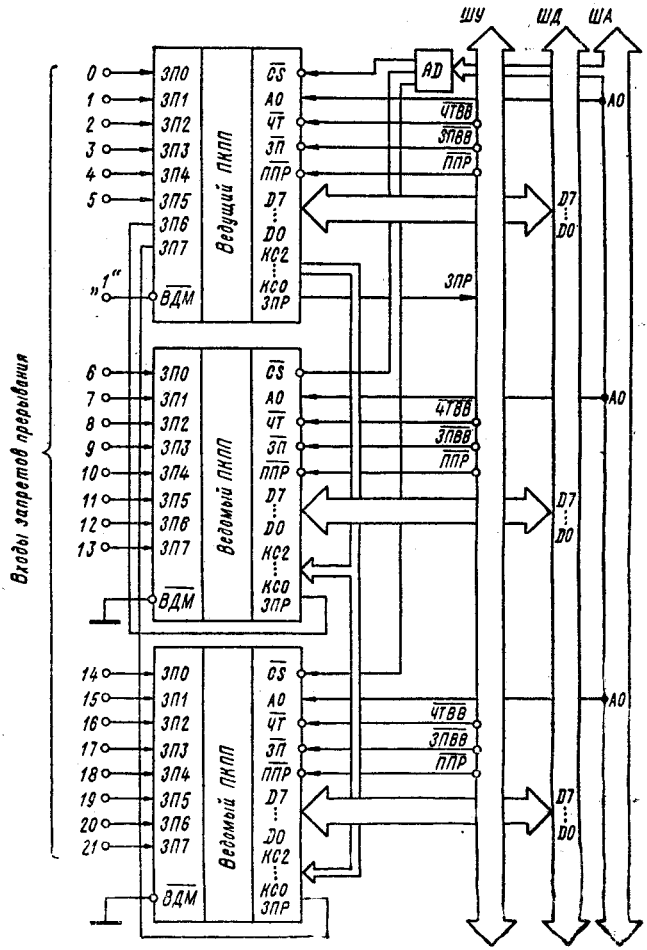


Рис. 10.64

обслуживания. Другим важным применением режима опроса является его использование в системе, содержащей более 64 ВУ.

Последовательность работы ПКПП после записи УПС следующая: 1) по входам ЗП7...ЗП0 ПКПП принимает сигналы от ВУ, запрашивающих обслуживание; 2) ПКПП анализирует приоритеты поступивших запросов и посылает сигнал ЗПР на ЦП (КР580ВМ80А); 3) ЦП подтверждает получение запроса

прерывания выдачей сигнала $\overline{ППР}$ (КР580ВК28); 4) после получения сигнала $\overline{ППР}$ ПКПП выдает на шину данных D7...D0 код команды с CALL (11001101); 5) под воздействием кода операции CALL ЦП должен сгенерировать еще два сигнала ППР (КР580ВК28); 6) ПКПП выдает на ШД два байта адреса подпрограммы обслуживания прерывания (вначале младшие разряды, а затем старшие) и хранит бит обрабатываемого запроса до тех пор, пока не завершится выполнение подпрограммы обслуживания прерывания.

На рис. 10.64 изображено каскадное соединение ПКПП. Функции ведущего ($\overline{ВДМ}$ = 1) и ведомых ($\overline{ВДМ}$ = 0) ПКПП определены подачей соответствующих сигналов на входы $\overline{ВДМ}$ контроллеров. Предварительно каждому ПКПП присваивается

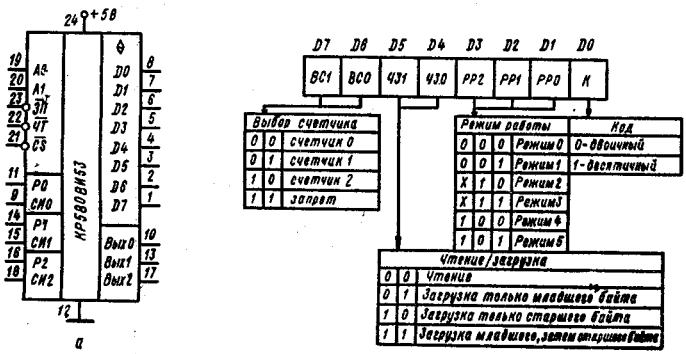


Рис. 10.65

его номер (путем загрузки в него соответствующего УСО), который равен номеру входа $ЗП_i$ ведущего ПКПП, к которому подключается вывод ЗПР ведомого ПКПП, а выбирается требуемый ПКПП центральным процессором через адресный дешифратор AD.

Программируемый интегральный таймер (ПИТ) КР580ВИ53 (рис. 10.65,*а*) представляет собой трехканальный таймер-счетчик, вырабатывающий временные интервалы (ВИ). Длительность ВИ можно задавать программно в двоичной или двоично-десятичной системе счисления. Счетчики ПИТ работают в диапазоне частот от 0 до 2 МГц [64; 81].

Каждый канал программно можно построить на один из шести режимов работы: режим 0 — программируемая задержка, режим 1 — ждущий мультивибратор, режим 2 — делитель частоты, режим 3 — генератор меандра, режим 4 — строб с программным запуском, режим 5 — строб с аппаратным запуском.

Инициализация и управление работой ПИТ (табл. 10.14) осуществляется с помощью управляющих слов (рис. 10.65,*б*). УПС записывается в любом порядке очередности выбора канала (D7, D6). Очередность начальной *n* загрузки счетчиков произвольная. Однако выбранный счетчик канала обязательно должен быть загружен тем количеством байтов, которое было запрограммировано в УПС (D5, D4). Кроме того, загрузка счетчи-

Таблица 10.14

$\overline{ЗП}$	$\overline{ЧТ}$	A1	A0	$\overline{CS}$	Направление передачи и вид операции
0	1	1	1	0	ШД → ПИТ. Загрузка УПС в счетчики 0, 1 и 2
0	1	0	0	0	ШД → ПИТ. Загрузка счетчика 0
0	1	0	1	0	ШД → ПИТ. Загрузка счетчика 1
0	1	1	0	0	ШД → ПИТ. Загрузка счетчика 2
1	0	0	0	0	ШД → ПИТ. Считывание счетчика 0
1	0	0	1	0	ШД → ПИТ. Считывание счетчика 1
1	0	1	0	0	ШД → ПИТ. Считывание счетчика 2
*	*	*	*	1	ШД. Отключена

ков обязательно должна следовать сразу же после записи режима. Последовательность программирования отдельного канала следующая: УПС режима счетчика, младший байт загрузки счетчика; старший байт загрузки счетчика.

Пример программирования счетчика 0, адресуемого разрядом A4, в режиме 0 в двоичном коде

MVI A, 00110000; формирование УПС

OUT 11101111; загрузка УПС в ПИТ

MVI A, ⟨младшего байт⟩; формирование и загрузка младшего байта в счетчик 0

OUT 11101100

MVI A, ⟨старшего байт⟩; формирование и загрузка старшего в счетчик 0

OUT 11101100

Следует отметить, поскольку счетчики каналов работают на вычитание, то при загрузке всех разрядов нулями счетчик дает максимальное число при счете 2^{16} в двоичном коде или 10^4 в двоично-десятичном коде. При этом конечным числом, на которое реагирует схема управления канала, является число «0», начальным — число, загруженное в счетчик.

Анализ работы ПИТ в различных режимах необходимо проводить с учетом взаимодействия сигнала разрешения P_i (табл. 10.15), который формируется на периферии МП системы. Временные диаграммы работы ПИТ во всех режимах показаны на рис. 10.66.

В режиме 0 при подаче сигнала P = 1 счетчик начинает работать. Перезагрузка счетчика во время счета приводит к следующему: загрузка младшего байта останавливает счет, а загрузка старшего байта запускает новый цикл счета. Появление сигнала P = 0 в процессе счета приостанавливает работу счетчика и сохраняет текущее значение, с которого и продолжается процесс счета после восстановления разрешающего сигнала.

В режиме 1 длительность выходного импульса $t_{вых} = n\tau_0$, где τ_0 — период счетных импульсов (СИ); n — число, загруженное в счетчик. Если во время работы в счетчик загружается новая величина n_i, то это не повлияет на длительность текущей выдержки одновибратора до следующего запуска. Одновибратор

Таблица 10.15

Режим работы	Состояние сигнала разрешение P_t		
	Нуль или спад сигнала	Нарастание сигнала	Единица
0 программируемая задержка	Запрещает счет	—	Разрешает счет
1 — ждущий мультивибратор	—	1. Запускает счет сначала 2. Устанавливает Вых = 0 в следующем такте СИ	—
2 — делитель частоты	1. Запрещает счет 2. Устанавливает Вых = 1	Запускает счет сначала	Разрешает счет
3 — генератор меандра	1. Запрещает счет 2. Устанавливает Вых = 1	Запускает счет сначала	Разрешает счет
4 — строб с программным запуском	Запрещает счет	—	Разрешает счет
5 — строб с аппаратным запуском	—	Запускает счет сначала	—

является перезапускаемым, т. е. каждый сигнал Р = 1 по переднему фронту запускает счет или перезапускает его сначала, даже если счет не завершен до конца.

В режиме 2 счетчик делит входную частоту СИ f/n, где n — число, загруженное в счетчик. Сигнал Вых = 1 имеет длительность $(n-1)\tau_0$. Длительность выходного сигнала (Вых = 0) равно периоду СИ. Перезагрузка счетчика не влияет на длительность текущего периода, но изменяет длительность следующего периода.

В режиме 3 формируются прямоугольные импульсы типа меандр (со скважностью 2). Период выходного сигнала $T_{вых} = n\tau_0$, при этом длительность положительного и отрицательного полупериодов $\tau_0 n/2$, если n четное. При нечетном n положительный полупериод $\tau_0(n+1)/2$, отрицательный $\tau_0(n-1)/2$, причем $n \neq 3$.

В режиме 4 на выходе канала формируется строб логического «0» с длительностью, равной периоду τ_0 СИ, и программно-управляемой задержкой, длительность которой определяется числом n периодов СИ, отсчитываемых от момента появления разрешающего сигнала Р = 1.

Работа *режима 5* аналогична работе режима 4 с той разницей, что счетчик канала после загрузки начинает счет только по нарастанию разрешающего сигнала. Кроме того, если во время

счета на входе разрешения Р появится передний фронт сигнала, то счет начинается сначала.

Режим чтения. Содержимое любого счетчика может быть считано под воздействием программы. Это полезно в тех слу-

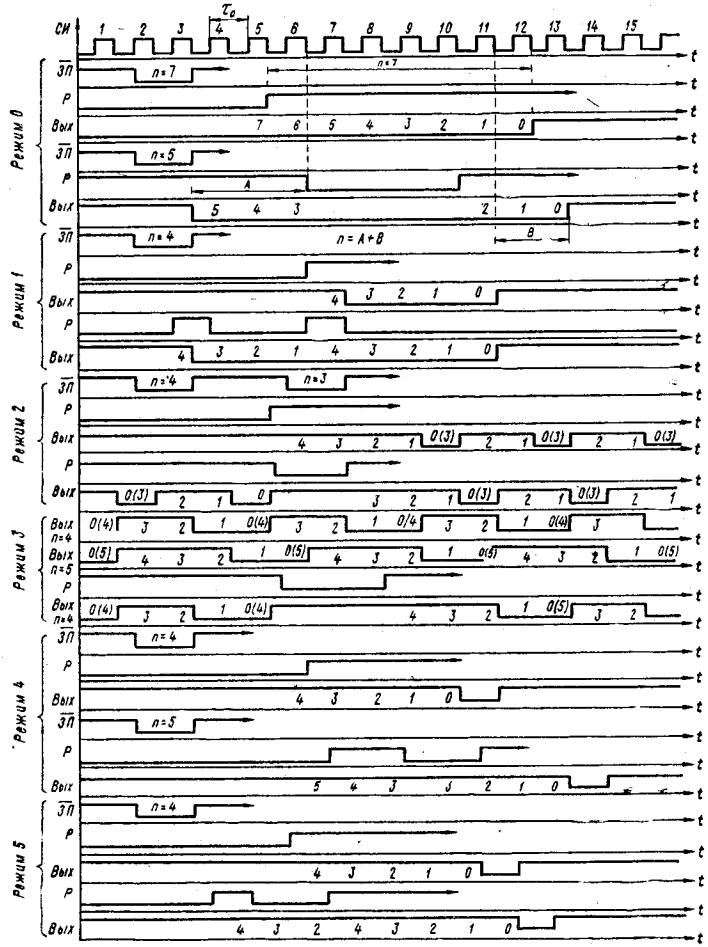


Рис. 10.66

чаях, когда на основе считанного значения принимается решение о дальнейшем ходе вычислительного процесса. Считывать текущее значение счетчика ПИТ в МП можно двумя способами: операцией чтения или чтения «на лету». В первом способе используется команда ввода IN. Однако при этом на время выполнения операции считывания необходимо приостановить работу счетчика сигналом Р = 0. Кроме того, операцию чтения

содержимого счетчика выбранного канала необходимо выполнить до конца, т. е. если запрограммировано чтение двух байтов, то нельзя читать только один байт. Второй способ считывания содержимого счетчика без прерывания счета (чтение «на лету») требует предварительной загрузки в регистр режима УПС с кодом 1000XXXX. Однако особенностью этого способа чтения является невозможность предварительной записи УПС отдельно по каналам: УПС выдается ЦП перед чтением.

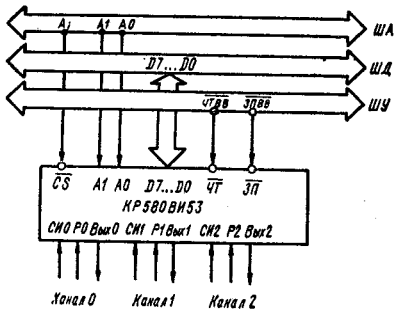


Рис. 10.67

Например, последовательность чтения содержимого счетчика 1, адресуемого разрядом A4, имеет вид

```
MVI A,  10000000; формирование УПС чтения «на лету»
OUT     11101111; запись УПС в ПИТ
 IN     11101100; чтение младшего байта счетчика
 IN     11101100; чтение старшего байта счетчика
```

На рис. 10.67 изображена схема сопряжения ПИТ КР580ВИ53 с магистралью МП системы.

Глава 11

ОДНОКРИСТАЛЬНЫЕ МИКРО-ЭВМ

11.1. ОДНОКРИСТАЛЬНЫЕ 8-РАЗРЯДНЫЕ МИКРО-ЭВМ СЕРИИ К1816

Однокристальные микро-ЭВМ (ОМЭВМ) используют в устройствах цифровой обработки в качестве микроконтроллера, для которого требуются короткие программы, небольшой объем памяти для переменных, и он имеет ограниченные возможности по вводу-выводу информации (см. табл. 10.2) [10; 30; 46; 54].

Однокристальные микро-ЭВМ серии К1816 (рис. 11.1, 11.2) представляют собой функционально законченные устройства, содержащие центральный процессор *ЦП*, память программ *РПЗУ*, память данных *ОЗУ*, многоканальный интерфейс ввода-вывода *P0*, *P1*, *P2*, 8-разрядный таймер-счетчик *ТС*, регистр адреса *РА*, устройство управления и синхронизации, дешифратор команд *ДК* и регистр команд *РК* [37; 44; 50; 66; 81]. Предусмотрена возможность расширения памяти программ до 4 Кбайт, памяти данных до 256 байт и увеличения числа линий ввода-вывода за счет подключения внешних ПЗУ, ОЗУ и интерфейсов ввода-вывода серии КР580. Все выводы ОМЭВМ совместимы с элементами ТТЛ. Входы представляют собой единичную нагрузку, а выходы нагружены одной ТТЛ-нагрузками.

Центральный процессор обеспечивает выполнение арифметических и логических операций и операций сдвига над данными,

представленными в двоичном или двоично-десятичном кодах. В состав ЦП входят *АЛУ*, аккумулятор *А*, регистр временного хранения *РВХ* операнда, схема десятичного корректора *СДК*, схема условных переходов *СУП*, схема формирования признаков *СФП*, часть из которых фиксируется в регистре слово-состояния программы *РССП* и используется логической схемой управления переходами по программе.

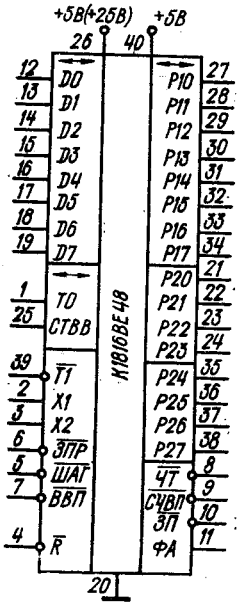


Рис. 11.1

Комбинационная схема *АЛУ* выполняет следующие операции: сложения байта с переносом или без него, логические операции И, ИЛИ и исключающее ИЛИ; инкремент и дискремент байта; инверсию байта; циклический сдвиг влево и вправо (через или минуя признак переноса); обмен тетрад в байте; десятичную коррекцию. Результат выполнения операций *АЛУ* всегда заносится через внутреннюю ШД в аккумулятор.

Аккумулятор представляет собой 8-разрядный регистр для записи и хранения данных, подаваемых с внутренней ШД. Регистр временного хранения (программно-недоступный) представляет собой 8-разрядный регистр. Он предназначен для записи и хранения второго операнда при выполнении операций в *АЛУ*. Схема десятичного корректора предназначена для обработки данных, представленных в двоично-десятичном коде.

При выполнении операций в *АЛУ* формируются признаки СФП, часть из которых не фиксируется в *РССП*. К таким при-

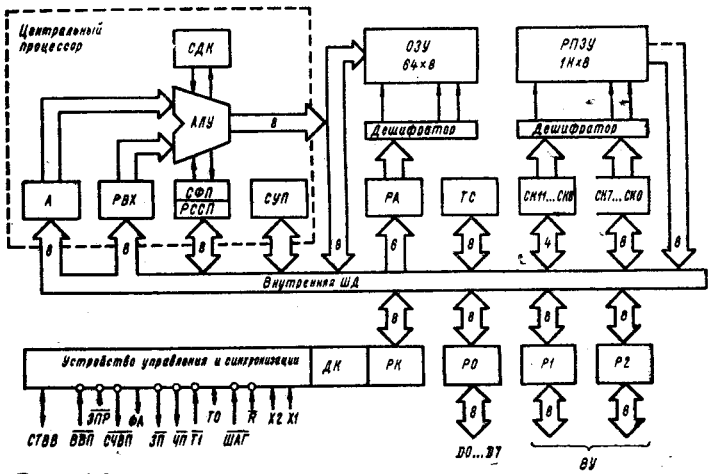


Рис. 11.2

знакам относятся признаки нулевого содержимого аккумулятора и признак наличия единицы в селектируемом разряде аккумулятора. Схема условных переходов по указанным признакам позволяет без фиксации выполнять команды передачи управления (JZ, JNZ, JB0—JB7). Признаки переноса (переполнения C) и вспомогательного переноса (перенос из младшей тетрады в старшую AC) фиксируются в *РССП* (рис. 11.3).

Регистр слово-состояния программы (PSW) предназначен для хранения данных о состоянии микро-ЭВМ. *РССП* может программно проверяться, модифицироваться весь и поразрядно. При прерываниях по входу «Запрос прерывания» ($\overline{ЗПР}$) и по признаку переполнения таймера-счетчика FT содержимое (D7...D4) *РССП* заносится в стек, а при возврате из программы прерывания содержимое этих разрядов восстанавливается. Условия перехода определяются также состояниями входов T0, T1, $\overline{ЗПР}$, признаками пользователя F0, F1, признаком переноса C, признаками банка регистров общего назначения (BS) и выбранного блока внешней памяти программ MB1. Значения признаков C, F0, F1, FT устанавливаются программно, признаков T0, T1, $\overline{ЗПР}$ — аппаратно.

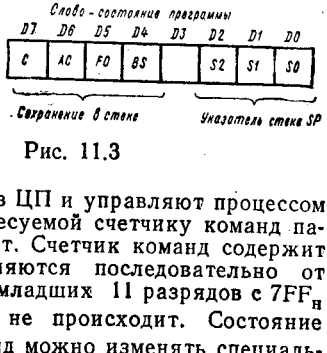


Рис. 11.3

Память программ (ПП) предназначена для хранения и считывания команд, которые поступают в ЦП и управляют процессом обработки информации. Объем адресуемой счетчику команд памяти программ составляет 4 Кбайт. Счетчик команд содержит 12 разрядов, 11 из которых меняются последовательно от $000_н$ до $7FF_н$. При переполнении младших 11 разрядов с $7FF_н$ в $000_н$ переноса в 12-й разряд не происходит. Состояние 12-го разряда (MB) счетчика команд можно изменять специальными командами SEL MB0, SEL MB1. Содержимое СК может изменяться не только последовательно, но и произвольно при выполнении команд условных и безусловных переходов, а также при прерывании. Таким образом, все адресное пространство РПЗУ состоит из двух банков MB0 и MB1 по 2 Кбайт (рис. 11.4).

В памяти программы имеются три специализированных адреса: адрес «0», к которому передается управление сразу после окончания сигнала «Сброс» ($\overline{R}$), по адресу «0» должна находиться команда безусловного перехода к началу программы; адрес «3», по которому расположен адрес подпрограммы, вызванной по сигналу «Запрос прерывания» ($\overline{ЗПР}$) при условии, что прерывание разрешено ранее по команде ENI, при этом сигнал «Сброс» ($\overline{B}$) запрещает прерывания; адрес «7», по которому расположен адрес подпрограммы, вызываемой по переполнению FT таймера-счетчика при условии, что прерывание разрешено.

Память программы разделяется не только на банки MB0 (MB1) объемом 2 Кбайт, но и на страницы по 256 байт в каждой. В командах условного перехода задается 8-разрядный адрес передачи управления в пределах текущей страницы. При обращении к ячейкам ПП применяют два способа адресации: непосредственная, при которой второй байт двухбайтной команды представляет собой операнд; косвенная, при которой содер-

жимое аккумулятора используется в качестве указателя данных в текущей странице или в 3-й странице памяти программ. Следует отметить, что в ПП старший байт двухбайтного слова располагается в ячейке с меньшим адресом.

Если адрес выборки команды выходит за пределы ПП, то автоматически инициализируется внешняя память. При этом содержимое СК выводится на 8-разрядную ШД и на четыре младших разряда регистра Р2. Сигнал «Фиксация адреса» (ФА) задним фронтом фиксирует действующий адрес внешнего устройства (ВУ), а сигнал «Считывание из внешней памяти» ($\overline{\text{СЧВП}}$) стробирует выборку байта из внешней памяти на внутреннюю ШД.

Память данных (ОЗУ) предназначена для записи, хранения и считывания данных, получаемых в процессе обработки инфор-

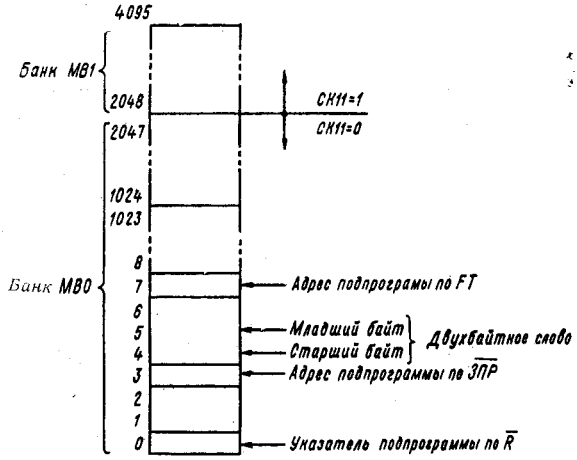


Рис. 11.4

мации. Память данных, состоящая из 64 (128) ячеек ОЗУ, разбита на два банка BS0, BS1 регистров общего назначения (РОН) с адресами 0—7 и 24—31 по восемь регистров в каждом (рис. 11.5). Переключаются банки программно с помощью команд SEL RB0, SEL RB1. Восьмиуровневый 16-разрядный стек с адресами от 8 до 23 и ячейки ОЗУ от 32 до 63 используются только как ОЗУ данных.

РОН доступны командам с прямой адресацией, а все ячейки ОЗУ доступны командам с косвенной адресацией. В качестве регистров косвенной адресации используются регистры R0, R1 обоих банков. Ячейки ОЗУ адресуются указателем стека (S2, S1, S0) из РССП и их можно использовать в качестве 8-уровневого стека (рис. 11.6). Загрузка в стек приводит к увеличению указателя стека (S2, S1, S0), чтение из стека —к уменьшению.

Независимо от типа адресации три младших разряда кода команды указывают один из восьми регистров РОН R0...R7 с учетом принадлежности к ранее выбранному банку регистров. Однокристальная микро-ЭВМ К1816 не имеет команд загрузки байта в стек или его извлечения из стека, а в нем фиксируются

только содержимое СК и старшая тетрада РССП, т. е. команды обращения к ОЗУ оперируют с одним байтом. Однако по командам вызова и возврата осуществляется доступ к двухбайтным словам. В памяти данных слова хранятся так, что старший байт слова располагается в ячейке с большим адресом.

Обращение к внешней ОЗУ осуществляется с помощью команд MOVX @R, A и MOVX A, @ R. Обмен информацией с внешним ОЗУ стробируется сигналами «Чтение данных внешней ОЗУ» ($\overline{ЧТ}$) и «Запись данных во внешнее ОЗУ» ($\overline{ЗП}$).

Многоканальный интерфейс ввода-вывода предназначен для обмена информацией ОМЭВМ с внешними устройствами. В ОМЭВМ имеется 27 линий ввода-вывода, 24 из которых объединены в три 8-разрядных канала P2, P1, P0. Каналы P2, P1 об-

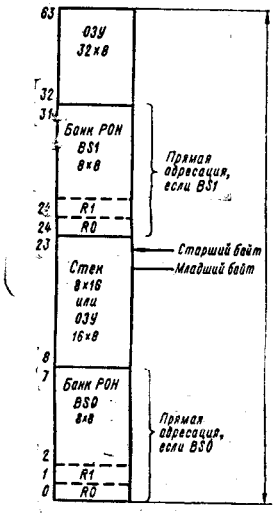


Рис. 11.5

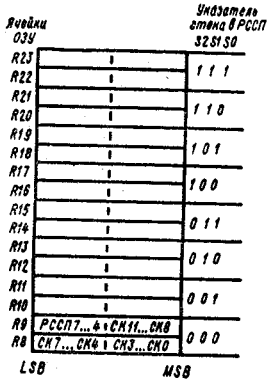


Рис. 11.6

ладают возможностью фиксаций данных. Эти данные присутствуют на выводах канала и могут быть изменены только новой командой OUTL. Каналы P2, P1 можно программным путем настроить на ввод, вывод или на работу с двунаправленной линией передачи. Каждый контакт ввода-вывода каналов P2, P1 является выходом с открытым стоком и высокоомным входом, соответствующим высокому уровню, т. е. логической «1». При использовании каналов P2, P1 в качестве входов необходимо до подачи входной информации установить каналы в состояние высокого уровня с помощью сигнала «Сброс» ($\overline{R}$). Особенностью каналов P2, P1 является то, что в процессе ввода информации выполняется операция логического И над вводимыми и текущими (последними выводимыми) данными. Поэтому при вводе программист должен следить за тем, чтобы в соответствующих линиях ввода сохранялось значение логической «1». Указанная особенность каналов P2, P1 при вводе, а также использование команд логических операций ANL и ORL представляют программисту эффективное средство маскирования для обработки однобитовых входов и выходов в ОМЭВМ.

В системе команд ОМЭВМ есть команды, которые позволяют выполнять запись «0» и «1». Но так как в этих командах маска задается непосредственно операндом, то необходимо знать распределение сбрасываемых и устанавливаемых линий на этапе разработки исходной программы. В том случае, если маска вычисляется программой и заранее не известна, то в ОЗУ необходимо иметь копию состояния канала P2 (P1) вывода. Эта копия по командам логических операций соединяется с вычисляемой маской в аккумуляторе и затем загружается в канал P2 (P1). Необходимость этой процедуры вызвана тем, что структура каналов P2, P1 не позволяет выполнить операцию чтения состояния каналов P2, P1, зафиксированных до последней команды вывода.

Канал P0 — 8-разрядный двунаправленный регистр с тремя состояниями, который можно использовать в качестве статически фиксированного выхода двунаправленного канала данных, выхода младших разрядов адреса при использовании внешней памяти и нефиксированного входного сигнала. Информация, выдаваемая каналом P0 с помощью команд OUTL BUS,A и MOVX @R,A, сопровождается сигналом «Запись» ($\overline{ЗП}$). При записи информации канал P0 с помощью команд INSA, BUS и MOVX A, @R вырабатывает сигнал «Чтение» ($\overline{ЧТ}$).

Кроме операций ввода-вывода информации, предусмотрена возможность выполнения логических операций И, ИЛИ непосредственно в каналах P0, P1, P2 с помощью команд ANL P, # DATA; ORL P, # DATA; ANL BUS, # DATA; ,ORL BUS, # DATA.

Три линии ввода-вывода T0, T1, $\overline{ЗПР}$ служат входами, проверяемыми командами условного перехода. Линию ввода-вывода T0 (по команде ENTO, CLK) можно использовать для выдачи тактовых сигналов с частотой в три раза меньше частоты задающего генератора, а линию T1 — как вход счетчика внешних событий для таймера-счетчика, если счет разрешен командой STRT CNT. Линия $\overline{ЗПР}$ используется для внешнего аппаратного прерывания, если прерывание разрешено командой ENI.

Число линий ввода-вывода можно увеличить, если использовать команды MOVD A, P; MOVD P, A; ANLD P, A; ORLD P, A. При этом обмен информацией осуществляется через канал P2 (P20...P23). Каждая пересылка состоит из двух полубайтов. Первый полубайт содержит код операции: чтение — 00, запись — 01, операция И — 10, операция ИЛИ — 11 и адрес одного из четырех внешних каналов PBB0...PBB3, а второй полубайт — четыре бита данных D. Синхронизируется работа сигналом «Строб расширителя ввода-вывода» (СТВВ). Переход сигнала СТВВ из 1 → 0 указывает, что на выводах P20...P23 находится код операции и адрес внешнего канала, а переход сигнала СТВВ из 0 → 1 означает, что на этих выводах находятся данные — содержимое четырех младших разрядов аккумулятора.

Таймер-счетчик предназначен для подсчета внешних событий и формирования временных задержек без участия ОМЭВМ. Состоит из делителя частоты 1 : 32, 8-разрядного двоичного счетчика и триггера «Признака переполнения» (FT). На вход счетчика через делитель поступают импульсы сигнала ФА (в режиме таймера) и с входа T1 (в режиме счетчика внешних собы-

тий). Содержимое счетчика устанавливается по команде MOV T, A, а текущее значение проверяется по команде MOV A, T. В режиме таймера счетчик запускается командой STRT, а в режиме счетчика событий — командой STRT CNT, а останавливается (без сброса содержимого) командой STOP TCNT (или сигналом $\overline{R}$).

Триггер «Признака переполнения» (FT) таймера-счетчика устанавливается в состояние логической «1» при переходе счетчика из состояния FF в состояние 00. Признак FT используется в командах условного перехода, а также для прерывания. Содержимое счетчика можно прочитать в аккумуляторе или модифицировать из аккумулятора по команде MOV. Путем программной установки счетчика в исходное состояние и анализа признака переполнения FT можно реализовать различные временные задержки в диапазоне 80 мкс...20 мс.

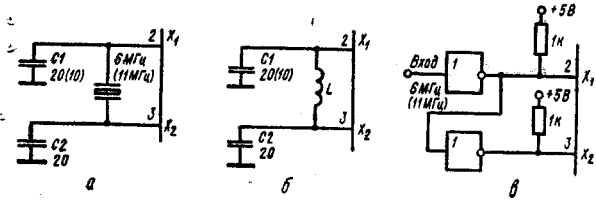


Рис. 11.7

Устройство управления и синхронизации предназначено для выработки сигналов, обеспечивающих выполнение команд. Оно состоит из генератора: формирователей тактовых сигналов; формирователей сигналов состояний и режимов работы и схемы прерывания.

Генератор представляет собой схему с последовательным резонансом в диапазоне частот 1...11 МГц. Выводы X_1, X_2 используются для подключения внешнего кварцевого резонатора (рис. 11.7,*а*) или *LC*-цепи (рис. 11.7,*б*). Сигналы от внешнего генератора тактовых импульсов можно подавать на вход X_1 (рис. 11.7,*в*).

Формирователь тактовых сигналов делит частоту генератора (на три) для получения тактовых сигналов (ТС) CLK, выдаваемых на вывод Т0 по команде ENTO CLK. Вывод тактовых сигналов на внешний вывод Т0 блокируется сигналом R. Тактовые сигналы ТС делятся на пять в счетчике машинных циклов (МЦ), выходные сигналы которого определяют пять состояний (S1...S5) машинного цикла ОМЭВМ (рис. 11.8). Сигнал с одного из выходов счетчика МЦ поступает на вывод ФА с периодом следования, соответствующем МЦ. Сигнал ФА используется для фиксации адреса внешней памяти.

В формирователях сигналов состояний и режимов работы в качестве входных сигналов используются сигналы: «Выборка из внешней памяти» ($\overline{ВВП}$); «Строб расширителя ввода-вывода» (СТВВ); Т0; «Пошаговый режим» ($\overline{ШАГ}$), «Сброс» ($\overline{R}$). Их комбинации позволяют реализовать основные режимы работы ОМЭВМ.

Схема прерывания в ОМЭВМ обеспечивает два вектора (адреса) прерывания: один аппаратный по входу $\overline{ЗПР}$ (адрес

03), другой используется как внутренний и как внешний (вход T1) по признаку переполнения FT таймера-счетчика (адрес 07). Каждый из векторов прерываний может быть разрешен или запрещен программно командами ENI, DISI, ENI, CNTI, DISI CNTI. Кроме того, по сигналу $\overline{R}$ прерывание запрещается до тех пор, пока оно не будет разрешено командами ENI, ENI CNTI. При поступлении на вход сигнала $\overline{ЗПР}$, если прерывание по входу ЗПР разрешено, схема обращается к программе обслуживания с адресом 03. Как и при любом обращении к подпрограмме, содержимое СК и слово с информацией о состоянии программы (PSW) записываются в стек. То же происходит и при выработке признака FT, только в этом случае обращение производится по адресу 07. Программа обслуживания должна запи-

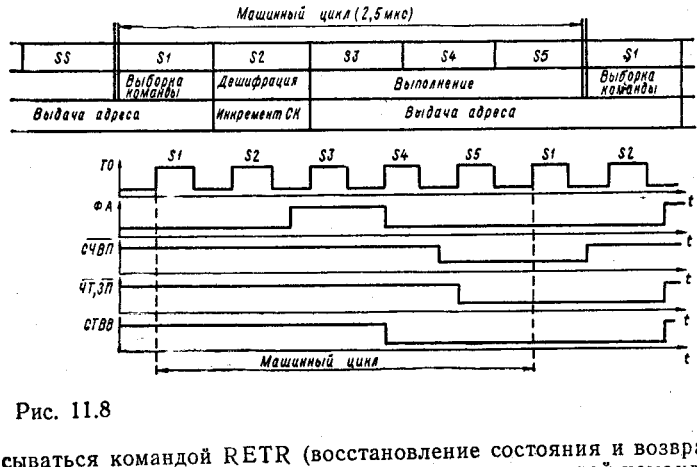


Рис. 11.8

сываться командой RETR (восстановление состояния и возврат к прерванной программе), так как до выполнения этой команды последующие запросы на прерывание не обслуживаются (прерывание запрещено). Система прерывания в ОМЭВМ фиксированная по приоритету. Прерывание по входу $\overline{ЗПР}$ имеет высший приоритет.

Однокристальная микро-ЭВМ может работать в следующих режимах: проверка программной памяти (программирование памяти программ РПЗУ); работа с внутренней и внешней памятью; пошагового выполнения команд. Режимы работы устанавливаются комбинацией входных и выходных сигналов.

После включения напряжения электропитания ОМЭВМ устанавливается в начальное состояние сигналом $\overline{R}$ (активный — низкий уровень напряжения) длительностью не менее 50 мс. Сигнал $\overline{R}$ выполняет следующие функции: устанавливает СК и указатель стека в РССП (PSW) в «0»; выбирает банк РОН памяти данных BS0 (R0) и банк памяти программ MB0; устанавливает канал P0 в высокоомное состояние (при $\overline{ВВП}$ = 0); подготовляет каналы P1, P2 для приема информации; блокирует прерывание по входу $\overline{ЗПР}$ и таймеру-счетчику; останавливает таймер-счетчик; устанавливает признаки F0, F1 и FT в «0»; запрещает выдачу сигналов по выводу T0.

Режим проверки программной памяти (рис. 11.9) используется при контроле правильности информации, занесенной в память в процессе ее программирования или изготовления, а также при контроле «чистоты» памяти после ее стирания для микросхемы КМ1816ВЕ48. Под «чистотой» памяти понимается нахождение всех ячеек памяти после стирания в состоянии низкого порогового напряжения, которое обеспечивает на выходах канала P0 состояние низкого уровня.

Подаваемые на одноименные выводы ОМЭВМ сигналы выполняют следующие функции: $\overline{ВВП}$ при подаче напряжения высокого уровня (25 В) активизирует режим обращения к внутренней памяти для программирования; T0 обеспечивает режимы программирования (логический «0») и контроля (логическая «1»); $\overline{R}$ фиксирует выбранный адрес при низком уровне напря-

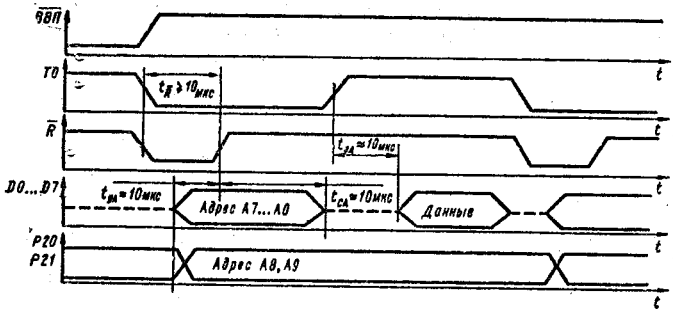


Рис. 11.9

жения на выводе T0; D0...D7 (канала P0) обеспечивают подачу адреса A7—A0 и данных; P20, P21 — обеспечивают подачу адреса A8, A9. При организации режима контроля памяти следует иметь в виду, что по выводам D0...D7 передаются сигналы адреса и выдаются данные для контроля. Поэтому при переходе к режиму контроля необходимо обеспечить высокоомное состояние на выводах D0...D7, которое исключает попадание на обратные выходы схемы напряжения адресных сигналов поступающих от источника. При проверке «чистоты» памяти выходное напряжение на выводах D0...D7 соответствует напряжению логического «0».

Режим программирования памяти программ (РПЗУ). Записывается информация в РПЗУ в процессе программирования на программаторах, обеспечивающих выбор ячеек памяти по заданному адресу, причем только той части информации, которая представлена логической «1», а запись логического «0» по всем адресам РПЗУ осуществляется при стирании информации (ультрафиолетовое облучение).

Вывод СТВВ до программирования находится в высокоомном состоянии. При программировании на вывод СТВВ подается напряжение не более 25 В длительностью 5 мс.

Процесс программирования включает в себя следующие операции: задание режима программирования, задание адреса, фиксация адреса, подача данных, подача импульса программирования (рис. 11.10). После окончания процесса программирова-

ния байта данных (до перехода к следующему процессу) при необходимости выполняется операция проверки содержимого.

Режим работы с внутренней памятью устанавливается при $\overline{ВВП} = 0$. Выполнение программы, хранящейся в РПЗУ, начинается с команды по адресу 00 после сброса. Для увеличения

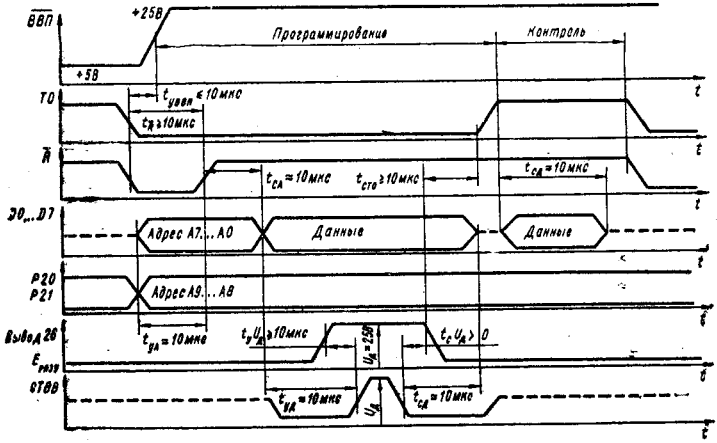


Рис. 11.10

производительности ОМЭВМ предусмотрено совмещение выполнения внутренних операций в одном цикле. Например, выполнение выбранной команды и подготовка следующего адреса команды происходят одновременно. Для синхронизации ВУ ввода-вывода можно использовать сигнал ФА, выдаваемый в каждом машинном цикле.

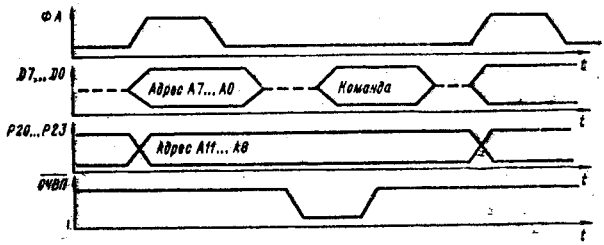


Рис. 11.11

Режим работы с внешней памятью применяется при отладке программ и контроле процессора ОМЭВМ (рис. 11.11). Для этого внутренняя память программ отключается при $\overline{ВВП} = +5В$. В этом случае внешняя память программ может иметь объем до 4096 байт. Выполняется следующая последовательность операции: содержимое 12 разрядов СК выводится в качестве адреса обращения к внешнему ЗУ через канал Р0 (D7...D0) — младшие разряды счетчика СК7...СК0, и через канал Р2 (Р23...Р20) —

старшие разряды СК11...СК8; адрес внешнего ЗУ фиксируется по окончании сигнала ФА; шина данных переходит в режим ввода, и процессор принимает 8-разрядное слово команды; выборка команды из внешнего ЗУ фиксируется по окончании сигнала $\overline{\text{СЧВП}}$.

Использование внешней памяти программ в качестве дополнения к внутренней памяти возможно благодаря механизму переключения банков памяти программ по 2 Кбайт каждая (при этом $\overline{\text{ВВП}} = 0$). Выбор банка определяется содержимым старшего разряда МВ счетчика команд, который загружается каждый раз командой перехода JMP (или CALL) при вызове подпрограммы. Старший разряд МВ счетчика команд устанавливается в «1» (выбор банка МВ1 — ячейки с адресом 2048...4097) командой SEL MB1 и сбрасывается в «0» (выбор банка МВ0 — ячейки с адресом 0...2047) по команде SEL MB0 или по сигналу $\overline{\text{R}}$.

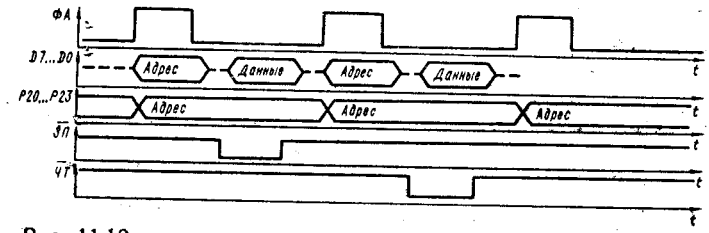


Рис. 11.12

Команда SEL MB должна выполняться в программе перед переключением банка памяти программ, а переключение осуществляется при выполнении очередной команды перехода JMP (или вызова подпрограммы CALL).

Память данных можно расширить за пределы встроенной памяти с 64 до 256 байт, при этом обмен данными между внешним ОЗУ и ОМ ЭВМ выполняется через канал P0 командами MOVX A, @ R; MOVX@R, A. По этим командам происходит передача 8-разрядных данных между аккумулятором и ячейками внешней ОЗУ, адресуемой содержимым одного из двух регистров указателей R0 или R1. При этом адрес данных фиксируется по сигналу ФА, а прием и выдача данных — по сигналам $\overline{\text{ЧТ}}$ и $\overline{\text{ЗП}}$ (рис. 11.12). Структурная схема расширения внешней памяти программ (ВПП) и памяти данных (ВПД) изображена на рис. 11.13.

Режим пошагового выполнения программ используется в процессе отладки и проверки программы. В этом режиме при выполнении программы процессор можно остановить на каждой команде. Управляется пошаговый режим подачей последовательностей сигналов на вход $\overline{\text{ШАГ}}$ (рис. 11.14,*а*).

При организации пошагового режима выполняются следующие операции: 1) в ОМЭВМ поступает запрос на останов путем подачи логического «0» на вывод $\overline{\text{ШАГ}}$; 2) ЦП останавливается на этапе выборки следующей команды, при этом завершается выполнение текущей команды; 3) ОМЭВМ подтверждает, что она находится в режиме останова путем установки сигнала ФА в состояние логической «1». В этом состоянии ЦП выдает на каналы P0 и P2 (P20...P23) адрес следующей

команды; 4) для выхода из режима останова, на выводе $\overline{ШАГ}$ устанавливается логическая «1», что обеспечивает выборку следующей команды; процессор подтверждает выход из состояния останова путем установки логического «0» на выводе ФА; 5) для

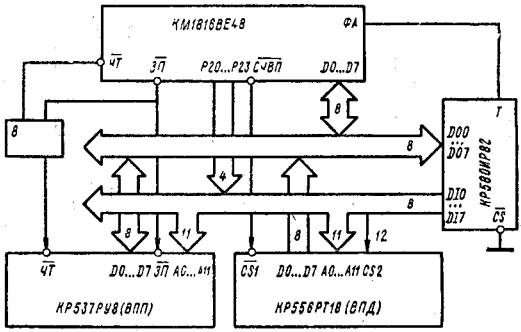


Рис. 11.13

того чтобы обеспечить останов на следующей команде, устанавливается логический «0» на выводе $\overline{ШАГ}$, когда уровень сигнала ФА станет низким. Если уровень сигнала $\overline{ШАГ}$ остается вы-

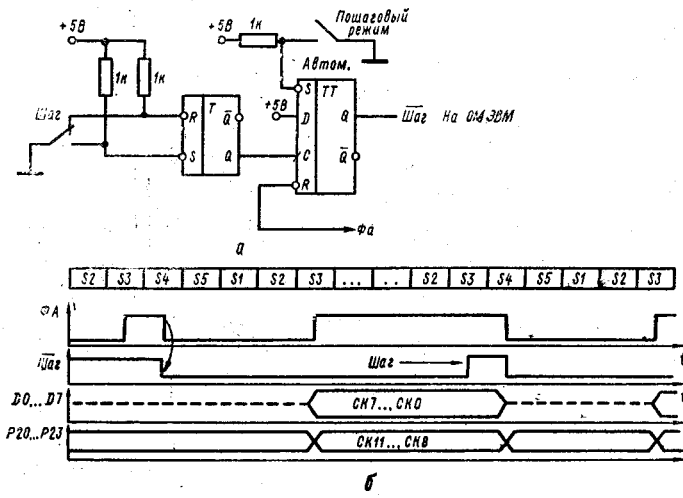


Рис. 11.14

соким, ОМЭВМ отрабатывает программу в динамическом режиме.

В ОМЭВМ предусмотрена возможность расширения канала ввода-вывода. Шина данных ОМЭВМ совместима с 8-разрядной двунаправленной ШД микропроцессорной системы на базе МПК КР580, что обеспечивает подключение к ОМЭВМ серии

К1816 интерфейсных БИС серии КР580, можно использовать для реализации дополнительных специальных функций, а также для увеличения числа каналов ввода-вывода. На рис. 11.15

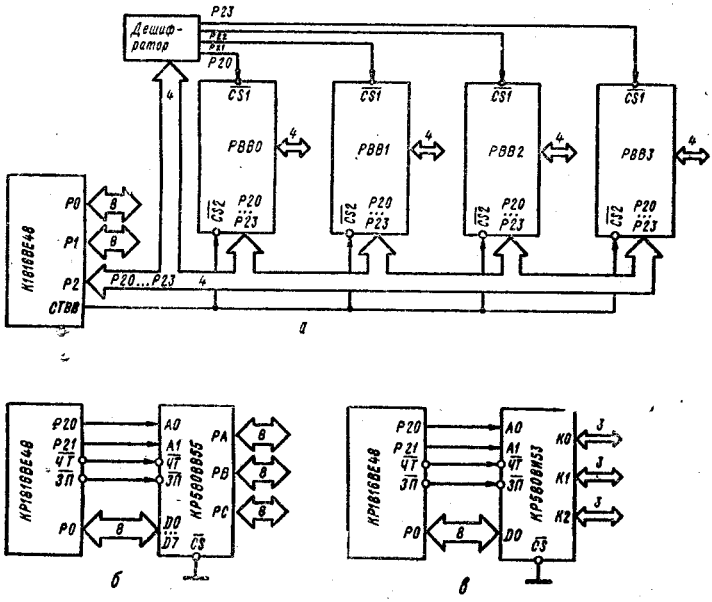


Рис. 11.15

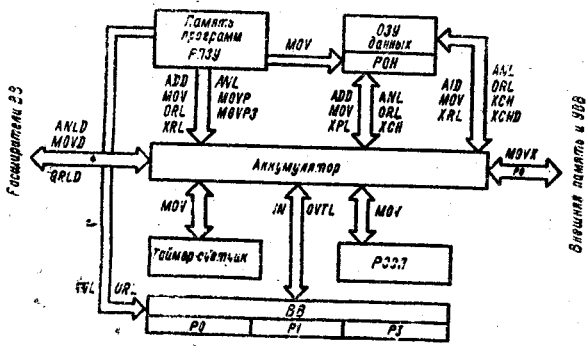


Рис. 11.16

изображены схемы расширения канала ввода-вывода и подключения интерфейсных БИС.

Система команд включает 96 команд, 68 из них однобайтные (табл. 11.1). В двухбайтных командах первый байт содержит информацию о коде команды, второй байт — непосредственно данные или младшие разряды адреса следующей команды. Боль-

Таблица 11.1

Обозначение команды	Код команды 7	6	5	4	3	2	1	0	Число циклов, байт	Содержание команды
Команды пересылки и обмена данных										
MOV A, R_i	1	1	1	1	1	1	i	i	1 1	$(A) \leftarrow (R_i)$; $i = 0...7$. Пересылка содержимого РОН в А
MOV R_i, A	1	0	1	0	1	i	i	i	1 1	$(R_i) \leftarrow (A)$, $i = 0...7$. Пересылка содержимого А в РОН
MOV A, @ R_i	1	1	1	1	0	0	0	i	1 1	$(A) \leftarrow ((R_i))$, $i = 0, 1$. Пересылка в А содержимого ячейки ЗУ с косвенной адресацией
MOV @ R_i, A	1	0	1	0	0	0	0	i	1 1	$((R_i)) \leftarrow (A)$, $i = 0, 1$. Пересылка содержимого А в ячейки ЗУ с косвенной адресацией
MOVX A, @ R_i	1	0	0	0	0	0	0	i	2 1	$(A) \leftarrow ((R_i))$, $i = 0, 1$. Пересылка содержимого внешнего ЗУ в А с косвенной адресацией
MOVX @ R_i, A	1	0	0	1	0	0	0	i	2 1	$((R_i)) \leftarrow (A)$, $i = 0, 1$. Пересылка содержимого А в ячейку внешнего ЗУ с косвенной адресацией
MOV R_i, # d	1	0	1	1	1	i	i	i	2 2	$(R_i) \leftarrow d$, $i = 0...7$. Пересылка непосредственных данных в РОН
MOV @ R_i, # d	1	0	1	1	0	0	0	i	2 2	$((R_i)) \leftarrow d$, $i = 0, 1$. Пересылка непосредственных данных ячейки ЗУ с косвенной адресацией
MOV A, # d	0	0	1	0	0	0	1	1	2 2	$(A) \leftarrow d$. Пересылка непосредственных данных в А
MOV A, PSW	1	1	0	0	0	1	1	1	1 1	$(A) \leftarrow (PSW)$. Пересылка содержимого PSW в А

Обозначение команды	Код команды 7	6	5	4	3	2	1	0	Число циклов, байт	Содержание команды
MOV PSW, A	1	1	0	1	0	1	1	1	1 1	(PSW) ← (A). Пересылка содержимого A в PSW
MOV A, T	0	1	0	0	0	0	1	0	1 1	(A) ← (T). Пересылка содержимого регистра таймера-счетчика в A
MOV T, A	0	1	1	0	0	0	1	0	1 1	(T) ← (A). Пересылка содержимого в регистр таймера-счетчика
MOVP, A, @ A	1	0	1	0	0	0	1	1	2 1	(PC0...PC7) ← (A), (A) ← ← ((PC)). Пересылка в A содержимого из текущей страницы РПЗУ
MOVP3 A, @ A	1	1	1	0	0	0	1	1	2 1	(PC0...PC7) ← (A), (PC8—PC11) ← 0011, (A) ← ((PC)). Пересылка в A данных со страницы «3» РПЗУ
XCH A, R_i	0	0	1	0	1	*i*	*i*	*i*	1 1	(A) ↔ (R_i), $i = 0...7$. Обмен содержимого A и РОН
XCH A, @ R_i	0	0	1	0	0	0	0	*i*	1 1	(A) ↔ (R_i), $i = 0, 1$. Обмен содержимого A и ячейки ЗУ
XCHD A, @ R_i	0	0	1	1	0	0	0	*i*	1 1	(A0...A3) ↔ ((R_i)), $i = 0, 1$. Обмен младшего полубайта A и ячейки ЗУ
SWARA	0	1	0	0	0	1	1	1	1 1	(A4...A7) ← (A0...A7). Обмен тетрад в A

Команды арифметических и логических операций

ADD A, R_i	0	1	1	0	1	*i*	*i*	*i*	1 1	(A) ← (A) + (R_i), $i = 0...7$. Сложение содержимого РОН и содержимого A
ADD A, # d	0	0	0	0	0	0	1	1	2 2	(A) ← (A) + (d). Сложение непосредственных данных с содержимым A

Обозначение команды	Код команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
ADD A, @ R_i	0	1	1	0	0	0	0	1	1 1	$(A) \leftarrow (A) + ((R_i))$, $i = 0, 1$. Сложение содержимого ячейки ЗУ
ADDC A, R_i	0	1	1	1	1	i	i	i	1 1	$(A) \leftarrow (A) + (R_i) + (c)$, $i = 0...7$. Сложение признака переноса содержимого РОН и содержимого A
ADDC A, # d	0	0	0	1	0	0	1	1	2 2	$(A) \leftarrow (A) + (d) + (c)$. Сложение признака переноса и непосредственных данных с содержимым A
ADDC A, @ R_i	0	1	1	1	0	0	0	i	1 1	$(A) \leftarrow (A) + ((R_i)) + (c)$, $i = 0, 1$. Сложение признака переноса и содержимого ячейки ЗУ с содержимым A
DAA	0	1	0	1	0	1	1	1	1 1	Команда десятичной коррекции аккумулятора
INC A	0	0	0	1	0	1	1	1	1 1	$(A) \leftarrow (A) + 1$. Инкрементирование содержимого A
INC R_i	0	0	0	1	1	i	i	i	1 1	$(R_i) \leftarrow (R_i) + 1$, $i = 0...7$. Инкрементирование содержимого РОН
INC @ R_i	0	0	0	1	0	0	0	i	1 1	$((R_i)) \leftarrow ((R_i)) + 1$, $i = 0, 1$. Инкрементирование содержимого ячейки ЗУ
DEC A	0	0	0	0	0	1	1	1	1 1	$(A) \leftarrow (A) - 1$. Декрементирование содержимого A
DEC R_i	1	1	0	0	1	i	i	i	1 1	$(R_i) \leftarrow (R_i) - 1$, $i = 0...7$. Декрементирование содержимого РОН
RL A	1	1	1	0	0	1	1	1	1 1	$(A_{n+1}) \leftarrow (A_n)$ $(A0) \leftarrow (A7)$, $n = 0...7$. Циклический сдвиг влево содержимого A

Обозначение команды	Вид команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
RLC A	1	1	1	1	0	1	1	1	1 1	$(A_{n+1}) \leftarrow (A_n)$; $(A0) \leftarrow (c)$; $(c) \leftarrow (A7)$, $n = 0...7$. Циклический сдвиг влево А через перенос
RR A	0	1	1	1	0	1	1	1	1 1	$(A_n) \leftarrow (A_{n+1})$; $(A7) \leftarrow (A0)$, $n = 0...7$. Циклический сдвиг вправо содержимого А
RRC A	0	1	1	0	0	1	1	1	1 1	$(A_n) \leftarrow (A_{n+1})$; $(A7) \leftarrow (c)$; $(c) \leftarrow (A0)$; $n = 0...7$. Циклический сдвиг вправо А через перенос
ANL A, R_i	0	1	0	1	1	i	i	i	1 1	$(A) \leftarrow (A)\ (R_i)$, $i = 0...7$. Логическое И содержимого А и РОН
ANL A, # d	0	1	0	1	0	0	1	1	1 1	$(A) \leftarrow (A)\ (d)$. Логическое И содержимого А с непосредственными данными
ANL A, @ R_i	0	1	0	1	0	0	0	i	1 1	$(A) \leftarrow (A)\ ((R_i))$, $i = 0, 1$. Логическое И содержимого А с содержимым ячейки ЗУ
ORL A, R_i	0	1	0	0	1	i	i	i	1 1	$(A) \leftarrow (A) + (R_i)$, $i = 0...7$. Логическое ИЛИ содержимого А и РОН
ORL A, # d	0	1	0	0	0	0	1	1	2 2	$(A) \leftarrow (A) + (d)$. Логическое ИЛИ содержимого (А) с непосредственными данными
ORL A, @ R_i	0	1	0	0	0	0	0	i	2 2	$(A) \leftarrow (A) + ((R_i))$, $i = 0, 1$. Логическое ИЛИ содержимого А с содержимым ячейки ОЗУ
XRL A, R_i	1	1	0	1	1	i	i	i	2 2	$(A) \leftarrow (A) \oplus (R_i)$, $i = 0, ... 7$. Исключающее ИЛИ содержимого А и РОН

Обозначение команды	Код команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
XRL A # d	1	1	0	1	0	0	1	1	2 2	(A) ← (A) ⊕ (d). Исключающее ИЛИ содержимого A с непосредственными данными
XRL A @ R_i	1	1	0	1	0	0	0	i	2 2	(A) ← (A) ⊕ ((R_i)), $i = 0, 1$. Исключающее ИЛИ содержимого A с содержимым ячейки ЗУ
CLR A	0	0	1	0	0	1	1	1	1 1	(A) ← 0. Обнуление A
CPL A	0	0	1	1	0	1	1	1	1 1	(A) ← $(\overline{A})$. Инвертирование содержимого A
CLR C	1	0	0	1	0	1	1	1	1 1	(C) ← 0. Обнуление признака переноса
CPL C	1	0	1	0	0	1	1	1	1 1	(C) ← $(\overline{C})$. Инвертирование признака переноса
CLR F0	1	0	0	0	0	1	0	1	1 1	(F0) ← 0. Обнуление признака F0
CPL F0	1	0	0	1	0	1	0	1	1 1	(F0) ← $(\overline{F0})$. Инвертирование признака F0
CLR F1	1	0	1	0	0	1	0	1	1 1	(F1) ← 0. Обнуление признака F1
CPL F1	1	0	1	1	0	1	0	1	1 1	(F1) ← $(\overline{F1})$. Инвертирование признака F1
Команды ввода-вывода										
IN A, P_p	0	0	0	0	1	0	P	P	2 1	(A) ← (P_p), $p = 1, 2$. Ввод данных в A из канала P1 (P2)
INS A, BUS	0	0	0	0	1	0	0	0	2 1	(A) ← (BUS). Стробируемый ввод данных в A из канала P0
OUTL P_p, A	0	0	1	1	1	0	P	P	2 1	(P_p) ← (A), $p = 1,2$. Вывод содержимого A на P1 (P2)

Обозначение команды	Код команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
OUTL BUS A	0	0	0	0	0	0	1	0	2 1	(BUS) ← (A). Вывод содержимого А на РО
ANL P_p, # d	1	0	0	1	1	0	P	P	2 2	(P_p) ← (P_p) d, $p = 1, 2$. Логическое И канала Р1 (Р2) с непосредственными данными
ANL BUS, # d	1	0	0	1	1	0	0	0	2 2	(BUS) ← (BUS) d. Логическое И канала РО с непосредственными данными
ORL P_p, # d	1	0	0	0	1	0	P	P	2 2	(P_p) ← (P_p) + d, $p = 1, 2$. Логическое ИЛИ канала Р1 (Р2) с непосредственными данными
ORL BUS, # d	1	0	0	0	1	0	0	0	2 2	(BUS) ← (BUS) + d. Логическое ИЛИ канала РО с непосредственными данными
MOVD A, P_p	0	0	0	0	1	1	P	P	2 1	(A0...A3)←(P_p); (A4...A7)← ← 0, $p = 0...3$. Ввод из РВВ0...3 в младший полубайт А, с обнулением старшего полубайта А
MOVD P_p, A	0	0	1	1	1	1	P	P	2 1	(P_p) ← (A0...A3), $p = 0...3$. Вывод младшего полубайта А на канал расширителя РВВ0...3
ANLD P_p, A	0	0	0	1	1	1	P	P	2 1	(P_p) ← (P_p) (A0...A3), $p = 0...3$. Логическое И канала РВВ0...3 с маской из А
ORLD P_p, A	1	0	0	0	1	1	P	P	2 1	(P_p) ← (P_p) + (A0...A3), $p = 0...3$. Логическое ИЛИ канала РВВ0...3 с маской из А

Обозначение команды	Код команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
					Команды передачи управления					
JMP a	A_{10}	A_9	A_8	1	0	1	0	0	2 2	PC8...PC10) ← a_{8-10}, (PC0...PC7) ← a_{0-7}. Безусловный переход по адресу второго байта (a0...7) команды
IMPP @ A	1	0	1	1	0	0	1	1	2 2	(PC0...PC7) ← ((A)). Безусловный переход по адресу A в пределах страницы РПЗУ
DJNZ a	1	1	1	0	1	*i*	*i*	*i*	2 2	(R_i) ← (R_i) — 1, если (R_i) ≠ 0, то (PC0...PC7) ← ← a, иначе (PC) ← (PC) + + 2, *i* = 0, 7
JNC a	1	1	1	0	0	1	1	0	2 2	Если C = 0, то (PC0... PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход при отсутствии переноса
JC a	1	1	1	1	0	1	1	0	2 2	Если C = 1, то (PC0... PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход по признаку переноса
JZ a	1	1	0	0	0	1	1	0	2 2	Если (A) = 0, то (PC0... PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если содержимое A = 0
JNZ a	1	0	0	1	0	1	1	0	2 2	Если (A) ≠ 0, то (PC0... PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если содержимое A ≠ 0
JTO a	0	0	1	1	0	1	1	0	2 2	Если T0 = 1, то (PC0... PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если T0 = 1

Обозначение команды	Код команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
JNTO a	0	0	1	0	0	1	1	0	2 2	Если T0 = 0, то (PC0...PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если T0 = 0
JT1 a	0	1	0	1	0	1	1	0	2 2	Если T1 = 1, то (PC0...PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если T1 = 1
JNT1 a	0	1	0	0	0	1	1	0	2 2	Если T1 = 0, то (PC0...PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если T1 = 0
JF0 a	1	0	1	1	0	1	1	0	2 2	Если F0 = 1, то (PC0...PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если F0 = 1
JF1 a	0	1	1	1	0	1	1	0	2 2	Если F1 = 1, то (PC0...PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если F1 = 1
JTF a	0	0	0	1	0	1	1	0	2 2	Если TF = 1, то (PC0...PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если TF = 1
JNIa	1	0	0	0	0	1	1	0	2 2	Если $\overline{ЗПР}$=0, то (PC0...PC7) ← a, иначе (PC) ← ← (PC) + 2. Переход, если $\overline{ЗПР}$ = 0
JBb a	b_2	b_1	b_0	1	0	0	1	0	2 2	Если Bb = 1, то (PC0...PC7) ← a, иначе (PC) + + (PC) + 2. Переход, если Bb = 1 b A
CALL a	a_{10}	a_9	a_8	1	0	1	0	0	2 2	((SP) ← (PC), (PSW_{4-7}); (SP) ← (SP) + 1; (PC8—PC10) ← (a_{8-10}) (PC0—PC3) ← a_{0-7}. Вызов подпрограммы

Обозначение команды	Код команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
RET	1	0	0	0	0	0	1	1	2 1	(SP) ← (SP) — 1, (PC) ← ← ((SP). Возврат из подпрограммы без восстановления ССП
RETP	1	0	0	1	0	0	1	1	2 1	(SP) ← (SP) — 1; (PC) ← ← ((SP)), (PSW_{4-7}) ← ((SP)). Возврат с восстановлением ССП
Команды операций с таймером										
START T	0	1	0	1	0	1	0	1	1 1	Запуск таймера
START CNT	0	1	0	0	0	1	0	1	1 1	Запуск таймера-счетчика событий от сигналов на входе TI
STOP CNT	0	1	1	0	0	1	0	1	1 1	Останов таймера-счетчика событий
EN TCNTI	0	0	1	0	0	1	0	1	1 1	Разрешение прерывания от таймера по переполнению TF = 1
DIS TCNTI	0	0	1	1	0	1	0	1	1 1	Запрещение прерывания от таймера по переполнению TF = 1
Команды управления режимом работы										
ENI	0	0	0	0	0	1	0	1	1 1	Разрешение внешних прерываний
DISI	0	0	0	1	0	1	0	1	1 1	Запрещение внешних прерываний
SEL RB0	1	1	0	0	0	1	0	1	1 1	(BS) ← 0. Выбор банка BS 0 РОН
SEL RB1	1	1	0	1	0	1	0	1	1 1	(BS) ← 1. Выбор банка BS 1 РОН
SEL MB0	1	1	1	0	0	1	0	1	1 1	Выбор нулевого банка MB0 памяти программы

Обозначение команды	Код команды								Число циклов, байт	Содержание команды
	7	6	5	4	3	2	1	0		
SEL MB1	1	1	1	1	0	1	0	1	1 1	Выбор первого банка MB1 памяти программ
ENTO CLK	0	1	1	1	0	1	0	1	1 1	Разрешение выдачи импульсов синхронизации на вывод T0
NOP	0	0	0	0	0	0	0	0	1 1	Нет операции

шинство команд выполняются за один машинный цикл (43 команды), в том числе 15 однобайтных выполняются за два машинных цикла. Выполнение двухбайтных команд за два машинных цикла связано с дополнительным обращением к программной памяти.

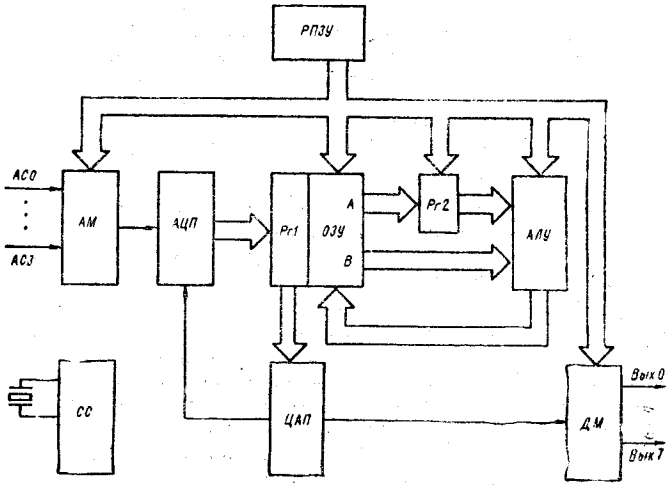
Множество команд ОМЭВМ К1816 по функциональному признаку можно разбить на шесть групп: команды пересылки и обмена (рис. 11.16), команды арифметических и логических операций (в том числе и операций по признакам); команды ввода-вывода; команды передачи управления (в том числе и операций с подпрограммами); команды операций с таймером; команды управления режимом работы ОМЭВМ.

11.2. ОДНОКРИСТАЛЬНЫЕ МИКРО-ЭВМ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ СЕРИИ К1813

При решении задач цифровой фильтрации сигналов, распознавания образов, синтеза и анализа речи, возникающих в акустике, гидро- и радиолокации, сейсмологии, ядерной физике, необходимо использовать специализированные однокристальные микро-ЭВМ цифровой обработки аналоговых сигналов (или аналоговые микропроцессоры — АМП). Структура таких устройств формируется на основе следующей цепи преобразования и обработки сигналов: АСВх → АЦП → ЦОС → → ЦАП → АСВых, где АСВх (АСВых) — входные (выходные) аналоговые сигналы; ЦОС — цифровая обработка сигналов.

Примером реализации такой структуры являются аналоговые микропроцессоры (табл. 10.3) МКП серий КМ1813ВЕ1 и К1815 [15; 39; 81].

БИС КМ1813ВЕ представляет собой однокристальную микро-ЭВМ цифровой обработки аналоговых сигналов (ОМЦОАС) с аналоговыми устройствами ввода-вывода, предназначенную для построения функциональных узлов систем обработки сигналов и управления с использованием цифровых методов. Настройка БИС на реализацию конкретного алгоритма обработки сигналов выполняется программой, записанной в РПЗУ. Выполняя заданную программу, ОМЦОАС осуществляет дискрети-



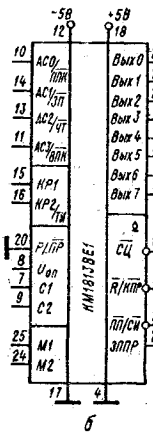


Рис. 11.17

зацию сигналов с четырех аналоговых каналов, преобразование полученных отчетов в цифровую форму и их цифровую обработку, результаты которой передаются на восемь выходов в аналоговой или логической, совместимой с ТТЛ, форме. ОМЦОАС выполняет аналого-цифровое преобразование с разрядностью 9 бит и частотой дискретизации не более 8 кГц.

Структура ОМЦОАС показана на рис. 11.17,*а*. БИС состоит из двух частей: аналоговой и цифровой, объединенных общим управлением.

Аналоговая часть обеспечивает сопряжение БИС с источниками сигналов. Она содержит входной 4-канальный аналоговый мультиплексор *АМ*, *АЦП*, *ЦАП* и выходной 8-канальный демультиплексор *ДМ*. *АМ* обеспечивает коммутацию входных каналов аналоговых сигналов *АС0...АС3*, выборку и хранение мгновенных значений обрабатываемых сигналов. Хранение выборки обеспечивается конденсатором, подключенным к выводам С1, С2 (рис. 11.17,*б*). Для того чтобы смещение сигнала не превышало 0,5 ЕМР, емкость внешнего конденсатора *С* не должна превышать 500 пФ.

АЦП преобразует выборочное значение сигнала в цифровой 9-разрядный дополнительный код. Преобразование выполняется по методу последовательного приближения (поразрядного уравновешивания) по командам программы. Цифровое значение формируется в регистре *Рг1* за девять циклов сравнения компаратором сигнала выборки с выхода *АМ* с аналоговым значением кода *Рг1*, формируемым *ЦАП* в следующей последовательности: знак, старший разряд, младший разряд. При длительности цикла команды 600 нс и формирования 9-разрядного кода выбор-

ки входного сигнала требуется 25 команд: 9 команд для формирования разрядов кода и 16 команд для установки *АЦП*. После преобразования с выхода *Рг2* код передается в цифровую часть ОМЦОАС, а *ЦАП* через *ДМ* — на выходы Вых 0...Вых 7 микросхемы.

Цифровой ввод-вывод обеспечивается от *АМ*, выводы которого в этом случае используются для приема последовательного кода (АС0/$\overline{\text{ППК}}$), выдачи последовательного кода (АС3/$\overline{\text{ВПК}}$) и управляющих сигналов «Записи» (АС1/$\overline{\text{ЗП}}$) и «Чтения» (АС2/$\overline{\text{ЧТ}}$). Последовательный ввод осуществляется командами ввода и формирования разрядов регистра *Рг1*, при этом знаковый разряд передается без инверсии, а остальные с инверсией, на выходе АС2/$\overline{\text{ЧТ}}$ формируется сигнал «Чтения». Последовательный вывод кода в инверсном виде начинается со старшего разряда. На выходе АС1/$\overline{\text{ЗП}}$ формируется сигнал «Записи». Режим ввода-вывода выбирается аппаратно в соответствии с выводами М1, М2 (табл. 11.2). Уровни сигналов по входу и выходу БИС определяются внешним опорным напряжением $U_{оп}$, подаваемым ко входу $U_{оп}$ (1...2 В). При этом диапазон входного сигнала может находиться в пределах $\pm U_{оп}$.

Таблица 11.2

М1	М2	Ввод	Вывод
+5В	+5В	Аналоговый АС0...АС3	Аналоговый (вых 0...вых 7)
+5В	—5В	Цифровой АС0/$\overline{\text{ППК}}$	Цифровой (АС3/$\overline{\text{ВПК}}$) Цифровой (вых 4...вых 7) Аналоговый (вых 0...вых 3)
—5В	+5В	Аналоговый АС0...АС3	Аналоговый (вых 4...вых 7) Цифровой (вых 0...вых 3)
—5В	+5В	Аналоговый АС0...АС3	Цифровой (вых 0...вых 7)

Цифровая часть БИС предназначена для выполнения операций обработки сигнала. Она состоит из *АЛУ*, регистра *Рг2*, *ОЗУ*, памяти программ *РПЗУ* и схемы синхронизации *СС*.

АЛУ выполняет вычисления в дополнительном коде с 25-разрядной точностью над масштабированным операндом *А* и операндом *В*, поступающими из ОЗУ. Результат вычислений записывается в ОЗУ по адресу операнда *В*. Старший разряд переменной знаковый, а диапазон переменной находится в пределах $-1 \leqslant x \leqslant +1$. Минимальное упрощение любой переменной при этом составляет $2^{-24} = 5{,}96 \cdot 10^{-8}$. *АЛУ* имеет логические схемы для сдвига влево и переполнения. Переполнение возникает в тех случаях, когда результат вычислений выходит за пределы разрядной сетки ОЗУ (25 разрядов). В результате сдвига влево также может возникать переполнение. Для

работы в режиме переполнения в *АЛУ* предусмотрено расширение разрядной сетки до 28. При работе без переполнений четыре старших разряда этой разрядной сетки содержат значение знакового разряда. При переполнении в 26-й и 27-й разряды записывается результат сдвига влево, 28-й разряд используется для хранения информации о переносе, возникающем после выполнения операций *АЛУ*. Признаком переполнения служит различие 4-знаковых разрядов *АЛУ*.

В АЛУ можно программно установить два режима обработки переполнения: с ограничением и без ограничения. В режиме с ограничением переполнения результат заменяется ближайшим максимально допустимым значением переменной с учетом знака (—1, если переполнение вызвала отрицательная переменная, $1...2^{-24}$, если переполнение вызвала положительная переменная), и на вывод переполнения ($\overline{ПП}$) выдается сигнал низкого уровня. В режиме без ограничения переполнения после выполнения *АЛУ* соответствующей операции 25 младших разрядов результата выполнения записываются в ОЗУ по адресу операнда *B*.

Регистр *Рг2* предназначен для масштабирования операндов с выхода А ОЗУ (левый сдвиг до 2-го разряда, правый — до 13-го). При сдвиге влево освободившиеся правые разряды заменяются нулями, а при сдвиге вправо освободившиеся левые разряды заменяются значениями знакового разряда (дополнительный код). Сдвиг эквивалентен умножению операнда А на 2^S (S принимает значение от —13 до +2).

ОЗУ выполняет функции памяти данных и представляет собой двухадресное ОЗУ статического типа с произвольной выборкой 40 × 25. ОЗУ адресуется шестью разрядными адресами от 000000 до 100111 с использованием только прямой адресации. Расширенное поле адресов ОЗУ (64 слова вместо 40) используется для адресации регистра *Рг1* и формирования констант. Адрес регистра *Рг1* 101000, адреса 110000...111111 используются для формирования 16 констант. ОЗУ имеет два регистра: *A* и *B*. С регистра *A* считывается информация, которая через *Рг2* поступает на один вход *АЛУ* в качестве операнда *A*. Через регистр *B* информация поступает на второй вход *АЛУ* в качестве

Таблица 11.3

Цифровая операция				Аналоговая операция					
L2	L1	L0	МК*	F1	F0	K2	K1	K0	МК
1	1	1	LDA	0	0	0	K	K	IN_k
1	1	0	ADD	0	0	1	0	0	NOP
1	0	1	SUB	0	0	1	0	1	EOP
1	0	0	ABA	0	0	1	1	0	CVTS
0	1	1	ABS	0	0	1	1	1	CNDS
0	1	0	LIM	0	1	K	K	K	OUT_k
0	0	1	AND	1	0	*n*	*n*	*n*	CVT_n
0	0	0	XOR	1	1	*n*	*n*	*n*	CVD_n

* МК — мнемокод.

операнда *B*. Результаты вычисления *АЛУ* записываются в ОЗУ только по регистру *B*.

Память программ представляет собой РПЗУ с ультрафиолетовым стиранием 192 × 24 разряда, в которую записываются командные слова.

Командное слово длиной 24 разряда разбито на пять полей, из которых одно управляет работой аналоговой части, остальные четыре — цифровой (рис. 11.18). Цифровые операции (табл. 11.3) задаются полем L2...L0 и обеспечивают выполнение пересылок слов данных (LDA), арифметического сложения (ADD), сложения с модулем 2 (ABA), вычитания (SUB), вычитания модуля (ABS), логического И (AND), исключающего ИЛИ (XOR). Операция LIM формирует максимальное положительное число $0111...111_2$, если операнд *A* неотрицателен, или максимальное отрицательное число $100...000_2$, если операнд *A* отри-

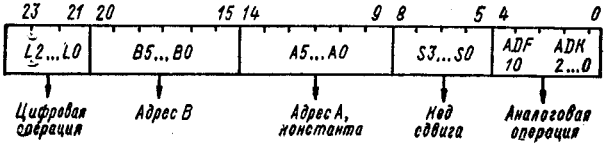


Рис. 11.18

цателен. Код цифровой операции выдается на *АЛУ* и управляет его работой.

В полях B5...B0, A5...A0 (табл. 11.4) устанавливаются адреса операндов *B* и *A* ОЗУ. При A5, A4 = 11_2 в поле A3...A0 указывается константа (табл. 11.5) в двоичном дополнительном коде, изменяющаяся в диапазоне —1...+0,875 с шагом 0,125.

Таблица 11.4

Адрес B							Адрес A						
B5	B4	B3	B2	B1	B0	МК	A5	A4	A3	A2	A1	A0	МК
0	0	0	0	0	0	M00	0	0	0	0	0	0	M00
0	0	0	0	0	1	M01	0	0	0	0	0	1	M01
0	0	0	0	1	0	M02	0	0	0	0	1	0	M02
•	•	•	•	•	•	...	•	•	•	•	•	•	...
1	0	0	1	1	1	M39	1	0	0	1	1	1	M39
1	0	1	0	0	0	DAR	1	0	1	0	0	0	DAR

В поле S3...S0 указывается, на сколько разрядов можно сдвинуть вправо (на 1...13 разрядов) или влево (на 2 разряда) операнд *A* в регистре *Рг2*.

В полях ADF1, ADF0 и ADK2...ADK0 задаются аналоговые операции, которые реализуют следующие операции: ввод IN_k — выборка сигнала с входов AC0...AC3, аналого-цифровое преобразование выборок сигнала (CVTS, CVT_n), вывод ($OUT_к$) сигналов на выходы $Вых_к$ ($к = 0, 1, 2, ..., 7$), анализ отдель-

Таблица 11.5

Константа								Сдвиг					
A5	A4	A3	A2	A1	A0	МК	Значение	S3	S2	S1	S0	МК	Значение
1	1	0	0	0	0	КР0	0	0	0	0	0	R01	2^{-1}
1	1	0	0	0	1	КР1	0,125	0	0	0	1	R02	2^{-2}
1	1	0	0	1	0	КР2	0,250	0	0	1	0	R03	2^{-3}
1	1	0	0	1	1	КР3	0,375	0	0	1	1	R04	2^{-4}
1	1	0	1	0	0	КР4	0,5	0	1	0	0	R05	2^{-5}
1	1	0	1	0	1	КР5	0,625	0	1	0	1	R06	2^{-6}
1	1	0	1	1	0	КР6	0,75	0	1	1	0	R07	2^{-7}
1	1	0	1	1	1	КР7	0,875	0	1	1	1	R08	2^{-8}
1	1	1	0	0	0	КМ8	—1	1	0	0	0	R09	2^{-9}
1	1	1	0	0	1	КМ7	—0,875	1	0	0	1	R10	2^{-10}
1	1	1	0	1	0	КМ6	—0,75	1	0	1	0	R11	2^{-11}
1	1	1	0	1	1	КМ5	—0,625	1	0	1	1	R12	2^{-12}
1	1	1	1	0	0	КМ4	—0,5	1	1	0	0	R13	2^{-13}
1	1	1	1	0	1	КМ3	—0,375	1	1	0	1	L02	2^{2}
1	1	1	1	1	0	КМ2	—0,25	1	1	1	0	L01	2^{1}
1	1	1	1	1	1	КМ1	—0,125	1	1	1	1	R00	2^{0}

ных битов регистра *Рг1* (CNDS, CVD_n), а также операции «Конец программы» (EOP) и «Холостая операция» (NOP).

В рабочем режиме из РПЗУ последовательно считываются четыре команды и записываются в 96-разрядный буферный регистр. Считывание одной команды выполняется за четыре такта работы генератора тактовых импульсов (ГТИ). Программный счетчик возвращается в исходное состояние после выполнения последней 191-й команды, а также после выполнения операции «Конец программы». Одновременно со считыванием четверки команд процессор выполняет предыдущие четыре команды.

Схема синхронизации управляет работой всех узлов БИС. Вывод «Работа / программирование» (Р/$\overline{ПР}$) задает режим работы БИС и всегда подключается к корпусу. Однако его логическое значение зависит от подключения источника питания —5 В. В рабочем режиме, когда напряжение источника питания —5 В подключено, вывод Р/$\overline{ПР}$ соответствует состоянию логической «1». В режиме программирования, когда напряжение источника —5 В отключено, на выводе Р/$\overline{ПР}$ — логический «0».

Выводы КР1, КР2/ТИ предназначены для подключения кварцевого резонатора (КР) или подачи внешних тактовых импульсов (ТИ). На вывод «Синхроимпульс цикла» ($\overline{СЦ}$) выдается импульс низкого уровня, обозначающий начало цикла выборки команды из РПЗУ. Двунаправленный вывод $\overline{R}$/($\overline{КПР}$ служит для выдачи сигнала низкого уровня при чтении из РПЗУ команды EOP («Конец программы» $\overline{КПР}$) и перехода на начало программы и для приема внешнего сигнала «Сброс» ($\overline{R}$), который обнуляет программный счетчик, в результате чего выполнение программы начинается с нулевого адреса. Сигнал $\overline{R}$ необходимо стробировать импульсами $\overline{СЦ}$, которые позволяют синхрони-

зировать работу ОМЦОАС с другими устройствами системы (рис. 11.19).

Система команд ОМЦОАС (табл. 11.6) ориентирована на реализацию алгоритмов обработки сигналов. Каждая команда занимает в РПЗУ одно 24-разрядное слово и выполняется за четыре такта (600 нс). Цифровые команды реализуют операции над содержимым в ОЗУ с адресами А и В. Поле В указывает адрес результата и одной из переменных, поле А — второй переменной или константы, которую можно промасштабировать путем сдвига на число разрядов, указанных полем S.

Выполняя операции сложения-вычитания над сдвинутыми значениями переменной А, можно реализовать программно операцию умножения переменной на константу. Выполнение операции умножения основывается на однозначности представления двоичной константы в виде взвешенной суммы двоичных

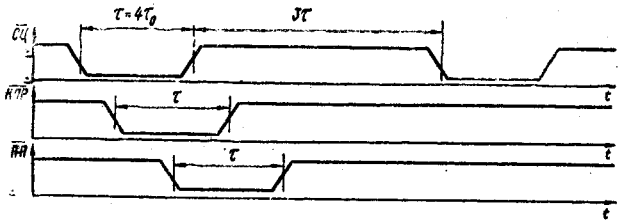


Рис. 11.19

цифр $\sum_{1=i}^{n} b_i 2^{-i}$, где $b_i = 0$ или 1. Произведение $A \times B = \sum_{i=0}^{n} (A b_i) 2^{-i}$ вычисляется суммированием промасштабированных значений переменной А для позиций i, в которых $b_i = 1$. Суммирование-вычитание промасштабированных значений позволяет формировать произвольные константы. В качестве операнда А при этом используются 4-разрядные константы, выбираемые полем А. В поле аналоговой операции цифровых команд указывается холостая операция NOP или операции ввода-вывода аналого-цифрового преобразования. Это позволяет совместить во времени выполнение цифровых и аналоговых операций.

Заполнение поля аналоговой операции проверки условия CVD_n позволяет реализовать цифровые команды условного перехода. Команда условной пересылки LDA CVD_n используется для условной загрузки константы в ячейку ОЗУ, адресуемую полем В. Константа формируется полями А, S, а условие выполнения загрузки определяется содержимым разряда регистра DAR, выбираемого полем n операции CND_n.

Команда условного сложения ADD CND_n используется для операции умножения на переменную. Переменная (множитель) размещается в регистре DAR, а операция сложения промасштабированного на 2^n разрядов множимого А выполняется, если n-й разряд множителя равен единице. Результат умножения формируется в ячейке ОЗУ, адресуемой полем В.

Команда условного вычитания SUB CND_n используется для выполнения операции деления на переменную. По команде

Таблица 11.6

Обозначение команды	Содержание команды
Цифровые команды безусловного перехода	
LDA B, A, S	$(B) \leftarrow (A) \times 2^S$
ADD B, A, S	$(B) \leftarrow (B) + (A) \times 2^S$
SUB B, A, S	$(B) \leftarrow (B) - (A) \times 2^S$
ABA B, A, S	$(B) \leftarrow (B) + \lvert (A) \times 2^S \rvert$
ABS B, A, S	$(B) \leftarrow \lvert (A) \times 2^S \rvert$
LIM B, A, S	$(B) \leftarrow \begin{cases} 0{,}11\ldots1, & \text{если } A \geqslant 0 \\ 1{,}00\ldots0, & \text{если } A < 0 \end{cases}$
AND B, A, S	$(B) \leftarrow (B)\ (A) \times 2^S$
XOR B, A, S	$(B) \leftarrow (B) \oplus (A) \times 2^S$
Цифровые команды условного перехода	
LDA B, A, S CND_n	$(B) \leftarrow \begin{cases} (B), & \text{если } DAR\ (n) = 0 \\ (A) \times 2^S, & \text{если } DAR\ (n) = 1 \end{cases}$
ADD B, A, S CND_n	$(B) \leftarrow \begin{cases} (B), & \text{если } DAR\ (n) = 0 \\ (B) + (A) \times 2^S, & \text{если } DAR\ (n) = 1 \end{cases}$
SUB B, A, S CND_n	$(B) \leftarrow (B) - (A) \times 2^S$, если $СУ_{i-1} = 1$ $(B) + (A) \times 2^S$, если $СУ_{i-1} = 0$ $DAR\ (n) \leftarrow СУ_{i-1}$
ABA B, A, C CND_n	Запрет ограничения АЛУ
XOR B, A, S CND_n	Разрешение ограничения АЛУ
Аналоговые команды	
IN_k	Выборка аналогового сигнала со входа k, $k = 0, 1, 2, 3$
CVT_n	$DAR\ (n) \leftarrow$ АЦП
OUT_k	Вывод на выход k, $k = 0, 1, 2, \ldots, 7$
NOP	Холостая операция
EOP	$PC \leftarrow 0$. Конец программы
RNZ	$PC \leftarrow 0$, если $CND_n = 1$
JNZ	$PC \leftarrow PC + 32$, если $CND_n = 1$

выполняется сложение или вычитание промасштабированного на 2^n делителя из ячейки, адресуемой полем A, в зависимости от значения переноса $СУ_{i-1}$, вычисленного при выполнении предыдущей команды. Значение вычисленного по текущей команде переноса образует разряд частного и заносится в n-й разряд регистра DAR. В результате выполнения девяти команд условного вычитания в регистре DAR формируется частное, а в ячейке ОЗУ, адресуемой полем B,— остаток от деления.

Размещение операций проверки условий CND_n в поле аналоговых операций логических команд ABA, XOR используется для запрета и разрешения режима ограничения результата при возникновении переполнения разрядной сетки *АЛУ*. При этом цифровые операции команд (сложение с модулем и исключающее ИЛИ) всегда выполняются. Поэтому в цифровых

полях B, A, S команд необходимо указывать коды, значения которых не влияют на результаты вычислений.

Команды IN_k, CVT_n, OUT_k реализуют соответствующие аналоговые операции и используются для ввода-вывода значений обрабатываемых сигналов. В цифровой части команд при этом, как указывалось, располагаются цифровые операции, необходимые по программе.

Холостая команда NOP используется для заполнения аналоговой части цифровых команд. Как самостоятельная команда она может использоваться для формирования временных за-

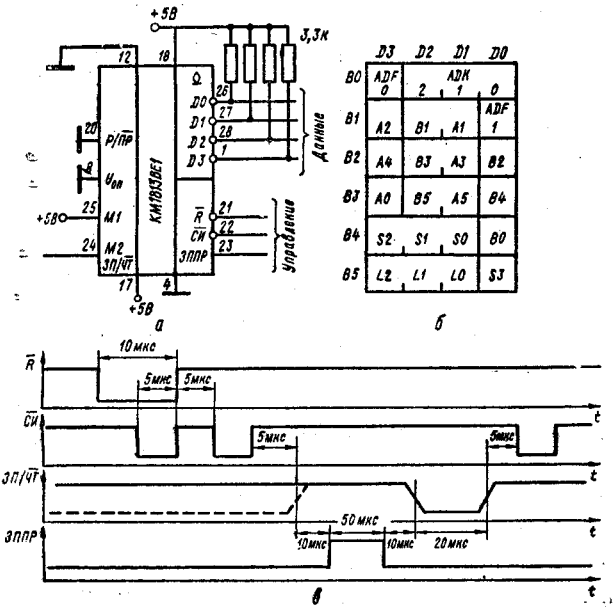


Рис. 11.20

держек в программе, для обеспечения требуемой длительности выполнения программы.

Команда EOP завершает программу и обеспечивает безусловный возврат в ее начало (на нулевой адрес РПЗУ).

Команды RNZ, JNZ обозначают условные переходы в начало программы и на 32 ячейки вперед соответственно. Команды имеют форматы XOR 44 44 R00 и AND 44 44 R00 и выполняются в зависимости от состояния триггера CND, который хранит результат последней операции CND_n. Если операция условной передачи управления находится в одной команде с аналоговой операцией CNDS или CND_n, то сначала анализируется соответствующий бит регистра DAR, а затем полученное значение используется операцией условной передачи управления.

За один цикл обращения к РПЗУ выбирается сразу четыре команды. Поэтому команды передачи управления EOP, RNZ и JNZ должны располагаться по определенным адресам РПЗУ: команды EOP и RNZ — по адресам 4_n, а команды JNZ — по

адресам 4 + 2, где $0 \leqslant n \leqslant 47$. Невыполнение этих условий может привести к неправильному выполнению программы. Кроме того, если команда JNZ расположена по адресам 32_n, где $0 \leqslant n \leqslant 6$, то переход не выполняется независимо от значения CND. Если при операции JNZ CND = 1, то выполняются пять команд, расположенных после JNZ, и затем — переход на 32 команды вперед.

Программирование ОМЦОАС. Схема включения ОМЦОАС в режиме программирования показана на рис. 11.20,*а*. В режиме программирования 24-разрядное командное слово разбивается на шесть 4-разрядных слов (рис. 11.20,*б*). РПЗУ имеет организацию (192 × 6) × 4.

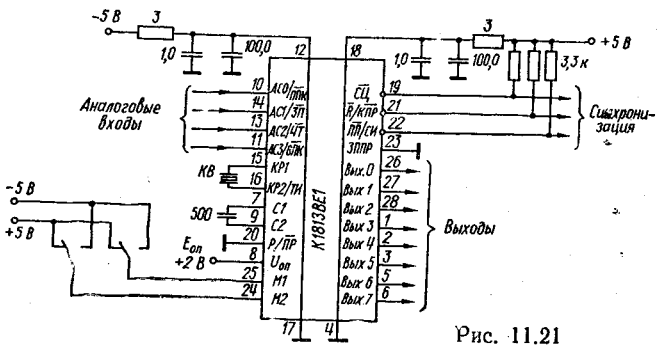


Рис. 11.21

Запись и чтение содержимого РПЗУ идет через двунаправленные выводы D3...D0, управление сигналом на выводе ЗП/$\overline{\text{ЧТ}}$. Высокий уровень на этом выводе соответствует режиму записи, низкий — режиму чтения. Внутренний счетчик адресов изменяет свое состояние по спаду сигнала на входе $\overline{\text{СИ}}$, а при низком уровне сигнала на входе $\overline{\text{R}}$ счетчик адреса устанавливается в «0». Для записи данных в РПЗУ по входам D3...D0 необходимо на вход «Запись программы» (ЗППР) подать импульсы амплитудой 25 В длительностью 50 мкс (рис. 11.20,*в*), а при чтении — импульсы амплитудой 5В. Для правильного программирования БИС сигналы на входы $\overline{\text{СИ}}$, $\overline{\text{R}}$, ЗП/$\overline{\text{ЧТ}}$ рекомендуется подавать через вентили с открытым коллектором. Выходные каскады по линиям D3...D0 требуют подключения внешних резисторов. При записи в РПЗУ данные представляются в прямом коде, а при считывании из РПЗУ — в инверсном. На рис. 11.21 показана схема включения БИС К1813 для обработки аналоговых сигналов.

СПИСОК ЛИТЕРАТУРЫ

1. **Абрайтис В.— Б. Б., Седаускас С. Ю., Пятраускас А.— В. В.** Микропроцессорный комплект БИС высокого быстродействия К1800.— М.: Радио и связь, 1986.— 184 с.

2. **А. с.** 557438 СССР, МКИ².

3. **Алексенко А. Г., Галицын А. А., Иванников А. Д.** Проектирование радиоэлектронной аппаратуры на микропроцессорах.— М.: Радио и связь, 1984.— 272 с.

4. **Алексенко А. Г., Шагурин И. И.** Микросхемотехника: Учеб. пособие для вузов / Под ред. И. П. Степаненко.— М.: Радио и связь, 1982.— 416 с.

5. **Аналоговые** интегральные микросхемы: Справ. Б. П. Кудряшов, Ю. В. Назаров, Б. В. Тарабрин и др.— М.: Радио и связь, 1981.— 160 с.

6. **Аналоговые** и цифровые интегральные микросхемы: Справ./ Под ред. С. В. Якубовского.— М.: Радио и связь, 1984.— 432 с.

7. **Бахтиаров Г. Д., Малинин В. В., Школин В. П.** Аналого-цифровые преобразователи.— М.: Сов. радио, 1980.— 280 с.

8. **Березенко А. И., Корягин Л. Н., Назарьян А. Р.** Микропроцессорные комплекты повышенного быстродействия.— М.: Радио и связь, 1981.— 168 с.

9. **Блейксли Т. Р.** Проектирование цифровых устройств с малыми и большими интегральными схемами.— К.: Вища шк., 1981.— 336 с.

10. **Бобков В. А., Бурмистров Ю. Н., Кособрюхов В. А.** Однокристальные 4-разрядные микро-ЭВМ серии КР1820 // Микропроцес. средства и системы.— 1986.— № 1.— С. 19—27.

11. **Бобков В. А., Чернуха Б. Н., Свиридович В. С.** Расширенный микропроцессорный комплект БИС серии К588 // Микропроцес. средства и системы.— 1987.— № 1.— С. 6—7.

12. **Бочаров Л. Н., Жебряков С. К., Колесников П. Ф.** Расчет электронных устройств на транзисторах.— М.:Энергия, 1978.— 321 с.

13. **Будийский Я.** Логические цепи в цифровой технике.— М.: Связь, 1977.— 392 с.

14. **Букреев И. Н., Мансуров Б. М., Горячев В. И.** Микроэлектронные схемы цифровых устройств.— М.: Сов. радио, 1975.— 368 с.

15. **Весноватов М. Г., Карацюба Г. А., Павлов В. В.** Перспективные однокристальные ЭВМ // Микропроцес. средства и системы.— 1987.— № 2.— С. 7—8.

16. **Волков С.** Генераторы прямоугольных импульсов на МОП-элементах: Пер. с болг.— М.: Энергоиздат, 1981.— 232 с.

17. **Волков Р. И., Горский В. П., Дшхунян В. Л.** Однокристальный микропроцессор КМ1801ВМ3 // Микропроцес. средства и системы.— 1986.— № 4.— С. 37—41.

18. **Гивоке Д., Россер Р.** Микропроцессоры и микрокомпьютеры.— М.: Мир, 1983.— 464 с.
19. **Гилмор Ч.** Введение в микропроцессорную технику: Пер. с англ.— М.: Мир, 1984.— 334 с.
20. **Гинзбург С. А.** Математическая непрерывная логика и изображение функций.— М.: Энергия, 1968.— 136 с.
21. **Гитис Э. И., Пискулов Е. А.** Аналого-цифровые преобразователи.— М.: Энергоиздат, 1981.— 360 с.
22. **Гнатек Ю. Р.** Справочник по цифроаналоговым и аналого-цифровым преобразователям: Пер. с англ. / Под ред. Ю. А. Рюжина.— М.: Радио и связь, 1982.— 552 с.
23. **Голдсуорт Б.** Проектирование цифровых логических устройств.— М.: Машиностроение, 1985.— 288 с.
24. **Гольденберг Л. М.** Импульсные и цифровые устройства.— М.: Связь, 1973.— 490 с.
25. **Григорьев В. Л.** Программное обеспечение микропроцессорных систем.— М.: Энергоатомиздат, 1983.— 208 с.
26. **Дшхунян В. Л., Борщенко Ю. И., Науменков В. Р.** Однокристальные микропроцессоры комплекта БИС серии К1801 // Микропроцес. средства и системы.— 1984.— № 4.— С. 12—18.
27. **Ерофеев Ю. Н.** Основы импульсной техники.— М.: Высш. шк., 1979.— 396 с.
28. **Зи С.** Физика полупроводниковых приборов: В 2 кн.— М.: Мир, 1984.— Кн. 2.— 456 с.
29. **Зиссос Д.** Проектирование систем на микропроцессорах.— К.: Техніка, 1982.— 176 с.
30. **Златопольский А. Н., Лобов И. Е., Стоянов А. И.** Однокристальные 4-разрядные микро-ЭВМ серии К1814 // Микропроцес. средства и системы.— 1985.— № 1.— С. 3—10.
31. **Измерение параметров цифровых интегральных микросхем** / Под ред. Д. Ю. Эйдукаса, Б. В. Орлова.— М.: связь, 1982.— 368 с.
32. **Индикаторные** устройства на жидких кристаллах / З. Ю. Готра, Л. К. Вистинь, В. В. Пархоменко и др.; Под ред. З. Ю. Готры.— М.: Сов. радио, 1980.— 240 с.
33. **Интегральные** микросхемы: Справ./ Б. В. Тарабрин, Л. Ф. Лунин, Ю. Н. Смирнов и др.; Под ред. Б. В. Тарабрина.— М.: Радио и связь, 1985.— 528 с.
34. **Интегральные** схемы на МДП-приборах: Пер. с англ. / Под ред. А. Н. Кармазинского.— М.: Мир, 1975.— 528 с.
35. **Источники** электропитания радиоэлектронной аппаратуры: Справ./ Под ред. Г. С. Найвельта.— М.: Радио и связь, 1985.— 576 с.
36. **Каган Б. М.** Электронные вычислительные машины и системы: Учеб. пособие для вузов.— М.: Энергия, 1979.— 528 с.
37. **Каган Б. М., Сташин В. В.** Основы проектирования микропроцессорных устройств автоматики.— М.: Энергоатомиздат, 1987.— 304 с.
38. **Калабеков Б. А., Мамзелев И. А.** Основы автоматики и вычислительной техники.— М.: Связь, 1980.— 296 с.
39. **Калошкин Э. П., Васильев Л. В.** Микропроцессорный комплект БИС К1815 для конвейерных систем цифровой обработки сигналов // Микропроцес. средства и системы.— 1986.— № 2.— С. 14—23; № 3.— С. 8—13.
40. **Караханян Э. Р., Шилин В. А.** Динамические интегральные схемы памяти с МДП-структурой.— М.: Радио и связь, 1984.— 136 с.

41. **Кармазинский А. Н.** Синтез принципиальных схем цифровых элементов на МДП-транзисторах.— М.: Радио и связь, 1983.— 256 с.
42. **Киносита К., Асада К., Карацу О.** Логическое проектирование СБИС.— М.: Мир, 1988.— 309 с.
43. **Кобылинский А. В., Береза А. В., Сабадаш Н. Г.** Система команд микропроцессора КМ1810ВМ86 // Микропроцес. средства и системы.— 1986.— № 2.— С. 3—9.
44. **Кобылинский А. В., Липовецкий Г. П.** Однокристальные микро-ЭВМ серии К1816 // Микропроцес. средства и системы.— 1986.— № 1.— С. 10—19.
45. **Кобылинский А. В., Москалевский А. И., Темченко В. А.** Однокристальный высокопроизводительный 16-разрядный микропроцессор // Микропроцес. средства и системы.— 1986.— № 1.— С. 28—33.
46. **Крылов Е. И.** Однокристальные микро-ЭВМ серий К1814, К1820, К1816 // Микропроцес. средства и системы.— 1985.— № 2.— С. 3—7.
47. **Кулешова В. И.** Микропроцессорный комплект серии КР580 // Микропроцес. средства и системы.— 1987.— № 5.— С. 87—94.
48. **Левенталь Л.** Введение в микропроцессоры. Програм. обеспечение, аппарат. средства, программирование: Пер. с англ.— М.: Энергоатомиздат, 1983.— 464 с.
49. **Микропроцессорные** комплекты интегральных схем. Состав и структура: Справ./ Под ред. А. А. Васенкова, В. А. Шахнова.— М.: Радио и связь, 1982.— 192 с.
50. **Микропроцессоры:** В 3 кн. Кн. 1. Архитектура и проектирование микро ЭВМ: Орг. вычислител. процессов / Под ред. Л. Н. Преснухина.— М.: Высш. шк., 1986.— 495 с.
51. **Мкртчян С. О.** Преобразователи уровней логических элементов.— М.: Радио и связь, 1982.— 64 с.
52. **Многозначные** элементы и структуры: Сб. ст./ Под ред. В. П. Сигорского.— М.: Сов. радио, 1967.— 208 с.
53. **Многоустойчивые** элементы и их применение: Сб. ст. / Под ред. В. П. Сигорского.— М.: Сов. радио, 1971.— 320 с.
54. **Морозов С. А., Барановский Д. М., Минкин Л. К.** Однокристальные ЭВМ серии КБ1013 // Микроп роцес. средства и системы.— 1987.— № 5.— С. 5—18.
55. **Низковольтные** катодолюминесцентные индикаторы / Б. И. Горфинкель, Б. В. Абнадуев, Р. С. Медведев, А. П. Логинов.— М.: Радио и связь, 1983.— 112 с.
56. **Носов Ю. Р., Шилин В. А.** Основы физики приборов с зарядовой связью.— М.: Наука, 1986.— 348 с.
57. **Орнатский П. П.** Автоматические измерения и приборы.— К.: Вища шк., 1980.— 560 с.
58. **Орнатский П. П.** Теоретические основы информационно-измерительной техники.— К.: Вища шк., 1983.— 455 с.
59. **Погорелый С. Д., Слободянюк Т. Ф.** Программное обеспечение микропроцессорных систем: Справ.— К.: Техніка, 1985.— 240 с.
60. **Полупроводниковые** БИС запоминающих устройств: Справ. / Под ред. А. Ю. Гордонова, Ю. Н. Дьякова.— М.: Радио и связь, 1986.— 360 с.
61. **Полупроводниковые** приборы. Диоды, тиристоры, оптоэлектронные приборы: Справ./ Под ред. Н. Н. Горюнова.— М.: Энергоиздат, 1982.— 744 с.

62. **Преснухин Л. Н., Воробьев Н. В., Шишкевич А. А.** Расчет элементов цифровых устройств.— М.: Высш. шк., 1982.— 384 с.

63. **Применение** интегральных микросхем в электронной вычислительной технике: Справ./ Р. В. Данилов, С. А. Ельцова, Ю. П. Иванов и др.; Под ред. Б. Н. Файзулаева, Б. В. Тарабрина.— М.: Радио и связь, 1986.— 384 с.

64. **Проектирование** микропроцессорной электронно-вычислительной аппаратуры: Справ. / В. Г. Артюхов, А. А. Будняк, В. Ю. Лапий и др.— К.: Тэхника, 1988.—263 с.

65. **Пухальский Г. И.** Логическое проектирование цифровых устройств радиотехнических систем // Изв. Ленингр. ун-та, 1976.— 50 с.

66. **СверхБИС** универсальных однокристальных микро-ЭВМ / А. В. Кобылинский, Г. П. Липовецкий, Н. Г. Сабадаш и др.— К.: Тэхника, 1987.— 166 с.

67. **Свиридович В. С., Черноусова Т. Г.,Чернуха Б. Н.** Контроллер прерываний К588ВН1 // Микропроцес. средства и системы.— 1987.— № 5.— С. 3—5.

68. **Сигорский В. П.** Математический аппарат инженера.— К.: Техніка, 1977.— 800 с.

79. **Смоляров А. М.** Системы отображения информации и инженерная психология: Учеб. пособие.— М.: Высш. шк., 1982.— 272 с.

70. **Справочник** по микропроцессорным устройствам / А. А. Молчанов, В. И. Корнейчук, В. П. Тарасенко и др.— К.: Тэхника, 1987.— 272 с.

71. **Степаненко И. П.** Основы теории транзисторов и транзисторных схем.— М.: Энергия, 1977.— 672 с.

72. **Схемотехника** БИС постоянных запоминающих устройств / О. А. Петросян, А. Я. Козырь, Л. А. Коледов и др.— М.: Радио и связь, 1987.— 304 с.

73. **Темников Ф. Е., Афонин В. А., Дмитриев В. И.** Теоретические основы информационной техники.— М.: Энергия, 1979.— 512 с.

74. **Титце У., Шенк К.** Полупроводниковая схемотехника.— М.: Мир, 1982.— 512 с.

75. **Токхайм Р.** Микропроцессоры: Пер. с англ./ Под ред. В. Н. Грасевича.— М.: Энергоатомиздат, 1987.— 336 с.

76. **Торгов Ю. И.** Однокристальный контроллер прямого доступа к памяти КР580ВТ57 // Микропроцес. средства и системы.— 1984.— № 3.— С. 79—85.

77. **Угрюмов Е. П.** Проектирование элементов и узлов ЭВМ.— М.: Высш. шк., 1987.— 318 с.

78. **Уокерли Дж.** Архитектура и программирование микро-ЭВМ. В 2 кн.: Пер. с англ.— М.: Мир, 1984.— Кн. 1.— 486 с.; Кн. 2.— 341 с.

79. **Федорков Б. Г., Телец В. А., Дегтяренко В. П.** Микроэлектронные цифроаналоговые и аналого-цифровые преобразователи.— М.: Радио и связь, 1984.— 120 с.

80. **Фридман А., Менон П.** Теория и проектирование переключательных схем.— М.: Мир, 1978.— 578 с.

81. **Хвощ С. Т., Варлинский Н. Н., Попов Е. А.** Микропроцессоры и микро-ЭВМ в системах автоматического управления: Справ./ Под ред. С. Т. Хвоща.— Л.: Машиностроение. Ленингр. отд-ние, 1987.— 640 с.

82. **Шило В. Л.** *Линейные интегральные схемы в радиоэлектронной аппаратуре.*— М.: Сов. радио, 1979.— 368 с.

83. **Шило В. Л.** Популярные цифровые микросхемы: Справ.— М.: Радио и связь, 1987.— 352 с.

84. **Шило В. Л.** Функциональные аналоговые интегральные микросхемы.— М.: Радио и связь, 1982.— 128 с.

85. **Щелкунов Н. Н., Дианов А. П.** Процедуры программирования логических матриц // Микропроцес. средства и системы.— 1986.— № 2.— С. 71—76.

86. **Яковлев В. Н.** Микроэлектронные генераторы импульсов.— К.: Техніка, 1982.— 208 с.

87. **Якубайтис Э. А.** Логические автоматы и микромодули.— Рига: Зинатис.— 259 с.

88. **Янсен Й.** Курс цифровой электроники: В 4 т. Т. 1.— Основы цифровой электроники на ИС: Пер. с гол.— М.: Мир, 1987.— 334 с.

89. **Янсен Й.** Курс цифровой электроники: В 4 т. Т. 2. Проектирование устройств на цифровых ИС: Пер. с гол.— М.: Мир, 1987.— 367 с.

90. **Янсен Й.** Курс цифровой электроники: В 4 т. Т. 3. Сложные ИС для устройств передачи данных: Пер. с гол.— М.: Мир, 1987.— 412 с.

91. **Barna A., Porat** Dan I.: Integrated Circuits in Digital Electronics.— New York: John Wiley and Sons, 1973.— 677 p.

92. **Eckhardt D., Groß W.** Grundlagen der digitalen Schaltungstechnik. 3 Auflage. Militärverlage der DDR (VEB).— Berlin, 1978.— 511 s.

93. **Filipkowski A.** Uklady elektroniczne analogowe i cyfrowe.—Warszawa: Wydawnictwa naukovo techniczne, 1980.— 601 s.

94. **Kühn E., Schmied H.** Handbuch Integrierte Schaltkreise. 2, durchgesehende Auflage. — Berlin: VEB Verlag Technik, 1980.— 384 s.

95. **Peterson W. W., Weldon E. J.** Error-Correction Codes.— Cambridge: The MTT Press, 1972.— 345 p.

96. **Pienkos J., Turczynski J.** Uklady scalone TTL w systemach cyfrowych.— Warszawa: Wydawnictwo Komunikaciji i Laczności, 1982.— 690 s.

ОГЛАВЛЕНИЕ

Стр.

Предисловие 3

Глава 1. Числа и коды 4
- 1.1. Системы счисления 4
- 1.2. Преобразование чисел 6
- 1.3. Машинное слово 8
- 1.4. Обратный и дополнительный коды 9
- 1.5. Двоично-десятичные коды 10
- 1.6. Код Грея 12
- 1.7. Алфавитно-цифровые коды 13

Глава 2. Алгебра логики 16
- 2.1. Логические функции 16
- 2.2. Таблицы соответствия 17
- 2.3. Функциональная полнота 19
- 2.4. Булева алгебра 21
- 2.5. Стандартные формы 24
- 2.6. Преобразование и упрощение формул . . . 26
- 2.7. Алгоритм Квайна-Мак-Класки 28
- 2.8. Алгебраический метод образования тупиковых форм 31
- 2.9. Карты Карно 32

Глава 3. Реализация логических функций 36
- 3.1. Логические схемы 36
- 3.2. Многоступенчатые реализации 38
- 3.3. Факторизация 40
- 3.4. Базисы И—НЕ и ИЛИ—НЕ 42
- 3.5. Схемы с многими выходами 45

Глава 4. Элементы цифровой схемотехники 47
- 4.1. Классификация, параметры, характеристики 47
- 4.2. Характеристики цифровых схем 52
- 4.3. Электронные ключи 53
- 4.4. Диодно-транзисторные логические элементы 75
- 4.5. Транзисторно-транзисторные логические элементы 82
- 4.6. Элементы эмиттерно-связанной логики 94
- 4.7. Логические элементы на МДП-транзисторах 104

Глава 5. Комбинационные функциональные узлы . . . 112
- 5.1. Преобразователи кодов, шифраторы, дешифраторы 112
- 5.2. Мультиплексоры и демультиплексоры . . . 128
- 5.3. Комбинационные устройства сдвига 135
- 5.4. Комбинационные сумматоры 137

Глава 6. Последовательностные схемы 153
- 6.1. Триггеры 153
- 6.2. Регистры 177
- 6.3. Счетчики 189

Глава 7. Полупроводниковые запоминающие устройства . 206
7.1. Классификация и основные параметры ЗУ . 206
7.2. Запоминающие элементы ОЗУ 210
7.3. Запоминающие элементы ПЗУ 218
7.4. Программируемые логические матрицы . . . 226
Глава 8. Компоненты цифровых систем 231
8.1. Компоненты согласования уровней сигналов 231
8.2. Формирователи и генераторы импульсов . . . 243
8.3. Компоненты отображения цифровой информации 273
Глава 9. Аналого-цифровые преобразователи 278
9.1. Дискретизация непрерывных сигналов . . . 278
9.2. Параметры и методы построения АЦП . . . 282
9.3. Элементы АЦП 289
9.4. Цифроаналоговые преобразователи 301
9.5 Аналого-цифровые преобразователи 308
Глава 10. Однокристальные микропроцессоры 317
10.1. Основные параметры и типы микропроцессорных комплектов 317
10.2. Микропроцессор серии КР580 327
10.3. Универсальные интерфейсные БИС серии КР580 378
Глава 11. Однокристальные микро-ЭВМ 409
11.1. Однокристальные 8-разрядные микро-ЭВМ серии К1816 409
11.2. Однокристальные микро-ЭВМ цифровой обработки сигналов серии К1813 431
Список литературы 441

Справочное издание

Зубчук Виктор Иванович
Сигорский Виталий Петрович
Шкуро Анатолий Николаевич

Справочник по цифровой схемотехнике

Редакторы *Е. К. Артеменко, Н. М. Корнильева*
Оформление художника *Е. Н. Прокофьева*
Художественный редактор *В. С. Шапошников*
Технический редактор *Л. И. Левочкина*
Корректоры *Т. Е. Царинская, В. Н. Руденко*

ИБ № 3894

Сдано в набор 12.07.90. Подписано в печать 22.11.90. Формат 84×108 1/32. Бумага типографская № 2. Гарнитура литературная. Печать высокая. Усл. печ.л. 23,52. Усл. кр. отт. 23,73. Уч.изд.л. 29,97. Тираж 32000 экз. Зак. 274. Цена 1 р. 70 к.

Издательство «Тэхника». 252601, Киев, 1, ул. Крещатик, 5.

Книжная фабрика им. М. В. Фрунзе,
310057, Харьков, 57, Донец-Захаржевского, 6/8.