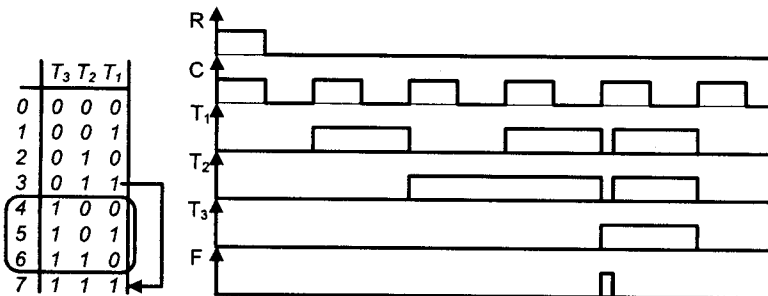
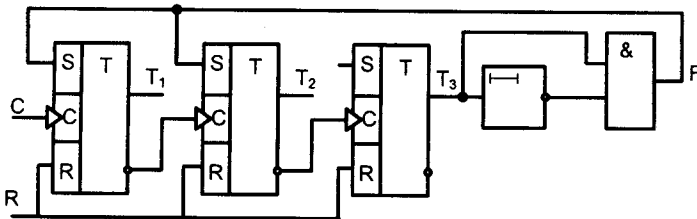


004.3(075)

ПЗ1

А. М. Петух, Д. Т. Обідник, М. Д. Обідник

ЦИФРОВА СХЕМОТЕХНІКА



Міністерство освіти і науки України
Вінницький національний технічний університет

004.3(075)
ПЗ1

А. М. Петух, Д. Т. Обідник, М. Д. Обідник

ЦИФРОВА СХЕМОТЕХНІКА

Навчальний посібник



004.3(075) ПЗ1 2016

Петух А.М. Цифрова схемотехніка

АБОНЕМЕНТ-2

Вінниця
ВНТУ
2016

УДК 004.3
ББК 32.973-04
ПЗ1

Рекомендовано до друку Вченою радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 5 від 25.12.2014 р.)

Рецензенти:

В. А. Лужецький, доктор технічних наук, професор

В. П. Кожем'яко, доктор технічних наук, професор

О. О. Білик, кандидат технічних наук, доцент

Петух, А. М.

ПЗ1 Цифрова схемотехніка : навчальний посібник / А. М. Петух, Д. Т. Обідник, М. Д. Обідник. – Вінниця : ВНТУ, 2016. – 120 с.

У навчальному посібнику розглядаються питання побудови і експериментального дослідження елементів та вузлів ЕОМ. Зміст відповідає програмі дисципліни "Цифрова схемотехніка". Викладені основні положення дисципліни, наведені приклади і рекомендації щодо їхнього засвоєння та розширеного опанування. Велика увага приділена сучасним засобам машинного моделювання схем. Наведені контрольні запитання, задачі і приклади, рекомендації щодо лабораторного практикуму і курсового проектування.

Навчальний посібник призначено для студентів спеціальності "Програмне забезпечення систем".

УДК 004.3
ББК 32.973-04

И45080



З М І С Т

Вступ.....	5
1 Форми зображення інформації.....	6
2 Логічні основи побудови елементів.....	9
3 Основи електроніки.....	15
4 Інтегровані системи елементів.....	23
5 Схемотехніка цифрових елементів.....	27
6 Схемотехніка комбінаційних вузлів.....	32
6.1 Ризик збою в комбінаційних схемах.....	32
6.2 Дешифратори.....	33
6.3 Шифратори.....	35
6.4 Мультиплексори.....	36
6.5 Схеми порівняння.....	38
6.6 Комбінаційні суматори.....	38
7 Схемотехніка цифрових вузлів.....	42
7.1 Регістри.....	42
7.2 Лічильники.....	44
7.3 Накопичувальні суматори.....	47
8 Схемотехніка обслуговувальних елементів.....	48
9 Моделювання роботи елементів та вузлів.....	51
10 Особливості реалізації мікросхем.....	52
11 Перспективи розвитку цифрової схемотехніки.....	55
12 Лабораторний практикум.....	57
12.1 Вимоги до виконання лабораторних робіт.....	57
12.2 Лабораторна робота № 1. Знайомство з середовищем моделювання схем OrCAD.....	58
12.3 Лабораторна робота № 2. Дослідження логічних елементів.....	62
12.4 Лабораторна робота № 3. Дослідження асинхронних тригерів.....	65
12.5 Лабораторна робота № 4. Дослідження одноступеневих синхронних тригерів.....	67
12.6 Лабораторна робота № 5. Дослідження двоступеневих тригерів.....	69
12.7 Лабораторна робота № 6. Дослідження тригерів з динамічним керуванням.....	71
12.8 Лабораторна робота № 7. Дослідження регістра.....	72
12.9 Лабораторна робота № 8. Дослідження реверсивного лічильника.....	75
13 Курсове проектування.....	78
13.1 Загальні вимоги щодо організації курсового проектування.....	78
13.2 Вимоги щодо оформлення курсових робіт.....	79
13.3 Аналіз завдань на курсове проектування.....	81
13.4 Рекомендації щодо викладення змісту пояснювальної записки.....	82
13.5 Приклад синтезу двійково-десятькового лічильника.....	83
13.6 Приклад синтезу циклічного зсувного регістра.....	88

13.7 Реалізація логічної функції на основі мультиплексора.....	91
14 Моделювання схем у середовищі OrCAD.....	95
14.1 Створення схеми	95
14.2 Вибір елемента з бібліотеки	97
14.3 Розміщення вибраного елемента.....	97
14.4 Побудова електричних зв'язків.....	98
14.5 Моделювання цифрових схем	99
14.6 Додавання файлів	104
14.7 Використання шин	104
14.8 Документування схем і діаграм.....	105
14.9 Перезавантаження проекту.....	106
14.10 Групування сигналів	106
Словник термінів	107
Перелік посилань	111
Додаток А Зразок титульного аркуша курсової роботи першого типу	112
Додаток Б Зразок титульного аркуша курсової роботи другого типу	113
Додаток В Критерії оцінювання курсових робіт.....	114
Додаток Г Аналоги деяких інтегральних TTL-схем	115
Додаток Д Приклади оформлення переліку посилань.....	119

ВСТУП

Дисципліна "Цифрова схемотехніка" передбачена навчальним планом ВНТУ для студентів бакалаврату напряму підготовки "Програмна інженерія". Метою дисципліни є формування знань, умінь та навичок студентів у галузі елементної бази сучасних і перспективних цифрових обчислювальних машин і систем.

У результаті вивчення дисципліни "Цифрова схемотехніка" набуваються знання принципів побудови та механізмів роботи дискретних схем обчислювальної техніки, їх основних характеристик, галузі застосування та тенденції розвитку елементної бази електронних обчислювальних машин. У процесі курсового проектування та виконання лабораторного практикуму досягаються уміння синтезувати і аналізувати складні функціональні елементи, вузли та пристрої на основі інтегрованої схемотехніки, налагоджувати схеми обчислювальної техніки, користуватися довідниковими даними схемотехнічної бази обчислювальних систем, проводити логічне моделювання роботи цифрових схем за допомогою сучасних програмних засобів.

Дисципліна "Цифрова схемотехніка" формує основу підготовки сучасного фахівця в галузі елементної бази обчислювальної техніки. Вона базується на таких дисциплінах, як "Фізика", "Комп'ютерна дискретна математика", "Прикладна теорія цифрових автоматів" і є основою для подальшого вивчення дисциплін "Архітектура комп'ютера", "Організація комп'ютерних мереж", "Методи та засоби комп'ютерних інформаційних технологій", "Програмування мікроконтролерів", "САПР засобів обчислювальної техніки".

Оскільки схемотехнічні основи елементної бази обчислювальної техніки є досить усталеними і розглядаються в багатьох навчальних та довідникових виданнях [1–10], у навчальному посібнику автори багато уваги приділили сучасним засобам машинного моделювання схем у рамках лабораторного практикуму і курсового проектування, оскільки навчальні видання в цій галузі практично відсутні. Крім цього стисле викладення основ цифрової схемотехніки для студентів напряму підготовки "Програмна інженерія" вигідно вирізняє це видання з-поміж інших.

Основні положення посібника апробовані в навчальному процесі у ВНТУ при викладанні дисципліни "Схемотехніка ЕОМ" [11, 12].

Поєднання в одному посібнику викладення змісту дисципліни, теоретичного матеріалу, рекомендацій, контрольних запитань, задач, прикладів, лабораторного практикуму і курсового проектування особливо актуальне для студентів заочної форми навчання, де високий відсоток самостійної роботи при вивченні дисциплін, передбачених навчальним планом.

1 ФОРМИ ЗОБРАЖЕННЯ ІНФОРМАЦІЇ

Носіями інформації можуть бути такі фізичні величини, як переміщення, щільність, температура, напруга, струм та ін. Подання інформації на носії називають сигналом. Сигнали різняться не тільки фізичною природою носія, а й формою подання інформації на носіїв.

Сигнал може використовуватись для передачі і зберігання інформації. При передачі інформації сигнал долає простір, переноситься в просторі, а при зберіганні сигнал переносить інформацію в часі. Перший тип сигналів, які переносять інформацію в просторі і змінюються в часі, називають динамічними, а сигнали які переносять інформацію в часі і мало змінюються в ньому – статичними. В загальному випадку поняття статичних і динамічних сигналів можуть бути відносними.

На носії інформації може бути зображена множина значень сигналу, ця множина може бути безперервною або дискретною. Відповідно з цим сигнали поділяються на дискретні і безперервні за значенням (рівнем).

У цифрових ЕОМ букви двійкового алфавіту відображаються фізичними сигналами у відповідних елементах і можуть приймати одне з двох значень, які легко відрізнити одне від одного, наприклад напруги високого і низького рівня, наявність і відсутність імпульсів струму, додатній і від'ємний імпульс струму, протилежні за знаком значення напруги магнітного поля і т. п. Ці два значення сигналу позначаються символами двійкової змінної "0" і "1".

У схемах цифрових пристроїв змінні і відповідні їм сигнали змінюються і сприймаються в дискретні моменти часу, які позначаються цілими невід'ємними числами. Інтервал між двома сусідніми дискретними моментами часу називають тактом або періодом подання інформації, а самі дискретні моменти – тактовими.

У цифрових ЕОМ використовують три способи фізичного подання букв двійкового алфавіту: потенціальний, імпульсний і динамічний.

При потенціальному способі (рис. 1.1, а) двом значенням змінної 0 і 1 відповідає низький і високий рівні напруги. Потенціальний сигнал зберігає постійний рівень протягом такту, а його значення в перехідні моменти не є визначеними.

При імпульсному способі (рис. 1.1, б) одиничне і нульове значення двійкової змінної зображується або додатнім і від'ємним електричними імпульсами, або наявністю і відсутністю електричного імпульсу у відповідній точці схеми.

Під імпульсом розуміють, у даному випадку, короточасну зміну напруги (струму) в електричному колі від нуля до деякого значення, тривалість якої порівнянна або менша за тривалість перехідних процесів у цьому колі.

В ідеальному випадку імпульсні сигнали повинні з'являтися в тактові моменти дискретного часу. Імпульсний сигнал характеризується амплітудою імпульсу в основі. Переднім і заднім фронтом називають, відповідно, час наростання і спаду сигналу.

Іноді виділяють імпульсно-потенціальний спосіб кодування, при якому двійкові сигнали в одних елементах (найчастіше запам'ятовувальних) кодуються потенціалами, а в інших (наприклад, логічних) – імпульсами.

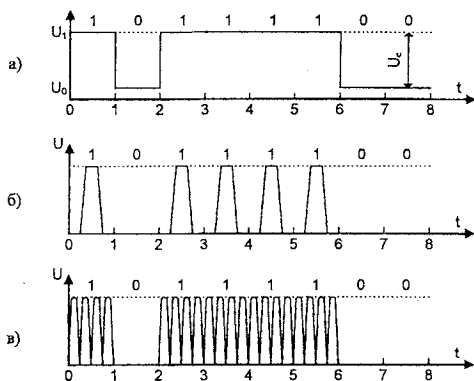


Рисунок 1.1 – Часові діаграми зображення цифрової інформації сигналами типу: а) – потенціального, б) – імпульсного, в) – динамічного

При динамічному способі (рис. 1.1, в) подання інформації двом можливим значенням змінної відповідає наявність або відсутність серії імпульсів (або синусоїдальних коливань), які заповнюють весь період подання.

Для подання і передавання двійкових машинних слів, код яких має декілька двійкових розрядів, застосовують два способи: послідовний і паралельний.

При послідовному способі подання інформації кожен часовий такт призначений для відображення одного розряду коду слова. При цьому слово передається по каналу і фіксується по черзі одним і тим же елементом послідовно, розряд за розрядом.

Якщо цифри зображуються в вигляді потенціальних інформаційних сигналів, то при передаванні декількох однакових цифр підряд, рівень напруги (струму) зберігається незмінним. При цьому для передавання слова його розряди повинні поступати в чітко визначені дискретні моменти часу, які задаються допоміжними тактовими сигналами.

Якщо для кодування використовуються додатні і від'ємні імпульси, можна обійтись без тактових сигналів. Однак, для підвищення завадостійкості каналів зв'язку, а також для синхронізації роботи вузлів і пристроїв, тактові сигнали використовуються і для імпульсних, і для потенціальних послідовних кодів. Достоїнством послідовного способу є те, що для передавання слова потрібна тільки одна кодова шина, однак для передавання багаторозрядного слова витрачається порівняно багато часу.

При паралельному способі зображення цифр у вигляді потенціальних та імпульсних інформаційних сигналів всі розряди слова передаються по декільком електричним лініям одночасно. Кількість ліній дорівнює кіль-

кості розрядів слова. В один і той же дискретний момент часу на всіх лініях виникають сигнали відповідно зі значеннями цифр розрядів слова, яке передається.

Важливими параметрами, які визначають швидкодію елементної бази, є часові параметри двійкових сигналів (рис. 1.2). Це тривалість переднього фронту сигналу $t_{\text{ф}}^{0-1}$, тривалість заднього фронту сигналу $t_{\text{ф}}^{1-0}$ і затримка розповсюдження сигналу $t_{\text{к}}^{0-1}$, $t_{\text{к}}^{1-0}$.

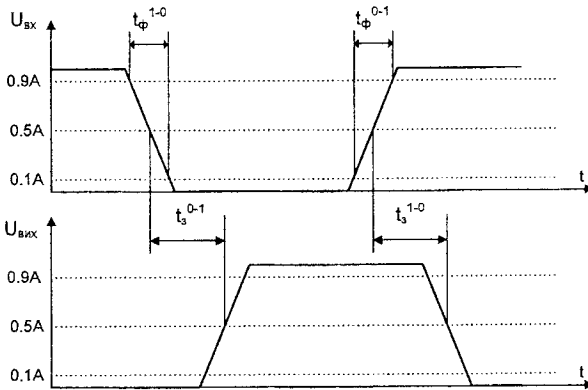


Рисунок 1.2 – Основні часові параметри двійкового сигналу

Тривалість фронту визначається проміжком часу зміни сигналу між рівнями $0,1 \times A$ і $0,9 \times A$, де A – амплітуда сигналу. Затримка розповсюдження сигналу визначається на рівні $0,5 \times A$ вхідного і вихідного сигналів.

Контрольні запитання і задачі

1. Які носії інформації Ви можете назвати? Що називають сигналом?
2. У чому полягає різниця між статичними та динамічними сигналами?
3. У чому принципова різниця між аналоговою і цифровою формами подання інформації?
4. У чому принципова різниця між імпульсною і потенціальною формами подання інформації?
5. Охарактеризуйте послідовний та паралельний спосіб передачі інформації.
6. Яким чином часові параметри сигналу визначають швидкодію елементної бази?
7. У чому різниця між статичними і динамічними сигналами?
8. Побудуйте часову діаграму передачі коду 100101110 послідовним способом потенціальним сигналом, паралельним способом потенціальним сигналом, послідовним способом імпульсним сигналом, паралельним способом імпульсним сигналом.

2. ЛОГІЧНІ ОСНОВИ ПОБУДОВИ ЕЛЕМЕНТІВ

Для формалізації опису процесів, які відбуваються в ЕОМ, використовують математичний апарат алгебри логіки, або бульової алгебри (за іменем її творця англійського математика Джорджа Буля) [13, 14]. Ця алгебра оперує змінними, які можуть набувати тільки одне з двох різних значень – "хибність" та "істина", що відповідає значенням "0" і "1" двійкових змінних.

Основою алгебри логіки є поняття логічної (бульової, перемикальної) функції виду $f(x_1, x_2, \dots, x_n)$, відносно аргументів x_1, x_2, \dots, x_n , яка, як і її аргументи, може приймати тільки два значення – 0 і 1. Логічна функція може бути задана словесно, виразом, діаграмою або таблицею істинності. Іноді логічні функції розглядають як логічні операції над двійковими величинами, тому що вони вказують на правило перетворення одних двійкових величин в інші.

Найпростіших логічних операцій три: заперечення (інверсія, "НЕ", позначається як $\bar{}$, або " \neg "), логічне множення (кон'юнкція, "І", позначається як \cdot , або " \wedge ", або "&") і логічне додавання (диз'юнкція, "АБО", позначається як $+$, або " \vee "). На рис. 2.1 наведені таблиці істинності для булевих функцій "НЕ", "І", "АБО".

x	$y=\bar{x}$
0	1
1	0

x1	x2	$y=x_1 \cdot x_2$
0	0	0
0	1	0
1	0	0
1	1	1

x1	x2	$y=x_1+x_2$
0	0	0
0	1	1
1	0	1
1	1	1

Рисунок 2.1 – Таблиці істинності для булевих функцій "НЕ", "І", "АБО"

Операція заперечення виконується над однією змінною. Кон'юнкція і диз'юнкція можуть здійснюватися з багатьма змінними. Сукупність різних значень змінних називають набором. Булева функція n аргументів може мати до $N=2^n$ наборів. Оскільки функція приймає тільки два значення, загальна кількість булевих функцій n аргументів дорівнює $2N$.

Може бути чотири функції одного аргументу: $y=\bar{x}$ – заперечення, $y=0$ – константа нуля, $y=1$ – константа 1, $y=x$ – повторює значення аргументу. 16 функцій двох змінних показані в табл. 2.1.

Алгебра логіки оснований на декількох аксіомах, із яких виводять основні закони для перетворень з двійковими змінними. Обґрунтованість вибору цих аксіом підтверджується таблицями істинності для розглянутих операцій. Кожна аксіома подана в двох видах, що впливає з принципу дуальності (двоїстості) логічних операцій, згідно з яким операції кон'юнкції та

диз'юнкції допускають взаємну заміну, якщо одночасно поміняти логічну 1 на 0, 0 на 1 і знаки операцій між собою.

Таблиця 2.1 – Логічні функції двох змінних

Функція	x1x2				Примітки
	00	01	10	11	
f1	0	0	0	0	константа нуля
f2	0	0	0	1	$x1x2$ – кон'юнкція
f3	0	0	1	0	$x1x2$ – заборона x2
f4	0	0	1	1	$x1\bar{x}2 \vee x1x2 = x1$
f5	0	1	0	0	$y = x1x2$ – заборона x1
f6	0	1	0	1	$\bar{x}1x2 \vee x1x2 = x1$
f7	0	1	1	0	$x1 \oplus x2$ – сума за модулем два
f8	0	1	1	1	$x1+x2$ – диз'юнкція
f9	1	0	0	0	$x1 \downarrow x2$ – функція Пірса
f10	1	0	0	1	$x1 \equiv x2$ – рівнозначність
f11	1	0	1	0	$\bar{x}1x2 \vee x1x2 = \bar{x}2$
f12	1	0	1	1	$x2 \rightarrow x1$ – імплікація
f13	1	1	0	0	$\bar{x}1x2 \vee x1x2 = \bar{x}1$
f14	1	1	0	1	$x1 \rightarrow x2$ – імплікація
f15	1	1	1	0	$x1 / x2$ – функція Шеффера
f16	1	1	1	1	константа одиниці

Аксиоми алгебри логіки:

$$\begin{array}{ll} \bar{0}=1; & \bar{1}=0; \\ 0 \cdot 0=0; & 1 \vee 1=1; \\ 1 \cdot 0=0 \cdot 1=0; & 0 \vee 1=1 \vee 0=1; \\ 1 \cdot 1=1; & 0 \vee 0=0. \end{array}$$

Нижче наведені закони алгебри логіки, які використовуються при перетвореннях логічних функцій та їхній мінімізації.

Комутативний закон

$$x1 \cdot x2 = x2 \cdot x1; \quad x1 \vee x2 = x2 \vee x1.$$

Асоціативний закон

$$\begin{array}{l} x1(x2 \cdot x3) = (x1 \cdot x2)x3 = x1 \cdot x2 \cdot x3; \\ x1 \vee (x2 \vee x3) = (x1 \vee x2) \vee x3 = x1 \vee x2 \vee x3. \end{array}$$

Закон повторення (тавтології)

$$x \cdot x = x; \quad x \vee x = x.$$

Закон обернення

$$\text{Якщо } x1 = x2, \text{ то } \bar{x1} = \bar{x}2.$$

Закон подвійної інверсії

$$\overline{\overline{x}} = x.$$

Закон нульової множини

$$x \cdot 0 = 0; \quad x \vee 0 = x.$$

Закон універсальної множини

$$x \cdot 1 = x; \quad x \vee 1 = 1.$$

Доповняльний закон

$$x \cdot \overline{x} = 0; \quad x \vee \overline{x} = 1.$$

Дистрибутивний закон

$$x1 \cdot (x2 \vee x3) = x1 \cdot x2 \vee x1 \cdot x3;$$
$$x1 \vee (x2 \cdot x3) = (x1 \vee x2) \cdot (x1 \vee x3).$$

Закон поглинання

$$x1 \vee x1 \cdot x2 = x1;$$
$$x1 \cdot (x1 \vee x2) = x1.$$

Закон склеювання

$$(x1 \vee x2) \cdot (x1 \vee \overline{x2}) = x1;$$
$$x1 \cdot x2 \vee x1 \cdot \overline{x2} = x1.$$

Закон інверсії (правила де Моргана)

$$\overline{x1 \cdot x2} = \overline{x1} \vee \overline{x2}; \quad \overline{x1 \vee x2} = \overline{x1} \cdot \overline{x2};$$
$$x1 \cdot x2 = \overline{\overline{x1} \vee \overline{x2}}; \quad x1 \vee x2 = \overline{\overline{x1} \cdot \overline{x2}}.$$

Одна і та ж логічна функція може бути подана різними формулами. У зв'язку з цим виникає задача знаходження такої форми запису функцій, коли кожній функції відповідає тільки одна формула, а формулі відповідає тільки одна функція. Такі форми називають канонічними або досконалими. Існують досконалі диз'юнктивна (ДДНФ) і кон'юнктивна (ДКНФ) нормальні форми. Для їхнього визначення використовуються поняття конститuent одиниці і нуля.

Конституентою одиниці називають кон'юнкцію всіх змінних, взятих з інверсією або без неї. Конституента одиниці дорівнює одиниці тільки на одному наборі. Конституентою нуля називають диз'юнкцію всіх змінних, взятих з інверсією або без неї. Вона дорівнює нулю тільки на одному наборі.

ДКНФ називають кон'юнкцію конститuent нуля, які дорівнюють нулю на тих же наборах, що й задана функція.

ДДНФ називають диз'юнкцію конститuent одиниці, які дорівнюють одиниці на тих же наборах, що й задана функція.

Наприклад, ДКНФ і ДДНФ можуть мати такий вигляд:

$$\text{ДКНФ} \rightarrow y = (x1 + \overline{x2} + x3) \cdot (\overline{x1} + x2 + \overline{x3}) \cdot (\overline{x1} + \overline{x2} + x3) \cdot (x1 + x2 + x3);$$

$$\text{ДДНФ} \rightarrow y = \overline{x1} \cdot \overline{x2} \cdot x3 + x1 \cdot \overline{x2} \cdot x3 + x1 \cdot \overline{x2} \cdot \overline{x3} + x1 \cdot x2 \cdot x3.$$

Будь-яка логічна функція має єдину досконалу нормальну форму. Міні-мальною (МДНФ) називають ДНФ, яка складається з найменшої сумарної

кількості змінних та їх заперечень в усіх диз'юнктивних членах, порівняно з усіма іншими еквівалентними ДНФ цієї функції.

Проектування елементів і схем, як правило, супроводжується мінімізацією логічних функцій, тобто зведенням їх до мінімальних форм. Це викликано тим, що реалізація функцій, поданих у мінімальній формі, забезпечує, в свою чергу, мінімум апаратних витрат на їхню реалізацію.

Найпоширенішими методами мінімізації функцій відносно невеликої кількості змінних є діаграми Вейча, карти Карно, метод Квайна-МакКласкі і аналітичні перетворення функцій з використанням аксіом і законів алгебри логіки [2, 4, 9, 13, 14].

Діаграми Вейча зручно застосовувати для мінімізації логічних функцій, що містять не більш, як 4–6 змінних. Ці діаграми є спеціально організованими таблицями істинності. Кількість клітинок у таблиці відповідає кількості можливих наборів аргументів – 2^n . Набори в клітинках таблиці розташовані так, що два сусідні набори у стовпці чи в рядку відрізняються значенням однієї змінної – в одному з них вона із запереченням, а в іншому – без нього. При такому розташуванні два сусідні набори можна склеювати. В клітинках діаграми Вейча проставляють значення функції на відповідному наборі. Якщо на деяких наборах значення функції може бути будь-яким, їх відмічають буквою "X", або зірочкою, що вказує на можливість визначення значення функції на цих наборах так, щоб функція була мінімальною.

Мінімізація полягає в охопленні клітинок з одиничним значенням функції на діаграмі Вейча спеціальними контурами, які охоплюють 1, 2, 4, 8 і т. д. сусідніх клітинок у вигляді прямокутника чи квадрата.

На рис. 2.2 показаний порядок заповнення діаграми Вейча і охоплення клітинок контурами. Значення функції записують таким чином, що для кожного контуру в МДНФ вносять кон'юнкцію змінних або їх інверсій, які не змінюють свого значення для всіх клітинок, охоплених контуром.

За діаграмою Вейча можна записати інверсне значення функції. При цьому контурами охоплюють клітинки, де значення функції дорівнює нулю.

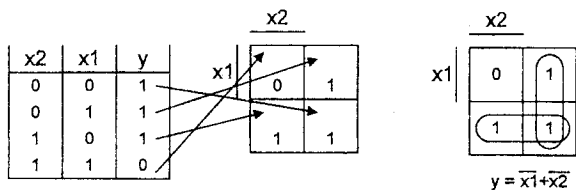


Рисунок 2.2 – Порядок заповнення діаграми Вейча і проведення контурів

На рис. 2.3 показані діаграми Вейча для двох, трьох, чотирьох і п'ятьох змінних.

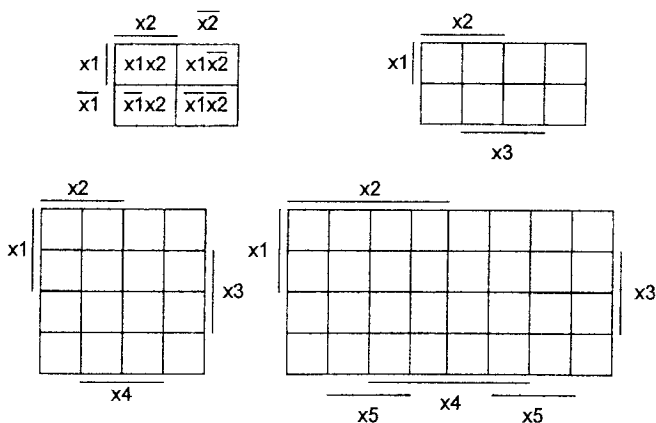
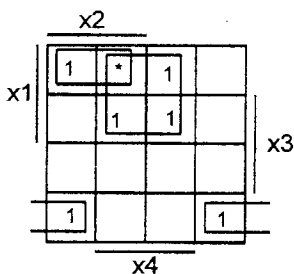


Рисунок 2.3 – Діаграми Вейча для двох, трьох, чотирьох і п'ятьох змінних

На рис. 2.4 наведений приклад мінімізації функції чотирьох змінних, заданої діаграмою Вейча.



ДДНФ: $y = x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 + x_1 \bar{x}_2 x_3 \bar{x}_4 + x_1 x_2 \bar{x}_3 \bar{x}_4 + x_1 x_2 x_3 \bar{x}_4 + x_1 \bar{x}_2 x_3 x_4 + x_1 x_2 \bar{x}_3 x_4 + x_1 x_2 x_3 x_4$

МДНФ: $y = x_1 x_4 + x_1 \bar{x}_2 \bar{x}_3 + x_1 \bar{x}_3 \bar{x}_4$

Рисунок 2.4 – Приклад мінімізації функції чотирьох змінних

Логічні основи обчислювальної техніки детально розглядаються в підручниках з дисципліни "Прикладна теорія цифрових автоматів" [13, 14].

В апаратурі логічні операції реалізуються логічними елементами. В сучасних цифрових пристроях логічні стани визначаються двома рівнями напруги (потенціалів): високим, близьким до напруги джерела живлення, і низьким, близьким до нуля (додатна логіка).

Контрольні запитання і задачі

1. Що таке логічні змінні і логічні функції?
2. Якими способами можна задавати логічні функції?
3. Що таке конституента одиниці і нуля?
4. Наведіть основні аксіоми алгебри логіки.
5. Наведіть основні закони алгебри логіки.
6. Побудуйте таблиці істинності для кожної з 16 функцій двох змінних.
7. Що таке ДДНФ і ДКНФ, МДНФ?
8. Навіщо потрібна мінімізація логічних функцій?
9. Які способи мінімізації логічних функцій Ви знаєте?
10. Як задати і мінімізувати логічну функцію за допомогою діаграми Вейча?
11. Як перейти від аналітичного виразу функції до діаграми Вейча?
12. Запишіть ДКНФ, ДДНФ та МДНФ функцій, заданих таблицями істинності:

x3	x2	x1	y1
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

x3	x2	x1	y2
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

x3	x2	x1	y3
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

13. Проведіть мінімізацію функцій, заданих в аналітичній формі, з використанням аксіом і законів алгебри логіки:

$$y_4 = x_1x_2 + x_1\bar{x}_2;$$

$$y_5 = x_1\bar{x}_2x_3 + x_1x_2 + x_1x_2\bar{x}_3 + x_1\bar{x}_3;$$

$$y_6 = x_1x_2\bar{x}_3x_4 + \bar{x}_1x_2 + x_1x_3 + x_2x_3x_4.$$

14. За яким законом алгебри логіки функції зводять до базису "І-НЕ", "АБО-НЕ"?
15. Скільки можливих наборів аргументів для функцій чотирьох, п'яти і шести змінних?
16. Зведіть вираз $y_7 = x_3x_4 + x_1\bar{x}_2x_3 + \bar{x}_1x_2x_4$ до ДДНФ.
17. Зведіть вираз $y_8 = x_3x_4 + x_1x_2x_3 + \bar{x}_1x_2x_4$ до ДКНФ.

3 ОСНОВИ ЕЛЕКТРОНІКИ

Впорядкований рух вільних заряджених часток у провіднику під дією електричного поля називається електричним струмом. Для виникнення струму необхідне замкнуте електричне коло і джерело електрорушійної сили. Струм вимірюється в амперах.

Електричне коло в загальному випадку містить такі елементи: джерело електричної енергії; приймачі, що перетворюють електроенергію в інші види енергії; засоби, що з'єднують джерела енергії, і приймачі. Графічне зображення кола називають електричною схемою.

Для кожної електричної схеми існує поняття вузла, гілки і контуру. Вузол – точка з'єднання трьох або більше елементів кола. Іноді вводиться поняття умовного вузла, в якому з'єднуються два елементи електричного кола. Гілка – ділянка кола між двома вузлами. Контур – замкнутий шлях обходу гілок.

Електричні кола можуть бути простими і складними. До простих відносять кола з одним джерелом живлення (або кількома джерелами в одній гілці); до складних – кола з двома або більше джерелами живлення в різних гілках.

У металевих провідниках електричний струм є рухом негативних зарядів – електронів. У інших випадках (наприклад, електролітах) електричний струм здійснюється переміщенням і негативних, і позитивних зарядів в протилежних напрямках.

Рух позитивних зарядів в одному напрямку рівноцінний переміщенню від'ємних зарядів у протилежному напрямку. Для визначеності умовно за позитивний напрямок струму в провідниках прийнято вважати напрямок руху позитивних зарядів.

Напругу на ділянці кола називають ще падінням напруги. Напруга вимірюється в вольтах.

Основні електроенергетичні співвідношення для ділянки кола встановлені законами Ома і Джоуля-Ленца.

Згідно з законом Ома, струм I на ділянці кола пропорційний напрузі U на цій ділянці: $I = U/g$. Коефіцієнт пропорційності g називають електричною провідністю. Величина, обернена провідності $R = 1/g$, кількісно визначає значення опору ділянки кола. Опір вимірюється в омах, а провідність – в сименсах.

Із закону Ома випливають формули:

$$I = \frac{U}{R}; \quad U = I \cdot R; \quad R = \frac{U}{I}.$$

Тут I – струм, U – напруга, R – опір.

При проходженні електричного струму I по ділянці кола з опором R

здійснюється перетворення електричної енергії в теплову. Кількість електричної енергії W , перетвореної в теплову за час t , визначається за законом Джоуля-Ленца: $W = I^2 \cdot R \cdot t$.

Потужність P є кількістю енергії, що перетворюється за одиницю часу:

$$P = W/t = I^2 \cdot R \text{ або } P = U^2/R.$$

Замінивши добуток $I \cdot R$ напругою U (згідно з законом Ома) отримаємо формулу для визначення потужності P , що характеризує інтенсивність процесу перетворення електричної енергії в тепло або інші види енергії: $P = UI$. Основною одиницею виміру для потужності є ват.

Відповідно до першого закону Кірхгофа алгебраїчна сума струмів у вузлі дорівнює нулю. Відповідно до другого закону Кірхгофа алгебраїчна сума електрорушійних сил в замкнутому контурі дорівнює алгебраїчній сумі напруг на опорах (резисторах) контуру.

Напівпровідник – матеріал, електропровідність якого має проміжне значення між провідностями провідника та діелектрика. Напівпровідники відрізняються від провідників сильною залежністю питомої провідності від концентрації домішок, температури і різних видів випромінювання. Основною властивістю цих матеріалів є збільшення електричної провідності з ростом температури.

Напівпровідниками є речовини, ширина забороненої зони яких становить близько кількох електронвольт (eВ). Наприклад, алмаз можна віднести до широкозонних напівпровідників, а арсенід індію – до вузькозонних. До напівпровідників належать багато простих речовин хімічних елементів (германій, кремній, селен, телур, арсен та інші), величезна кількість сплавів і хімічних сполук (арсенід галію та ін.).

Залежно від того, чи віддає домішковий атом електрон або захоплює його, його називають донорним або акцепторним. Характер домішки може змінюватися залежно від того, який атом решітки вона заміщує, в яку кристалографічну площину вбудовується.

Провідність напівпровідників сильно залежить від температури. Поблизу абсолютного нуля температури напівпровідники мають властивості діелектриків. Зі зростанням температури питомий опір напівпровідників швидко зменшується.

Для чотиривалентного елемента германію взаємодія пари сусідніх атомів здійснюється за допомогою ковалентного (парноелектронного) зв'язку. У темряві і при низьких температурах усі електрони зайняті в ковалентних зв'язках. Вільних носіїв у кристалі напівпровідника немає, тому кристал не проводить струму і його опір великий. За цих умов напівпровідник схожий на ізолятор.

З підвищенням температури кристала (або під час попадання на нього світла) деякі ковалентні зв'язки руйнуються. На місці кожного розірваного зв'язку відразу утворюється вакантне місце з нестачею електрона. Його

називають діркою. Оскільки дірка переміщується в кристалі, як і вільний носій електричного заряду, то їй приписують позитивний заряд. Якщо діє зовнішнє електричне поле, в кристалі напівпровідника виникає впорядковане переміщення дірок і до електричного струму вільних електронів додається електричний струм, пов'язаний з переміщенням дірок (діркова провідність). Провідність чистих напівпровідників, що не мають ніяких домішок, називають власною провідністю напівпровідників.

Власна провідність напівпровідників невелика, оскільки малою є кількість вільних електронів. Особливість напівпровідників полягає в тому, що в них за наявності домішок поряд із власною провідністю виникає додаткова – домішкова провідність. Змінюючи концентрацію домішки, можна суттєво змінити кількість носіїв заряду того або іншого знака, а отже, створити напівпровідники з переважальною концентрацією позитивно чи негативно заряджених носіїв. Наприклад, внесемо в чотиривалентний германій невелику кількість п'ятивалентного арсену. Чотири електрони арсену утворюють ковалентні зв'язки із сусідніми атомами германію, а п'ятий одразу стає вільним. Домішки, що легко віддають електрони, і, отже, збільшують кількість вільних носіїв, називають донорними домішками.

Напівпровідники з донорною провідністю мають більшу кількість електронів порівняно з кількістю дірок. Їх називають напівпровідниками *n*-типу. У них електрони є основними носіями заряду, а дірки – неосновними.

При використанні індію як домішки, атоми якого тривалентні, характер провідності германію зміниться. Тепер для встановлення нормальних парно-електронних зв'язків із сусідами атома індію не вистачає електрона. Внаслідок цього утворюється дірка. Кількість дірок у кристалі дорівнюватиме кількості атомів домішки. Домішки цього типу називають акцепторними (приймальними). Напівпровідники з переважанням діркової провідності над електронною називають напівпровідниками *p*-типу. Основними носіями заряду таких напівпровідників є дірки, а неосновними – електрони.

Межу напівпровідників з різними типами провідності називають *p-n*-переходом. У результаті дифузії на межі між ділянками *p* і *n* утворюється подвійний електричний шар різнойменно заряджених іонів, товщина якого не перевищує часток мікрметра. Між шарами іонів виникає електричне поле, яке перешкоджає подальшому переходу електронів і дірок через межу розділу двох напівпровідників. Замикальний шар має підвищений опір порівняно з іншим об'ємом напівпровідників.

Зовнішнє електричне поле з напруженістю E впливає на опір замикального електричного поля. Якщо *n*-напівпровідник під'єднаний до негативного полюса джерела, а позитивний полюс джерела з'єднаний з *p*-напівпровідником, то під дією електричного поля електрони в *n*-напівпровіднику і дірки в *p*-напівпровіднику будуть рухатися назустріч один одному до межі розділу напівпровідників. Електрони, переходячи кордон, "заповнюють" дірки. При такому прямому напрямку зовнішнього електричного поля товщина замикального шару і його опір безперервно зменшуються. В

цьому напрямку електричний струм проходить через *p-n*-перехід, провідність усього зразка велика, а опір малий. Таке включення *p-n*-переходу називають прямим.

Якщо *n*-напівпровідник з'єднаний з позитивним полюсом джерела, а *p*-напівпровідник – з негативним, то електрони в *n*-напівпровіднику і дірки в *p*-напівпровіднику під дією електричного поля будуть переміщатися від межі розділу в протилежні боки. Це призводить до потовщення замикаючого шару і збільшення його опору. Напрямок зовнішнього електричного поля, що розширює замикальний шар, називається замикаючим (зворотнім). При такому напрямку зовнішнього поля електричний струм основних носіїв заряду через *p-n*-перехід не проходить. Таке включення *p-n*-переходу називають зворотним.

Сила зворотного струму майже не змінюється у разі зміни напруги. Створюючи в одному кристалі (наприклад, германію) *p-n*-перехід вплавленням в одну з його поверхонь домішки індію, можна виготовити напівпровідниковий діод. Щоб позбавитися шкідливих впливів повітря і світла, кристал германію вміщують у герметичний металевий корпус.

Діод має односторонню провідність – сила прямого струму у разі навіть невеликих напруг значно більша від зворотного струму за такої самої напруги. Недоліками діодів є погіршення їхньої роботи з підвищенням температури і вологості.

Основні різновиди напівпровідникових діодів та їхні умовні позначення наведені у табл. 3.1.

Таблиця 3.1 – Різновиди напівпровідникових діодів та їхні умовні позначення

Різновид діода	Позначення
випрямний	
високочастотний	
імпульсний	
стабілітрон	
варікап	
тунельний	
фотодіод	
світлодіод	

Біполярним транзистором називається електронний прилад із двома взаємодійними $p-n$ -переходами і трьома (чи більше) виводами, здатний підсилювати потужність електричного сигналу. Основою приладу служить пластина напівпровідника, яка називається базою. Із двох боків у неї вмонтована домішка, що створює ділянки із провідністю, відмінною від провідності бази. Крайні зони, що мають провідність, протилежну провідності бази, називаються емітером та колектором.

Транзистори називають біполярними, тому що їх робота основана на використанні обох носіїв заряду (як електронів, так і дірок). Розрізняють два типи біполярних транзисторів: $n-p-n$ і $p-n-p$. На рис. 3.1 наведені структури та позначення $n-p-n$ і $p-n-p$ транзисторів.

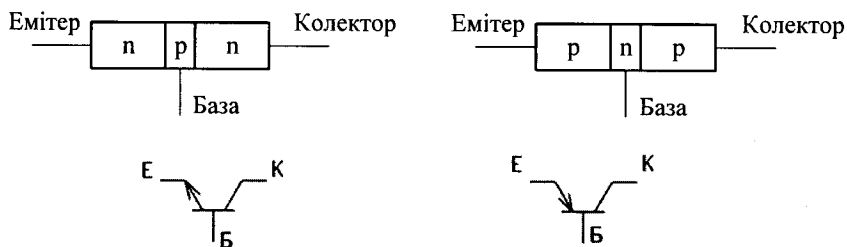


Рисунок 3.1 – Структури та позначення $n-p-n$ і $p-n-p$ транзисторів

Ділянку транзистора, основним призначенням якої є інжекція (вприскування) носіїв у базу, називають емітером. Ділянку, основним призначенням якої є екстракція (витягування) носіїв з бази, називають колектором. Перехід, утворений поблизу емітера, називають емітерним (тобто перехід між емітером та базою), поблизу колектора – колекторним (між базою та колектором). При використанні транзистора в схемах на його переходи подають зовнішні напруги.

Залежно від прикладених напруг до електродів транзистора ($p-n$ -переходів) розрізняють такі режими його роботи:

- активний режим (активне підсилення) – емітерний перехід зміщено в прямому напрямку, а колекторний – у зворотному;
- режим відсікання (відсічки) струму – на обидва переходи подані зворотні напруги, обидва переходи закрито, через них проходять незначні зворотні струми. У першому наближенні можна вважати, що всі струми дорівнюють нулю, а між виводами транзистора має місце розрив;
- режим насичення – на обидва переходи подані прямі напруги, тобто обидва переходи зміщено в прямому напрямку (транзистор повністю відкритий). У цьому режимі і емітер, і колектор інjektують електрони в базу, у результаті чого в структурі протікають два зустрічних наскрізних потоки електронів (нормальний та інверсний). Від співвідношення цих потоків залежить напрямок струмів, що протікають у колі емітера та

колектора. Внаслідок подвійної інжекції база транзистора дуже сильно насичується надлишковими електронами, через що підсилюється їхня рекомбінація з дірками, і рекомбінаційний струм бази виявляється значно вище, ніж в активному або інверсному режимах. Потрібно також зазначити, що у зв'язку з насиченням бази транзистора і його переходів надлишковими носіями заряду, їхні опори стають дуже маленькими. Тому при великому струмі колектора в транзисторі розсіюється мала потужність внаслідок малого опору відкритого колекторного переходу. Цей режим є основним при побудові перемикальних схем;

- інверсний активний режим характеризується тим, що до емітерного переходу підводиться зворотна напруга, а до колекторного – пряма, тобто емітер і колектор міняються місцями. У зв'язку з тим, що підсилювальні властивості транзистора в інверсному режимі виявляються значно гірше, ніж в активному режимі, транзистор в інверсному режимі практично не використовується.

Біполярний транзистор може розглядатися як активний чотириполосник. Залежно від того, який з трьох виводів транзистора є загальним для входу і виходу чотириполосника, розрізняють три схеми вмикання транзисторів: із спільною базою, із спільним емітером та із спільним колектором. Схеми із спільним емітером використовуються найбільш часто.

До класу уніполярних транзисторів відносять транзистори, принцип роботи яких оснований на використанні носіїв заряду тільки одного знака (електронів або дірок). Управління струмом в уніполярних транзисторах здійснюється зміною провідності каналу, через який протікає струм транзистора під впливом поперечного електричного поля. Внаслідок цього уніполярні транзистори називають також польовими.

За способом створення каналу розрізняють:

- польові транзистори з управляючим p - n -переходом;
- польові транзистори з власним (вбудованим) каналом;
- польові транзистори з індукованим каналом.

Останні два типи відносять до різновидів транзисторів з ізольованим затвором (МДН- або МОН-транзистор). Ці транзистори будуються за конструкцією: "метал-діелектрик-напівпровідник" або "метал-оксид-напівпровідник".

Порівняно з біполярними транзисторами польові є більш високотехнологічними, мають хорошу відтворність необхідних параметрів, а також меншу вартість. З електричних параметрів польові транзистори відрізняє їх високий вхідний опір.







Транзистори з ізольованим затвором можна розглядати як керовані потенціалом, що дозволяє на їхній основі створювати схеми з надзвичайно низьким споживанням енергії в статичному режимі. Це особливо суттєво для електронних статичних мікросхем пам'яті з великою кількістю запам'ятовувальних комірок.

Польові транзистори можуть мати як p , так і n канали, управління

якими проводиться при різній полярності напруги на затворах. Ця властивість комплементарності розширює можливості при конструюванні схем та широко застосовується при створенні запам'ятовувальних комірок і цифрових схем на основі КМОН-транзисторів.

Умовні позначення польових транзисторів наведені у табл. 3.2.

Таблиця 3.2 – Умовні позначення польових транзисторів

Різновид транзистора	Позначення
З керувальним p - n -переходом і каналом n типу	
З керувальним p - n -переходом і каналом p типу	
МОН-транзистор з вбудованим каналом n типу	
МОН-транзистор з вбудованим каналом p типу	
МОН-транзистор з індукованим каналом n типу	
МОН-транзистор з індукованим каналом p типу	

Із розробкою технології інтегральних схем польові транзистори майже витіснили біполярні транзистори з більшості галузей електроніки. Вони використовуються у мікросхемах, які входять до складу комп'ютерів, більшості радіоелектронних приладів: мобільних телефонів, телевізорів, пральних машин, холодильників тощо.

Ключові схеми на транзисторах використовуються для побудови генераторів і формувачів імпульсів, а також логічних схем цифрової обчислювальної техніки. Ключ виконує елементарну операцію інверсії логічної змінної і називається інвертором.

У статичному режимі ключ перебуває в стані "включено" (ключ замкнений), або в стані "виключено" (ключ розімкнений). Перемикання ключа з одного стану в інший відбувається під впливом вхідних управляючих сигналів: імпульсів або рівнів напруги. Прості ключові схеми мають один управляючий вхід і один вихід.

Основу ключа становить транзистор в дискретному або інтегральному виконанні. Залежно від стану ключ замикає зовнішнє навантаження вели-

ким або малим вихідним опором. У цьому і полягає комутація ланцюга, за допомогою транзисторного ключа.

Основними параметрами ключа є:

- швидкодія, яка визначається максимально можливою кількістю перемикачів за секунду – для інтегральних ключових схем вона становить мільйони комутацій;
- тривалість фронтів вихідних сигналів;
- внутрішні опори у відкритому і закритому стані;
- споживана потужність;
- перешкодостійкість, рівна рівню перешкоди на вході, що викликає помилкове перемикачання;
- стабільність порогових рівнів, при яких відбувається перемикачання.

При використанні біполярного транзистора в цьому режимі на вхідний електрод діє імпульсна напруга (струм) великої амплітуди, і тоді транзистор працює як комутатор, що має два граничні положення – замкнуте (режим насичення) і розімкнуте (режим відсікання).

На тривалість переднього і заднього фронтів вихідного імпульсу струму суттєво впливають частотні властивості біполярного транзистора. Чим вища гранична частота транзистора, тим вища його швидкодія в ключовому режимі. Крім того, швидкодія транзистора в режимі перемикачання збільшується при збільшенні коефіцієнта передавання струму (або збільшенні амплітуди імпульсу струму бази – імпульсу керування).

З метою підвищення граничної частоти транзистори виготовляють з малими ємностями переходів, а також, оскільки на швидкість розсмоктування впливає не лише екстракція, а й рекомбінація, зменшують середню тривалість життя неосновних носіїв шляхом введення до бази домішок, що прискорюють рекомбінацію (наприклад, золото у кремнієвих біполярних транзисторах).

Польові транзистори не споживають статичної потужності по ланцюгу управління, в них відсутні неосновні носії, а, значить, не потрібен час на їхнє розсмоктування, нарешті, зростання температури призводить до зменшення струму стоку, що забезпечує підвищену термостійкість.

З усього різноманіття польових транзисторів для побудови електронних ключів найбільшого поширення набули МДН-транзистори з індуктивним каналом.

Транзистори є активними компонентами схем, так як вони мають підсилювальні властивості за рахунок додаткового джерела живлення (тобто, живляться не тільки за рахунок вхідного сигналу). На їхній основі будують різноманітні підсилювачі електричних сигналів.

Властивості та характеристики напівпровідникових діодів, біполярних та польових транзисторів, схеми їхнього включення, параметри, основні розрахункові співвідношення та особливості застосування є предметом розгляду електроніки та мікроелектроніки [5].

4 ІНТЕГРОВАНІ СИСТЕМИ ЕЛЕМЕНТІВ

Елементи перетворюють електричні сигнали або зберігають числову і логічну інформацію. Якщо електричне перетворення сигналів елементами призводить до зміни їхнього логічного змісту, такі елементи називають логічними. Якщо елементи змінюють тільки форму сигналу або рівня, їх відносять до допоміжних підсилюючих або перетворюючих.

Системою елементів ЕОМ називають функціонально- і технічно повний набір елементів (охоплюючи елементи пам'яті), який використовує однакові способи подання інформації і міжелементних зв'язків. Система логічних елементів буде функціонально повною, якщо вона дозволяє реалізувати будь-яку логічну функцію. Система елементів вважається технічно повною, якщо вона забезпечує всі електричні і часові особливості взаємопов'язаної роботи логічних елементів. У даний час до елементів відносять також вузли ЕОМ, оскільки вони випускаються у вигляді інтегральних схем (ІС) і використовуються для побудови пристроїв, як складових вищого рівня ієрархії.

Основними параметрами елементів є споживча потужність, рівні напруги живлення, вихідних напруг, вхідних і вихідних струмів, час затримки розповсюдження сигналу, коефіцієнти об'єднання на вході і розгалуження на виході, завадостійкість, надійність, вартість.

Коефіцієнт об'єднання на вході визначає кількість рівнозначних входів, які має логічний елемент. Коефіцієнт розгалуження на виході визначається максимальною кількістю входів схем тієї ж серії, які можна підключити до виходу елемента, не порушуючи роботоздатності схеми.

Потенціальні схеми, в даний час, становлять основу виробів мікроелектроніки для обчислювальної техніки. Вони подані серіями мікросхем різних ступенів інтеграції.

Основними вимогами на вироби мікроелектроніки для обчислювальної техніки є функціональна і технічна повнота, єдність конструктивного оформлення, уніфікація сигналів і напруг живлення, технологічність виготовлення.

Схемотехнічна реалізація ІС потенціального типу здійснюється на основі ряду типових базових схемотехнічних рішень реалізації логічних функцій "І-НЕ", "АБО-НЕ", а також триступеневих функцій "І-АБО-НЕ", "АБО-І-НЕ". Потенціальні системи елементів подані найбільш масовими серіями ІС (133, 155, 555, 530, 564, 500, 100 та ін.), виконаними за планарно-епітаксіальною технологією в єдиному кристалі кремнію. В кожній логічній схемі, яка працює на зовнішній зв'язок, на виході використовується підсилювач потужності, що скорочує кількість допоміжних елементів у схемах. Склад і характеристики систем елементів, які випускаються у вигляді інтегральних схем, подані в довідковій літературі.

За типом компонентів, за допомогою яких виконуються логічні операції, розрізняють ІС з:

- ТЛБЗ – транзисторною логікою і безпосередніми зв'язками;
- РТЛ – резистивно-транзисторною логікою;
- ДТЛ – діодно-транзисторною логікою;
- ТТЛ – транзисторно-транзисторною логікою;
- ТТЛШ – транзисторно-транзисторною логікою з діодами Шоттки;
- ЕПЛ – емітерно-пов'язаною логікою;
- I^2L – інтегральною інжекційною логікою;
- МОН – логікою на МОН-транзисторах одного типу провідності;
- КМОН – логікою на комплементарних (взаємодоповнювальних) МОН-транзисторах.

Найбільш поширеними є елементи ТТЛ, ТТЛШ, ЕПЛ, I^2L і КМОН. Особливості їхньої побудови, принцип дії і характеристики детально наведені в джерелах [1, 4, 7–9].

Елементи ТТЛ з'явилися на початку 1960-х років і стали широкорозповсюдженими. Схеми базисних елементів ТТЛ наведені на рис. 4.1 і 4.2.

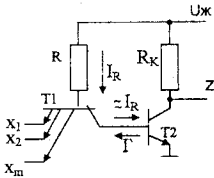


Рисунок 4.1 – Схема базисного елемента ТТЛ з простим інвертором

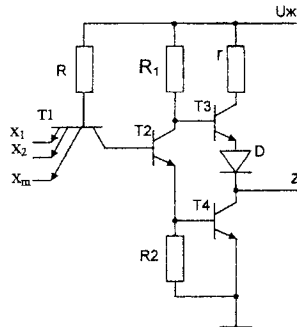


Рисунок 4.2 – Схема елемента ТТЛ зі складним інвертором

В елементі ТТЛ (рис. 4.1) багатоемітерний транзистор Т1 під'єднаний на вході інвертора, в схему якого входять транзистор Т2 і резистор R_k . Елемент виконує логічну операцію "І-НЕ". Щоб впевнитися в цьому, достатньо розглянути дві ситуації: на всіх входах діють логічні одиниці і коли хоча б на одному із входів присутній логічний нуль. Для підвищення навантажувальної здатності і швидкого перезарядження навантажувальної ємності до розглянутої схеми додають складний вихідний каскад (рис. 4.2).

В схемі з трьома станами виходу, яка спрощено показана на рис. 4.3, є додатковий керувальний вхід, присутність сигналу логічної одиниці на якому закриває всі транзистори вихідного каскаду. При цьому струм у вихідному колі дуже малий і схема (її вихід) буде знаходитись в стані "відключено", який часто називають третім або високоімпедансним станом. На функціональних схемах такі виходи позначають знаком "◇".

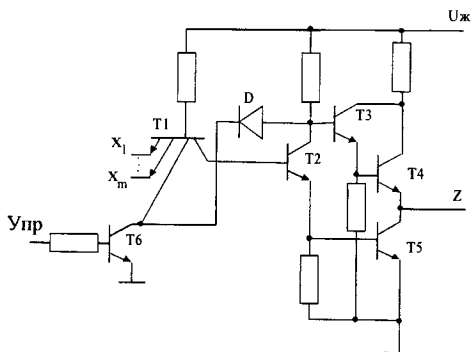


Рисунок 4.3 – Схема елемента ТТЛ з трьома станами виходу

Типовими параметрами для ТТЛ-серій є напруга живлення $+5\text{ В}$, рівень логічної одиниці – $2,4\div 5\text{ В}$, рівень логічного нуля – $0\div 0,4\text{ В}$, час затримки розповсюдження сигналу – десятки нс, споживча потужність на один елемент – одиниці-десятки мВт.

В елементах ТТЛШ, на відміну від ТТЛ, замість звичайних транзисторів використовуються транзистори Шоттки, в яких паралельно колекторному переходу під'єднаний діод Шоттки. Це виключає режим насичення відкритого транзистора, що призводить до підвищення швидкодії.

Елементи ЕПЛ є найбільш швидкодійними з освоєних промисловістю на основі кремнію. В них використовується струмовий ключ, в якому струм емітера приблизно постійний і під дією вхідного сигналу перемикається в одне з двох плечей електричного кола. Елементи ЕПЛ характеризуються високою швидкодією, навантажувальною здатністю, можливістю роботи на довгі лінії (до 15 м). Напруга живлення для них становить – $5,2\text{ В}\pm 5\%$. Одним з головних недоліків ЕПЛ-схем є їхня відносно велика споживча потужність.

Елементи I^2L (ІЛ) зручні для виготовлення в вигляді ІС, оскільки в них відсутні резистори, які займають на кристалі велику площу. Вони є подальшим розвитком схем з безпосередніми зв'язками і характеризуються технологічністю, компактністю і невисокою вартістю при зберіганні достатньо високої швидкодії. Схемотехніка I^2L використовується в ІС високого ступеня інтеграції.

Переваги схем на МОН-транзисторах полягають у відносній простоті виготовлення (приблизно в 2 рази зменшується кількість технологічних операцій порівняно з виробництвом біполярних транзисторів), компактності схем (МОН-транзистор займає на кристалі в декілька раз меншу площу, ніж біполярний транзистор), малій споживчій потужності. Недоліки МОН-транзисторів пов'язані з їхньою високою пороговою напругою і високою напругою живлення, невисокою швидкодією.

Використання взаємодоповнювальних (комплементарних) МОН-транзисторів відкриває нові можливості підвищення їхньої ефективності. Якщо об'єднати затвори і стоки двох транзисторів n - і p -типу, як показано на рис. 4.4, то вийде інверторний каскад, який в статичному стані розсіює нульову потужність. Це пояснюється тим, що постійний струм через нього проходить не може, оскільки один з транзисторів завжди закритий. Базовим принципом схемотехніки логічних елементів КМОН-технології є така організація схем, яка не пропускає постійний струм через схему при будь-якій комбінації вхідних сигналів. Недоліки КМОН ІС пов'язані з відносною технологічною складністю їх виготовлення і високою напругою живлення (9 В).

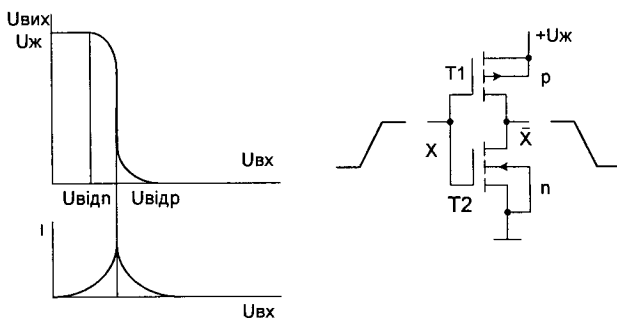


Рисунок 4.4 – Базова схема транзисторної логіки на КМОН-транзисторах

На транзисторах КМОН може бути реалізований двонаправлений ключ (перемикач), який не має функціональних аналогів серед мікросхем інших видів логіки і може передавати сигнали в обидва боки. Він складається з двох МОН-транзисторів з каналами різних типів провідності. Поряд з інверторами двонаправлені ключі знаходять використання не тільки в дискретній, але і в аналоговій техніці.

Базові елементи є основою побудови логічних елементів, з яких, в свою чергу, складаються тригери і вузли ЕОМ.

Контрольні запитання і задачі

1. Які елементи ЕОМ Ви знаєте?
2. Які системи елементів називають функціонально- і технічно повними?
3. Наведіть основні параметри елементів і дайте їм характеристику.
4. Охарактеризуйте системи елементів, які випускаються у вигляді ІС.
5. Дайте характеристику елементам ТТЛ, ТТЛШ, ЕПЛ, І²Л, МОН і КМОН.
6. Побудуйте схему двонаправленого ключа на КМОН-транзисторах.

5 СХЕМОТЕХНІКА ЦИФРОВИХ ЕЛЕМЕНТІВ

В ЕОМ у процесі обробки інформації виникає необхідність в її проміжному зберіганні. З цією метою використовуються тригери – елементи з двома стійкими станами, які мають відповідні входи для сигналів керування. Вихідні сигнали таких елементів залежать не тільки від вхідних, а й від внутрішнього стану тригера. Тригери можуть розглядатися як елементарні автомати. Математичним апаратом для опису їх функціонування є теорія абстрактних автоматів [9, 13, 14].

Основу тригерів становлять найпростіші запам'ятовувальні комірки, які отримують з'єднанням двох потенціальних елементів "І-НЕ" ("АБО-НЕ"). Вони є найпростішими асинхронними RS-тригерами (рис. 5.1).

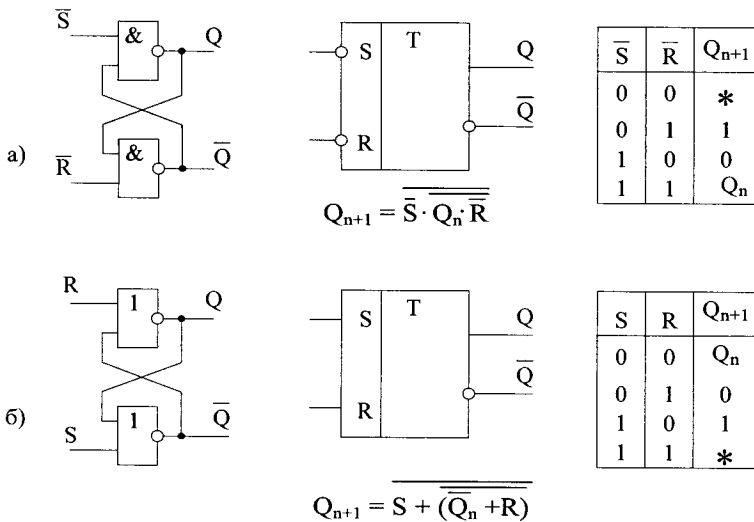


Рисунок 5.1 – Асинхронний RS-тригер:
а) на елементах "І-НЕ"; б) на елементах "АБО-НЕ"

На рис. 5.1 для кожного тригера наведена функціональна схема, умовне позначення, таблиця функціонування і характеристичне рівняння. Активне значення на S-вході тригера діє таким чином, щоб установити тригер (прямий вихід Q) в одиничний стан. Активне значення на R-вході встановлює тригер (прямий вихід Q) в нульовий стан. При пасивних значеннях сигналів на R- і S-входах тригер зберігає попередній стан за рахунок зворотних зв'язків. Коли ж на обох входах присутнє активне значення сигналу (що відповідає одночасній установці тригера в 1 і 0), таку комбінацію називають забороненою (в таблицях вона позначена зірочкою).

Для тригера на елементах "І-НЕ" активними є нульові значення вхідних сигналів. У цьому випадку на схемі R і S зображуються з інверсією, а в функціональному позначенні на входах рисуються кружечки. Такі входи називають інверсними.

Для тригера на елементах "АБО-НЕ" активними є одиничні значення вхідних сигналів. Такі входи називають прямими, вхідні змінні для них пишуться без інверсії і кружечки в позначенні не ставлять.

Тригери називають асинхронними, коли вони мають тільки інформаційні (логічні) входи. Вони спрацьовують безпосередньо за зміною сигналів на входах.

Синхронні тригери мають додатковий тактовий вхід (синхронізувальний або синхровхід). Перейти до нового стану такі тригери можуть тільки при активному значенні сигналу на тактовому вході. На рис. 5.2 наведені функціональні схеми і умовні позначення одноступеневих синхронних RS- і D-тригерів. Ці тригери мають тактовий C-вхід, одиничне значення сигналу на якому дозволяє впливати сигналам RS-входів на стан тригера. Тобто, активним на цих входах є потенціал логічної одиниці. Такі входи є прямими потенціальними входами. Коли на потенціальному вході діє логічний нуль, такий вхід називають інверсним і зображують з кружечком.

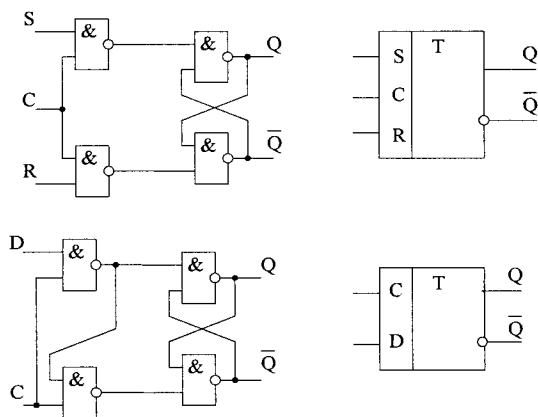


Рисунок 5.2 – Одноступеневі синхронні RS- і D-тригери

D-тригер встановлюється в такий стан, який відповідає значенню сигналу на D-вході при активному сигналі на тактовому вході. З цієї причини іноді D-тригер називають тригером затримки.

Одноступеневі синхронні тригери прості за побудовою, однак при активному значенні тактового потенціального сигналу при зміні сигналів на керувальних входах змінюється стан тригера. Це практично вилучає введення зовнішніх зворотних зв'язків для організації, наприклад, лічильного тригера.

Коли потрібно використовувати зовнішні зворотні зв'язки, будують двоступеневі тригери з потенціальним керуванням (рис. 5.3). Такі тригери іноді називають тригерами з MS-структурою або за принципом "раб-хазяїн".

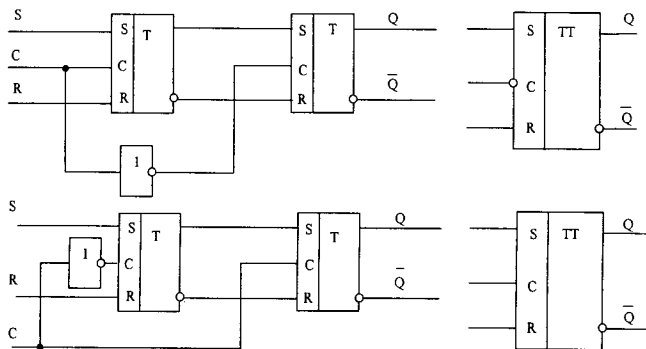


Рисунок 5.3 – Двоступеневі RS-тригери

Вони містять у собі два одноступеневих тригери. Двоступеневі тригери дозволяють організувати зовнішні зворотні зв'язки без втрати роботоздатності. Одним з прикладів введення таких зв'язків є побудова JK-тригера на основі двоступеневого RS-тригера (рис. 5.4). Такий тригер функціонує подібно RS-тригеру за винятком забороненої комбінації для RS-тригера. При такій комбінації на входах JK-тригер змінює свій стан на інверсний.

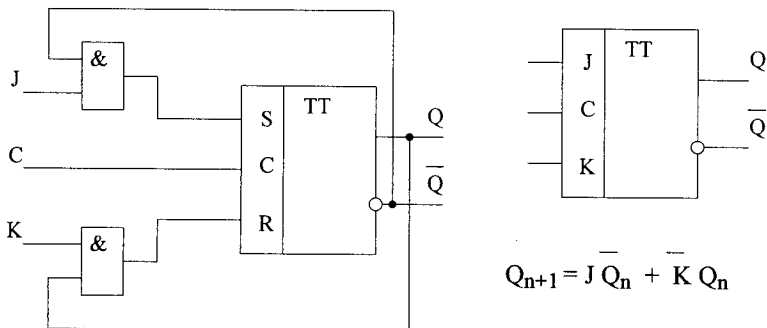


Рисунок 5.4 – JK-тригер на основі двоступеневого RS-тригера

Окрім синхронних тригерів з потенціальними тактовими входами існують тригери з динамічними тактовими входами, які реагують на зміну (фронт) сигналу на тактовому вході. Одним з прикладів такого тригера є

тригер, побудований за схемою трьох тригерів (рис. 5.5). Це синхронний D-тригер з додатковими установочними RS-входами, які є потенціальними та інверсними. Як видно зі схеми, коли RS-входи активні, стан тригера за сигналом на D-вході змінитися не може. За сигналом на D-вході тригер змінює свій стан в момент зміни сигналу на C-вході з 0 на 1. У цьому випадку кажуть, що тригер реагує на передній фронт сигналу. Коли на тактовому C-вході присутній потенціал (1 або 0), при зміні сигналу на D-вході стан тригера змінитися не може (якщо RS-входи пасивні).

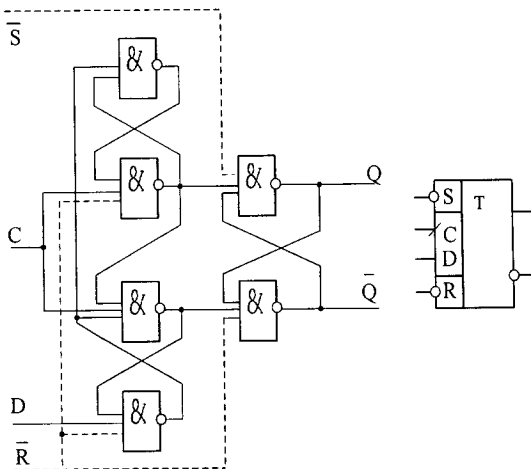


Рисунок 5.5 – D-тригер з динамічним C-входом

Умовні позначення потенціальних і динамічних входів наведені на рис. 5.6.

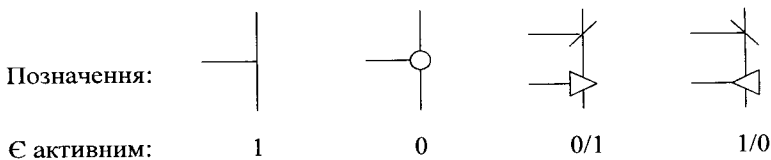


Рисунок 5.6 – Умовні позначення потенціальних і динамічних входів

Лічильним називають тригер, який з кожним вхідним імпульсом змінює свій стан на протилежний. Різновидністю лічильного тригера є T-тригер, який має додатковий керувальний вхід, де активне значення сигналу дозволяє змінювати стан тригера, а пасивне – забороняє. Варіанти реалізації лічильного тригера і його умовне зображення наведені на рис. 5.7.

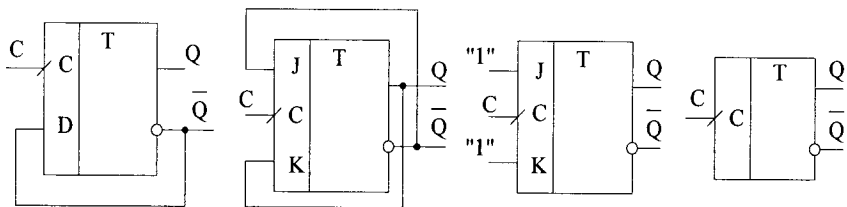
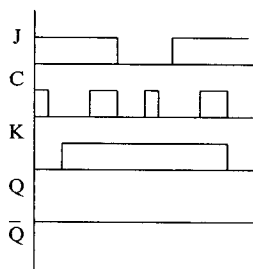
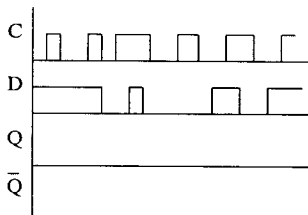
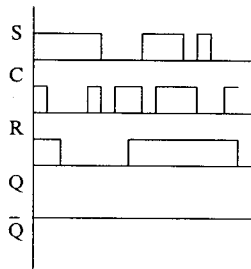
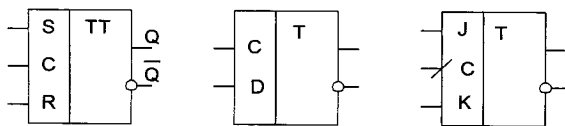


Рисунок 5.7 – Варіанти реалізації лічильного тригера і його умовне позначення

Залежно від функціональних властивостей, елементної бази, вимог до технічних характеристик існує велика кількість різновидів тригерів, основні з яких розглядаються в [1–10].

Контрольні запитання і задачі

1. Побудуйте таблицю функціонування для тригерів: RS, JK, D, T.
2. Запишіть характеристичне рівняння для основних типів тригерів.
3. Чим відрізняються синхронні тригери від асинхронних?
4. В чому полягає різниця між одно- і двоступеневими тригерами?
5. В чому полягає різниця між потенціальними і динамічними входами?
6. Побудуйте лічильний тригер на основі одноступеневих D-тригерів.
7. Побудуйте лічильний тригер з додатковим керувальним входом на основі двоступеневого JK-тригера.
8. За яких умов можлива стійка робота лічильного тригера, побудованого з використанням одного одноступеневого RS- або D-тригера з потенціальним керуванням?
9. Побудуйте часові діаграми для тригерів при заданих вхідних сигналах.



6 СХЕМОТЕХНІКА КОМБІНАЦІЙНИХ ВУЗЛІВ

Вузли комбінаційного типу будуються із логічних елементів без зворотних зв'язків і не містять запам'ятовувальних елементів (тригерів). Вони реалізують найпростіші перетворення інформації, які називають мікроопераціями. До основних параметрів комбінаційних вузлів відносять швидкість і складність апаратної реалізації.

Швидкодія комбінаційного вузла визначається часом встановлення істинного значення вихідних сигналів відносно часу зміни вхідних сигналів для найбільш несприятливого випадку (час затримки). На рівні функціональної схеми час затримки найчастіше вимірюється сумарною кількістю затримок одного логічного елемента (τ).

Складність апаратної реалізації комбінаційного вузла на рівні функціональної схеми визначається за Квайном – сумарною кількістю входів усіх елементів схеми вузла.

Найпоширенішими вузлами комбінаційного типу є дешифратори, шифратори, мультиплексори, кодоперетворювачі, схеми порівняння (цифрові компаратори) та суматори.

6.1 Ризик збою в комбінаційних схемах

Затримки логічних елементів можуть суттєво впливати на роботу комбінаційних схем [8, 9]. Затримки не тільки обмежують швидкість, але й можуть призводити до короткочасного створення на виходах хибних сигналів, які називають ризиками. Ризики виникають найчастіше за рахунок так званої різниці ходу, коли сигнал проходить різними шляхами (з різними затримками) до входів певного елемента. При достатньо великій різниці ходу тривалість хибних сигналів може в багато разів перевищувати час переключення елементів. Явище виникнення хибних сигналів при взаємодії сигналів, що мають різницю ходу, іноді називають "гонками".

Розрізняють статичний ризик, коли сигнал на виході повинен бути незмінним, але короткочасно виникає додатний або від'ємний імпульс.

Динамічний ризик виникає, коли на виході замість зміни вихідного сигналу з одного рівня на інший виникають багатократні зміни значення сигналу. Приклади статичного і динамічного ризику наведені на рис. 6.1.

Для усунення можливих збоїв в роботі схем, викликаних явищами статичного і динамічного ризику, використовується синхронізація процесів прийому інформації елементами пам'яті, які під'єднані до виходів комбінаційної схеми. Синхросигнал повинен приймати активне значення після завершення всіх перехідних процесів у комбінаційній схемі.

Явище ризику збою в комбінаційних схемах є не тільки шкідливим. Воно може використовуватись для побудови спеціальних формувачів коротких сигналів (різницевих елементів керування) [3].

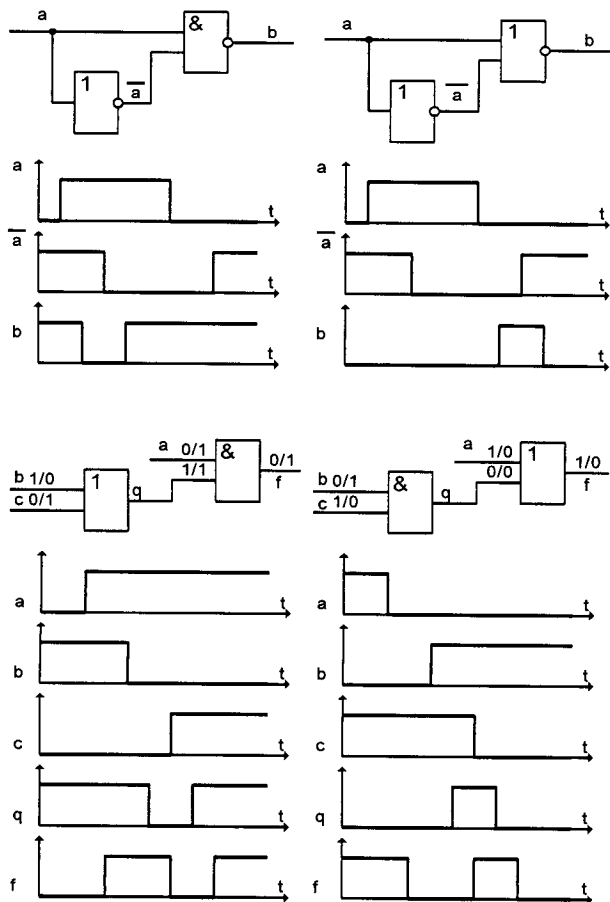


Рисунок 6.1 – Приклади статичного і динамічного ризику збою

6.2 Дешифратори

Дешифратором називають базовий вузол ЕОМ, який перетворює позиційний код в унітарний (тобто такий, коли активне значення присутнє тільки в одному розряді: для дешифратора з прямими виходами – 1, а з інверсними – 0).

Дешифратор називають двійковим, якщо вхідним є двійковий позиційний n -розрядний код, а кількість виходів становить 2^n . Якщо кількість виходів дешифратора менша за 2^n , його називають неповним. Одним із прикладів неповного дешифратора є двійково-десятковий дешифратор на одну декаду (він має 10 виходів).

За принципом побудови дешифратори бувають лінійними, пірамідальними та багатоступеневими (каскадними). Функції, основні параметри, схеми і позначення вказаних типів дешифраторів наведені на рис. 6.2.

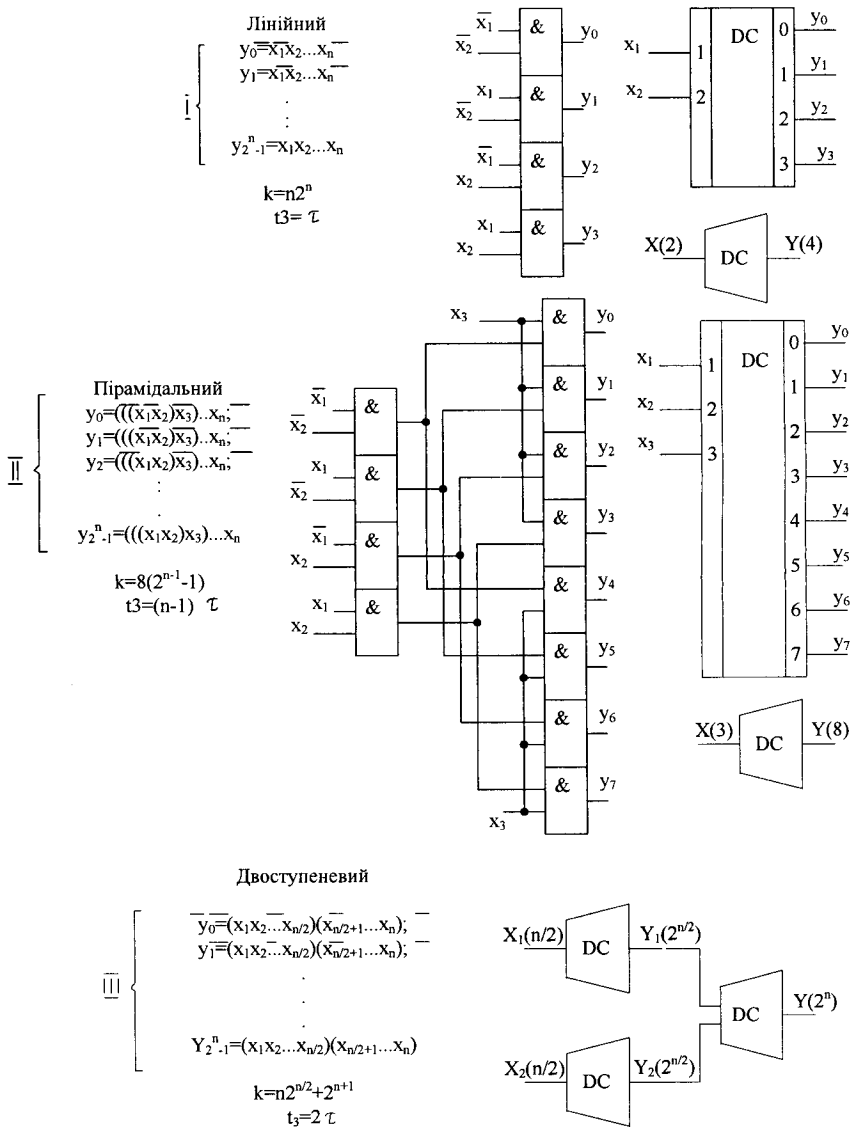


Рисунок 6.2 – Функції, основні параметри, схеми і позначення основних різновидів дешифраторів

Дешифратори окрім основних (адресних) входів можуть мати додаткові (один або декілька) входи, які називають стробовими (тактовими). Ці входи використовуються для розширення дешифратора за кількістю виходів і для встановлення істинності вихідних сигналів тільки під час активного значення стробових сигналів. Дешифратори, які виконуються у вигляді інтегральних схем, як правило, мають інверсні виходи. Приклад розширення дешифратора за кількістю виходів наведений на рис. 6.3.

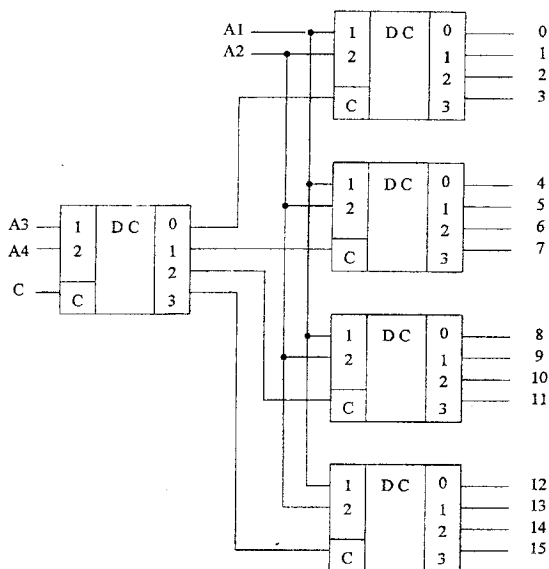


Рисунок 6.3 – Приклад розширення дешифратора за кількістю виходів

Дешифратори використовують у системах керування, для реалізації логічних функцій, розподільників сигналів, у запам'ятовувальних пристроях, при побудові більш складних кодоперетворювачів.

6.3 Шифратори

Шифратор перетворює унітарний код у двійковий. Повний двійковий шифратор має 2^n входів і n виходів. Він перетворює унітарний код в деякий двозначний позиційний код. Таким чином, він виконує функції, обернені функціям дешифратора, тобто перетворює одиничний сигнал на одному із входів в двозначний номер цього входу. Шифратори широко використовуються в клавіатурах і в схемах перетворювачів кодів. Таблиця істинності, функціональна схема і умовне позначення шифратора на два виходи наведені на рис. 6.4.

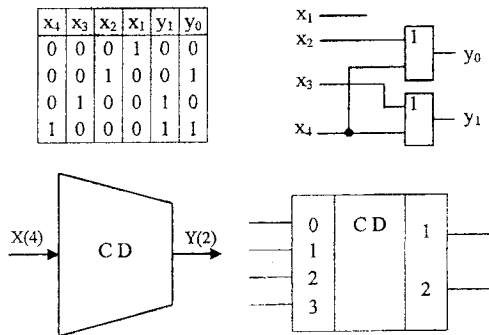


Рисунок 6.4 – Двійковий шифратор на два виходи

6.4 Мультиплексори

Мультиплексор здійснює передачу інформації від одного із багатьох інформаційних входів на вихід. Адресні входи мультиплексора визначають номер інформаційного входу, з якого інформація передається на вихід. Мультиплексори серійно випускаються у вигляді інтегральних схем середнього ступеня інтеграції. Одним з прикладів такого мультиплексора є КП5, функціональна схема і позначення якого наведені на рис. 6.5.

Функція мультиплексора на 8 інформаційних входів має вигляд:

$$Q = \overline{A_4} \cdot \overline{A_2} \cdot \overline{A_1} \cdot B_0 + \overline{A_4} \cdot \overline{A_2} \cdot A_1 \cdot B_1 + \overline{A_4} \cdot A_2 \cdot \overline{A_1} \cdot B_2 + \overline{A_4} \cdot A_2 \cdot A_1 \cdot B_3 + \dots \\ A_4 \cdot \overline{A_2} \cdot \overline{A_1} \cdot B_4 + A_4 \cdot \overline{A_2} \cdot A_1 \cdot B_5 + A_4 \cdot A_2 \cdot \overline{A_1} \cdot B_6 + A_4 \cdot A_2 \cdot A_1 \cdot B_7.$$

Її аналіз показує, що за допомогою мультиплексорів можна реалізовувати логічні функції, подаючи на інформаційні входи відповідні константи "0" або "1", а на адресні входи – вхідні змінні. Реалізація логічних функцій за допомогою мультиплексорів, дешифраторів та шифраторів розглядається в [4]. Приклад реалізації логічної функції на основі мультиплексора наведений у розділі 13.7.

Окрім адресних та інформаційних входів мультиплексор може мати стробові входи, активне значення на яких активізує передачу інформації мультиплексором.

ІС мультиплексорів наведені в довідковій літературі. Вони розраховані на чотири, вісім або шістнадцять інформаційних входів.

Мультиплексори використовуються для реалізації логічних функцій, перетворення паралельного коду в послідовний, для комутації як окремих ліній, так і груп ліній (шин), побудови схем порівняння, генераторів кодів.

Нарощування розрядності мультиплексорів можливо за допомогою пірамідальної структури із декількох мультиплексорів. При цьому перший

ярус схеми містить стільки мультиплексорів, скільки треба для отримання потрібної кількості інформаційних входів. Усі мультиплексори першого ярусу адресуються одним і тим же кодом, який береться із молодших розрядів загального адресного коду. Старші розряди загального адресного коду використовуються у другому ярусі, мультиплексор якого забезпечує роботу мультиплексорів першого ярусу на загальний вихідний канал.

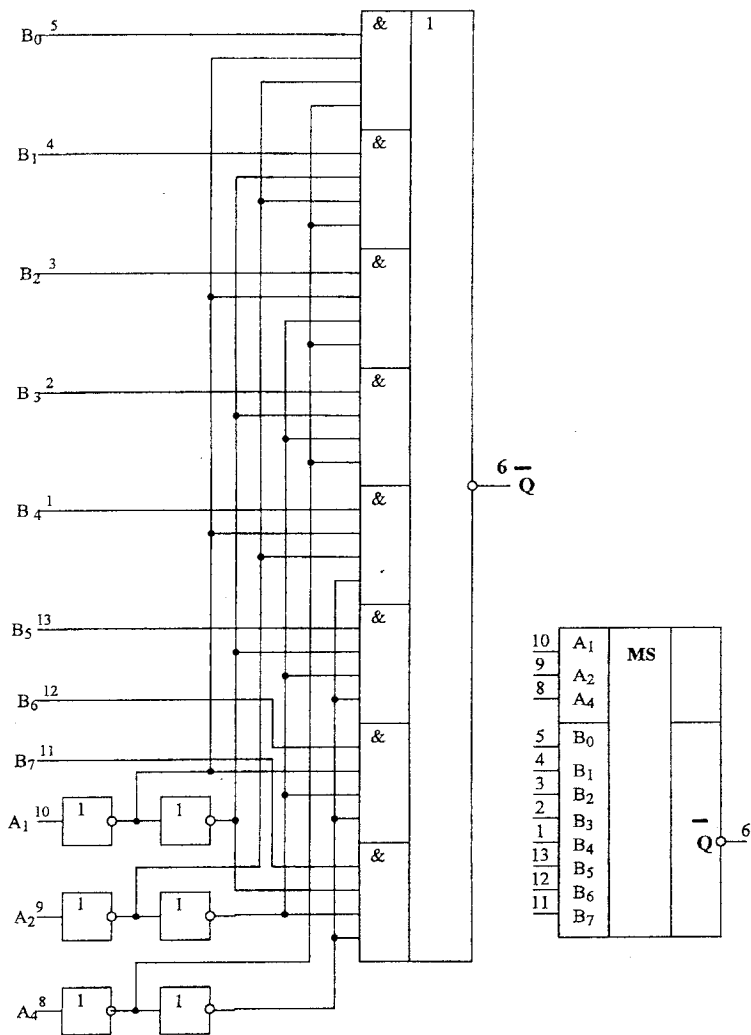


Рисунок 6.5 – Функціональна схема і умовне позначення мультиплексора К15

6.5 Схеми порівняння

Схеми порівняння (цифрові компаратори) визначають ознаки відношення між кодами. Розрізняють схеми порівняння на рівність, більше, менше та їхні комбінації. На практиці найбільш поширеними є компаратори двох операндів. Приклади побудови схеми порівняння на рівність і більше показані відповідно на рис. 6.6 і рис. 6.7.

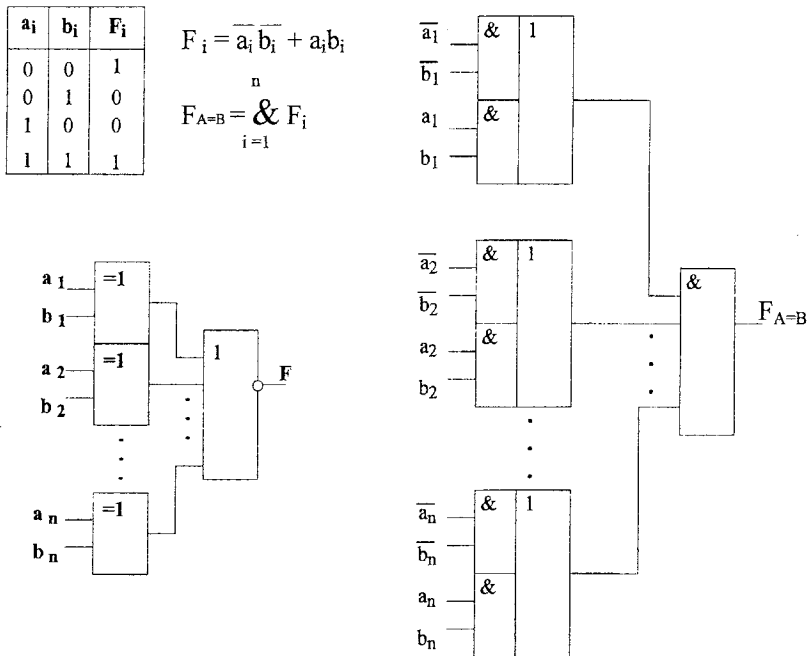


Рисунок 6.6 – Схема порівняння на рівність

6.6 Комбінаційні суматори

Суматором називають базовий вузол ЕОМ, який визначає суму кодів. Вони бувають комбінаційними і накопичувальними (нагромаджувальними). Комбінаційні суматори виконують мікрооперацію додавання двох кодів: $SM := A+B$. На практиці при побудові суматорів використовують блоковий метод, коли синтезують однорозрядний комбінаційний суматор, а багаторозрядний будують із однорозрядних за допомогою відповідного їхнього з'єднання (з послідовним, паралельним, наскрізним або груповим перенесенням). Комбінаційні суматори детально розглядаються в [2, 3, 11, 12]. Їхнє позначення наведено на рис. 6.8.

a_i	b_i	F_i
0	0	0
0	1	0
1	0	1
1	1	0

$$F_i = a_i b_i$$

$$F_{A>B} = a_1 b_1 + (a_1 b_1 + a_1 b_1)(a_2 b_2 + a_2 b_2)(a_3 b_3 + \dots)(a_n b_n \dots)$$

$$F_{A>B} = a_1 b_1 + a_1 b_1(a_2 b_2 + a_2 b_2)(a_3 b_3 + \dots)(a_n b_n \dots)$$

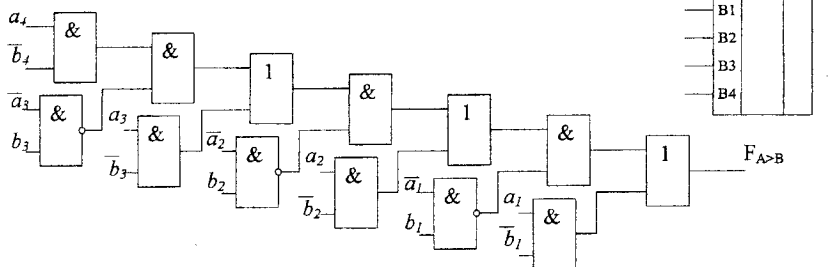


Рисунок 6.7 – Схема порівняння на більше

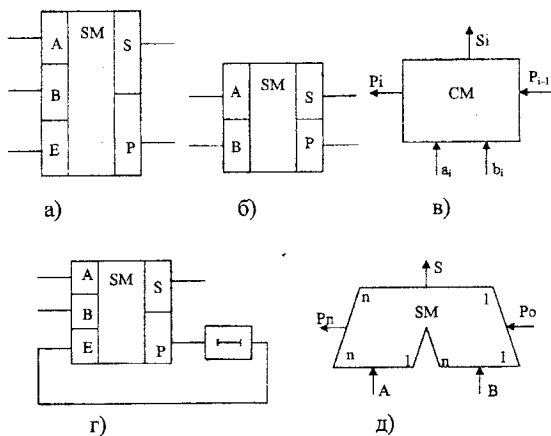


Рисунок 6.8 – Приклади позначень комбінаційних суматорів:

- а) однорозрядного комбінаційного суматора;
- б) однорозрядного комбінаційного напівсуматора;
- в) однорозрядного комбінаційного суматора на структурних схемах;
- г) послідовного суматора;
- д) n-розрядного комбінаційного суматора.

При синтезі однорозрядного комбінаційного суматора будують таблицю істинності його функцій (суми s_i та переносу p_2) – табл. 6.1.

Таблиця 6.1 – Таблиця істинності для однорозрядного суматора

a_i	b_i	p_1	s_i	p_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Тут a_i, b_i – однорозрядні операнди, p_1 – вхід переносу. За таблицею можуть бути записані функції суми та переносу, мінімізовані та зведені до різноманітних базисів. У результаті отримують різноманітні схеми однорозрядних комбінаційних суматорів [1–4, 6–10].

Послідовне з'єднання однорозрядних комбінаційних суматорів (коли вихід переносу деякого попереднього (молодшого) розряду надходить на вхід переносу наступного (старшого) розряду) утворює паралельний багаторозрядний суматор з послідовним перенесенням (рис. 6.9). Такий суматор характеризується відсутністю додаткових витрат апаратури у ланцюзі перенесення, але має низьку швидкодію, обумовлену послідовним проходженням сигналу переносу через розряди суматора (у несприятливому випадку через усі розряди).

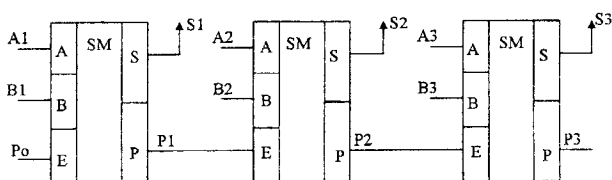


Рисунок 6.9 – Трирозрядний суматор з послідовним переносом

Для паралельного суматора з паралельним перенесенням добуток $a_i b_i$ позначають як g_i і називають функцією генерації перенесення [3]. Суму $a_i + b_i$ позначають як h_i і називають функцією передачі (транзиту) перенесення.

Відповідно до цього для суматора з паралельним перенесенням отри-

мано вираз функції перенесення для довільного розряду з номером i :

$$c_i = g_i + g_{i-1}h_i + g_{i-2}h_i h_{i-1} + \dots + g_0 h_i h_{i-1} \dots h_2 + c_0 h_i h_{i-1} \dots h_1.$$

За отриманим виразом можна записати формули для сигналів переносів у розрядах суматора:

$$\begin{aligned} c_1 &= g_1 + c_0 h_1; \\ c_2 &= g_2 + g_1 h_2 + c_0 h_2 h_1; \\ c_3 &= g_3 + g_2 h_3 + g_1 h_3 h_2 + c_0 h_3 h_2 h_1; \\ c_4 &= g_4 + g_3 h_4 + g_2 h_4 h_3 + g_1 h_4 h_3 h_2 + c_0 h_4 h_3 h_2 h_1. \end{aligned}$$

За отриманими виразами може бути побудована схема блока паралельного перенесення (наприклад, для тетради суматора), яка формує 4 сигнали переносу. Характерною особливістю використання блока паралельного перенесення є те, що при цьому сигнали переносу за всіма охопленими цим блоком розрядами формуються одночасно, так як залежать тільки від значень операндів і не залежать від значень сигналів переносів попередніх розрядів.

Послідовним суматором називають однорозрядний комбінаційний суматор, з'єднаний за схемою з затримкою сигналу переносу на один такт додавання (рис. 6.8, г). З використанням такого суматора можуть бути побудовані послідовні підсумовувальні пристрої [12].

Контрольні запитання і задачі

1. Що таке комбінаційна схема? Якими параметрами характеризується?
2. В чому полягає аналіз і синтез комбінаційних схем?
3. Що таке статичний та динамічний ризик збою?
4. Наведіть основні характеристики лінійного, пірамідального і двоступеневого дешифраторів.
5. Побудуйте двійково-десятковий дешифратор за критерієм мінімуму апаратних витрат на його реалізацію.
6. Побудуйте двійково-десятковий шифратор.
7. Синтезуйте схему порівняння на "менше" на чотири розряди.
8. Реалізуйте задані функції за допомогою мультиплексора КП5:

$$a) y_1 = x_1 \cdot x_2 + \overline{x_1} \cdot x_3 + x_1 \cdot \overline{x_2} \cdot x_3;$$

$$b) y_2 = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} + \overline{x_1} \cdot x_3 + x_1 \cdot \overline{x_2} \cdot x_3;$$

$$c) y_3 = \overline{x_1} \cdot \overline{x_3} + \overline{x_2} \cdot x_3 + x_1 \cdot x_2 \cdot x_3.$$

9. Проведіть синтез однорозрядного комбінаційного суматора на елементах "І-НЕ".
10. Для чого використовуються стробові входи дешифраторів та мультиплексорів?

7 СХЕМОТЕХНІКА ЦИФРОВИХ ВУЗЛІВ

Цифрові вузли (вузли накопичувального типу) характеризуються внутрішнім станом і містять запам'ятовувальні елементи (тригери). Основними параметрами таких вузлів є розрядність, кількість робочих станів, швидкість, складність апаратної реалізації. Найбільш поширеними з таких вузлів є регістри, лічильники та накопичувальні суматори.

7.1 Регістри

Регістри містять впорядковану сукупність тригерів зі схемою керування ними і виконують функції встановлення нульового стану, занесення, зберігання, перетворення (зсуву) і видачі (передавання) кодів.

У паралельних регістрах коди приймаються й видаються за всіма розрядами одночасно. Їх основна функція – зберігання слова інформації.

Послідовні (або зсувні) регістри послідовно записують код числа, починаючи з молодшого або старшого розряду, завдяки послідовному зсуву коду тактовими імпульсами.

Паралельно-послідовні регістри мають одночасно виводи паралельного й послідовного приймання (видавання) слів і можуть перетворювати паралельні коди в послідовні й навпаки.

На рис. 7.1 показана функціональна схема трирозрядного регістра з мікроопераціями занесення, видачі коду і встановлення нульового стану.

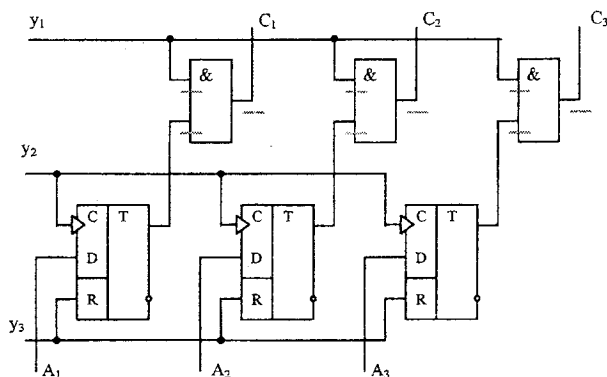


Рисунок 7.1 – Функціональна схема трирозрядного регістра з мікроопераціями занесення, видачі коду і встановлення нульового стану

Умовні позначення цього регістра і приклад міжрегістрової передачі показані на рис. 7.2.

Регістри зсуву реалізують мікрооперації, які полягають в переміщенні

кодового вмісту регістра відносно його розрядів вправо або вліво на один або декілька розрядів. Під час зсуву в звільнені ліворуч або праворуч розряди може вводиться інформація від зовнішнього джерела. На рис. 7.3 наведені функціональна схема, умовні позначення і часова діаграма роботи зсувного регістра із зсувом вправо на один розряд.

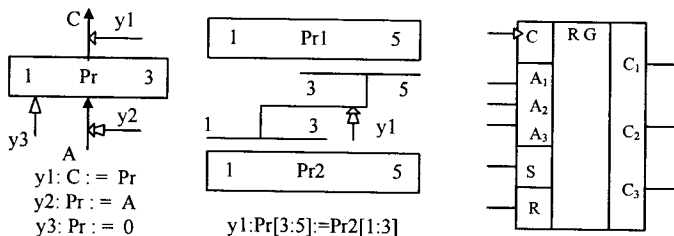


Рисунок 7.2 – Умовні позначення трирозрядного регістра та приклад міжрегістрового передавання

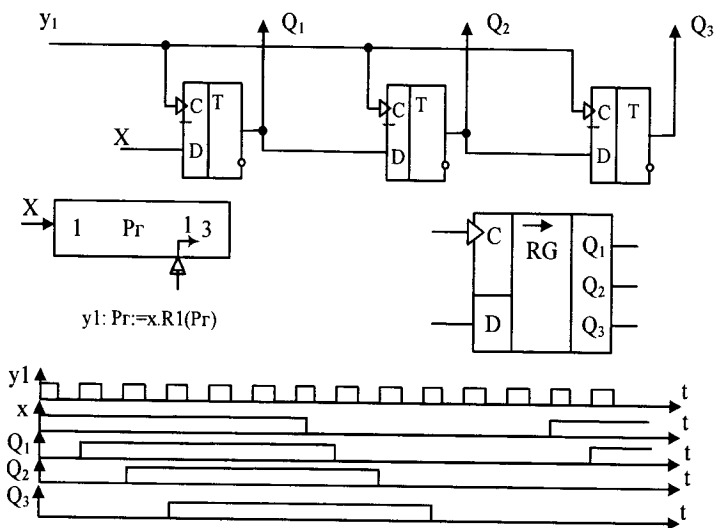


Рисунок 7.3 – Зсувний регістр із зсувом вправо на один розряд і часова діаграма його роботи

Приклад зсувного регістра із зсувом вліво на один розряд на основі JK-тригерів наведений на рис. 7.4.

Якщо з'єднати послідовний вихід зсувного регістра з послідовним входом, можна отримати кільцевий зсувний регістр. Такі регістри часто використовуються як розподільники імпульсів.

При подачі на послідовний вхід зсувного регістра інверсного значення послідовного виходу отримують лічильник Джонсона, кількість станів якого в циклі у два рази перевищує розрядність. Характерна особливість лічильника Джонсона – при зміні стану значення змінюється тільки в одному розряді. Ця обставина обумовлює використання лічильника Джонсона для побудови розподільника сигналів.

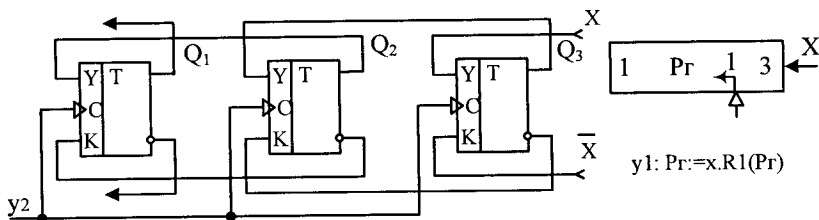


Рисунок 7.4 – Зсувний регістр із зсувом вліво на один розряд

Зсувні регістри, які можуть виконувати зсув в обидва боки, називаються реверсивними. Реверсивний регістр може бути побудований з використанням мультиплексувальних елементів на інформаційних або керувальних входах тригерів регістра. Принципи побудови і характеристики ІС регістрів наведені в довідковій літературі.

7.2 Лічильники

Лічильник забезпечує зберігання слова інформації й виконання з ним мікрооперації лічби, яка полягає в збільшенні (підсумовувальний) або зменшенні (віднімальний) вмісту лічильника на одиницю. Реверсивні лічильники можуть виконувати обидві мікрооперації. Крім того лічильники можуть виконувати також допоміжні мікрооперації з набору регістрових мікрооперацій.

У цифрових ЕОМ лічильники використовують для утворення послідовності адрес команд, для організації циклів виконання операцій, поділу частоти імпульсів тощо.

До основних параметрів лічильників відносять розрядність, модуль лічби (ємність), час установлення (реєстрації), роздільну здатність (мінімальний період надходження тактових імпульсів), максимальну частоту надходження тактових імпульсів.

Модуль лічби – це кількість різних стійких станів лічильника, в які він переходить у процесі одного циклу лічби. Для двійкових лічильників модуль лічби дорівнює 2^n , де n – розрядність лічильника.

Час установлення – це проміжок часу від початку дії вхідного сигналу до встановлення нового стану лічильника для найбільш несприятливого випадку.

Роздільна здатність – це мінімально припустимий період проходження лічильних імпульсів, коли лічильник працює без перебоїв.

За способом організації міжрозрядних зв'язків розрізняють лічильники з послідовним, наскрізним, паралельним і комбінованим перенесенням.

На рис. 7.5 наведена схема, таблиця функціонування і часова діаграма роботи трирозрядного лічильника з послідовним перенесенням на основі лічильних тригерів.

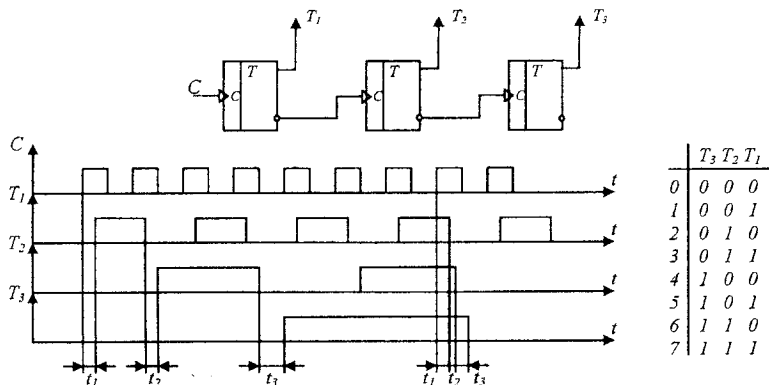


Рисунок 7.5 – Двійковий лічильник з послідовним перенесенням

Лічильники з послідовним перенесенням характеризуються простотою побудови. Їхніми недоліками є низька швидкість (час установаження дорівнює затримці переключення всіх тригерів) і поява хибних станів на переходах.

Лічильники з наскрізним і паралельним перенесенням можуть бути побудовані на основі лічильних тригерів з додатковим керувальним входом.

Приклади лічильників з наскрізним і паралельним перенесенням наведені на рис. 7.6 і рис. 7.7.

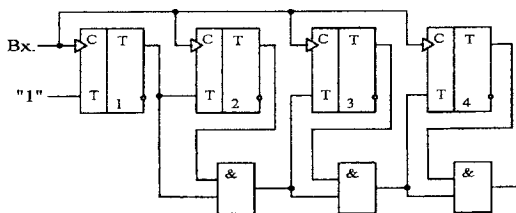


Рисунок 7.6 – Двійковий лічильник з наскрізним перенесенням

Лічильники з наскрізним і паралельним перенесенням забезпечують більш високу швидкість порівняно з лічильниками з послідовним перенесенням. Лічильники, в яких усі тригери переключаються одночасно, називають синхронними. В лічильниках, показаних на рис. 7.6 і рис. 7.7, час

установлення дорівнює затримці переключення одного тригера, але роздільна здатність різна, що викликано різними затримками встановлення сигналів на керувальних входах лічильних тригерів.

Лічильники, тригери у яких переключаються одночасно під дією тактового сигналу (синхросигналу), називають синхронними.

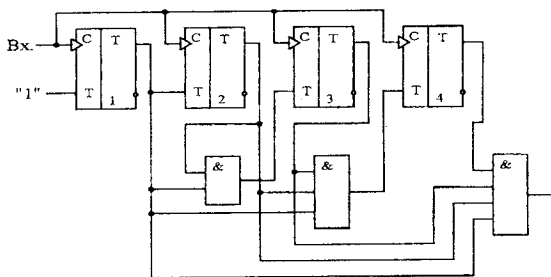


Рисунок 7.7 – Двійковий лічильник з паралельним перенесенням

Лічильники, кількість робочих станів у циклі яких відрізняється від 2^n , називають недвійковими. Вони можуть бути синтезовані як цифрові автомати або побудовані на основі двійкових лічильників шляхом введення зворотних зв'язків. Представником недвійкового лічильника є двійково-десятковий лічильник на 10 робочих станів. На рис. 7.8 наведений приклад лічильника з імпульсним зворотним зв'язком на п'ять робочих станів.

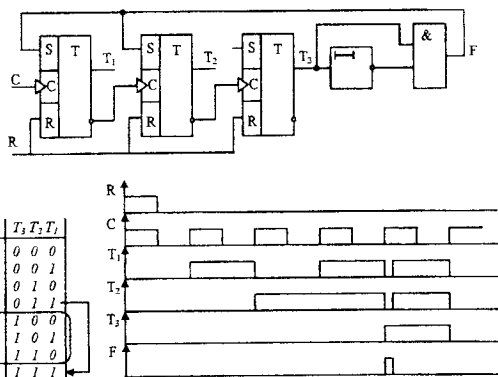


Рисунок 7.8 – Недвійковий лічильник з імпульсним зворотним зв'язком на п'ять робочих станів

У зв'язку з великою кількістю різновидів тригерів, вимог до основних параметрів та принципів організації структури можлива побудова багатьох варіантів лічильників з заданими функціональними властивостями. Основні принципи побудови лічильників та їхньої реалізації наведені в [2-4, 6-11].

7.3 Накопичувальні суматори

Накопичувальним (нагромаджувальним, акумулятором) називають суматор, який реалізує мікрооперацію додавання кодів у вигляді: $SM:=SM+A$. Такі суматори мають внутрішній стан, який і є одним з операндів. Вони можуть бути побудовані на основі лічильних тригерів [1, 9], або, як це найчастіше буває на практиці, з використанням комбінаційного суматора і регістра (рис. 7.9).

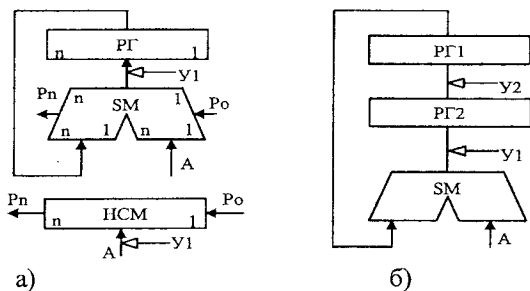


Рисунок 7.9 – Структури накопичувальних суматорів

Для структури, яка показана на рис. 7.9, а, регістр має бути реалізований з використанням двоступеневих тригерів або тригерів з динамічним керуванням. При використанні одноступеневих тригерів з потенціальним керуванням такий суматор може генерувати або нестійко працювати із-за наявності зворотного зв'язку. При використанні одноступеневих тригерів з потенціальним керуванням суматор може бути побудований за структурою, показаною на рис. 7.9, б. Тут послідовно з'єднані два регістри, один із яких зберігає операнд, а інший – приймає нове значення суми. Додавання здійснюється за два такти.

Контрольні запитання і задачі

1. Які базові вузли називають вузлами накопичувального типу і чому?
2. Які основні мікрооперації виконують регістри?
3. Що таке регістри зсуву? Які вони бувають?
4. Наведіть основні параметри лічильників.
5. Побудуйте чотирирозрядний зсувний регістр зі зсувом на два розряди вліво на основі двоступеневих RS-тригерів.
6. Побудуйте чотирирозрядний реверсивний зсувний регістр зі зсувом на один розряд вправо на основі JK-тригерів з динамічним керуванням.
7. Побудуйте таблицю функціонування та ідеалізовану часову діаграму роботи трирозрядного двійкового віднімального лічильника.
8. Синтезуйте недвійковий лічильник на 7, 11, 13 робочих станів відповідно на основі тригерів D-, JK- і RS-типу.

8 СХЕМОТЕХНІКА ОБСЛУГОВУВАЛЬНИХ ЕЛЕМЕНТІВ

В обчислювальній та інформаційно-вимірювальній апаратурі поряд з вузлами цифрової техніки використовуються також різноманітні імпульсні пристрої: формувачі, одновібратори, генератори різних типів (прямокутних імпульсів, пилкоподібної і ступінчастої напруги і т. п.). Для їхньої побудови доцільно використовувати ІС. У деяких серіях ІС є спеціалізовані мікросхеми для генерації і перетворення імпульсів. Максимальна швидкість імпульсних схем визначається часовими характеристиками мікросхем, які використовуються. Для визначення затримок використовують зовнішні RC-кола. Коли ж необхідні інтервали часу малі (десятки і сотні наносекунд), з цією метою використовують час затримки сигналів в самій мікросхемі. Мікросхеми КМОН-структури порівняно з ТТЛ більше підходять для роботи в імпульсних пристроях завдяки високому входному опору, хорошій температурній стабільності і передатній характеристиці, близькій до ідеальної.

Основне призначення формувачів – перетворювати входні сигнали довільної форми в нормалізовані за амплітудою і крутизною фронтів прямокутні імпульси для керування іншими мікросхемами. Прості формувачі можна зібрати на основі логічних елементів нерівнозначності (рис. 8.1). У схемі 8.1, а в статичному стані на виході існує напруга низького рівня, а в схемі 8.1, б – високого. Тривалість імпульсів визначається часом затримки сигналів в інверторах. Як інвертори і повторювачі можуть бути використані інші логічні елементи з того ж корпусу ІС.

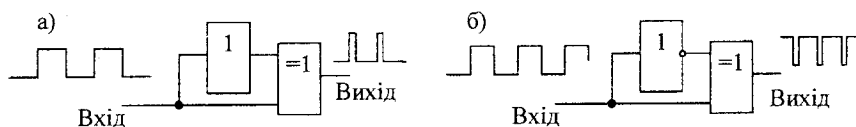


Рисунок 8.1 – Формувачі на основі логічних елементів нерівнозначності

Для виділення поодинокого імпульсу з безперервної послідовності можна використати схему, зображену на рис. 8.2.

Пристрої, які призначені для генерації під дією входних сигналів поодиноких прямокутних імпульсів заданої тривалості, називають одновібраторами. Від простих формувачів вони відрізняються наявністю зворотного зв'язку і кола, що задає час, які забезпечують регенеративні процеси перемикання. Цим досягається велика крутизна фронтів вихідних імпульсів і краща стійкість до факторів, які дестабілізують роботу схеми.

Одновібратори випускаються у вигляді самостійних мікросхем (АГ1, АГ3), а також будуються на основі тригерів або типових логічних елементів "І-НЕ", "АБО-НЕ". Логічна структура одного одновібратора і умовне

зображення мікросхеми K155АГ3 показані на рис. 8.3. Особливості його запускання і під'єднання зовнішніх компонентів розглядаються в довідковій літературі.

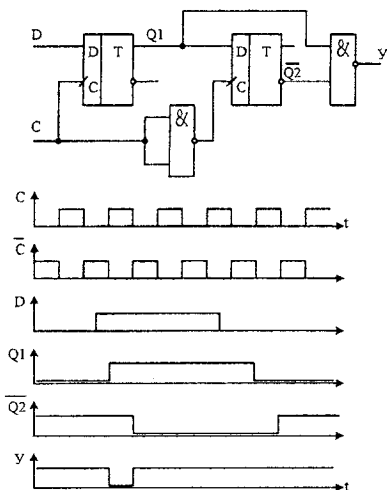


Рисунок 8.2 – Пристрій для виділення поодиноким імпульсу з безперервної послідовності і часова діаграма його роботи

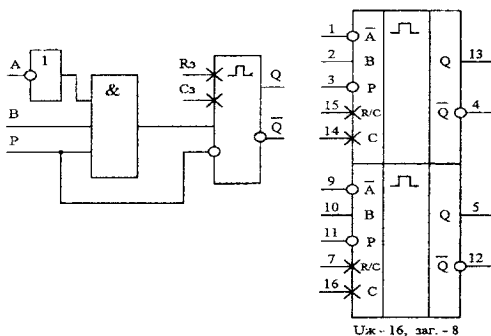


Рисунок 8.3 – Мікросхема K155АГ3

Цифрові мікросхеми широко використовуються також для створення генераторів з самозбудженням типу мультивібраторів, частота коливань яких визначається додатковими елементами або кварцовими резонаторами.

В схемотехнічному відношенні існує велика різноманітність подібних пристроїв. Деякі з них повторюють рішення, відомі в транзисторній техніці, інші побудовані з врахуванням специфічних особливостей мікросхем. Типова схема мультивібратора на елементах ТТЛ наведена на рис. 8.4.

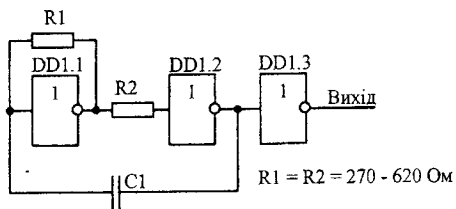


Рисунок 8.4 – Схема мультивібратора на елементах ТТЛ

Коливання у схемі виникають і підтримуються за рахунок додатного зворотного зв'язку, який створюється конденсатором $C1$. Мультивібратор стійко генерує на низьких і високих частотах. Зміна частоти здійснюється заміною конденсатора. Загальний недолік мультивібраторів, виконаних на логічних елементах ТТЛ, – низька стабільність частоти генерації при коливаннях напруги живлення і температури зовнішнього середовища.

На основі одновібраторів ТТЛ типу К155АГ1 і К155АГ3 можуть бути створені оригінальні мультивібратори з високими експлуатаційними характеристиками. Схема мультивібратора, яка показана на рис. 8.5, ілюструє побудову мультивібратора з незалежним керуванням періодом імпульсів і коефіцієнтом заповнення.

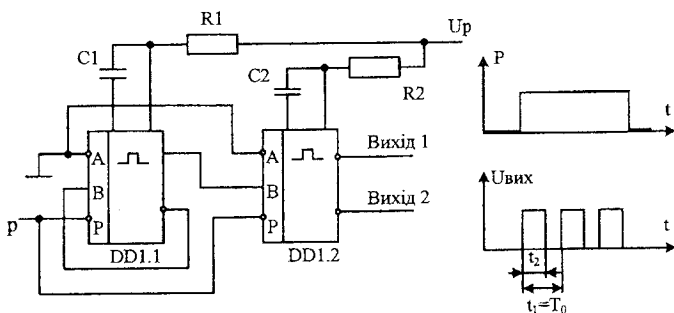


Рисунок 8.5 – Мультивібратор на мікросхемі К155АГ3

Генерацію забезпечує елемент DD1.1 за рахунок зворотного зв'язку з інверсного виходу на прямий вхід. При цьому генеруються короткочасні ($t_f \approx 30$ нс) імпульси напруги. Другий елемент (DD1.2) використовується для розширення цих імпульсів. Частота вихідних імпульсів визначається елементами $R1$, $C1$, а потрібний коефіцієнт заповнення – елементами $R2$, $C2$. Очевидно, що для нормальної роботи потрібно забезпечити $t_1 > t_2$. Вхід установки нуля може бути використаний як тактовий або синхронізуючий. При $p=0$ коливання зриваються.

9 МОДЕЛЮВАННЯ РОБОТИ ЕЛЕМЕНТІВ ТА ВУЗЛІВ

Моделювання роботи елементів та вузлів ефективно здійснюється у середовищах сучасних програм схемотехнічних САПР, таких, як Micro-Cap, OrCAD, Simplorer, SystemView та інших.

Аналогові та цифрові моделі зручно досліджувати у середовищах САПР Micro-Cap. Система Micro-Cap призначена для аналізу і статистичних досліджень аналогових та цифрових радіоелектронних пристроїв. Програма дозволяє на основі моделей будувати відповідні структурні схеми з конкретними значеннями параметрів елементів та заносити їх до бібліотеки моделей Micro-Cap. Система реалізована на платформі Windows, має зручний інтерфейс.

Бібліотека моделей компонентів Micro-Cap містить більше 10 тис. аналогових та цифрових електрорадіоелементів провідних фірм, охоплюючи найбільш популярні цифрові інтегральні схеми дискретної логіки та аналогові компоненти.

До Micro-Cap внесено інтерфейс з програмами розробки друкованих плат OrCAD, P-CAD, Protel та ін.

Для моделювання радіоелектронних систем аналогової, цифрової та аналогово-цифрової обробки сигналів, систем зв'язку, систем автоматичного керування та ін. використовується програма SystemView. SystemView є особливо зручною для моделювання аналогових, цифрових та гібридних радіотехнічних систем на рівні функціональних схем. Вона дозволяє створювати функціональні схеми пристроїв та виконувати моделювання пристроїв при дії на них сигналів різної форми та завад.

OrCAD – пакет комп'ютерних програм, призначений для автоматизації проектування електроніки. Використовується в основному для створення електронних версій друкованих плат, для виробництва друкованих плат, а також для виробництва електронних схем та їхнього моделювання.

Продукти серії OrCAD належать компанії Cadence Design Systems. Остання версія OrCAD має можливість створення і підтримки бази даних доступних інтегральних схем. База даних може бути оновлена шляхом скачування пакетів виробників компонентів, таких як Texas Instruments.

У складі пакету наявні модулі графічного редактора принципів схем, пакет аналого-цифрового моделювання, пакет параметричної оптимізації, модулі розробки та редагування топологій друкованих плат, програма автоматичного та інтерактивного трасування, модуль аналізу цілісності сигналів і перехресних спотворень.

Використання засобів САПР OrCAD для потреб лабораторного практикуму і курсового проектування розглянуто у розділах 12 та 14. Детально прийоми роботи в середовищі САПР OrCAD щодо створення та логічного моделювання цифрових схем наведені в [15, 16].

10 ОСОБЛИВОСТІ РЕАЛІЗАЦІЇ МІКРОСХЕМ

Мікроелектроніка дозволяє за допомогою складного комплексу фізико-хімічних, технологічних, конструктивних і схемотехнічних методів вирішити проблему створення високонадійних і економічних електронних елементів і пристроїв.

Під поняттям "мікросхема" розуміють мікроелектронний виріб, який має щільність монтажу не меншу, як п'ять елементів в одному кубічному сантиметрі об'єму, і розглядається як єдине конструктивне ціле.

Інтегральна схема (ІС) – мікросхема, всі або частина елементів якої нерозривно зв'язані і електрично з'єднані між собою так, що пристрій розглядається як єдине ціле.

Гібридні інтегральні мікросхеми складаються з елементів, частина яких має окреме самостійне конструктивне оформлення.

Елементи напівпровідникової інтегральної мікросхеми виконані в об'ємі і на поверхні напівпровідника. Великі інтегральні схеми (ВІС) містять сотні, а надвеликі (НВІС) – тисячі елементів.

Основний принцип виготовлення напівпровідникових ІС полягає у тому, що вони створюються в єдиному технологічному циклі, тобто, всі активні і пасивні компоненти цих схем формуються одночасно в об'ємі і на поверхні напівпровідника. Одночасно виготовляється багато однотипних функціонально закінчених елементів, вузлів або пристроїв.

Основними процесами створення компонентів напівпровідникових ІС є технологічні процеси створення *p-n*-переходів, за допомогою яких формуються як активні, так і пасивні компоненти інтегральних схем – транзистори, діоди, резистори, конденсатори.

Для проектування ВІС використовуються САПР з наявністю функціональних бібліотек і метод "кремніевої компіляції", при якій оригінал-опис проєктованої ВІС автоматично трансляється в більш низькі рівні опису аж до компонента. Після виконання ряду етапів трансляції виходять електричні схеми і топологія всіх окремих фрагментів.

У багатьох випадках при проектуванні та виробництві ВІС виникають суперечливі вимоги: забезпечення високого ступеня інтеграції ВІС з малими термінами створення та відносно низькими обсягами виробництва, економічно нерентабельними для розробки замовних ВІС (під замовною розуміється мікросхема, проектування і виробництво якої відбувається за індивідуальним повним технологічним циклом, направленим на створення саме цієї ВІС. До замовних належать мікропроцесори, мікроконтролери, периферійні пристрої і маса інших ВІС, що поставляються як стандартні вироби). Найбільш ефективно це протиріччя вирішується використанням напівзамовних ВІС на основі БМК – базових матричних кристалів. У цьому випадку процес проектування і виготовлення ВІС розчленовується на дві частини, причому за замовленням виконується лише друга, простіша частина (тому вони й напівзамовні): розробка та виготовлення БМК, тобто

стандартної заготовки, з якої згодом можна зробити різноманітні мікросхеми.

БМК – це напівпровідниковий кристал з регулярно розташованими на ньому топологічними фрагментами (комірками) електронних схем, між якими є вільні зони для створення з'єднань. Задаванням необхідних з'єднань БМК пристосовується до виконання функції будь-якого складного вузла.

Напівзавомні інтегральні схеми на основі БМК для розробників і виробників складної електронної апаратури є незамінним вирішенням у багатьох випадках: коли потрібно швидко розробити і почати виробництво виробу; коли обсяг виробництва виробу відносно невисокий, а відповідних ВІС серед тих, що випускаються немає; при створенні специфічної апаратури з оригінальною схемотехнікою; при переробці раніше створеної апаратури на нову елементну базу.

Виготовлення таких БМК відбувається за стандартною технологією масового виробництва ВІС. На основі БМК виготовляються тестові мікросхеми, які піддаються всім видам атестаційних випробувань. Для БМК випускаються групові технічні умови (ТУ). Таким чином, всі процедури проектування, виробництва і атестації, що найбільш дорого коштують і тривалі для ВІС, виконуються на етапі створення БМК.

Для створення напівзавомної ВІС вибирається відповідний БМК (заготовка). Проектування полягає в розробці топології верхніх шарів металізації кристала (визначається схемою пристрою і за призначенням еквівалентна топології друкованої плати), а виробництво – в нанесенні цих шарів на раніше виготовлені типові заготовки. Карта замовлення, за якою відбувається розробка та виготовлення напівзавомної ВІС, одночасно є й додатком до групових ТУ; атестаційних випробувань проводити не потрібно.

Таким чином, БМК поєднують в собі високу інтеграцію замовних ВІС і гнучкість у проектуванні апаратури на основі ІС стандартної логіки низької та середньої інтеграції. При цьому значно скорочуються терміни та витрати на створення нової ВІС. Незначне збільшення вартості у виробництві напівзавомної ВІС, порівняно з аналогічною за складністю замовною, є оманливим, оскільки замовна ВІС при обсягах виробництва, відповідних обсягам виробництва напівзавомних, насправді буде набагато дорожчою: замовні ВІС дешеві завдяки їхньому масовому виробництву.

ВІС, створені на базі БМК, називаються матричними, так як комірки на кристалі мають регулярну структуру за принципом "стовпець-рядок". Такий підхід до створення ВІС економічно виправданий, якщо необхідний обсяг випуску ВІС не перевищує десятків тисяч штук.

Бібліотека елементів БМК розроблена на основі компонентів базової комірки і є базовою для розробки ВІС. Бібліотечний елемент реалізується за допомогою тієї чи іншої топологічної конфігурації в змінному шарі – з'єднанням між собою найпростіших елементів. Топологія кожного елемента БМК однозначно визначає його функціональний зміст.

Проектування на основі БМК має ряд переваг. Топологія виготовленої

схеми піддається легкій зміні. Така можливість обумовлена однорідною структурою БМК. Вищезгадана можливість також дозволяє ефективніше використовувати системи автоматичного проектування великих інтегральних схем, оскільки правила топології легко формалізуються для машинної реалізації. Виходячи з ряду переваг, наведених вище, БМК на своїй основі дозволяє проектувати ВІС різних ступенів складності та функціонального призначення.

Застосування систем автоматичного проектування і трасування ІС та створення схем на основі БМК забезпечує значне зменшення терміну і складності проектних робіт, а відтак і зменшення собівартості готового пристрою. Оскільки БМК також дозволяє зменшити споживчу потужність пристрою, з'являється можливість побудови більш надійних пристроїв з малими габаритами та масою. Ці переваги дозволяють забезпечити можливість розробки потужніших ВІС та стабільний попит на продукцію.

Стандартні ВІС та НВІС є лідерами за рівнем інтеграції завдяки оптимізації за щільністю, яку забезпечує висока вартість проектування. При проектуванні різноманітних пристроїв часто стандартні ВІС необхідно доповнювати специфічною частиною для даної розробки. Реалізація нестандартної частини, як правило, була пов'язана із використанням мікросхем низького та середнього ступеня інтеграції. Для вирішення цього протиріччя були створені ВІС і НВІС з програмованою структурою. Застосування елементів та пристроїв з програмованою структурою істотно змінює підходи до проектування та виготовлення цифрових пристроїв і дозволяє поліпшити їхні характеристики.

Першими представниками ВІС з програмованою структурою стали програмовані логічні матриці (ПЛМ). В їхню основу входять програмовані матриці елементів "Г" та "АБО", а також блоки вхідних і вихідних буферних каскадів. Вхідні буфери перетворюють однофазні вхідні сигнали в парафазні і формують сигнали необхідної потужності для живлення матриці елементів "Г". Вихідні буфери забезпечують необхідну навантажувальну здатність виходів, а також дозволяють або забороняють вихід ПЛМ на зовнішню шину за допомогою спеціального сигналу.

На функціональному рівні можна вважати, що ПЛМ реалізує диз'юнктивну нормальну форму логічних функцій. Детально використання ПЛМ для вирішення конкретних задач розглядається у [3].

Останнім часом стрімко розвиваються технології створення і використання програмованих логічних інтегральних схем (ПЛІС). ПЛІС розглядаються як найбільш перспективна елементна база для побудови цифрової апаратури різноманітного призначення. Це забезпечується такими їхніми властивостями, як універсальність, низька вартість, високі швидкодія і надійність, різноманіття конструктивного виконання, різноманіття в виборі напруг живлення і параметрів сигналів, наявність добре розвинутих програмних засобів автоматизованого проектування, простота модифікації проектів на різних стадіях розробки. Різновиди ПЛІС та їхні властивості детально розглядаються у [3].

11 ПЕРСПЕКТИВИ РОЗВИТКУ ЦИФРОВОЇ СХЕМОТЕХНІКИ

Перевагами цифрових пристроїв і систем порівняно з аналоговими є підвищена завадостійкість, висока надійність, можливість тривало зберігати інформацію без її втрати, економічна й енергетична ефективність, сумісність з інтегральною технологією, висока технологічність і повторюваність.

Основа розвитку електроніки та схемотехніки – безперервне ускладнення функцій. На сучасному етапі стає неможливим вирішувати нові завдання старими електронними засобами з використанням існуючої елементної бази. Виникають об'єктивні умови для подальшого удосконалення елементної бази.

Основними факторами, які визначають тенденції розвитку схемотехніки ЕОМ, є удосконалення технології виробництва виробів мікроелектроніки і поступове зниження часу затримки розповсюдження сигналів, підвищення ступеня інтеграції мікросхем, надійності, зменшення габаритних розмірів, маси, вартості та споживаної потужності.

З ростом функціональної складності інтегральних схем час і собівартість їхнього проектування ростуть за експоненціальним законом. В результаті виникає одне з основних протиріч мікроелектроніки: при рості ступеня інтеграції кількість типів ІС зростає і тільки при дуже великих ступенях інтеграції воно знижується до одного типу. Вимушена спеціалізація ВІС призводить до зниження валової кількості схем, оскільки кожна спеціалізована ВІС має відносно вузьку сферу використання.

Вказане протиріччя розв'язується: шляхом використання технологічних методів введення спеціалізації на останніх етапах технологічного процесу виготовлення ВІС (матричні ВІС або базові матричні кристали – БМК) або шляхом використання логічних методів спеціалізації, коли шляхом програмування ВІС налаштовується на виконання певних функцій (програмовані логічні інтегральні схеми – ПЛІС). Для проектування схем на основі БМК і ПЛІС використовуються спеціалізовані пакети застосованих програм. При цьому можуть бути використані елементи стандартних бібліотек або створені власні.

У схемотехнічному плані останнім часом поширюються дискретні обчислювальні середовища, які характеризуються рівнем однорідності, структурою зв'язків, способом розміщення елементів середовища в просторі, логічними можливостями елементів, способом взаємодії елементів при виконанні логічних операцій, рівнем керованості і способом керування.

На відміну від двох традиційних схемотехнічних підходів синхронного та асинхронного останнім часом інтенсивно досліджується "самосинхронна" схемотехніка. Перший підхід, який є основним в обчислювальній техніці, пов'язаний з використанням механізму тактування, що задається синхронізувальним пристроєм (таймером, генератором) і застосовується для узгодження роботи пристроїв у часі. Другий підхід знайшов застосування

лише в тих системах дискретної автоматики, де синхронізація не використовується. Синхронні схеми мають ряд переваг, головною з яких є відносна простота порівняно з асинхронними, в яких відсутність тактового генератора пов'язана з необхідністю введення надмірності для боротьби з аномаліями їхньої динамічної поведінки (змаганнями, ризиками). Використання асинхронного підходу не дає збільшення швидкодії, оскільки відсутність часу трансформується у вимогу дотримання часових інтервалів між подачею сусідніх вхідних сигналів.

Альтернативою традиційним підходам є самосинхронна схемотехніка. При реалізації самосинхронного підходу таймер у схемі замінюється механізмом індикації, який не відраховує абсолютний час, а фіксує ті моменти часу, коли в схемі закінчилися перехідні процеси, викликані зміною вхідного сигналу. Моменти видачі сигналів індикації визначаються величинами реальних затримок, які залежать від умов функціонування елементів схеми і можуть змінюватись від нуля до будь-якої кінцевої величини, що робить самосинхронні схеми стійкими до часової нестабільності елементів.

При збільшенні рівня інтеграції ІС зменшуються розміри транзисторів, що призводить до зміни їхніх фізичних характеристик. У зв'язку з цим ведуться інтенсивні дослідження нових фізичних принципів побудови двійкових елементів – оптоелектронних, акустоелектронних, молекулярних, криогенних, біологічних і под.

Один з перспективних напрямів розвитку елементної бази ЕОМ – оптоелектроніка. В оптоелектронних схемах відбувається взаємне перетворення оптичного і електричного сигналів. Повна або часткова заміна електричного сигналу, як носія інформації, світловим, значно розширює частотний діапазон і швидкість передавання інформації, дає можливість організації зв'язків між елементами без механічного контакту, дозволяє здійснити паралельну передачу інформації по одному і тому ж каналу без взаємних завад, а також електричну розв'язку кіл при зберіганні сильних функціональних зв'язків.

Розрізняють два напрямки в оптоелектроніці: електронно-оптичний і оптичний. Електронно-оптичний напрямок оснований на принципі фотоелектричного перетворення, яке реалізується в твердому тілі внутрішнім фотоефектом і електролюмінесценцією. Оптичний напрямок оснований на тонких ефектах взаємодії твердого тіла з електромагнітним випромінюванням і використовує лазерну техніку, голографію, фотохімію. Відповідно існує два класи оптичних елементів – оптрони і квантооптичні елементи.

Останнім часом активно розвиваються великі і надвеликі інтегральні схеми з програмованою структурою. З ростом рівня їхньої інтеграції в проектуванні підсилюється аспект, який називають інтерфейсним проектуванням [3]. При цьому пристрої будуються із стандартних блоків шляхом їхнього правильного з'єднання і налаштування.

Успішне проектування потребує знання номенклатури і параметрів цифрових елементів, вузлів і пристроїв та залучення систем автоматизованого проектування.

12 ЛАБОРАТОРНИЙ ПРАКТИКУМ

Лабораторний практикум направлений на закріплення і розширення змістовних положень і навичок, набутих при вивченні теоретичного матеріалу та проведенні практичних занять.

У результаті проведення лабораторних робіт студенти повинні знати принципи побудови і функціонування дискретних елементів та вузлів ЕОМ та вміти аналізувати їхню роботу, синтезувати та досліджувати базові вузли, проводити логічне моделювання роботи схем за допомогою сучасних програмних засобів.

Самостійне та якісне виконання лабораторних робіт є базою для успішної реалізації дослідницької частини при виконанні курсових робіт.

12.1 Вимоги до виконання лабораторних робіт

Виконання лабораторних робіт у обсязі навчального плану є обов'язковим. Студенти, які не виконали лабораторні роботи відповідно до програми і робочого плану дисципліни, до іспиту не допускаються.

На виконання однієї лабораторної роботи виділяється дві аудиторні години, а на підготовку, аналіз результатів та оформлення звіту – дві години позааудиторного часу (самостійна робота студента).

Лабораторні роботи виконуються за фронтальним принципом (усі студенти виконують одну і ту ж лабораторну роботу) у комп'ютерному класі за розкладом занять під керівництвом викладача. При цьому для лабораторних робіт, які допускають варіативність початкових даних, кожна бригада виконує індивідуальне завдання.

У випадку пропускання лабораторних занять студент зобов'язаний відпрацювати пропущене заняття за кафедральним графіком відпрацювання пропущених занять при наявності дозволу декана факультету.

Кожну з лабораторних робіт студент виконує у порядку, передбаченому вказівками до її виконання. При цьому проводяться всі необхідні дослідження і визначаються потрібні параметри.

Документування результатів роботи здійснюється у формі звіту, де вказуються мета та порядок виконання роботи, наводяться процедури синтезу (при його наявності), схеми досліджуваних елементів, вузлів і пристроїв, часові діаграми їхньої роботи, визначені параметри, формулюються результати аналізу і висновки.

За оформленими звітами обов'язково проводиться захист лабораторних робіт, під час якого студент пояснює зміст основних положень та проводить аналіз результатів проведених досліджень. Захист виконаної лабораторної роботи здійснюється, як правило, під час виконання наступної роботи або за графіком консультацій. Результати захисту відображаються в журналі викладача.

Звіти про виконання лабораторних робіт брошуруються і всі повинні бути наявними до початку іспиту.

12.2 Лабораторна робота № 1

ЗНАЙОМСТВО З СЕРЕДОВИЩЕМ МОДЕЛЮВАННЯ СХЕМ OrCAD

Мета роботи

Знайомство з інтерфейсом та функціональними можливостями середовища моделювання схем OrCAD.

Порядок виконання роботи

1. Відкрити програму OrCAD.
2. Створити новий проект.
3. Створити схему.
4. Задати тестові послідовності для вхідних сигналів.
5. Промоделювати схему.
6. Проаналізувати результати.

Теоретичні відомості і рекомендації щодо виконання роботи

Розширена характеристика середовища моделювання OrCAD версії 9.0 наведена у розділі 15. Розглянемо короткі рекомендації, дотримання яких дасть змогу за обмежений час (дві години) ознайомитись з інтерфейсом середовища та пройти цикл створення і моделювання схеми.

Запуск програми OrCAD можна здійснити декількома способами: за допомогою ярлика (якщо він наявний на робочому столі), активізувавши виконавчий файл *CAPTURE.EXE*, відповідний значок на панелі задач (якщо він тут наявний) або командою

Пуск→Програми→OrCAD→Capture CIS

Для створення нового проекту можна скористатись командою

File→New→Project

У вікні, яке при цьому відкривається, потрібно у відповідних полях вказати ім'я файлу, вибрати різновид *PC Board Wizard* та вибрати або створити директорію для зберігання файлів створюваного проекту. Після цього потрібно натиснути кнопку *OK*.

У діалоговому вікні, що відкривається при цьому (рис. 12.1), потрібно під'єднати ресурси для надання можливості моделювання цифрових схем, як це показано нижче, і натиснути кнопку *Далее*.

Відкривається діалогове вікно, яке забезпечує під'єднання бібліотек елементів. Потрібно вибрати файл *TTL.OLB*, натиснути кнопки *Add* і *Далее*, вибрати файл *TTL.VHD* та натиснути кнопки *Add* і *Готово*. При цьому відривається вікно проекту, у якому створюється схема.

З правого боку з'являється вертикально розміщена панель інструментів, які використовуються для створення схеми.

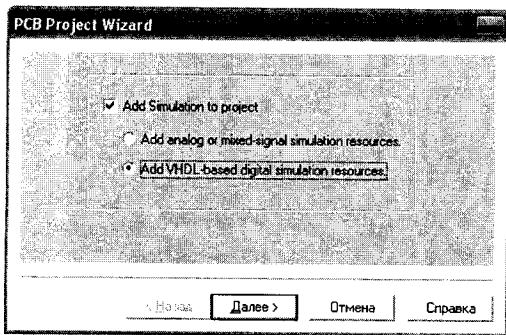







Рисунок 12.1 – Діалогове вікно *PCB Project Wizard*

Для початку будемо користуватись п'ятьма інструментами:

-  – інструмент для вибору (виділення, переміщення) об'єктів;
-  – інструмент для вибору бібліотечного елемента;
-  – інструмент для рисування ліній електричних з'єднань;
-  – інструмент для нанесення точки електричного з'єднання;
-  – інструмент для вибору портів.

Розглянемо процес створення і моделювання схеми на прикладі простої схеми, яка складається з одного інвертора.

Елементи в бібліотеках елементів OrCAD розташовані за номерами. Для бібліотеки *TTL* початковими цифрами номера є 74. До них додається порядковий номер елемента (додаток Г). Інвертор має номер 7404.

Вибираємо інструмент для вибору бібліотечного елемента. При цьому відкривається вікно *Place Part* (рис. 12.2), у якому виділяємо номер 7404 та натискаємо кнопку *OK*.

Розміщуємо вибраний елемент на робочому полі проекту, фіксуючи його лівою кнопкою миші. При необхідності розміщуємо декілька таких елементів. Для завершення цього процесу в контекстному меню, яке з'являється при натисканні правої кнопки миші, потрібно вибрати *End Mode*. Недопустимим є копіювання елемента на робочому полі та використання декількох його копій, оскільки елемент і всі його копії будуть мати один і той же номер, що призведе до виникнення проблем при моделюванні схеми.

Після розміщення елементів і встановлення зв'язків між ними потрібно під'єднати вхідні та вихідні порти, використовуючи інструмент для вибору портів. Порти є вхідними та вихідними контактами схеми. Діалогове вікно *Place Hierarchical Port* показано на рис. 12.3.

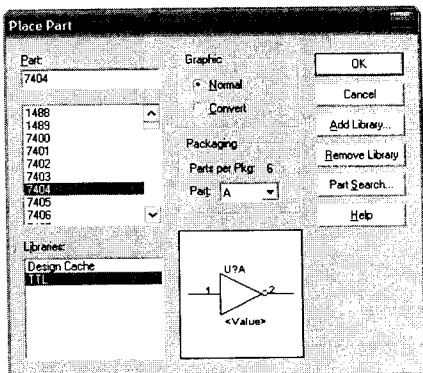


Рисунок 12.2 – Діалогове вікно *Place Part*

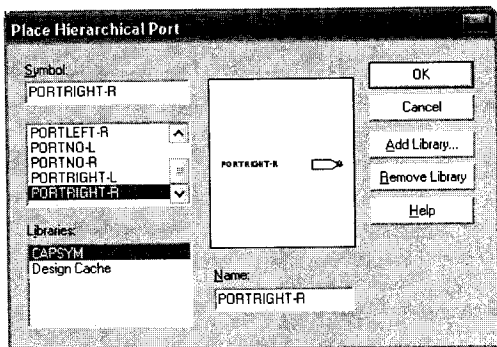


Рисунок 12.3 – Діалогове вікно *Place Hierarchical Port*

Як вхідний використовуємо порт *PORTRIGHT-R*, а як вихідний – *PORTLEFT-L*. Подвійним клацанням на імені порту, яке за замовчуванням відповідає назві порту, можна відкрити діалогове вікно, у якому вводиться конкретне ім'я порту. Так створюється схема, показана на рис. 12.4.

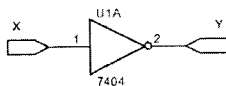


Рисунок 12.4 – Схема для дослідження інвертора

Після створення схему потрібно зберегти, а вікно проекту згорнути. У списку, що відкривається, треба виділити рядок ім'я файлу *.dsn* та скористатись командою *Tools*→*Simulate*. Це забезпечує перехід до процесу моделювання схеми.

Далі виконуємо послідовність команд: *In Design*→*OK*→*Да*.

Для задання вхідних сигналів потрібно вибрати пункт меню *Stimulus* та підпункт *New Interactive*. Відкривається діалогове вікно *Interactive Stimulus* з трьома закладками: *Basic*, *Advanced*, *Clock*.

Зкладка *Basic* призначена для опису вхідного сигналу, при якому вказуються тільки його перемикання, записувані в хронологічному порядку. При цьому кожне перемикання супроводжується встановленням значення логічного сигналу і моменту часу, з якого це значення триває далі, та натискання кнопки *Add*. За замовчуванням час вимірюється у наносекундах. У віконці *Remove at* потрібно залишити нульове значення сигналу.

Зкладка *Clock* призначена для опису періодичних вхідних сигналів. При цьому вказуються значення сигналу та його тривалість протягом періоду. Кількість повторів періоду може бути вказана у віконці *Repeat*. Якщо кількість повторів не має кінця, вибирають *Repeat forever*. Задання супроводжується натисканням кнопки *Add*.

Зкладка *Advanced* поєднує попередні два способи задавання сигналів (розділ 14).

Отже, задамо вхідний сигнал нашої схеми як періодичний із періодом, наприклад, 400 нс. Спочатку, скориставшись кнопкою *Browse*, вибираємо вхідний сигнал із множини вхідних сигналів. У діалоговому вікні *Interactive Stimulus* задаємо тривалість нульового та одиничного значень сигналу по 200 нс. Задаємо нескінченну кількість повторів. Не забуваємо натиснути кнопки *Add* та *OK*, а у вікні, що відкривається – *Да*.

Для вибору сигналів, які будуть наявні у часовій діаграмі, виконують команду *Trace*→*New Wave Window*. У вікні, яке при цьому відкривається, вибирають потрібні сигнали та переносять їх до віконця вибраних сигналів.

Процедура моделювання запускається натисканням кнопки *Run* головної панелі інструментів (при цьому тривалість часу моделювання за замовчуванням становить 10000 нс) або командою *Simulate Run* (при цьому тривалість часу моделювання може задаватись користувачем).

У результаті моделювання отримуємо часову діаграму роботи схеми. Підбираючи відповідний масштаб та застосовуючи маркери, добиваємось зручного для аналізу вигляду часової діаграми. Аналізуємо часову діаграму на предмет правильності функціонування схеми. Визначаємо затримки вихідного сигналу відносно переднього і заднього фронту вхідного сигналу.

Повторне моделювання за замовчуванням починається з моменту часу зупинення попередньої процедури моделювання. Для запуску процедури моделювання з нульового моменту часу потрібно перезавантажити проект командою *Simulate*→*Reload Project*.

До звіту вносять послідовність команд для створення проекту, створення та моделювання схеми, способи задавання вхідних сигналів, особливості використання портів і под.

Питання для самоперевірки

1. Якими способами можна здійснити запуск програми OrCAD?
2. Яким чином здійснюється під'єднання ресурсів для надання можливості моделювання цифрових схем?
3. Як під'єднати бібліотеки елементів?
4. Які засоби використовуються для під'єднання портів?
5. Яким способом можна задати або змінити ім'я порту?
6. Який порт рекомендується як вхідний?
7. Який порт рекомендується як вихідний?
8. Назвіть засоби, які використовуються для складання схеми.
9. У якому діалоговому вікні задаються вхідні сигнали?
10. Яка закладка використовується для задавання неперіодичних сигналів?
11. Яка закладка використовується для задавання періодичних сигналів?
12. У якому випадку час моделювання може задаватись користувачем?
13. Яким чином вибрати сигнали, що будуть наявні у часовій діаграмі?
14. Де в інтерфейсі програми OrCAD за замовчуванням знаходиться панель інструментів, що використовуються для створення схеми?
15. З якого моменту часу починається процедура моделювання?
16. Як перезавантажити проект?
17. Як задати тривалість процедури моделювання?
18. Яка тривалість процедури моделювання встановлюється натисканням кнопки *Run* головної панелі інструментів?
19. Що забезпечується виконанням команди *Trace*→*New Wave Window*?
20. У якому діалоговому вікні задаються вхідні сигнали схеми?
21. Яким способом можна змінити порядок сигналів у часовій діаграмі?

12.3 Лабораторна робота № 2

ДОСЛІДЖЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Мета роботи

Експериментальне виявлення властивостей логічних елементів.

Порядок виконання роботи

1. Створити новий проект.
2. Створити схему з заданими логічними елементами.
3. Задати вхідні сигнали.
4. Промоделювати схему.
5. Проаналізувати часову діаграму на предмет правильного функціонування логічних елементів.
6. Визначити затримки для кожного логічного елемента.
7. Проаналізувати результати і зробити висновки.

Теоретичні відомості і рекомендації щодо виконання роботи

Лабораторна робота передбачає дослідження декількох двохходових базових елементів одноступеневої логіки:

- I – 7408;
- АБО – 7432;
- I-НЕ – 7400;
- АБО-НЕ – 7402;
- Нерівнозначність – 7486.

Закон функціонування вказаних елементів можна задати сумщеною таблицею істинності (табл. 12.1), де кожній із комбінацій вхідних сигналів відповідають значення функцій досліджуваних логічних елементів.

Таблиця 12.1 – Таблиця істинності логічних функцій

x2	x1	$y1 = x1 \cdot x2$	$y2 = x1 + x2$	$y3 = \overline{x1 \cdot x2}$	$y4 = \overline{x1 + x2}$	$y5 = x1 \oplus x2$
0	0	0	0	1	1	0
0	1	0	1	1	0	1
1	0	0	1	1	0	1
1	1	1	1	0	0	0

Для уникнення багаторазового проведення процедури моделювання всі елементи доцільно розмістити в одній схемі.

Оскільки порядок затримок становить десятки наносекунд, тривалість кожної з комбінацій вхідних сигналів бажано вибрати не меншою, ніж 100 нс.

Провівши процедуру моделювання, необхідно проаналізувати функціонування кожного з елементів на відповідність таблиці істинності, враховуючи затримки елементів.

Визначення затримок доцільно проводити у збільшеному масштабі, користуючись маркерами (рис. 12.5).

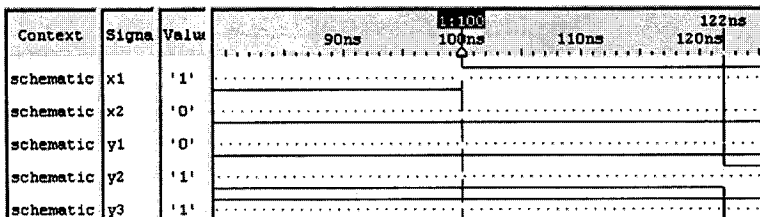


Рисунок 12.5 – Часова діаграма, за якою визначаються затримки

Схема для дослідження логічних елементів показана на рис. 12.6.

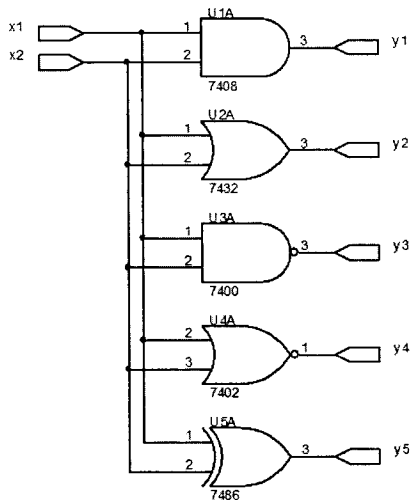


Рисунок 12.6 – Схема для дослідження логічних елементів

Затримки потрібно визначити для переднього і заднього фронту вихідного сигналу кожного елемента, наприклад: $t_{y2}^{01} = 22 \text{ нс}$.

До звіту вносять суміщену таблицю істинності, схему, часову діаграму, перелік затримок, короткий аналіз результатів та висновки. Висновки формують на предмет правильності функціонування елементів та порядку або конкретних значень часових параметрів.

Питання для самоперевірки

1. Поясніть логіку функціонування кожного із досліджуваних логічних елементів.
2. Як здійснюється нумерація бібліотечних елементів у середовищі OrCAD?
3. Коли зручно використовувати закладку Clock?
4. Яким чином встановлюється відповідність вихідних сигналів схеми значенням логічних функцій, заданих таблицею істинності?
5. Яким способом можна додати або видалити маркери?
6. Як визначається затримка логічного елемента?
7. Назвіть конкретні значення затримок досліджуваних елементів.
8. Чому всі досліджувані елементи доцільно розмістити в одній схемі?
9. З яких міркувань вибирають тривалість кожної з комбінацій вхідних сигналів при дослідженні логічних елементів?

10. Яку команду потрібно виконати, щоб повторне моделювання розпочалося з нульового моменту часу?
11. При яких комбінаціях вхідних сигналів елемент "І-НЕ" сформує на виході сигнал логічної одиниці?

12.4 Лабораторна робота № 3

ДОСЛІДЖЕННЯ АСИНХРОННИХ ТРИГЕРІВ

Мета роботи

Експериментальне виявлення властивостей асинхронних тригерів.

Порядок виконання роботи

1. Дослідити асинхронний RS-тригер з прямими входами, реалізований на елементах "АБО-НЕ".
2. Дослідити асинхронний RS-тригер з інверсними входами, реалізований на елементах "І-НЕ".
3. Проаналізувати результати і зробити висновки.

Теоретичні відомості і рекомендації щодо виконання роботи

Тригер – елемент з двома стійкими станами, зміна яких відбувається під дією вхідних сигналів. Тригер, як правило, має два виходи: прямий Q та інверсний \bar{Q} .

Асинхронні RS-тригери мають тільки установочні входи:

R (Reset) – установлення в нульовий стан;

S (Set) – установлення в одиничний стан.

Таблиці функціонування (табл. 12.2) і варіанти схем RS-тригерів з прямими та інверсними входами (рис. 12.7) показані нижче.

Таблиця 12.2 – Таблиця функціонування асинхронного RS-тригера

RS-тригер з прямими входами			RS-тригер з інверсними входами		
S	R	Q_{n+1}	S	R	Q_{n+1}
0	0	Q_n	0	0	*
0	1	0	0	1	1
1	0	1	1	0	0
1	1	*	1	1	Q_n

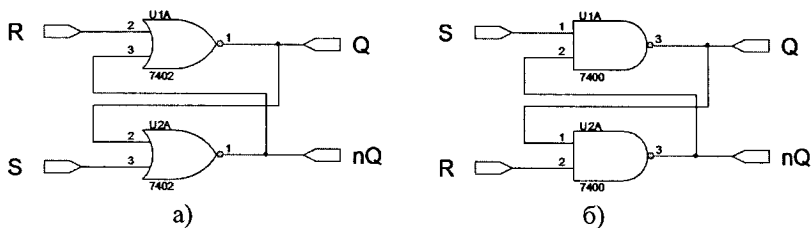


Рисунок 12.7 – Схема для дослідження асинхронного RS-тригера:
а) з прямими входами; б) з інверсними входами

У таблицях символом “*” позначені заборонені комбінації вхідних сигналів, оскільки одночасно неможливо встановити тригер у нульовий та одиничний стани. Однак для конкретних схем тригерів необхідно дослідити їхню поведінку при наявності на входах забороненої комбінації, причому важливою може бути також послідовність комбінацій вхідних сигналів. Слід звернути увагу на таку послідовність комбінацій, коли після забороненої комбінації йде комбінація збереження попереднього стану тригера.

Кожна бригада студентів у результаті аналізування таблиць функціонування та схем тригерів самостійно визначає послідовність вхідних сигналів для виявлення повною мірою властивостей асинхронних RS-тригерів. Оскільки вхідні сигнали, як правило, не є періодичними, для їх задавання використовують закладку *Basic*. Виходячи із послідовного з’єднання двох логічних елементів у схемі тригера, тривалість кожної комбінації вхідних сигналів доцільно вибрати не меншою, ніж 100 нс (краще 200 нс).

Нижче наведений один із прикладів задавання вхідних сигналів для дослідження RS-тригера з інверсними входами (рис. 12.8).

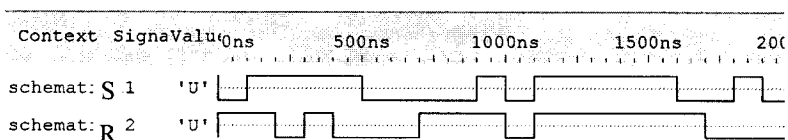


Рисунок 12.8 – Фрагмент часової діаграми як приклад задавання вхідних сигналів для дослідження RS-тригера з інверсними входами

Вихідними є сигнали на прямому та інверсному виходах тригера.

До звіту вносять таблиці функціонування тригерів, їхні схеми та функціональні позначення, часові діаграми, значення визначених затримок сигналів на прямому та інверсному виходах тригерів, результати аналізу та висновки.

При аналізуванні результатів моделювання слід звернути увагу на поведінку тригерів, коли після забороненої комбінації йде комбінація збереження стану.

Питання для самоперевірки

1. Які входи мають асинхронні RS-тригери?
2. Проаналізуйте функціонування RS-тригера з прямими входами.
3. Проаналізуйте функціонування RS-тригера з інверсними входами.
4. Як позначається на функціональних схемах асинхронний RS-тригер з прямими та інверсними входами?
5. У яких випадках настає процес генерації для асинхронних тригерів?
6. Назвіть особливості побудови схем асинхронних RS-тригерів з прямими та інверсними входами.
7. Як встановити відповідність фрагментів часової діаграми з таблицею функціонування тригера?
8. Назвіть конкретні значення затримок для досліджуваних тригерів.
9. З яких міркувань вибирають тривалість кожної з комбінацій вхідних сигналів при дослідженні тригерів?
10. Які комбінації вхідних сигналів є пасивними для RS-тригера з прямими та інверсними входами?
11. З яких міркувань вибирають послідовність комбінацій вхідних сигналів при дослідженні асинхронних тригерів?

12.5 Лабораторна робота № 4

ДОСЛІДЖЕННЯ ОДНОСТУПЕНЕВИХ СИНХРОННИХ ТРИГЕРІВ

Мета роботи

Експериментальне виявлення властивостей одноступеневих синхронних тригерів.

Порядок виконання роботи

1. Дослідити одноступеневий синхронний RS-тригер з потенціальним керуванням, реалізований на елементах "І-НЕ".
2. Дослідити одноступеневий синхронний D-тригер з потенціальним керуванням, реалізований на елементах "І-НЕ".
3. Проаналізувати результати і зробити висновки.

Теоретичні відомості і рекомендації щодо виконання лабораторної роботи

Синхронні тригери мають спеціальний вхід, який називають синхровходом або тактовим входом. Найчастіше його позначають символом *S* або *CLK* (від слова Clock – синхронізація). Активне значення сигналу на синхровході дозволяє тригеру прийняти новий стан, який визначається залежно від значень сигналів на інформаційних входах та попереднього стану тригера.

Синхронні тригери бувають з потенціальним та динамічним керуванням. На потенціальному вході активним є рівень сигналу, а на динамічному – фронт. Якщо на потенціальному вході діючим є одиничний рівень сигналу, то такий вхід називають прямим, а якщо діючим є нульовий рівень – інверсним. На інверсних потенціальних входах рисують невеликі кола.

Схема одноступеневого синхронного RS-тригера з потенціальним керуванням, реалізованого на елементах "І-НЕ" показана на рис. 12.9.

Аналіз схеми тригера показує, що при $C = 0$ тригер буде зберігати стан, а при $C = 1$ – працювати як асинхронний RS-тригер з прямими входами. Отже, всі входи цього тригера є прямими.

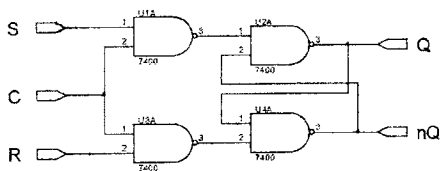


Рисунок 12.9 – Схема одноступеневого синхронного RS-тригера з потенціальним керуванням, реалізованого на елементах "І-НЕ"

Найбільш поширена схема одноступеневого синхронного D-тригера з потенціальним керуванням показана на рис. 12.10.

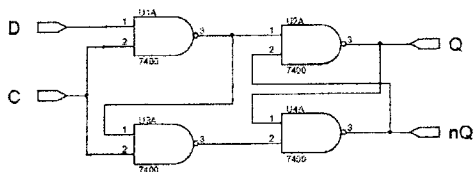


Рисунок 12.10 – Схема одноступеневого синхронного D-тригера з потенціальним керуванням, реалізованого на елементах "І-НЕ"

При задаванні вхідних сигналів для дослідження поведінки тригерів потрібно врахувати максимальну затримку, яку проходить сигнал від входу до виходу тригера. Для того, щоб чітко розрізняти стани тригера, потрібно тривалість кожної із комбінацій вхідних сигналів вибрати із запасом.

Комбінації вхідних сигналів формують таким чином, щоб повною мірою дослідити властивості кожного з тригерів.

Вихідними є сигнали на прямому та інверсному виходах тригера.

До звіту вносять схеми та функціональні позначення тригерів, часові діаграми, значення визначених затримок сигналів на прямому та інверсному виходах тригерів, результати аналізу та висновки.

Питання для самоперевірки

1. Які входи мають синхронні RS-тригери та D-тригери?
2. Охарактеризуйте поведінку синхронних тригерів з прямим С-входом, коли сигнал $C = 0$. Покажіть цей випадок на часовій діаграмі.
3. Охарактеризуйте поведінку синхронних тригерів з прямим С-входом, коли сигнал $C = 1$. Покажіть цей випадок на часовій діаграмі для обох типів тригерів.
4. Як позначаються на функціональних схемах синхронні RS- та D-тригери з прямими входами?
5. Чи можливий процес генерації для синхронних тригерів і якщо можливий, то для яких?
6. Назвіть конкретні значення затримок для досліджуваних тригерів.
7. З яких міркувань вибирають тривалість кожної з комбінацій вхідних сигналів при дослідженні тригерів?
8. Які комбінації вхідних сигналів є пасивними для синхронного RS-тригера з прямими входами?
9. Назвіть пасивні комбінації вхідних сигналів для одноступеневого синхронного D-тригера з прямими входами?
10. З яких міркувань вибирають послідовність комбінацій вхідних сигналів при дослідженні синхронних тригерів?

12.6 Лабораторна робота № 5

ДОСЛІДЖЕННЯ ДВОСТУПЕНЕВИХ ТРИГЕРІВ

Мета роботи

Експериментальне виявлення властивостей двоступеневих тригерів.

Порядок виконання роботи

1. Дослідити двоступеневий синхронний D-тригер з прямим С-входом, реалізований на елементах "І-НЕ".
2. Дослідити двоступеневий синхронний D-тригер з інверсним С-входом, реалізований на елементах "І-НЕ".
3. Проаналізувати результати і зробити висновки.

Теоретичні відомості і рекомендації щодо виконання роботи

Двоступеневі синхронні тригери складаються з двох одноступеневих синхронних тригерів, що забезпечує їхнє використання за схемою з зовнішнім зворотним зв'язком.

Схеми двоступеневих синхронних тригерів показані на рис. 12.11.

Аналізуючи схеми тригерів, що досліджуються, визначають послідовність комбінацій вхідних сигналів таким чином, щоб повною мірою дослідити властивості кожного з тригерів.

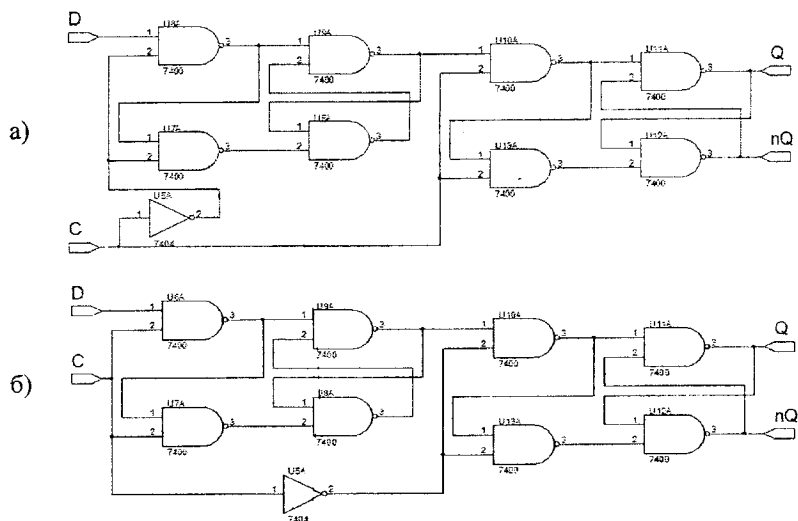


Рисунок 12.11 – Схеми двоступеневих синхронних D-тригерів:
а) з прямим С-входом; б) з інверсним С-входом

При задаванні вхідних сигналів для дослідження поведінки тригерів слід врахувати максимальну затримку, яку проходить сигнал від входу до виходу тригера. Для того, щоб чітко розрізнити стани тригера, потрібно тривалість кожної із комбінацій вхідних сигналів вибрати із запасом.

Вихідними є сигнали на прямому та інверсному виходах тригера.

До звіту вносять схеми та функціональні позначення тригерів, часові діаграми, значення визначених затримок сигналів на прямому та інверсному виходах тригерів, результати аналізу і висновки.

Питання для самоперевірки

1. У чому полягає суттєва різниця між одноступеневими та двоступеневими тригерами?
2. Охарактеризуйте поведінку двоступеневого тригера з прямим та інверсним С-входом.
3. Як позначаються на функціональних схемах двоступеневі синхронні D-тригери з прямим та інверсним С-входом?
4. Чи можливий процес генерації для двоступеневих синхронних D-тригерів і якщо можливий, то для яких?

5. Назвіть конкретні значення затримок для досліджуваних тригерів.
6. З яких міркувань вибирають тривалість кожної з комбінацій вхідних сигналів при дослідженні тригерів?
7. Які комбінації вхідних сигналів є пасивними для досліджуваних тригерів?
8. З яких міркувань вибирають послідовність комбінацій вхідних сигналів при дослідженні двоступеневих синхронних тригерів? Покажіть це на прикладі часової діаграми.
9. Яке значення сигналу на С-вході досліджуваних тригерів є активним?

12.7 Лабораторна робота № 6

ДОСЛІДЖЕННЯ ТРИГЕРІВ З ДИНАМІЧНИМ КЕРУВАННЯМ

Мета роботи

Експериментальне виявлення властивостей тригерів з динамічним керуванням.

Порядок виконання роботи

1. Дослідити D-тригер з динамічним керуванням і додатковими установочними RS-входами.
2. Дослідити D-тригер з динамічним керуванням із зовнішнім зворотним зв'язком, який працює у режимі лічильного тригера.
3. Проаналізувати результати і зробити висновки.

Теоретичні відомості і рекомендації щодо виконання роботи

Тригери з динамічним керуванням реагують на змінення сигналу (фронт) на С-вході. На прямому С-вході активним є передній фронт сигналу (зміна з 0 на 1), а на інверсному С-вході активним є задній фронт сигналу (зміна з 1 на 0).

Лабораторна робота передбачає дослідження D-тригера з динамічним керуванням і додатковими установочними (асинхронними) RS-входами (ТМ2 – 7474).

Схема для дослідження показана на рис. 12.12. Як видно з рис. 12.12, динамічний С-вхід є прямим, а установочні RS-входи – інверсними.

Складаючи тест для дослідження поведінки тригера слід врахувати наявність асинхронних установочних входів і для кожної із комбінацій значень сигналів на цих входах передбачити прийом інформації (0 і 1) за основним D-входом. Окрім цього при пасивних значеннях сигналів на RS-входах слід здійснити варіації сигналу на D-вході при незмінному одиничному та нульовому значенні сигналу на С-вході.

Затримки слід визначати окремо для діючих сигналів на асинхронних RS-входах і на основному вході.

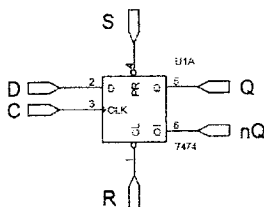


Рисунок 12.12 – D-тригер з динамічним керуванням

Для перетворення D-тригера у лічильний потрібно інверсний вихід тригера з'єднати з D-входом.

До звіту вносять схеми, часові діаграми, значення визначених затримок сигналів на прямому та інверсному виходах тригера, результати аналізу та висновки.

Питання для самоперевірки

1. Які входи тригерів називають динамічними?
2. Охарактеризуйте поведінку D-тригера з динамічним керуванням і додатковими установочними RS-входами.
3. Як позначається на функціональних схемах прямий динамічний вхід?
4. Як позначається на схемах інверсний динамічний вхід?
5. Назвіть конкретні значення затримок для досліджуваного тригера при дії сигналів з різних входів.
6. З яких міркувань вибирають тривалість кожної з комбінацій вхідних сигналів при дослідженні тригера?
7. Які комбінації вхідних сигналів є пасивними для тригера 7474?
8. З яких міркувань вибирають послідовність комбінацій вхідних сигналів при дослідженні D-тригера? Покажіть це на прикладі часової діаграми.
9. Яке значення сигналу на С-вході досліджуваного тригера є активним?
10. Поясніть за часовою діаграмою причини незмінного стану тригера для кожного випадку при активних значеннях вхідних сигналів.
11. Як буде поводити себе тригер при активному значенні сигналів на входах С і RS?

12.8 Лабораторна робота № 7

ДОСЛІДЖЕННЯ РЕГІСТРА

Мета роботи

Експериментальне виявлення властивостей регістрів.

Порядок виконання роботи

1. Дослідити регістр IP13, який працює як розподільувач сигналів.
2. Проаналізувати результати і зробити висновки.

Теоретичні відомості і рекомендації щодо виконання роботи

Регістри містять впорядковану сукупність тригерів зі спільним керуванням. До регістрових мікрооперацій відносять мікрооперацію установлення нульового стану, запис коду, мікрооперації зсуву.

Восьмирозрядний регістр IP13 (74198), який ще називають універсальним, виконує мікрооперації установлення нульового стану, запису коду, зсуву вправо та вліво на один розряд. Його позначення показано на рис. 12.13.

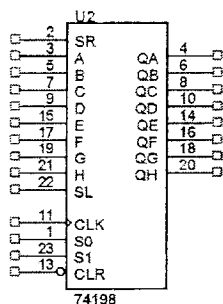


Рисунок 12.13 – Умовне позначення регістра IP13

Мікрооперація установлення нульового стану є асинхронною і виконується при наявності активного (нульового) значення сигналу на вході *CLR*. Інші мікрооперації виконуються під дією активного значення сигналу на синхровході *CLK* (передній фронт). При цьому режим роботи регістра визначається комбінацією сигналів на входах *S0* і *S1* (табл. 12.3).

Входи *A, B, C, D, E, F, G, H* є інформаційними і використовуються при реалізації мікрооперації запису коду. Входи *SR* і *SL* є послідовними входами відповідно при зсуві вправо і вліво.

Таблиця 12.3 – Режимы роботи регістра IP13

S1	S0	Режим
0	0	Збереження стану
0	1	Зсув вправо
1	0	Зсув вліво
1	1	Запис коду

Розподільвач сигналів формує послідовно на виходах активне значення сигналу (наприклад, одиничне), присутнє протягом періоду синхросигналу на вході *CLK*. Отже, для організації такого розподілення можна скористатись мікроопераціями запису коду 10000000 і циклічного зсуву його вправо. Схема розподільвача сигналів при таких умовах показана на рис. 12.14.

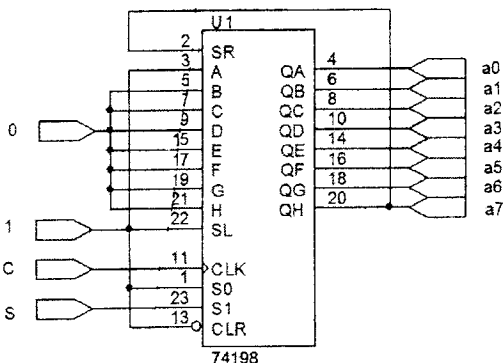


Рисунок 12.14 – Схема розподільвача сигналів на основі регістра IP13

При задаванні вхідних сигналів для дослідження поведінки розподільвача сигналів слід спочатку передбачити виконання мікрооперації запису коду в регістр, а потім – мікрооперації зсуву вправо. При цьому задають відповідне значення сигналу на вході *S* розподільвача. Тактовий сигнал на вході *C* розподільвача задають як періодичний.

До звіту вносять схему та часову діаграму роботи розподільвача, таблицю з режимами роботи регістра, значення визначених затримок сигналів, результати аналізу та висновки.

Питання для самоперевірки

1. Які мікрооперації називають регістровими?
2. Які мікрооперації реалізує регістр IP13?
3. Яка розрядність регістра IP13?
4. При яких значеннях вхідних сигналів регістр IP13 виконує мікрооперацію встановлення нульового стану?
5. При яких значеннях вхідних сигналів регістр IP13 виконує мікрооперацію запису коду?
6. При яких значеннях вхідних сигналів регістр IP13 виконує мікрооперацію зсуву вліво та вправо?

7. У чому полягає процес розподілення сигналів?
8. Скільки станів у циклі досліджуваного розподілювача сигналів?
9. Назвіть значення затримок сигналів на виходах розподілювача.
10. З яких міркувань вибирають тривалість періоду тактового сигналу?
11. Яке значення сигналу на вході *CLK* регістра IP13 є активним?
12. Яке значення сигналу на вході *CLR* регістра IP13 є активним?

12.9 Лабораторна робота № 8

ДОСЛІДЖЕННЯ РЕВЕРСИВНОГО ЛІЧИЛЬНИКА

Мета роботи

Експериментальне виявлення властивостей лічильників.

Порядок виконання роботи

1. Дослідити лічильник ІЕ7, який працює в режимі підсумовування.
2. Дослідити лічильник ІЕ7, який працює в режимі віднімання.
3. Проаналізувати результати і зробити висновки.

Теоретичні відомості і рекомендації щодо виконання роботи

Лічильники реалізують мікрооперацію лічби, яка полягає у збільшенні (підсумовувальні лічильники) або зменшенні (віднімальні лічильники) стану лічильника на 1. Якщо лічильник здатний виконувати обидві мікрооперації, він називається реверсивним. Лічильники можуть реалізовувати окрім основної також регістрові мікрооперації установаження нульового стану та запису коду.

До основних параметрів лічильників відносять модуль лічби або ємність (максимальна кількість робочих станів лічильника у циклі лічби), час реєстрації або установаження (максимальний проміжок часу від моменту дії активного значення вхідного сигналу до установаження нового стану лічильника), мінімальний період або роздільна здатність (мінімальний період вхідного сигналу, при якому лічильник ще зберігає роботоздатність), максимальна робоча частота (величина, обернена до мінімального періоду).

Лабораторна робота передбачає дослідження чотирирозрядного реверсивного лічильника з паралельним перенесенням ІЕ7 (74193) з додатковими мікроопераціями установаження нульового стану та запису коду.

Передбачається, що у режимі підсумовування лічильник працює, починаючи з нульового стану, для чого попередньо виконується мікрооперація установаження нульового стану. У режимі віднімання лічильник працює,

починаючи з максимального стану, для чого попередньо виконується мікрооперація занесення коду 1111.

Схема для дослідження лічильника ІЕ7 показана на рис. 12.15.

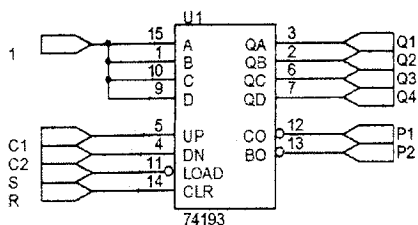


Рисунок 12.15 – Схема для дослідження лічильника ІЕ7

Входи лічильника *CLR* та *LOAD* є асинхронними. За входом *CLR* лічильник одиничним значенням сигналу встановлюється в нульовий стан. За входом *LOAD* лічильник нульовим значенням сигналу виконує мікрооперацію записування коду зі входів *A*, *B*, *C*, *D*. Зрозуміло, що обидві мікрооперації не можуть бути виконані одночасно. Входи лічильника *UP* і *DN* є динамічними, де діючим є передній фронт сигналу. Слід також зазначити, що в режимі підсумовування $DN=1$, а в режимі віднімання $UP=1$.

Виходи лічильника *QA*, *QB*, *QC*, *QD* показують його стан, а виходи *CO* і *BO* є виходами переносу відповідно у режимах підсумовування і віднімання.

Оскільки початковий стан лічильника і послідовність вхідних сигналів для режимів підсумовування і віднімання неоднакові, схема для дослідження лічильника моделюється два рази.

При дослідженні лічильника потрібно визначити час реєстрації та затримку в формуванні сигналів переносу.

При отриманні часової діаграми роботи лічильника слід виконати групування сигналів стану для більш зручного сприйняття послідовності станів лічильника. Для цього після виконання команди *Trace*→*New Wave Window* у вікні *Select Signals* виділяють вихідні сигнали схеми, які показують стан лічильника, та натискають кнопку *New Group*, після чого у вікні, що відкривається, вводять ім'я групи (рис. 12.16). Цю групу також відносять до переліку сигналів часової діаграми.

До звіту вносять схему, часові діаграми роботи лічильника окремо для кожного режиму лічби, визначені значення часу реєстрації і затримок сигналів переносу, результати аналізування та висновки.

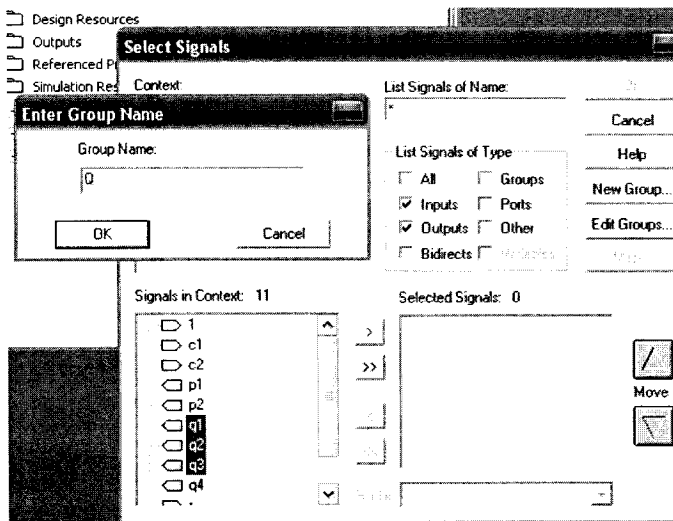


Рисунок 12.16 – Групування сигналів для часової діаграми

Питання для самоперевірки

1. Назвіть основне призначення лічильників.
2. Які лічильники називають реверсивними?
3. Які мікрооперації може виконувати лічильник ІЕ7?
4. При яких значеннях вхідних сигналів лічильник ІЕ7 виконує мікрооперацію установлення нульового стану?
5. При яких значеннях вхідних сигналів лічильник ІЕ7 виконує мікрооперацію записування коду?
6. При яких значеннях вхідних сигналів лічильник ІЕ7 працює в підсумовувальному режимі?
7. При яких значеннях вхідних сигналів лічильник ІЕ7 працює в віднімальному режимі?
8. Назвіть конкретні значення затримок сигналів переносу.
9. Назвіть конкретне значення часу реєстрації лічильника.
10. З яких міркувань вибирають тривалість періоду тактового сигналу?
11. Яке значення сигналу на вході *CLR* лічильника ІЕ7 є активним?
12. Яке значення сигналу на вході *LOAD* лічильника ІЕ7 є активним?
13. Які значення сигналів на входах *UP* і *DN* лічильника ІЕ7 є активними?
14. У які моменти часу стає активним сигнал перенесення лічильника в режим підсумовування та віднімання?
15. Назвіть та охарактеризуйте основні параметри лічильників.
16. Яким чином Ви визначали час реєстрації лічильника?

13 КУРСОВЕ ПРОЕКТУВАННЯ

Курсова робота з дисципліни "Цифрова схемотехніка" виконується згідно з індивідуальним завданням і є самостійною роботою студента, призначеною для закріплення, розширення, узагальнення і практичного використання знань, умінь і навичок, одержаних під час навчання. В процесі курсового проектування студенти здобувають навички аналізування і синтезування схем, їхнього моделювання за допомогою сучасних пакетів прикладних програм.

13.1 Загальні вимоги щодо організації курсового проектування

Організація курсового проектування здійснюється відповідно до "Методичних вказівок до оформлення курсових проектів (робіт) у Вінницькому національному технічному університеті", затвердженого Методичною радою ВНТУ 19.01.2006 р. [17].

Відповідальність за правильність прийнятих рішень, обґрунтувань, розрахунків та якість оформлення несе студент – автор роботи.

Тематика курсових робіт може бути типовою і спеціалізованою. Завдання на спеціалізовані курсові роботи незалежно від об'єкта проектування повинно передбачати схемотехнічне проектування та машинне моделювання спроектованого вузла, бути узгодженим з керівником і консультантом курсової роботи і затвердженим завідувачем кафедри.

Курсова робота повинна задовольняти такі вимоги [17]:

- обсяг текстової частини визначається кількістю годин СРС, які виділяються для дисципліни на курсову роботу навчальним планом (36 год) та не перевищує 30 сторінок формату А4 текстової частини;
- графічна частина може подаватися в тексті пояснювальної записки у вигляді відповідних рисунків або вноситись в додатки з обов'язковим конкретним зазначенням графічного матеріалу в індивідуальному завданні;
- у випадку повного збігу тем курсової роботи індивідуальне завдання має містити не тільки різні числові вихідні дані, але й передбачати самостійне викладення студентом тексту пояснювальної записки з метою уникнення використання електронного шаблону.

Індивідуальне завдання в перелік змісту не вноситься та має бути другою сторінкою після титульного листа.

Будь-яке переписування матеріалів літературних джерел або електронних документів (електронних книг, INTERNET-сайтів) неприпустимо. Якщо студент вважає за необхідність наведення певної кількості описових матеріалів, то вони розміщуються у додатках.

Згідно з затвердженим графіком студент зобов'язаний своєчасно подавати керівникові результати роботи над курсовою роботою.

До захисту допускаються курсові роботи, виконані в повному обсязі згідно з затвердженим індивідуальним завданням, перевірені керівником і підписані ним "До захисту" на титульному аркуші (додатки А, Б) із зазначенням дати.

Захист робіт проводиться публічно за встановленим графіком перед комісією з двох-трьох викладачів, склад якої затверджується завідувачем кафедри, при безпосередній участі керівника роботи в присутності студентів групи. У результаті захисту курсова робота оцінюється за чотирибальною шкалою і відповідною їй модульною оцінкою за кредитно-модульною системою залежно від якості виконання та оформлення роботи і рівня відповідей на запитання при захисті роботи (додаток В).

Курсові роботи, виконані не за своїм варіантом завдання або не в повному обсязі чи з суттєвими помилками, виконані не самостійно (про що свідчить некомпетентність у рішеннях та матеріалах), до захисту не допускаються і направляються керівником роботи на доопрацювання. В цьому випадку у заліковій відомості робиться запис "не допущений", що еквівалентно одержанню оцінки "незадовільно", тобто свідчить про появу академзаборгованості, яка може бути ліквідована на загальних підставах.

13.2 Вимоги щодо оформлення курсових робіт

Оформлення пояснювальної записки (ПЗ) до курсової роботи здійснюється відповідно до вимог ДСТУ 3008-95 [17, 18].

Текст ПЗ виконується машинописним шрифтом (1,5 інтервали, шрифт Times New Roman, кегль № 14) з висотою букв і цифр не менше 2,5 мм. Нумери сторінок ПЗ проставляються в правому верхньому кутку аркуша. На титульному аркуші, аркушах з індивідуальним завданням та анотацією номер не ставиться, хоча вони і враховуються при нумерації.

Пояснювальна записка належить до текстових документів, які подаються технічною мовою. Графічна інформація має подаватись у вигляді ілюстрацій (схеми, рисунки, графіки, діаграми тощо). Цифрова – у вигляді таблиць.

Структурними елементами основної частини ПЗ є розділи, підрозділи, пункти, підпункти, переліки.

Кожен розділ рекомендується починати з нової сторінки.

Заголовок розділу записують посередині (ДСТУ 3008-95) великими буквами (верхній регістр) з більш високою насиченістю.

Заголовки підрозділів записують з абзацу малими буквами (нижній регістр), починаючи з великої.

Розділи нумерують порядковими номерами в межах всього документа.

Після номера крапку не ставлять, а пропускають один знак.

Підрозділи нумерують у межах кожного розділу за формою: 3.1, 3.2, 3.2.1, 3.2.2 і т. д. Після номера крапку не ставлять, а пропускають один знак.

Посилання в тексті на розділи виконується за формою: "...наведено в розділі 3".

При написанні тексту слід дотримуватися таких правил:

а) текст необхідно викладати обґрунтовано в лаконічному технічному стилі;

б) умовні буквені позначення фізичних величин і умовні графічні позначення компонентів повинні відповідати установленим стандартам;

в) числа з розмірністю слід записувати цифрами, а без розмірності – словами (*відстань – 2 мм, відміряти три рази*);

г) позначення одиниць слід писати в рядок з числовим значенням без перенесення в наступний рядок. Між останньою цифрою числа і позначенням одиниці слід робити пропуск (*100 Вт, 2 А*);

д) скорочення слів у тексті не допускаються, крім загальноприйнятих в українській мові і установлених в ГОСТ 2.316-68, а також скорочень, які прийняті для надписів на виробі (в тексті вони повинні бути виділені великими літерами: ON, OFF), а якщо надпис складається з цифр або знаків, то в лапках. Лапками також виділяють найменування команд, режимів, сигналів ("*Занук*").

Кожну формулу записують з нового рядка, симетрично до тексту. Між формулою і текстом пропускають один рядок.

Умовні буквені позначення (символи) в формулі повинні відповідати установленим ГОСТ 1494-77. Їхнє пояснення наводять у тексті або одразу ж під формулою. Для цього після формули ставлять кому і записують пояснення до кожного символу з нового рядка в тій послідовності, в якій вони наведені у формулі, розділяючи крапкою з комою. Перший рядок повинен починатися з абзацу зі слова "де" і без будь-якого знака після нього.

Всі формули нумерують у межах розділу арабськими цифрами. Номер вказують у круглих дужках з правої сторони, в кінці рядка, на рівні закінчення формули. Номер формули складається з номера розділу і порядкового номера формули в розділі, розділених крапкою. Дозволяється виконувати нумерацію в межах всього документа.

В тексті ілюстрацію розміщують симетрично до тексту після першого посилання на неї або на наступній сторінці, якщо на даній вона не уміщується без повороту.

На всі ілюстрації в тексті ПЗ мають бути посилання. Посилання виконують за формою: "...показано на рис. 3.1" або в дужках за текстом (*рис. 3.1*). Посилання на раніше наведені ілюстрації дають зі скороченим словом "дивись" відповідно в дужках (*див. рис. 1.3*).

Між ілюстрацією і текстом пропускають один рядок (3 інтервали).

Всі ілюстрації в ПЗ називають рисунками і позначають під ілюст-

рацією симетрично до неї за такою формою: "Рисунок 3.5 – Найменування рисунка". Крапку в кінці не ставлять, знак переносу не використовують. Якщо найменування рисунка довге, то його продовжують у наступному рядку, починаючи від найменування.

Нумерують ілюстрації в межах розділів, вказуючи номер розділу і порядковий номер ілюстрації в розділі, розділяючи крапкою. Дозволяється нумерувати ілюстрації в межах всього документа.

Таблицю розміщують симетрично до тексту після першого посилання на даній сторінці або на наступній, якщо на даній вона не уміщується і таким чином, щоб зручно було її розглядати без повороту або з поворотом на кут 90° за годинниковою стрілкою.

Над таблицею розміщують її номер і назву за формою:

Таблиця – (назва таблиці)
 (номер)

На всі таблиці мають бути посилання: "наведено в табл. 3.1" або в дужках по тексту (табл. 2.1). Посилання на раніше наведену таблицю дають зі скороченим словом "дивись" (див. табл. 2.4) за ходом чи в кінці речення.

13.3 Аналіз завдань на курсове проектування

Курсове проектування з дисципліни "Цифрова схемотехніка" передбачає аналіз, синтез та комп'ютерне моделювання вузлів ЕОМ з використанням сучасних пакетів прикладних програм. Кожен із етапів виконання роботи повинен передбачати багатоваріантний аналіз, обґрунтованість рішень, порівняльну характеристику та оцінювання відповідних параметрів.

Кількість варіантів завдань унеможливорює повторювання варіанта в суміжних групах навчального потоку. Відповідно до [17] варіанти завдань щорічно оновлюються і поєднуються різні типи завдань в суміжних навчальних роках.

Індивідуальне завдання на виконання курсової роботи першого типу передбачає синтез та дослідження двійково-десятькового лічильника. Варіанти завдання різняться вагою розрядів двійково-десятькового коду, типами тригерів та елементним базисом. Критерій проектування – максимум швидкодії при відносному мінімумі апаратних витрат. На етапі синтезу розглядається два або три варіанти реалізації лічильника залежно від кодування його станів. Відповідно до критерію проектування вибирається кращий варіант, який має менші апаратні витрати на реалізацію комбінаційної частини лічильника (за Квайном – сумарна кількість входів всіх елементів), здійснюється його моделювання і дослідження. Дослідження лічильника передбачає експериментальне визначення робоздатності (відповідності закону функціонування), часу реєстрації лічильника, його мінімального періоду та максимальної робочої частоти.

Індивідуальне завдання на виконання курсової роботи другого типу

передбачає дослідження базових вузлів ЕОМ: синтез і дослідження циклічного зсувного регістра, аналіз побудови, роботи і дослідження заданого базового вузла, реалізацію заданої логічної функції за допомогою мультиплексора та її експериментальне дослідження. Отже, курсова робота другого типу складається з трьох частин. У першій частині відповідно до заданого циклу, типу тригерів та елементного базису проводиться синтез схеми циклічного зсувного регістра та її комп'ютерне моделювання. Експериментально визначається час реєстрації регістра, мінімальний період та максимальна робоча частота. У другій частині здійснюється аналіз побудови і функціонування заданого вузла, проводиться комп'ютерне моделювання його роботи та визначаються основні параметри. У третій частині проводиться синтез схеми на базі мультиплексора, яка реалізує задану логічну функцію. Дослідження цієї схеми здійснюється також шляхом комп'ютерного моделювання.

13.4 Рекомендації щодо викладення змісту пояснювальної записки

Титульні аркуші ПЗ залежне від типу курсової роботи виконуються відповідно до зразків, наведених у додатках А, Б.

Після титульного розміщують аркуш з індивідуальним завданням.

Наступним аркушем є анотація. Анотація – короткий виклад змісту роботи (до 500–600 знаків). Дозволяє робити висновки про доцільність застосування результатів роботи. При анотуванні, крім змісту роботи, враховується її призначення, цінність, направленість.

Далі розміщується аркуш зі змістом.

Текст вступу, який розміщується після змісту, повинен бути коротким і висвітлювати питання актуальності, значення, сучасний рівень і призначення курсової роботи. У вступі і далі за текстом не дозволяється використовувати скорочені слова, терміни, крім загальноприйнятих. Вступ (1–2 сторінки) повинен висвітлювати стан розвитку ЕОМ та схемотехніки, мету та загальну постановку задачі, актуальність, яка повинна подаватись в останньому абзаці вступу для стислого викладення суті розробки.

В основній частині пояснювальної записки до курсової роботи викладаються проектні розрахунки об'єкта проектування (дослідження).

Для курсових робіт, які пов'язані з математичним моделюванням та теоретичними дослідженнями, теоретично-розрахункова частина може становити 60% обсягу аркушів пояснювальної записки.

Розрахункова частина має бути логічно пов'язана з теоретичними відомостями теми роботи, демонструватись ілюстративним матеріалом (графіками, схемами, діаграмами) або таблицями з обов'язковим посиланням на ці рисунки (таблиці) за текстом пояснювальної записки.

Для курсової роботи аналітично-розрахунковий розділ є основною частиною пояснювальної записки за обсягом та змістом. При виконанні цієї частини курсової роботи слід дотримуватись обґрунтованого і аргу-

ментованого стилю викладення та враховувати можливі варіанти розв'язання поставленої задачі на підставі проведеного аналізу відомих розв'язків. Аргументація за текстом повинна підсилюватись відповідними розрахунками, графіками, діаграмами, таблицями тощо.

При розгляді (аналізі та синтезі) базових вузлів слід звернути увагу на висвітлення основних понять, принципів побудови і функціонування вузлів, основних параметрів, методики синтезу. Процеси аналізу і синтезу повинні пояснюватись в обґрунтовальному стилі з посиланнями на відповідні рисунки, таблиці, діаграми, літературні джерела.

У розділах, пов'язаних з дослідженням базових вузлів, слід охарактеризувати процес дослідження, використовувати програмні засоби, проаналізувати результати. Тут наводяться схеми вузлів та часові діаграми їхньої роботи з відповідними посиланнями за текстом. Як мінімум робота кожного вузла характеризується чотирма часовими діаграмами: одна діаграма на низькій частоті для перевірки на функціонування, дві діаграми на межі роботоздатності для визначення мінімального періоду і одна діаграма для визначення часу реєстрації.

Висновки оформляють з нової пронумерованої сторінки. Вони є заключною частиною, підсумком виконаної роботи. Тут слід відобразити послідовність виконання роботи, навести основні параметри спроектованих вузлів (або тих, що досліджувались), рекомендації щодо їх застосування. Також слід відобразити те, які навички здобуті під час виконання курсової роботи.

Перелік посилань містить перелік літературних джерел, на які повинні бути обов'язкові посилання в тексті пояснювальної записки. До переліку рекомендується внести 5–9 літературних джерел. Це основні підручники, навчальні посібники, методичні матеріали, довідники, періодичні видання. Література (книги, статті, патенти, журнали) в загальний список записується в порядку посилання на неї в тексті. Посилання на літературні джерела наводять в квадратних дужках [...], вказуючи порядковий номер за списком.

Літературні джерела записують мовою оригіналу відповідно до ДСТУ 7.1:2006 (додаток Д). В списку кожне джерело записують з абзацу, нумерують арабськими цифрами, починаючи з одиниці.

13.5 Приклад синтезу двійково-десятькового лічильника

Закон функціонування лічильника задається в таблиці, в якій визначається кожний з десяти станів лічильника відповідно до ваги розрядів.

У таблиці відмічаються значення сигналів на D- та JK-входах тригерів, які необхідно сформулювати, щоб забезпечити роботу лічильника згідно з законом функціонування.

Для визначення функцій збудження кожного тригера використовують таблицю переходів тригерів (табл. 13.1).

Таблиця 13.1 – Таблиця переходів D- та JK-тригерів

Перехід	Функції збудження		
	J	K	D
0→0	0	*	0
0→1	1	*	1
1→0	*	1	0
1→1	*	0	1

Кожний рядок таблиці переходів відповідає одному з можливих переходів тригера. Значення функцій збудження визначаються на основі логіки функціонування даного типу тригера. Символами "*" позначені випадки, коли функція збудження може набувати будь-якого значення. Надалі це враховується при мінімізації функцій збудження тригерів.

Приклад фрагмента таблиці функціонування лічильника для одного з варіантів кодування станів показаний в табл. 13.2.

Таблиця 13.2 – Фрагмент таблиці функціонування лічильника

Десяткова цифра	Вага розрядів				Функції збудження					
	5 T ₄	3 T ₃	2 T ₂	1 T ₁	D ₄	D ₃	J ₂	K ₂	J ₁	K ₁
0	0	0	0	0	0	0	0	*	1	*
1	0	0	0	1	0	0	1	*	*	1
2	0	0	1	0	0	0	*	0	1	*
...										
9	1	1	0	1	0	0	0	*	*	1

За таблицею 13.2 записуються функції D- та JK-входів тригерів залежно від змінних T₁+T₄ та проводиться їхня мінімізація за допомогою діаграм Вейча (рис. 13.1).

Стани, відмічені символом "X", є надлишковими. Вони можуть використовуватись для спрощення (мінімізації) функцій, оскільки вважається, що відповідні їм коди ніколи не будуть з'являтися при поданні двійково-десяткових чисел (у вибраному варіанті кодування станів).

На наборах, відмічених символами "*" та "X", функції збудження визначаються таким чином, щоб вони були подані в мінімальній формі. Це дозволить скоротити апаратні витрати на реалізацію лічильника.

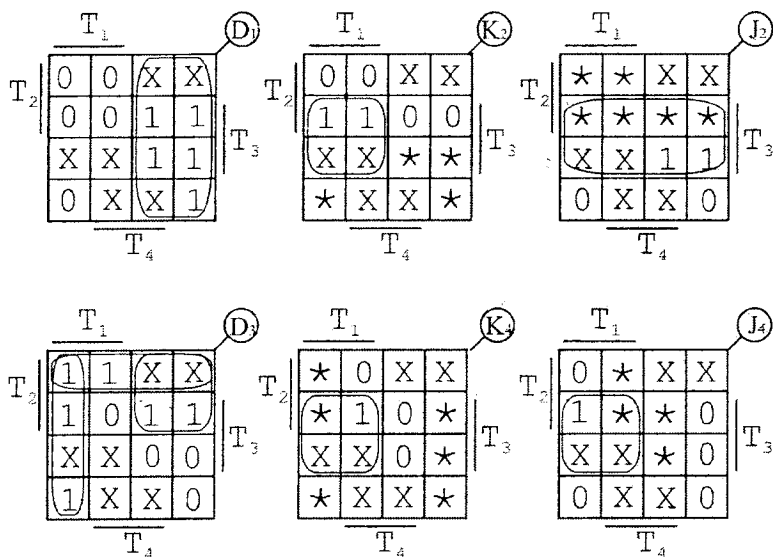


Рисунок 13.1 – Діаграми Вейча для функцій збудження тригерів

Відповідно до діаграм Вейча записуються значення функцій збудження тригерів, один з прикладів яких має вигляд:

$$D_4 = \overline{T_1}T_3 + \overline{T_3}T_4; \quad D_3 = T_1T_2 + T_1T_3\overline{T_4};$$

$$J_2 = T_1\overline{T_3} + T_1\overline{T_2}\overline{T_4}; \quad K_2 = T_1 + T_3; \quad D_1 = \overline{T_1}.$$

Мінімізовані логічні функції приводяться до заданого елементного базису (наприклад, "І-НЕ"):

$$D_4 = \overline{\overline{T_1}T_3 * \overline{\overline{T_3}T_4}}; \quad D_3 = \overline{\overline{T_1}\overline{T_2} * \overline{\overline{T_1}T_3\overline{T_4}}};$$

$$J_2 = \overline{\overline{T_1}\overline{T_3} * \overline{\overline{T_1}\overline{T_2}\overline{T_4}}}; \quad K_2 = \overline{\overline{T_1} * \overline{T_3}}; \quad D_1 = \overline{T_1}.$$

Згідно з отриманими виразами і вибраними тригерами заданого типу буде створена функціональна схема лічильника в середовищі OrCAD, приклад якої показаний на рис. 13.2.

При цьому слід звернути увагу на те, що вибрані D- та JK-тригери можуть спрацьовувати за різними фронтами тактового сигналу. У цьому випадку слід момент спрацьовування привести до одного фронту тактового сигналу.

Моделювання лічильника здійснюється засобами середовища OrCAD (див. розділ 14). Вхідні сигнали слід задавати таким чином, щоб спочатку лічильник був установлений у нульовий стан, який є початковим.

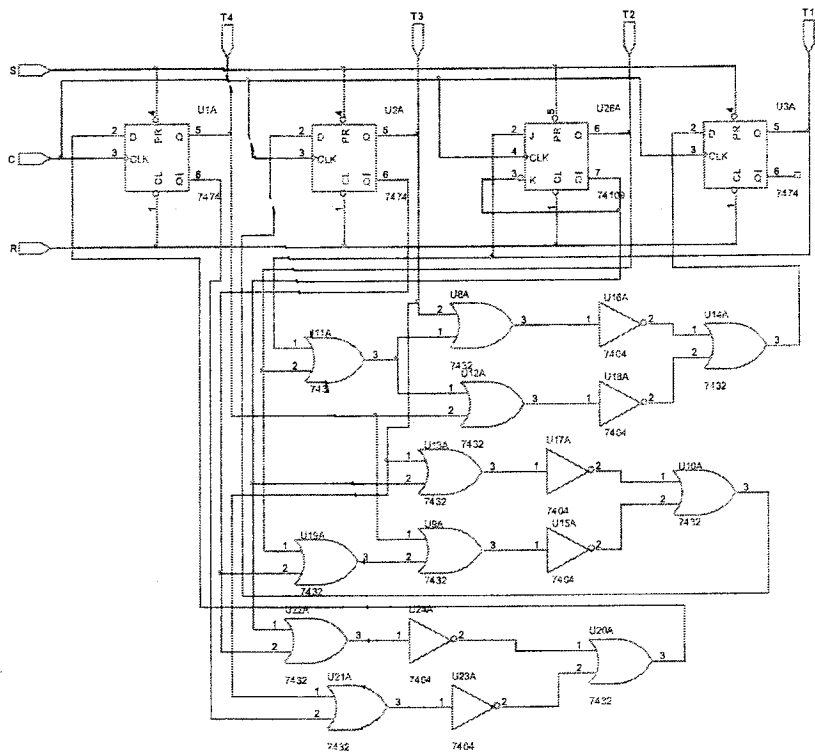


Рисунок 13.2 – Приклад функціональної схеми двійково-десятькового лічильника

Активне значення тактового сигналу не повинно конфліктувати з сигналом установлення початкового стану. Тактовий сигнал задається як періодичний на проміжку, який дозволяє розглянути весь цикл роботи лічильника (10 станів). Спочатку тривалість періоду вибирається значно більшою за мінімальний період T_{min} , щоб перевірити правильність функціонування лічильника (наприклад, 400 нс).

Потім, при наступних дослідженнях, тривалість періоду зменшують до тих пір, поки послідовність станів лічильника не буде порушена. Таким чином визначають мінімальний період роботи лічильника. При дослідженні лічильника отримують часові діаграми, приклади яких показані на рис. 13.3–13.6.

Максимальну тактову частоту розраховують за формулою:

$$f_{max} = 1/T_{min}.$$

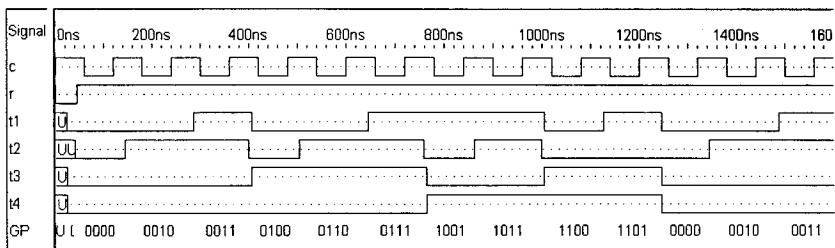


Рисунок 13.3 – Приклад часової діаграми роботи лічильника

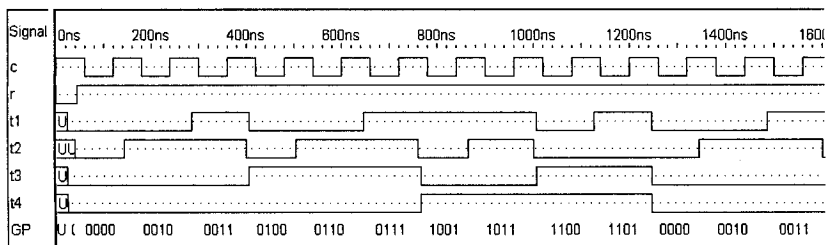


Рисунок 13.4 – Приклад часової діаграми роботи лічильника при мінімальному періоді

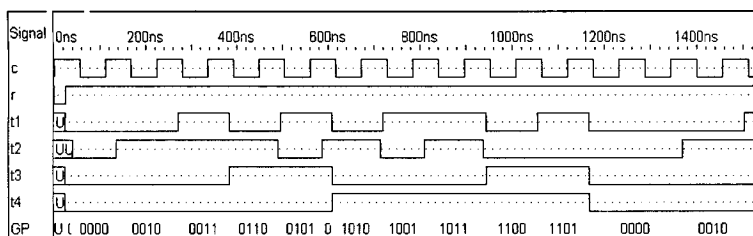


Рисунок 13.5 – Приклад часової діаграми роботи лічильника при періоді, меншому за мінімальний

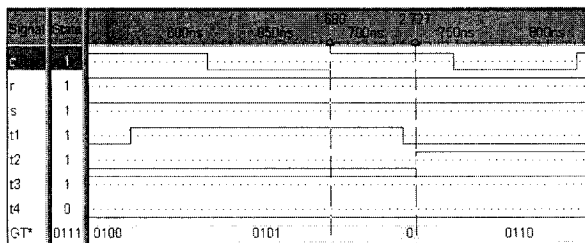


Рисунок 13.6 – Приклад фрагмента часової діаграми для визначення часу реєстрації лічильника

13.6 Приклад синтезу циклічного зсувного регістра

Послідовність станів у процесі роботи циклічного зсувного регістра періодично повторюється.

Варіанти завдань для синтезу і дослідження циклічного зсувного регістра різняться типом тригерів, на основі яких будується регістр, заданою послідовністю станів та елементним базисом комбінаційної частини.

Відповідно до заданої послідовності станів і типу тригерів будується таблиця функціонування регістра. Таблиця 14.3 є прикладом такої таблиці у випадку, коли регістр побудований на основі D-тригерів. Задані в десятковому форматі стани регістра кодуються двійковими кодами відповідно до ваги розрядів 8-4-2-1. Функція послідовного входу регістра визначається таким чином, щоб при зсуві вправо забезпечувався заданий цикл.

При визначенні функції послідовного входу регістра доцільно скористатись таблицею переходів D- та JK-тригерів (табл. 13.1).

Згідно з таблицею функціонування циклічного зсувного регістра знаходиться мінімальна форма функції послідовного входу.

Мінімізацію доцільно провести двома способами: шляхом спрощення досконалої диз'юнктивної нормальної форми, записаної за таблицею, та за допомогою діаграм Вейча (рис. 13.7).

Стани, відсутні в циклі регістра, використовуються для мінімізації функції послідовного входу. Для JK-тригера окремо розглядаються функції J- та K-входів.

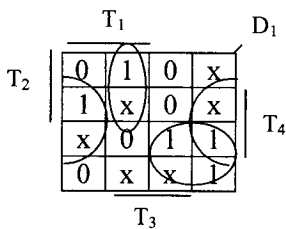


Рисунок 13.7 – Діаграма Вейча

Мінімізовані функції зводяться до заданого базису. Наприклад, при заданому базисі АБО, НЕ, функція D_1 може мати вигляд:

$$D_1 = T_2 \bar{T}_1 + \bar{T}_4 \bar{T}_1 + T_3 \bar{T}_2;$$

$$D_1 = \overline{\bar{T}_2 + T_1} + \overline{\bar{T}_4 + T_1} + \overline{\bar{T}_3 + T_2}.$$

Будується функціональна схема регістра, приклад якої показаний на рис. 13.8 (для випадку використання D-тригерів).

Таблиця 13.3 – Таблиця функціонування циклічного зсувного регістра

Десяткова цифра	Вага розрядів				Функція D-входу
	8 T ₁	4 T ₂	2 T ₃	1 T ₄	
7	0	1	1	1	0
3	0	0	1	1	1
9	1	0	0	1	0
4	0	1	0	0	0
2	0	0	1	0	0
1	0	0	0	1	1
8	1	0	0	0	1
12	1	1	0	0	1
14	1	1	1	0	1
15	1	1	1	1	0
7	0	1	1	1	

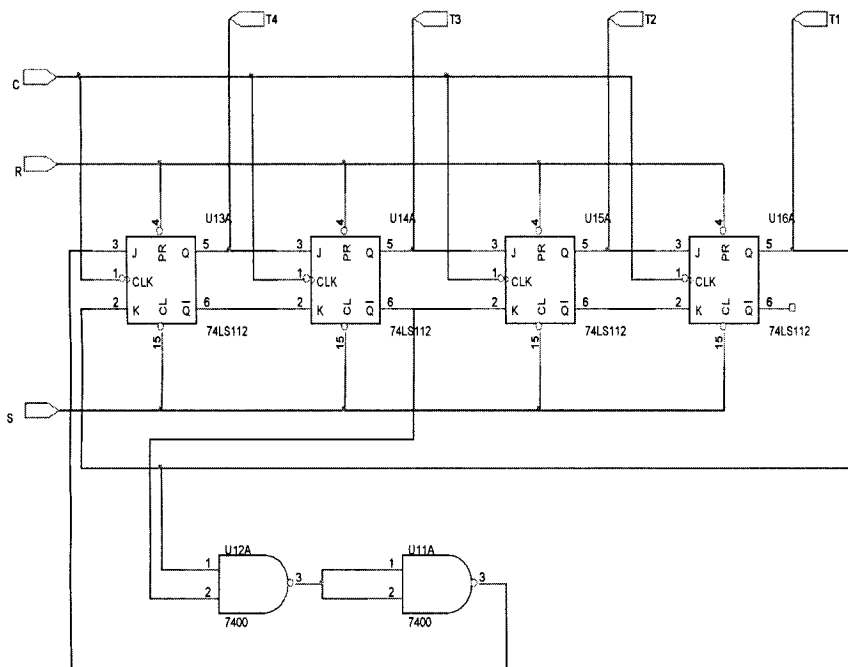


Рисунок 13.8 – Функціональна схема циклічного зсувного регістра

У схемі потрібно передбачити установлення початкового стану регістра (перший стан заданого циклу). Для цього використовуються установочні асинхронні RS-входи тригерів.

Моделювання зсувного регістра здійснюється засобами середовища OrCAD (див. розділ 14). Вхідні сигнали слід задавати таким чином, щоб спочатку регістр був установлений у початковий стан, який є першим станом заданого циклу. Активне значення тактового сигналу не повинно конфліктувати з сигналом установлення початкового стану. Тактовий сигнал задається як періодичний на проміжку, який дозволяє розглянути весь цикл роботи регістра.

Спочатку тривалість періоду вибирається значно більшою за мінімальний період, щоб перевірити правильність функціонування регістра (наприклад, 400 нс). Потім, при наступних дослідженнях, тривалість періоду зменшують до тих пір, поки послідовність станів регістра не буде порушена. Таким чином визначають мінімальний період роботи регістра.

При дослідженні регістра отримують часові діаграми, приклади яких показані на рис. 13.9–13.12.

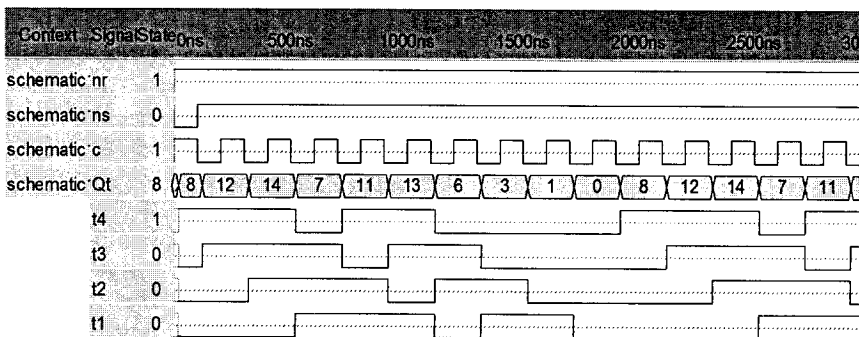


Рисунок 13.9 – Часова діаграма роботи регістра

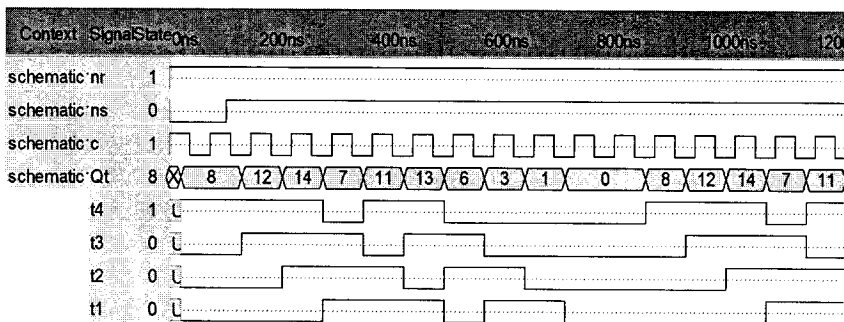


Рисунок 13.10 – Часова діаграма роботи регістра з періодом 72 нс

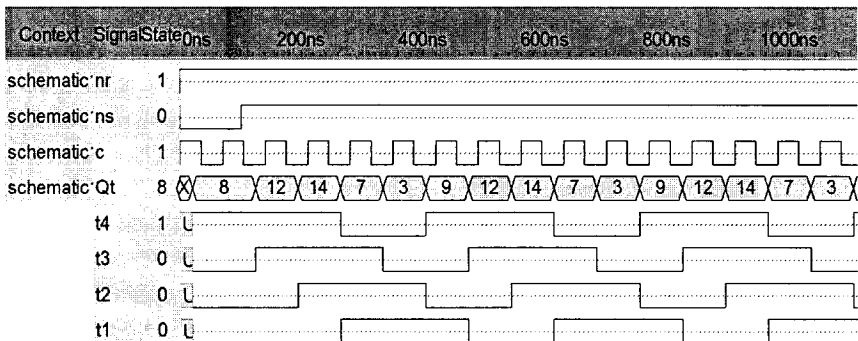


Рисунок 13.11 – Часова діаграма роботи регістра з періодом 70 нс

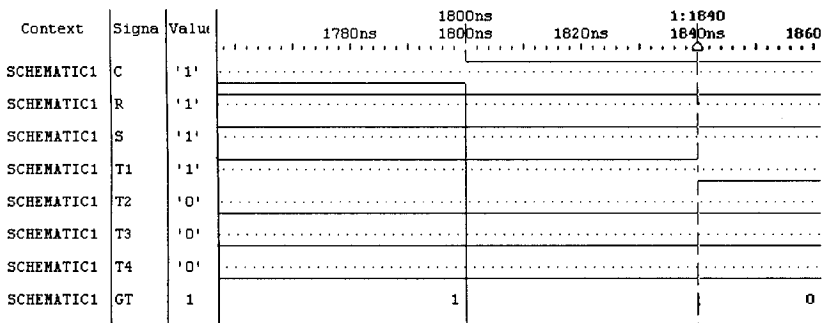


Рисунок 13.12 – Фрагмент часової діаграми для визначення часу реєстрації регістра

13.7 Реалізація логічної функції на основі мультиплексора

Мультиплексор – це базовий вузол, який забезпечує керовану передачу інформації від одного з багатьох інформаційних входів на один вихід. Традиційне застосування мультиплексорів полягає в керованій передачі даних від кількох вхідних каналів в один вихідний канал. Кожен з вхідних каналів по чергово під'єднується до вихідного під керуванням адресних сигналів. Крім того, мультиплексори можуть застосовуватись у режимі універсальних логічних модулів. Входи мультиплексора розділяються на дві групи: інформаційні і керувальні (адресні та стробові).

Адресні входи мультиплексора визначають номер інформаційного входу, з якого інформація передається на вихід. У серіях мікросхем зустрічаються мультиплексори "4-1", "8-1", "16-1". Мультиплексори на більшу

кількість входів, як правило, необхідно будувати з мультиплексорів меншої розмірності. Мультиплексори, що випускаються у вигляді інтегральних схем, часто виконуються з інверсним виходом і додатковими стробовими входами. Якщо на стробових входах активні значення, то мультиплексор буде передавати інформацію, якщо ні – не буде, і на виході наявним буде пасивне значення.

Мультиплексори серійно випускаються у вигляді інтегральних схем середнього ступеня інтеграції. Найбільш поширеними типами мультиплексорів є: КП5 (8–1), що має інверсний вихід, КП7 (8–1), що має прямий та інверсний виходи та стробовий вхід, КП1 (16–1), що має інверсний вихід та стробовий вхід.

Для прикладу реалізуємо логічну функцію $y = \overline{x_1} + x_1x_2\overline{x_3x_4}$ з використанням мультиплексора на 16 каналів з інверсним виходом та інверсним стробовим входом (КП1 – 74150), умовне позначення якого показано на рис. 13.13.

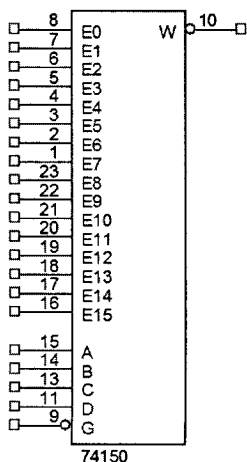


Рисунок 13.13 – Умовне позначення мультиплексора КП1

У мультиплексорі E0, E1, E2, E3, E4, E5, E6, E7, E8, E9, E10, E11, E12, E13, E14, E15 – інформаційні входи, A, B, C, D – адресні входи, G – стробовий вхід, W – інформаційний вихід.

Для реалізації логічної функції $y = \overline{x_1} + x_1x_2\overline{x_3x_4}$ на мультиплексорі необхідно створити таблицю зі всіма комбінаціями сигналів на адресних входах, котрі будуть подаватися на мультиплексор (табл. 13.4).

У зв'язку з тим, що даний мультиплексор має інверсний вихід та для зменшення затримки значення сигналів, котрі повинні подаватися на керу-

вальні входи мультиплектора, інформаційні входи повинні змінити свій логічний зміст. Для того, щоб мультиплексор працював, тобто реалізував функцію, необхідно на інверсний стробовий вхід подати активне значення сигналу (0). Зображення мультиплектора КПІ, який реалізує логічну функцію, показано на рис. 13.14.

Таблиця 13.4 – Значення сигналів на інформаційних входах мультиплектора

EN	X4	X3	X2	X1	Y
E0	0	0	0	0	1
E1	0	0	0	1	0
E2	0	0	1	0	1
E3	0	0	1	1	1
E4	0	1	0	0	1
E5	0	1	0	1	0
E6	0	1	1	0	1
E7	0	1	1	1	0
E8	1	0	0	0	1
E9	1	0	0	1	0
E10	1	0	1	0	1
E11	1	0	1	1	0
E12	1	1	0	0	1
E13	1	1	0	1	0
E14	1	1	1	0	1
E15	1	1	1	1	0

Часова діаграма для робочого режиму мультиплектора показана на рис. 13.15.

Група P, яка містить у собі вхідні сигнали a, b, c, d чітко показує, як змінюється значення функції при зміні вхідних сигналів.

Затримка визначається як час запізнення зміни сигналу на інформаційному виході схеми відносно зміни сигналу на фронтах керувальних входів.

Мінімальний період, при якому схема не дає хибних сигналів, визначається з відповідної часової діаграми при відповідному задаванні вхідних сигналів. При зменшенні періоду вихідний сигнал буде невизначений.

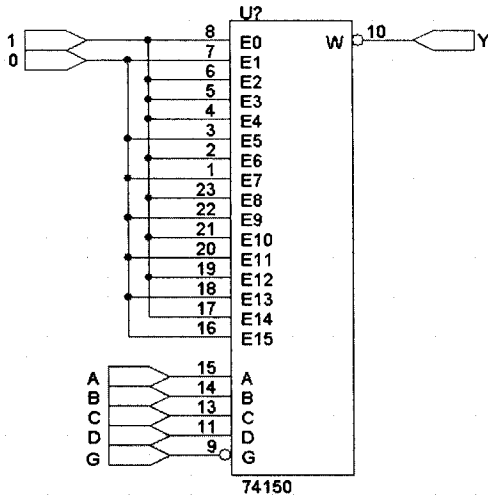


Рисунок 13.14 – Зображення мультиплексора КПІ, який реалізує логічну функцію

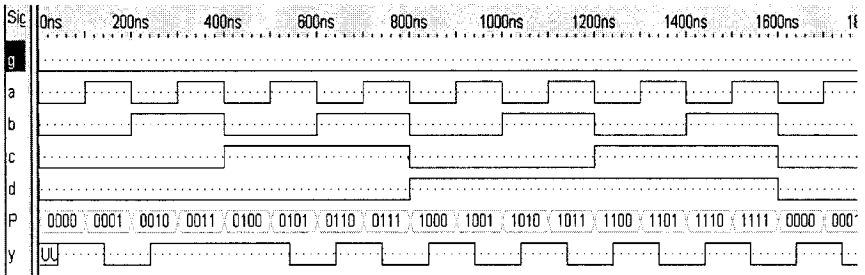


Рисунок 13.15 – Часова діаграма робочого режиму мультиплексора

У пояснювальній записці має міститись зображення мультиплексора у середовищі OrCAD, схема реалізації відповідної логічної функції на основі мультиплексора, таблиця значення сигналів, відповідні часові діаграми та визначені параметри.

14 МОДЕЛЮВАННЯ СХЕМ У СЕРЕДОВИЩІ OrCAD

Середовище OrCAD є потужним засобом проектування електронних схем і має широкі функціональні можливості. При проведенні лабораторного практикуму і курсового проектування OrCAD використовується як засіб для дослідження властивостей елементів та вузлів ЕОМ, тому тут розглядаються стислі рекомендації щодо створення та моделювання цифрових схем, а не ставиться задача досконало опанувати всі функціональні можливості цього середовища.

14.1 Створення схеми

Перед створенням схеми необхідно створити проект.

Для створення проекту виконайте команду *File\New...* або натисніть на кнопку *Create document* (створити документ) на панелі інструментів. Виберіть *Project* в списку *New* (рис. 14.1).

У діалоговому вікні *New Project* заповніть поле *Name* ім'ям проекту. У полі *Location* введіть ім'я теки, в якій буде розташовуватися Ваш проект. При цьому користуються кнопкою *Browse...* для перегляду дерева тек. У списку *Create a New Project Using* виберіть пункт *PC Board Wisard*. Після заповнення всіх полів натисніть кнопку *OK*.

У вікні *PCB Project Wisard* виберіть бібліотеку *TTL.OLB*, натисніть кнопку *Далее* (рис. 14.2) і виберіть бібліотеку *TTL.VHD*. Після цього натисніть кнопку *Готово*.

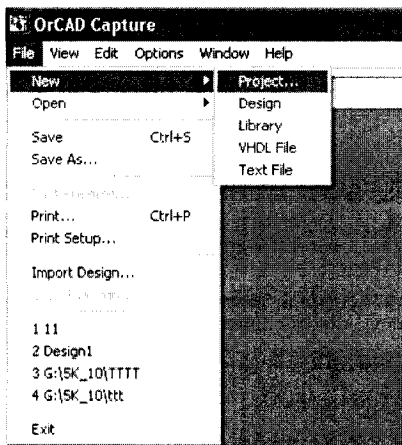


Рисунок 14.1 – Діалогове вікно для створення нового проекту

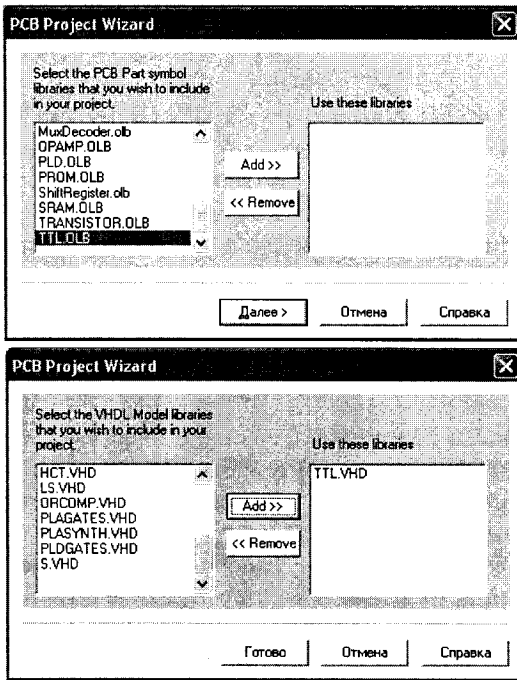


Рисунок 14.2 – Діалогове вікно *PCB Project Wizard*. Бібліотеки символів і моделювання

У головному вікні пакета *OrCAD Capture* з'являться два вікна: вікно менеджера проекту і вікно схеми (*Schematic Page*). У вікні схеми вводиться принципова схема цифрового пристрою. Коли активне вікно схеми, то праворуч, зазвичай, з'являється панель інструментів для створення схеми (рис. 14.3).



Рисунок 14.3 – Панель інструментів для створення схеми

Введення схеми можна розділити на 3 етапи:

- вибір елемента з бібліотеки;
- розміщення вибраного елемента;
- встановлення електричних зв'язків між розміщеними елементами за допомогою провідників або за іменами.

Пункти а), б), с) повторюються необхідну кількість разів, поки не буде отримана необхідна схема. Розглянемо кожний з етапів детальніше.

14.2 Вибір елемента з бібліотеки

Для отримання доступу до бібліотек графічних зображень елементів необхідно виконати команду *Place\Part...* або натиснути на кнопку *Place part* (друга зверху при вертикальному розташуванні панелі Іструментів). У діалоговому вікні *Place Part* в списку *Libraries* виберіть необхідну бібліотеку. У списку *Part* виберіть потрібний елемент. Для прискорення пошуку елемента в списку можна в рядку введення *Part*, розташованого над списком, ввести шаблон імені елемента. У шаблоні можуть використовуватися символи заміни (* – будь-яка кількість будь-яких символів; ? – один будь-який символ). Після введення шаблону імені натисніть клавішу *<Enter>*. Після вибору елемента натисніть кнопку *OK*. Діалог вибору елемента закриється, а у вікні схеми під курсором миші з'явиться контурне зображення елемента (рис. 14.4).

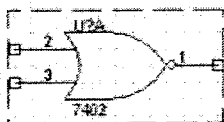


Рисунок 14.4 – Контурне зображення елемента

14.3 Розміщення вибраного елемента

Для розміщення вибраного елемента необхідно натиснути ліву кнопку миші. Останній розміщений елемент буде виділений (рис. 14.5).

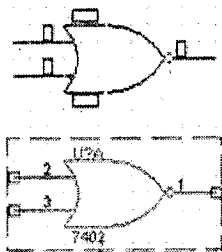


Рисунок 14.5 – Розміщення вибраного елемента

Встановіть у вікні схеми необхідну кількість елементів даного типу. Для розміщення елементів іншого типу необхідно знову виконати команду *Place\Part...*

Для завершення розміщення елементів викличте контекстне меню, натискаючи праву кнопку миші, і виберіть опцію *End Mode*. Також для завершення розміщення елементів можна вибрати інструмент *Select*, натиснувши на кнопку *Select* на панелі інструментів (перша кнопка зверху при вертикальному розташуванні панелі інструментів).

Для під'єднання схеми необхідно встановити вхідні і вихідні елементи (порти). Для встановлення портів виконайте команду *Place\Hierarchical Port...* або натисніть кнопку *Place port* на панелі інструментів (одинадцята зверху при вертикальному розташуванні панелі інструментів). У діалоговому вікні *Place Hierarchical Part* виберіть потрібний порт зі списку *Symbol* і натисніть кнопку *OK*.

Для вхідів схеми краще використати – *PORTRIGHT-R*, а для виходів – *PORTLEFT-L*.

Для налаштування порту встановіть курсор на символ порту і натисніть ліву кнопку миші. Символ порту виділиться, після цього натисніть праву кнопку миші і з контекстного меню виберіть пункт *Edit Properties...*

У діалоговому вікні *Edit Hierarchical Port* заповніть поле *Name*. У списку *Type* виберіть *Input* для вхідів і *Output* для виходів.

Після цього натисніть кнопку *OK*.

Розташувавши всі елементи у вікні схеми, виконайте побудову зображення електричних зв'язків елементів.

14.4 Побудова електричних зв'язків

Для побудови електричних зв'язків у схемі використовується інструмент *Wire* (провід). Виконайте команду *Place\Wire...* або натисніть кнопку *Place wire* на панелі інструментів (третья зверху при вертикальному розташуванні панелі інструментів). Курсор миші змінить свою форму на хрестоподібну.

На кінцях виводів елементів зображені маленькі квадратики, які зникають при приєднанні до виводу провідника.

Для з'єднання двох елементів провідником натисніть ліву кнопку миші при розміщенні курсора на виводі першого елемента. Тепер, при пересуванні миші, за курсором тягнеться тонка лінія. Рухайте курсор миші до виводу другого елемента і, підвівши до маленького квадратики на кінці виводу, натисніть ліву кнопку миші. Квадратики на кінцях виводів зникнуть, а виводи будуть з'єднані провідником. Провідник тягнеться за курсором у вигляді букви "Г", тобто при необхідності можна змінити напрям провідника. У разі складного розташування багатьох елементів можна встановлювати проміжні лінії провідника, натиснувши ліву кнопку миші. Для завершення роботи з інструментом *Wire* викличте контекстне меню,

натиснувши праву кнопку миші, і виберіть опцію *End wire*. У випадку, якщо провідник не був приєднаний до елемента і необхідно закінчити лінію, виберіть в контекстному меню опцію *End wire*.

При простому перетині двох ліній, що зображають провідники, контакт між ними відсутній.

Для з'єднання двох пересічних ліній необхідно скористатися інструментом *Junction* (з'єднання, вузол). Виконайте команду *Place\Junction...* або натисніть кнопку *Place junction* (шоста зверху при вертикальному розташуванні панелі інструментів) на панелі інструментів. Під курсором миші з'явиться чорна точка. Встановіть точку на місце перетину двох провідників і натисніть ліву кнопку миші. Після цього на перетині ліній, що зображають провідники, повинна з'явитися точка.

За допомогою інструмента *Junction* можна прибирати небажані перетини провідників. Для цього встановіть курсор з точкою на перетин двох провідників і натисніть ліву кнопку миші. Після цього точка, яка вказує з'єднання провідників, повинна зникнути. Після завершення процесу створення схеми збережіть її на диску.

14.5 Моделювання цифрових схем

До початку моделювання необхідно виконати оновлення посилань на елементи. У вікні менеджера проекту виділіть теку *design1.dsn* (якщо Ви зберігали файл розробки під іншим ім'ям, то виберіть відповідну теку).

Після цього виконайте команду *Tools\Update Part Reference...*

У діалоговому вікні *Update Part Reference* перемикач *Scope* (діапазон) встановіть в положення *Update entire design* (оновити весь проект), перемикач *Action* (дія) – в положення *Incremental reference update* (інкрементне коригування посилань). Після цього натисніть кнопку *OK*.

До початку моделювання виконайте команду *Tools\Simulate*. Звичайно при цьому пакет пропонує зберегти файли проекту і дизайну.

В діалоговому вікні *Select Simulation Configuration* виберіть в списку опцію *In Design* і натисніть клавішу *OK* (рис. 14.6).

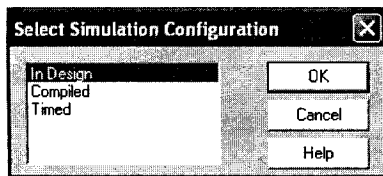


Рисунок 14.6 – Діалогове вікно *Select Simulation Configuration*

Після цього запуститься *OrCAD Express Simulate for Windows* і задасть запитання: *Ви хочете завантажити дизайн для даного проекту зараз?* Натисніть кнопку *OK*.

У разі наявності в проекті помилок буде видане повідомлення з пропозицією переглянути журнал реєстрації, в який записуються повідомлення про помилки. При успішному завантаженні проекту виконайте команду *Stimulus\New Interactive...*

У діалоговому вікні *Interactive Stimulus* виберіть потрібну закладку: *Absolute*, *Relative* або *Clock*. Для вибору входу, на який буде подаватися сигнал, натисніть кнопку *Browse...* і в діалоговому вікні *Browse Signals* в списку *Signal in Context* виберіть потрібний сигнал і натисніть кнопку *OK* (рис. 14.7).

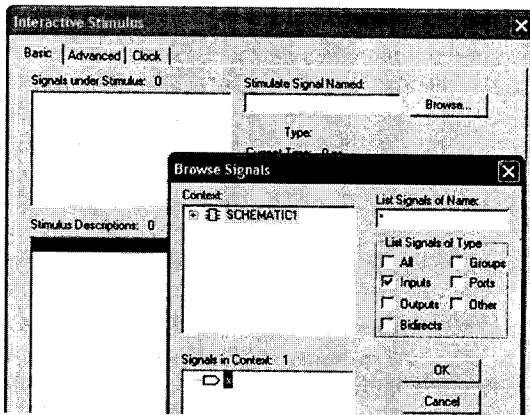


Рисунок 14.7 – Діалогове вікно *Interactive Stimulus*

У діалоговому вікні *Interactive Stimulus* виконайте налагодження сигналу.

У полі введення *Start at* введіть момент часу, в який буде поданий даний сигнал.

У полі введення *Set to* встановлюється значення сигналу (можливі 9 значень):

- U невизначений;
- X невідомий;
- 0 логічний нуль;
- 1 логічна одиниця;
- Z високоімпедансний стан;
- W слабке невідоме;
- L слабкий нуль;
- H слабка одиниця;
- значення не важливе.

Значення за замовчуванням U – невизначене.

В полі *for* введіть тривалість сигналу.

Після заповнення параметрів сигналу натисніть на кнопку *Add* для доповнення параметрів сигналу до списку вхідних сигналів.

Після налагодження всіх сигналів натисніть кнопку *OK*.

На запитання *Load this interactive stimulus file now?* (Завантажити цей файл сигналів зараз?) дайте відповідь *Так* (рис. 14.8).

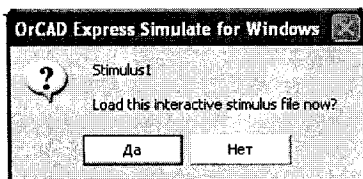


Рисунок 14.8 – Завантаження файла сигналів

Збережіть файл сигналів і на питання *Add this interactive stimulus file to the project?* (Додати цей файл сигналів до проекту?) дайте відповідь *Так*.

На рис. 14.9 показаний вигляд вікна вхідних сигналів (стимулів). Вікно стимулів розділене на три частини: *Basic* (базовий спосіб), *Advanced* (поліпшений спосіб), *Clock* (для періодичних сигналів).

Базовим способом задаються сигнали, що набувають певного значення в певний момент часу (неперіодичні). Як відносні задаються вхідні сигнали на шинах, коли вони повинні змінюватися з часом на певне значення. Як періодичні задаються тактові сигнали або набір сигналів для перебору всіх комбінацій двійкового коду.

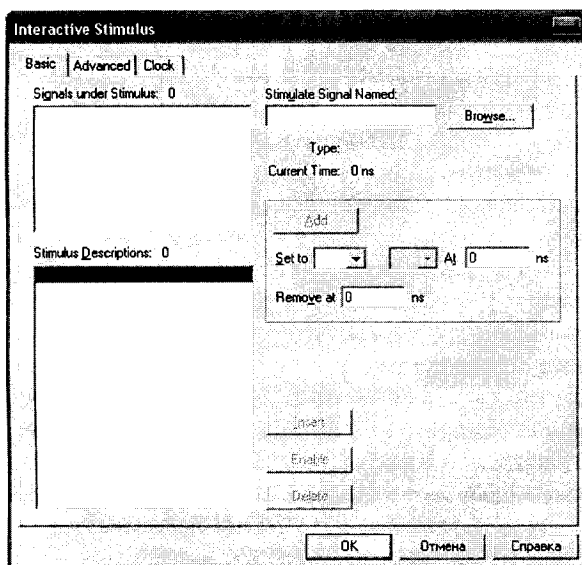


Рисунок 14.9 – Вікно задавання вхідних сигналів

Виконайте команду *Trace\New Wave Window...* (рис. 14.10).

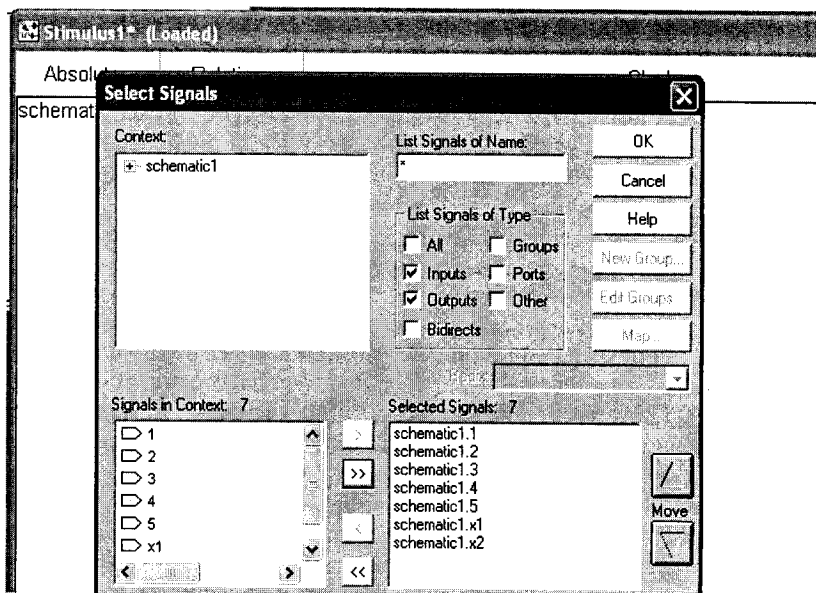


Рисунок 14.10 – Вибір сигналів для часової діаграми

У діалоговому вікні *Select Signals* виберіть вмикачі *Inputs* і *Outputs*, всі інші вимкніть. Потім перенесіть в список *Selected Signals* вхідні і вихідні сигнали і натисніть кнопку *OK*. Для перенесення сигналу із списку *Signal in Context* в список *Selected Signals* виділіть ім'я сигналу в першому списку й натисніть кнопку \geq (перенесення виділеного сигналу) або \gg (перенесення всіх сигналів в даному контексті, тобто видимих в списку *Signals in Context*).

Після цього повинно з'явитися вікно часових діаграм, вигляд якого показаний на рис. 14.11. Вікно часових діаграм розділене на чотири частини: *Context* (контекст), *Signal* (сигнал – ім'я виводу або псевдонім провідника), *State* (стан) і зона діаграм.

У зоні контексту відображається ім'я ієрархічного блока, в якому знаходиться вивід або провідник.

У зоні сигналів відображається ім'я сигналу.

У зоні стану відображається стан (U, X, 0, 1, Z, W, L, H, -) сигналу в момент часу, який задається курсором, що пересувається у межах зони часових діаграм. Курсор зображений вертикальною лінією, що проходить через все вікно, при цьому над верхнім кінцем виводиться значення моменту часу.

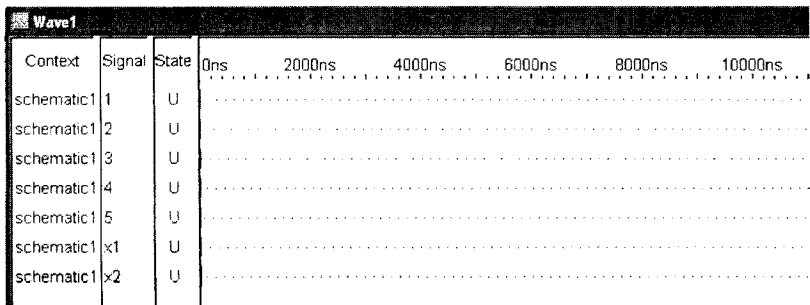


Рисунок 14.11 – Вікно часової діаграми

Для початку процесу моделювання схеми проекту виконайте команду *Simulate\Run...* або натисніть кнопку Run на панелі піктограм. Якщо Ви виконаєте команду *Run* з меню, то в діалоговому вікні *Start Simulator* в полі введення *Run Time* можна встановити період часу, за який буде моделюватися схема. При значенні 10000 в поле *Run Time* моделювання буде проводитися від $t_0 = 0$ до $t = 10000$.

Після цього натисніть кнопку *OK*.

Якщо Ви виконаєте команду *Run*, натискаючи на кнопку *Run*, то діалогове вікно *Start Simulator* не відображається.

Після проведення моделювання вікно часових діаграм буде мати вигляд, показаний на рис. 14.12.

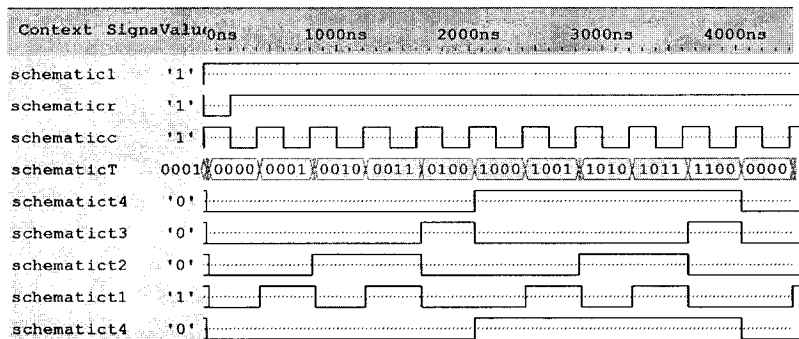


Рисунок 14.12 – Вікно часової діаграми після процесу моделювання

Масштаб зображення змінюється за допомогою команд *View\Zoom In* і *View\Zoom Out*.

Іноді, після редагування стимулів, необхідно здійснити скидання поточного часу і почати моделювання спочатку. Для цього виконайте команду *Simulate\Restart*. Після цього можна знов виконувати команду *Run*.

14.6 Додання файлів

Виберіть теку, до якої ви хочете додати файл. В меню *Edit* виберіть пункт *Project* (рис. 14.13).

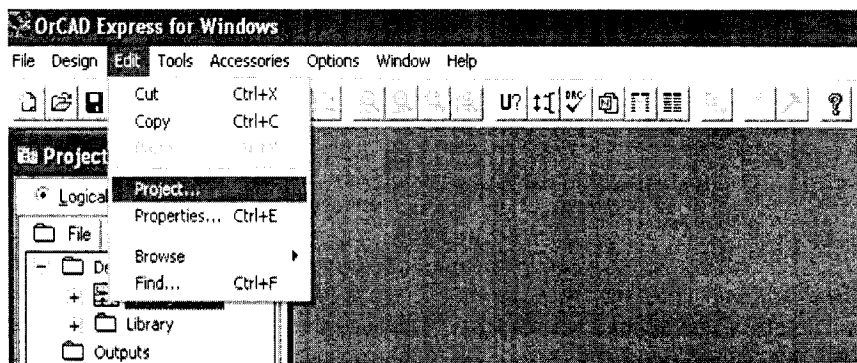


Рисунок 14.13 – Вибір теки

З'явиться діалогове вікно *ADD File to Project Folder* (рис. 14.14).

Виберіть потрібний файл. Однак Ви повинні враховувати, що проект може містити тільки один файл *.dsn*.

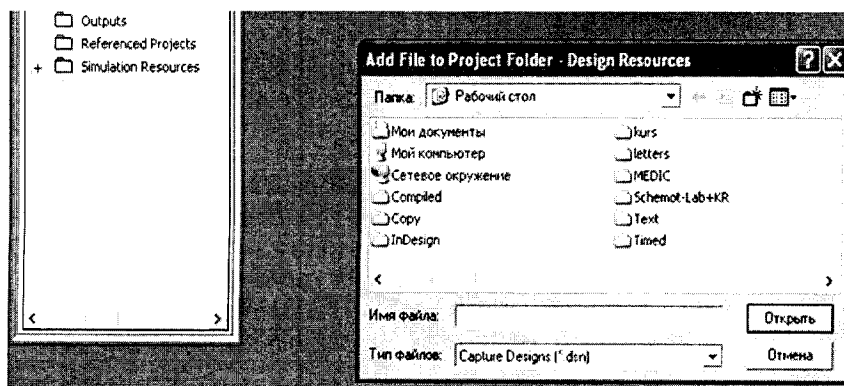


Рисунок 14.14 – Діалогове вікно *ADD File to Project Folder*

14.7 Використання шин

Виберіть в меню *Place* пункт *Bus*, позначте початок шини. Коли Ви під'єднуєте шину до контакту, програмне забезпечення надає візуальну ознаку під'єднання: на кінці контакту зникає значок безпосереднього

контакту. Якщо два проводи перетинаються під кутом 90 градусів, вони не з'єднуються електрично до тих пір, поки Ви не позначите точку з'єднання, два рази клацнувши на точці стику з уже нарисованою шиною, при русуванні іншої шини.

Якщо Ви розмістили елементи таким чином, що два контакти стикаються кінцями, вони з'єднуються.

Щоб нарисувати шину з меню *Place* виберіть пункт *Bus*. Клацніть на місці початку шини і нарисуйте шину, рухаючи курсор у потрібному напрямку. Клацніть лівою кнопкою два рази на кінці шини, але при цьому Ви залишитесь в режимі рисування шин, щоб вийти з нього, натисніть *ESC*.

Назви шинам на схемі задаються за такими правилами. Назва має вигляд $X[m..n]$, де X – назва шини, m та n – початковий та кінцевий номери сигналу, який несе шина.

Для редагування шин виберіть шину і з меню *Edit* виберіть пункт *Properties*. На екрані з'явиться діалогове вікно, в якому Ви можете задати назву електричного кола в таблиці з'єднань.

Коли Ви клацнете по шині, вона підсвітиться. Щоб проглянути все електричне коло, до якого входить шина, клацніть по ньому і виберіть з правого меню *Entire Net*.

Ви також можете відредагувати текст, пов'язаний з шиною, виділивши його та викликавши діалогове вікно *Display Properties*.

Щоб перемістити шину, виберіть її і перемістіть на нове місце. При цьому, щоб зберегти зв'язки, сусідні сегменти шини пошкодяться. Для розірвання зв'язків переміщуйте шини при натисненій клавіші *Alt*.

Входи шин використовуються для об'єднання електричних кіл в шини. Для розміщення входів шин з меню *Place* виберіть пункт *Bus Entry*. З меню *Edit* виберіть пункт *Rotate*, щоб повернути вхід шини потрібним Вам чином. Розмістіть вхід шини, клацнувши по ній на місці розміщення. Розмістіть всі шини та клавішею *Esc* вийдіть з режиму.

Для того, щоб під'єднати вхід шини до провідника, під'єднайте провідник до першого входу. Задайте назву першого сигналу, використовуючи нижню межу діапазону назви шини. Виберіть провідник при натисненій клавіші *Ctrl*. Перемістіть його так, щоб він під'єднався до другого входу, при цьому назва провідника повинна збільшитись на одиницю. З меню *Edit* виберіть пункт „*Repeat*”. Провідник та назва скопіюються із заданими параметрами.

14.8 Документування схем і діаграм

Документування схем та діаграм можна здійснити за допомогою клавіші *PrtSc* (яка знаходиться на клавіатурі), попередньо відкривши потрібне вікно в програмі *OrCAD* зі схемою чи діаграмою.

Потім потрібно відкрити середовище для редагування рисунків (нап-

приклад *Paint*). В цьому середовищі можна здійснити редагування схеми чи діаграми: зменшити, вирізати, додати, виділити і таке інше.

Коли схема чи діаграма набули потрібного нам вигляду, ми можемо вставити її до будь-якого текстового редактора за допомогою правої кнопки та пунктів меню *Вирізати* → *Вставити*.

Скопійовані в OrCAD рисунки можна також просто вставити в текстовий редактор Word.

14.9 Перезавантаження проекту

Для того, щоб перезавантажити проект, достатньо у головному вікні в програмі OrCAD вибрати в меню *Simulate* → *Reload Project*. Після цього буде виконано перезавантаження поточного проекту. Якщо після цього запустити процес моделювання, він розпочнеться з нульового моменту часу.

14.10 Групування сигналів

При моделюванні схеми в режимі *Clock* маємо можливість створити групу з даних сигналів. Для цього у вікні *Browse Signals* попередньо виділивши сигнали для групування, групуємо їх за допомогою рядка в меню *New group...* (рис. 14.15).

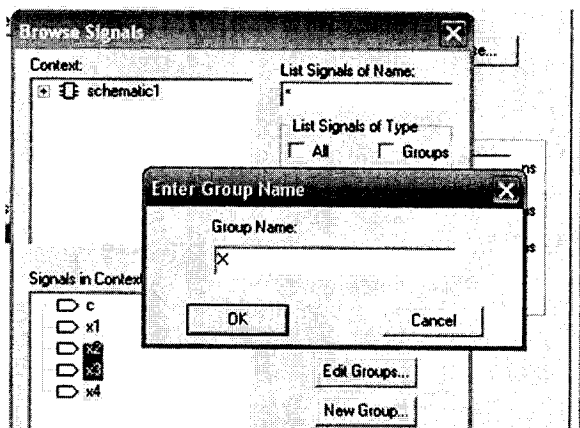


Рисунок 14.15 – Створення групи сигналів

Пакет OrCAD надає користувачу (проектанту електронних схем) потужний інструментарій, який суттєво підвищує ефективність роботи під час проектування, скорочує її тривалість і забезпечує високу якість.

СЛОВНИК ТЕРМІНІВ

Аналіз схеми – процедура, за якою при заданій схемі визначають закон її функціонування.

Асинхронний тригер – цифровий елемент, що знаходиться в одному з двох стійких станів та має тільки керувальні входи і не має синхровходу (тактового входу).

Бульова алгебра (алгебра логіки) – математичний апарат для розв'язання логічних задач.

Бульова змінна – змінна, що приймає одне з двох значень (1 або 0).

Вентиль – елемент, що реалізує логічну функцію типу "І-НЕ".

ВІС – велика інтегральна схема.

Вузол ЕОМ – певна сукупність елементів зі зв'язками між ними, що виконує одну з найпростіших дій над операндами (мікрооперацію).

Двійково-десятковий лічильник – лічильник, який працює у двійково-десятковому коді.

Двоступеневий синхронний тригер – тригер, який містить у собі два одноступеневих синхронних тригери, з'єднаних послідовно (за схемою MS або "раб-хазяїн").

Декада – десятковий розряд двійково-десяткового коду.

Дешифратор – базовий вузол, який реалізує мікрооперацію перетворення позиційного коду в унітарний код.

Дешифратор неповний – дешифратор, кількість виходів якого менша за максимально можливу.

Дешифратор повний – дешифратор з максимально можливою кількістю виходів.

Диз'юнкція – бульова функція "АБО", нульове значення якої набувається тільки при нульових значеннях операндів.

Діаграма Вейча – розділена на клітинки прямокутна зона, розмічена так, що кожна клітинка відповідає певній комбінації логічних змінних.

Діод напівпровідниковий – напівпровідниковий прилад з одним *pn*-переходом та двома виводами.

Елемент ЕОМ – найменша неподільна мікроелектронна схема, призначена для відтворення певної функціональної залежності між вихідними і вхідними сигналами.

ЕОМ – електронна обчислювальна машина – комплекс електронного устаткування, призначеного для автоматичної обробки інформації.

Заперечення (інверсія) – логічна функція "НЕ", яка приймає протилежне значення до значення операнда.

Зсув – одночасне переміщення значень розрядів двійкового слова.

Зсувний регістр – реалізує мікрооперацію зсуву, яка полягає в зміщенні вмісту регістра вправо або вліво на один або декілька розрядів.

Імпульс – короткочасна зміна напруги (струму) в електричному колі

від нуля до деякого значення, тривалість якої порівнянна або менша за тривалість перехідних процесів у цьому колі.

Інверсний потенціальний вхід – вхід схеми або елемента, діючим значенням сигналу на якому є сигнал логічного нуля.

Інвертор – логічний елемент, що інвертує (перетворює на протилежне) логічне значення вхідного сигналу.

ІС (інтегральна схема) – мікроелектронний виріб з високою щільністю компонентів.

Ключ – елемент, що має увімкнутий та вимкнутий стани.

КМОН – комплементарні МОН-структури.

Комбінаційна схема – схема, що складається з логічних елементів, вихідні сигнали якої залежать тільки від комбінацій вхідних сигналів. Така схема не має стану і, як правило, не містить зворотних зв'язків.

Компаратор (цифровий) – схема порівняння двійкових кодів.

Компонент – електрорадіоелемент інтегральної мікросхеми.

Кон'юнкція – бульова функція "І", одиничне значення якої набувається тільки при одиничних значеннях операндів.

Курсове проектування – процес виконання проектних робіт певного напрямку, пов'язаний із аналізом, синтезом та дослідженням схем, направлених на закріплення та розширення знань і навичок, набутих при вивченні теоретичного курсу та виконанні лабораторного практикуму.

Лабораторна робота – робота, пов'язана з експериментальним дослідженням властивостей елементів, вузлів та пристроїв ЕОМ. Виконується на спеціальному обладнанні або шляхом моделювання роботи схем з використанням комп'ютера та спеціалізованих програмних засобів. Направлена в першу чергу на здобуття практичних навичок роботи зі схемами.

Лабораторний практикум – цикл лабораторних робіт, об'єднаних спільними засобами у рамках одної дисципліни або споріднених дисциплін, направлений у першу чергу на набуття практичних навичок.

Лічильник – базовий вузол, який виконує мікрооперацію лічби, що полягає у збільшенні або зменшенні стану лічильника на одиницю.

Лічильник Джонсона – зсувний регістр зі зсувом на один розряд, початковий стан якого дорівнює нулю, а на послідовний вхід надходить інверсне значення послідовного виходу.

Логічний елемент – елемент ЕОМ, який реалізує одну з найпростіших логічних функцій.

Мікрооперація – найпростіша дія над операндами.

Мікрокоманда – сукупність мікрооперацій, виконувана в одному такті.

Мікросхема – мікроелектронний виріб, який виконує певну функцію перетворення і обробки сигналів та має високу щільність упакування електрично з'єднаних елементів.

Моделювання – процес дослідження не самого об'єкта, а допоміжно-го, який знаходиться в певній відповідності до об'єкта, що досліджується.

МОН – структура на базі "метал-окисел-напівпровідник".

Мультиплексор – базовий вузол ЕОМ, здатний здійснювати передавання від одного з багатьох інформаційних входів на один вихід.

Мультиплексування шин – почергове перемикання шин від кількох джерел інформації до одного приймача.

Напівпровідники – матеріали, питомий опір яких займає проміжне значення між металами (провідниками) та діелектриками.

Напівсуматор – логічна схема, призначена для додавання двох двійкових значень з формуванням сигналів суми і переносу.

НВІС – надвелика інтегральна схема.

Однорозрядний комбінаційний суматор – схема, призначена для додавання трьох двійкових значень з формуванням сигналів суми і переносу.

Одноступеневий синхронний тригер – тригер, який містить один синхронний тригер з потенціальним керуванням.

Операнд – код, над яким виконується операція або мікрооперація.

Операція – дія над одним або декількома операндами, результат якої утворюється, як правило, виконанням декількох мікрооперацій.

OrCAD – інтегроване програмне забезпечення для наскрізного проектування радіоелектронних пристроїв.

Перетворювач коду – базовий вузол, призначений для перетворення двійкового коду з однієї форми в іншу.

Послідовнісна схема – схема, де значення вихідних сигналів залежить не тільки від значень вхідних сигналів, а і від внутрішнього стану схеми.

Послідовний підсумовувальний пристрій – пристрій, призначений для додавання операндів, поданих у послідовних кодах.

Послідовний суматор – однорозрядний комбінаційний суматор зі схемою затримки сигналу перенесення на один такт додавання.

Пристрій ЕОМ – функціонально завершений блок ЕОМ (арифметичний, керування, пам'яті і под.).

Прямий потенціальний вхід – вхід схеми або елемента, діючим значенням сигналу на якому є сигнал логічної одиниці.

Реверсивний лічильник – лічильник, здатний виконувати мікрооперацію лічби як зі збільшенням, так і зі зменшенням стану на одиницю.

Регістр – базовий вузол ЕОМ, що містить впорядковану сукупність тригерів зі спільним керуванням, призначений для виконання регістрових мікрооперацій, до яких відносять установлення нульового стану, запис і видачу коду, зсув.

Розподільвач сигналів – вузол, що формує послідовно на виходах активне значення сигналу, наявне протягом періоду вхідного синхросигналу.

Розряд – окрема позиція в коді.

Розрядність – кількість розрядів у коді.

Серія інтегральних мікросхем – набір мікросхем зі спільними конструктивно-технологічними і схемотехнічними ознаками.

Сигнал – подання інформації на носії.

Сигнал потенціальний – той, який змінюється тільки в тактові моменти часу.

Сигнал імпульсний – той, який наростає в тактовий момент, а спадає в межах даного такту.

Синтез схеми – процедура, за якою при заданому законі функціонування будують схему.

Синхросигнал – сигнал, активне значення якого викликає певну дію (інакше – тактовий, виконавчий, командний).

Система елементів функціонально повна – набір логічних елементів, за допомогою яких може бути реалізована будь-яка логічна функція.

Система елементів технічно повна – набір елементів (не тільки логічних, а і перетворювальних, підсилювальних, запам'ятовувальних і под.), за допомогою яких може бути реалізований технічний пристрій.

Суматор – базовий вузол ЕОМ, призначений для додавання кодів.

Таблиця істинності – таблиця, у якій кожній з комбінацій логічних змінних відповідає значення логічної функції.

Тетрада – група чотирьох розрядів двійкового коду.

Транзистор біполярний – напівпровідниковий прилад з двома взаємодійними *pn*-переходами і трьома (чи більше) виводами, підсилювальні властивості якого обумовлені явищами інжекції і екстракції неосновних носіїв заряду.

Транзистор польовий – напівпровідниковий прилад, підсилювальні властивості якого обумовлені потоком основних носіїв, що протікають через провідний канал, керований поперечним електричним полем.

Тригер – цифровий елемент (елементарний автомат), що знаходиться в одному з двох стійких станів.

Тригер асинхронний – тригер без тактового входу.

Тригер з динамічним керуванням – тригер, який реагує на зміну (фронт) сигналу на синхровході.

Тригер з потенціальним керуванням – тригер, який реагує на значення (рівень) сигналу на вході.

Тригер синхронний – тригер з тактовим входом.

Циклічний зсувний регістр – зсувний регістр, послідовність станів якого у процесі багаторазового зсуву періодично повторюється.

Цифровий автомат – пристрій, призначений для перетворення цифрової інформації.

Цифрові елементи – елементи, що перетворюють цифрову інформацію (логічні, запам'ятовувальні, буферні).

Цифровий пристрій – пристрій, який оперує з інформацією, поданою в цифровій формі.

Часова діаграма – діаграма, що показує значення сигналу у площині часу.

Шина – сукупність ліній групового зв'язку, об'єднаних спільним функціональним призначенням.

Шифратор – базовий вузол, призначений для перетворення вхідного унітарного коду у вихідний двійковий позиційний код.

ПЕРЕЛІК ПОСИЛАНЬ

1. Бабич М. П. Комп'ютерна схемотехніка : навчальний посібник / М. П. Бабич, І. А. Жуков. – К. : "МК-Прес", 2004. – 412 с.
2. Основи технічної електроніки. У 2 кн. Кн. 2. Схемотехніка : підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуков та ін. – К. : Вища шк., 2007. – 510 с.
3. Угрюмов Е. П. Цифровая схемотехника / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2010. – 810 с.
4. Рябенський В. М. Цифрова схемотехніка : навч. посібник / В. М. Рябенський, В. Я. Жуйков, В. Д. Гулий. – Львів : "Новий світ-2000", 2009. – 736 с.
5. Колонтаєвський Ю. П. Електроніка і мікросхемотехніка : підручник / Ю. П. Колонтаєвський, А. Г. Сосков. – К. : Каравела, 2006. – 384 с.
6. Бабич М. П. Компьютерная схемотехника : учебное пособие / М. П. Бабич, И. А. Жуков. – К. : "МК-Прес", 2004. – 430 с.
7. Схемотехника ЭВМ : учебник для студентов вузов спец. ЭВМ / под ред. Г. Н. Соловьева. – М. : Высш. шк., 1985. – 391 с.
8. Угрюмов Е. П. Проектирование элементов и узлов ЭВМ : учеб. пособие для спец. ЭВМ вузов / Е. П. Угрюмов. – М. : Высш. шк., 1987. – 318 с.
9. Самофалов К. Г. Цифровые электронные вычислительные машины / К. Г. Самофалов, В. И. Корнейчук, В. П. Тарасенко. – К. : Вища шк., 1983. – 455 с.
10. Самофалов К. Г. Цифровые ЭВМ : теория и проектирование / К. Г. Самофалов, В. И. Корнейчук, В. П. Тарасенко. – К. : Вища школа, 1989. – 423 с.
11. Петух А. М. Схемотехніка ЕОМ : навчальний посібник / А. М. Петух, Д. Т. Обідник. – В. : ВДГУ, 1999. – 83 с.
12. Петух А. М. Елементи, вузли та пристрої ЕОМ : навчальний посібник / А. М. Петух, Д. Т. Обідник. – В. : ВНТУ, 2012. – 104 с.
13. Савельев А. Я. Прикладная теория цифровых автоматов : учеб. для вузов по спец. ЭВМ / Савельев А. Я. – М. : Высш. шк., 1987. – 272 с.
14. Прикладная теория цифровых автоматов / [Самофалов К. Г., Валуийский В. Н., Романкевич А. М. и др.]. – К. : Вища шк., 1987. – 375 с.
15. Разевиг В. Д. Система проектирования цифровых устройств OrCAD / В. Д. Разевиг. – М. : "Солон-Р", 2000. – 360 с.
16. Разевиг В. Д. Система проектирования OrCAD 9.2 / В. Д. Разевиг. – М. : "Солон-Р", 2003. – 519 с.
17. Методичні вказівки до оформлення курсових проектів (робіт) у Вінницькому національному технічному університеті / Уклад. Г. Л. Лисенко, А. Г. Буда, Р. Р. Обертюх. – Вінниця : ВНТУ, 2006. – 60 с.
18. Документація. Звіти у сфері науки і техніки. Структура і правила оформлення : ДСТУ 3008-95.

Вінницький національний технічний університет

(повне найменування вишого навчального закладу)

Кафедра програмного забезпечення

(повна назва кафедри, циклової комісії)

КУРСОВА РОБОТА

з дисципліни

"Цифрова схемотехніка"

(назва дисципліни)

на тему: "Синтез та дослідження двійково-десятькового лічильника"

Студента 2 курсу ІПІ-14 сп групи

Спеціальності 7.05010301

"Програмне забезпечення систем"

Іванова І. І.

(прізвище та ініціали)

Керівник доц. кафедри ПЗ, к.т.н. Войтко В. В.

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала _____

Кількість балів: _____ Оцінка: ECTS _____

Члени комісії

(підпис)

(прізвище та ініціали)

(підпис)

(прізвище та ініціали)

(підпис)

(прізвище та ініціали)

м. Вінниця – 2016 рік

Вінницький національний технічний університет

(повне найменування вищого навчального закладу)

Кафедра програмного забезпечення

(повна назва кафедри, циклової комісії)

КУРСОВА РОБОТА

з дисципліни

"Цифрова схемотехніка"

(назва дисципліни)

на тему: "Дослідження базових вузлів ЕОМ"

Студента 2_ курсу ІІІ-14 сп групи

Спеціальності 7.05010301

"Програмне забезпечення систем"

Іванова І. І.

(прізвище та ініціали)

Керівник доц. кафедри ПЗ, к.т.н. Войтко В. В.

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала _____

Кількість балів: _____ Оцінка: ECTS _____

Члени комісії

(підпис)

(прізвище та ініціали)

(підпис)

(прізвище та ініціали)

(підпис)

(прізвище та ініціали)

м. Вінниця – 2016 рік

Додаток В
Критерії оцінювання курсових робіт

За національною шкалою		За шк. ECTS	Бали за КМС	Критерії
Відмінно	5	A	90–100	Творчий рівень. Робота містить нестандартні рішення. Викладена в обґрунтовальному стилі.
				Рівень близький до творчого. Обґрунтовальний стиль викладення, багатоваріантний аналіз, вільне володіння матеріалом.
				Обґрунтовальний стиль викладення, багатоваріантний аналіз, вільне володіння матеріалом.
Добре	4	B	82–89	Робота виконана без суттєвих помилок. Окремі положення викладені невдало, вільне володіння матеріалом.
		C	75–81	Робота виконана без суттєвих помилок. Деякі положення викладені невдало, вільне володіння матеріалом. Окремі відхилення від правил оформлення. Робота виконана без суттєвих помилок. Деякі положення викладені невдало, студент не може їх пояснити. Окремі відхилення від правил оформлення.
Задовільно	3	D	64–74	Окремі помилки при виконанні і оформленні роботи. Деякі положення викладені невдало, студент не може їх пояснити.
		E	60–63	Окремі помилки при виконанні і оформленні роботи. Деякі положення викладені невдало, студент не може їх пояснити. Не всі рішення обґрунтовані.
				Окремі помилки при виконанні роботи. Не всі рішення обґрунтовані. Багато відхилень від вимог щодо оформлення пояснювальної записки.
Незадовільно	2	FX, F	0–59	У процесі захисту виявлено багато помилок, елементи плагіату, є суттєві зауваження щодо оформлення роботи, студент проявляє некомпетентність.

Примітка. Якщо робота виконана не в повному обсязі, не за своїм варіантом завдання або з суттєвими помилками, не самостійно (про що свідчить некомпетентність у рішеннях та матеріалах), вона до захисту не допускається.

Додаток Г

Аналоги деяких інтегральних TTL-схем

Тип	Аналог	Функціональне призначення
АГЗ	123	Два одновібратори
АП5	244	Два двоканальних неінвертувальних формувачі з трьома станами на виходах
АП6	245	Восьмиканальний двонаправлений формувач з трьома станами на виходах
ИДЗ	154	Дешифратор-демультиплексор на 16 виходів
ИД7	138	Двійковий дешифратор на 8 виходів
ИЕ2	90	Чотирирозрядний двійково-десятковий лічильник
ИЕ4	92	Чотирирозрядний лічильник-подільник на 12
ИЕ5	93	Чотирирозрядний двійковий лічильник
ИЕ6	192	Чотирирозрядний двійково-десятковий реверсивний лічильник
ИЕ7	193	Чотирирозрядний двійковий реверсивний лічильник
ИЕ8	97	Шестирозрядний дільник частоти зі змінним коефіцієнтом ділення
ИЕ9	160А	Чотирирозрядний двійково-десятковий лічильник з асинхронним установленням у нульовий стан
ИЕ10	161А	Чотирирозрядний двійковий лічильник з установленням у нульовий стан
ИЕ11	162А	Чотирирозрядний двійково-десятковий лічильник
ИЕ13	191	Чотирирозрядний двійковий реверсивний лічильник
ИЕ14	196	Двійково-десятковий лічильник з програмованим коефіцієнтом ділення
ИЕ15	197	Чотирирозрядний лічильник з попереднім установленням
ИЕ16	168	Чотирирозрядний двійково-десятковий синхронний реверсивний лічильник
ИЕ17	169	Чотирирозрядний двійковий синхронний реверсивний лічильник
ИЕ18	163А	Чотирирозрядний двійковий лічильник з синхронним установленням у нульовий стан
ИЕ19	393	Два чотирирозрядних двійкових лічильники з індивідуальною синхронізацією і установленням у нульовий стан

Тип	Аналог	Функціональне призначення
ИК1	AM25505	Схема швидкого множення 2×4
ИК2	381	Чотирирозрядний АЛП – 8 функцій
ИМ2	82	Дворозрядний двійковий суматор
ИМ3	83	Чотирирозрядний двійковий суматор
ИМ5	183	Два однорозрядних повних суматора
ИМ6	283	Чотирирозрядний двійковий суматор з прискореним перенесенням
ИП2	180	Восьмирозрядна схема контролю парності і непарності
ИП3	181	Чотирирозрядний АЛП – 32 функції
ИП4	182	Схема прискореного перенесення
ИП5	280	Дев'ятирозрядна схема контролю парності і непарності
ИП6	242	Чотириканальний двонаправлений інвертувальний формувач з трьома станами на виходах
ИП7	243	Чотириканальний двонаправлений інвертувальний формувач з трьома станами на виходах
ИП8	261	Двійковий помножувач 4×2 з регістром
ИП10	AM93648	Дванадцятирозрядна схема контролю парності і непарності
ИР1	95	Чотирирозрядний універсальний зсувний регістр з паралельним виходом і роздільною синхронізацією послідовного і паралельного введення інформації
ИР8	164	Восьмирозрядний послідовний зсувний регістр з паралельним введенням інформації
ИР9	165	Восьмирозрядний зсувний регістр з паралельним введенням інформації
ИР10	166	Восьмирозрядний зсувний регістр з послідовно-паралельним введенням інформації та установленням в 0
ИР12	195	Чотирирозрядний універсальний зсувний регістр з паралельним виходом, синхронним послідовно-паралельним введенням інформації і асинхронним установленням у нульовий стан
ИР13	198	Восьмирозрядний реверсивний зсувний регістр з паралельним виходом, синхронним послідовно-паралельним введенням інформації і асинхронним установленням у нульовий стан
ИР15	173	Чотирирозрядний регістр з трьома станами на виходах
ИР21	AM25509	Чотирирозрядний комбінаційний зсувний пристрій з трьома станами виходів

Тип	Аналог	Функціональне призначення
ИР22	373	Восьмирозрядний паралельний регістр з трьома станами на виходах і потенціальним входом синхронізації
ИР23	374	Восьмирозрядний паралельний регістр з трьома станами на виходах і динамічним входом синхронізації
ИР29	323	Восьмирозрядний реверсивний регістр з синхронним послідовно-паралельним введенням інформації, синхронним установленням нульового стану і двонаправленою шиною даних
ИР32	170	4x4 регістровий файл з відкритим колектором на виходах
ИР34	873	Два незв'язаних чотирирозрядних регістри з установленням нульового стану і трьома станами виходів
КП1	150	Селектор-мультиплексор на 16 каналів з інверсним виходом і стробуванням
КП2	153	Два селектори-мультиплексори 4-1
КП5	152	Селектор-мультиплексор восьми каналів з інверсним виходом
КП7	151	Селектор-мультиплексор восьми каналів з прямим і інверсним виходом і стробуванням
КП11	257	Чотири селектори-мультиплексори двох каналів з прямими виходами; спільним адресним входом і трьома станами на виходах
КП12	253	Подвоєний селектор-мультиплексор чотирьох каналів з прямими виходами, загальними адресними входами і роздільним керуванням виходами з трьома станами
ЛА1	20	Два 4I-HE
ЛА2	30	8I-HE
ЛА3	00	Чотири 2I-HE
ЛА4	10	Три 3I-HE
ЛД1	60	Два чотиривходових логічних розширювача за АБО
ЛД3		Восьмивходовий розширювач за АБО
ЛЕ1	02	Чотири 2АБО-HE
ЛЕ3	25	Два 4АБО-HE, що стробуються
ЛЕ4	66	Три 3АБО-HE
ЛЕ5	28	Чотири буферних 2АБО-HE
ЛЕ7	260	Два 5АБО-HE

Тип	Аналог	Функціональне призначення
ЛИ1	08	Чотири 2І
ЛИЗ	11	Три 3І
ЛИ6	21	Два 4І
ЛЛ1	32	Чотири 2АБО
ЛН1	04	Шість НЕ
ЛН6	366	Шість буферних інверторів з трьома станами на виході
ЛП5	86	Чотири двохходових елементи нерівнозначності
ЛР1	50	Два 2-2І-2АБО-НЕ, один розширюється за АБО
ЛР3	53	2-2-2-3І-4АБО-НЕ, розширюється за АБО
ЛР4	55	4-4І-2АБО-НЕ, розширюється за АБО
ЛР11	51	Два 2-2І-2АБО-НЕ і 2-3І-2АБО-НЕ
ЛР13	54	2-3-3-2І-4АБО-НЕ
РПЗ	172	Шістнадцятирозрядний 8×2 регістровий ЗП с двома каналами доступу і трьома станами на виходах
РТ1	МС9001	Програмований ПЗП на 1024 біти
РУ1	81	ОЗП на 16 бітів (16×1) зі схемами керування
РУ2	89	ОЗП на 64 біти з довільною вибіркою (16×4)
СП1	85	Схема порівняння двох чотирирозрядних чисел
ТВ1	72	JK-тригер з логікою на 3І на входах JK з занесенням і установленням у нульовий стан
ТВ6	107	Два JK-тригери з установленням у нульовий стан
ТВ9	112	Два JK-тригери із занесенням та установленням у нульовий стан
ТМ2	74	Два D-тригери із занесенням та установленням у нульовий стан
ТМ8	175	Чотири D-тригери з прямими та інверсними виходами і входом установлення у нульовий стан
ТМ9	174	Шість синхронних D-тригерів із входом установлення в нульовий стан

Приклади оформлення переліку посилань за ДСТУ 7.1:2006

Книги

Один автор

Кореньов Д. Г. Дестабілізуючий ефект параметричного білого шуму в неперервних та дискретних динамічних системах / Д. Г. Коренівський. – К. : Ін-т математики, 2006. – 111 с. – (Математика та її застосування) (Праці / Ін-т математики НАН України ; т. 59).

Два автори

Суберляк О. В. Технологія переробки полімерних та композиційних матеріалів : підруч. [для студ. вищ. навч. закл.] / О. В. Суберляк, П. І. Баштанник. – Львів : Растр-7, 2007. – 375 с.

Три автори

Акофф Р. Л. Идеализированное проектирование: как предотвратить завтрашний кризис сегодня. Создание будущего организации / Акофф Р. Л., Магидсон Д., Эддисон Г. Д. ; пер. с англ. Ф. П. Тарасенко. – Днепропетровск : Баланс Бизнес Букс, 2007. – XLIII, 265 с.

Чотири автори

1. Методика нормування ресурсів для виробництва продукції рослинництва / [Вітвіцький В. В., Кисляченко М. Ф., Лобастов І. В., Нечипорук А. А.]. – К. : НДІ "Укراгропромпродуктивність", 2006. – 106 с. – (Бібліотека спеціаліста АПК. Економічні нормативи).

2. Механізація переробної галузі агропромислового комплексу : [підруч. для учнів проф.-техн. навч. закл.] / О. В. Гвоздев, Ф. Ю. Ялпачик, Ю. П. Рогач, М. М. Сердюк. – К. : Вища освіта, 2006. – 478, [1] с. – (ПТО : Професійно-технічна освіта).

П'ять і більше авторів

Менеджмент / [Власов П. К., Липницький А. В., Лущикова І. М. и др.] ; под ред. Г. С. Никифорова. – [3-е изд.]. – Х. : Гуманитар. центр, 2007. – 510 с.

Стандарти

Якість води. Словник термінів : ДСТУ ISO 6107-1:2004 – ДСТУ ISO 6107-9:2004. – [Чинний від 2005–04–01]. – К. : Держспоживстандарт України, 2006. – 181 с. – (Національні стандарти України).

Електронні ресурси

Бібліотека і доступність інформації у сучасному світі: електронні ресурси в науці, культурі та освіті : (підсумки 10-ї Міжнар. конф. "Крим-2003") [Електронний ресурс] / Л. Й. Костенко, А. О. Чекмарьов, А. Г. Бровкін, І. А. Павлуша // Бібліотечний вісник. – 2003. – № 4. – С. 43. – Режим доступу до журн. : <http://www.nbuv.gov.ua/articles/2003/03klinko.htm>.

Навчальне видання

**Петух Анатолій Михайлович
Обідник Дем'ян Тихонович
Обідник Микола Дем'янович**

ЦИФРОВА СХЕМОТЕХНІКА

Навчальний посібник

Редактор С. Плетньова

Оригінал-макет підготовлено Д. Обідником

Підписано до друку 19.07.2016 р.
Формат 29,7×42¼. Папір офсетний.
Гарнітура Times New Roman.
Друк різнографічний. Ум. друк. арк. 7,6.
Наклад 50 пр. Зам. № 2016-119.

Вінницький національний технічний університет,
навчально-методичний відділ ВНТУ.
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, к. 2201.
Тел. (0432) 59-87-36.
Свідоцтво суб'єкта видавничої справи
серія ДК № 3516 від 01.07.2009 р.

Віддруковано у Вінницькому національному технічному університеті
в комп'ютерному інформаційно-видавничому центрі
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, ГНК, к. 114.
Тел. (0432) 59-87-38.
publish.vntu.edu.ua; email: kivc.vntu@gmail.com.
Свідоцтво суб'єкта видавничої справи
серія ДК № 3516 від 01.07.2009 р.

49,71

НТБ ВІНТУ
м. ВІНЬЦЯ