

**Методичні вказівки**  
**до виконання лабораторної роботи**  
**з дисципліни «Аналогова та цифрова схемотехніка»**  
**на тему: «Дослідження логічних схем з використанням**  
**MICRO-CAP та PROTEUS»**  
**для студентів напряму підготовки**  
**«Електромеханіка»**

Міністерство освіти і науки України  
Вінницький національний технічний університет

**Методичні вказівки**  
**до виконання лабораторної роботи**  
**з дисципліни «Аналогова та цифрова схемотехніка»**  
**на тему: «Дослідження логічних схем з використанням**  
**MICRO-CAP та PROTEUS»**  
**для студентів напряму підготовки**  
**«Електромеханіка»**

Вінниця  
ВНТУ  
2017

Рекомендовано до друку Методичною радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 4 від 17. 12. 2015 р.)

Рецензенти:

**В. Ю. Кучерук**, доктор технічних наук, професор

**В. В. Кулик**, кандидат технічних наук, доцент

Методичні вказівки до виконання лабораторної роботи з дисципліни «Аналогова та цифрова схемотехніка» на тему: «Дослідження логічних схем з використанням MICRO-CAP та PROTEUS» для студентів напряму підготовки «Електромеханіка» / Уклад. Д. П. Проценко, В. В. Грабко, Ю. В. Шевчук, В. П. Курочка. – Вінниця : ВНТУ, 2017 – 44 с.

У методичних вказівках викладено підходи проектування, моделювання та експериментальних досліджень електронних пристроїв, побудованих на пристроях комбінаційної логіки. Наведено основні теоретичні відомості про основні елементи комбінаційної логіки та розв'язаний приклад одного з варіантів завдання з необхідними поясненнями.

Призначений для студентів електромеханічних спеціальностей денної та заочної форм навчання.

---

## Зміст

Вступ .....	4
1 Програма лабораторної роботи.....	5
2 Методичні вказівки до виконання лабораторної роботи .....	15
2.1 Аналіз логічних схем .....	15
2.2 Синтез логічних схем.....	21
2.3 Вказівки до практичної частини роботи .....	26
2.4 Зміст звіту.....	29
2.5 Контрольні питання.....	30
Література .....	31
Додаток А Типи мікросхем сімейства SN74 та їх вітчизняні аналоги .....	32
Додаток Б Функціональне призначення цифрових мікросхем стандартних серій .....	34
Додаток В Зарубіжна і вітчизняна серія цифрових мікросхем .....	41
Додаток Г Мікросхеми серії 40xx та їх вітчизняні аналоги.....	42

## Вступ


Методичні вказівки призначені для проведення лабораторних робіт з дисципліни «Аналогова та цифрова схемотехніка» студентами напряму підготовки 6.050702 – «Електромеханіка».

В лабораторній роботі висвітлені питання моделювання та експериментального дослідження пристроїв на базі логічних мікросхем. Для дослідження електронних схем використовуються сучасні програмні продукти Micro-Cap та Proteus, які дозволяють здійснити моделювання пристроїв, яке порівнюється з роботою схеми складеної на логічних цифрових мікросхемах.

Наведено основні теоретичні відомості про електронні компоненти, які використовуються в лабораторній роботі, наведені їх характеристики та діаграми роботи. Це дозволяє студенту швидко підготуватись до лабораторного заняття без використання додаткової літератури. До кожного завдання лабораторної роботи є приклад розв'язання з достатніми поясненнями відносно теоретичної та практичної частини. Також викладач в залежності від кількості годин, що відводиться на лабораторні заняття та хисту студентів, може, при необхідності, дати додаткові завдання або навпаки зменшити об'єм роботи. При підготовці до лабораторних робіт студентам пропонується вивчити теоретичний матеріал, що стосується теми заняття, та здійснити моделювання запропонованих схем, на занятті обговорити результати моделювання, незрозумілі моменти чи помилки, допущені в ході комп'ютерного моделювання, а час, що залишився, присвятити експериментальному дослідженню електронних пристроїв.

В додатках наведені дані про мікросхеми та їх аналоги необхідні для побудови пропонованих пристроїв. Разом із самостійними випробуваннями передбачається аналіз отриманих результатів та порівняння їх з теоретичними положеннями та моделюванням.

## 1 ПРОГРАМА ЛАБОРАТОРНОЇ РОБОТИ

 **Мета роботи:** оволодіти основним принципом роботи з пакетом Micro-Cap та Proteus, здійснити пошук реакції системи на вхідний вплив із застосуванням найпростіших логічних елементів. Засвоїти основи аналізу та синтезу логічних схем.

1. Ознайомитись зі структурою пакетів Micro-Cap і Proteus та наявними інструментами для аналізу цифрових та логічних схем.

2. Побудувати схему (згідно з варіантом), наведену нижче, з використанням пакета Micro-Cap. Побудувати графіки зміни вихідного сигналу системи при зміні вхідного сигналу.

3. Здійснити мінімізацію запропонованої схеми з використанням аксіом та законів алгебри логіки.

4. Використовуючи логічні мікросхеми, скласти мінімізовану схему та порівняти результати моделювання з фізичним пристроєм.

5. Здійснити синтез логічної схеми (згідно з варіантом) відповідно до таблиці істинності, використовуючи карти Карно.

6. Здійснити комп'ютерне моделювання синтезованої схеми, з використанням пакета Proteus.

7. Подати схему в заданому універсальному базисі та скласти схему на макетній платі і перевірити її роботоздатність.

Схеми згідно з варіантом мають наведений нижче вигляд.

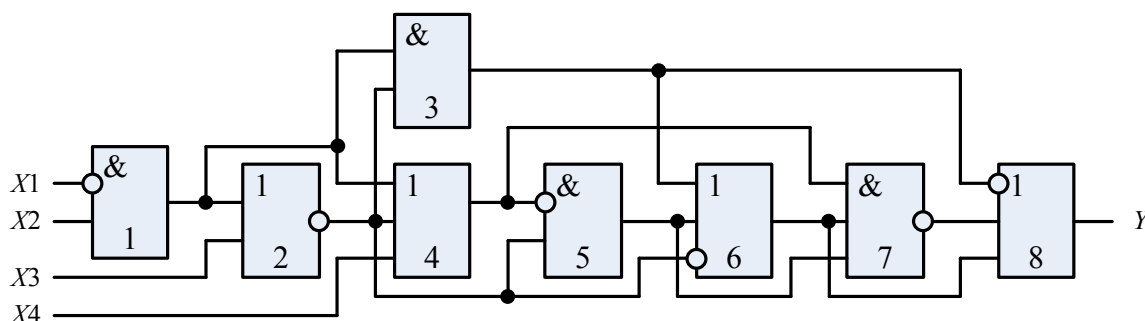


Рисунок 1.1 – Логічна схема (варіант 1)

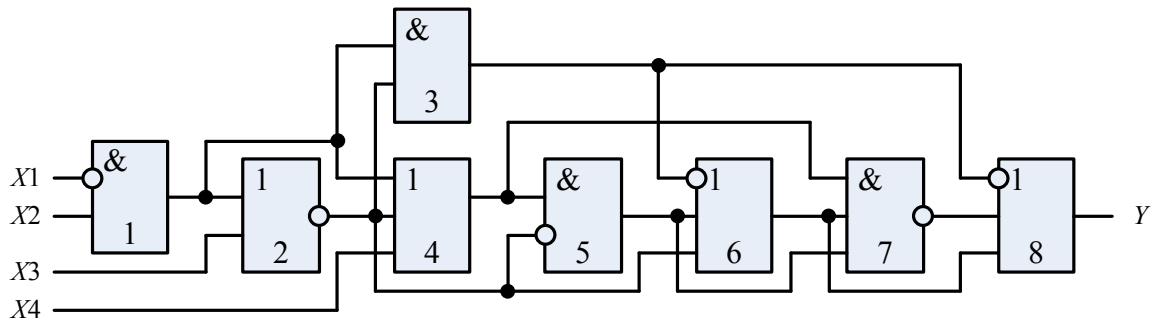


Рисунок 1.2 – Логічна схема (варіант 2)

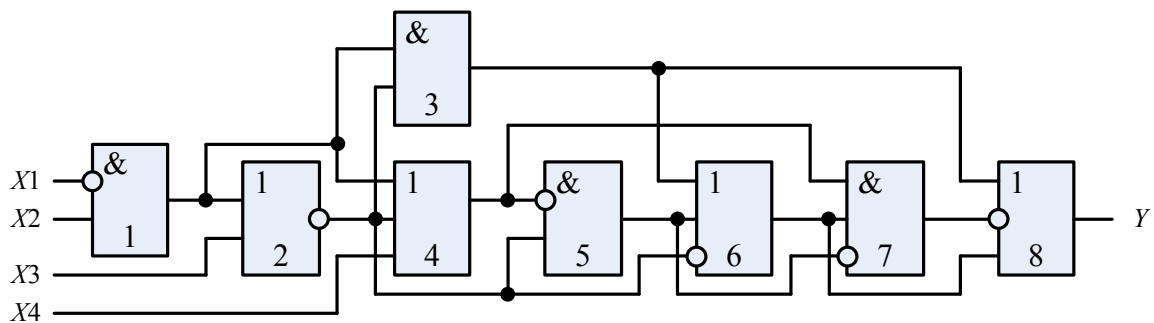


Рисунок 1.3 – Логічна схема (варіант 3)

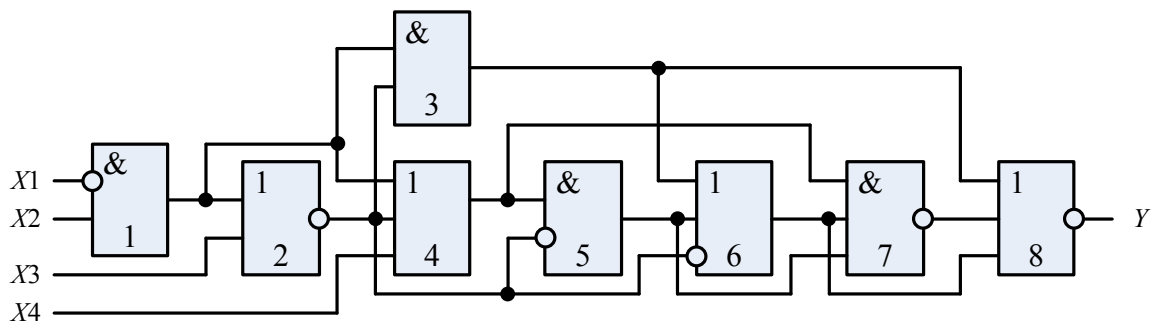


Рисунок 1.4 – Логічна схема (варіант 4)

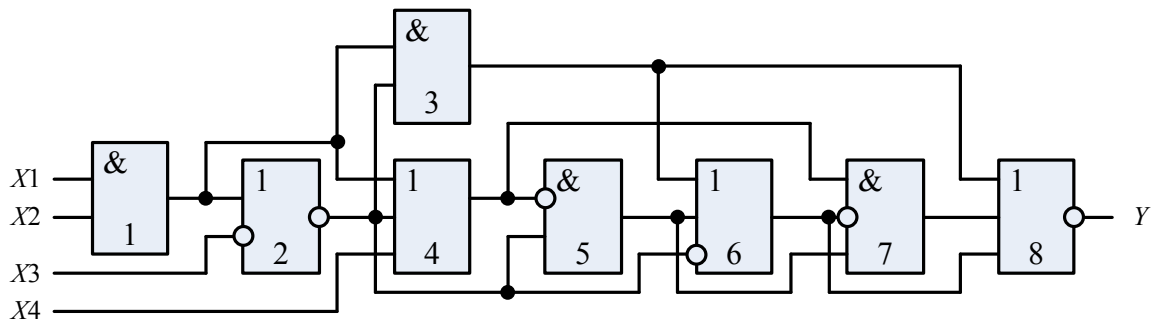


Рисунок 1.5 – Логічна схема (варіант 5)

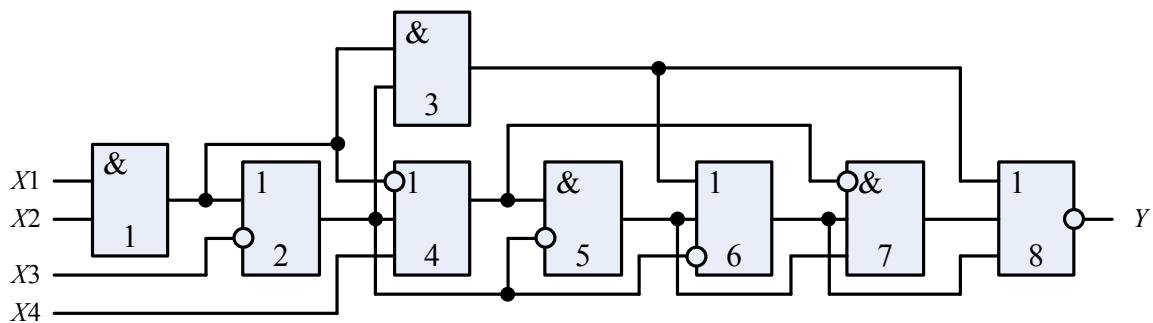


Рисунок 1.6 – Логічна схема (варіант 6)

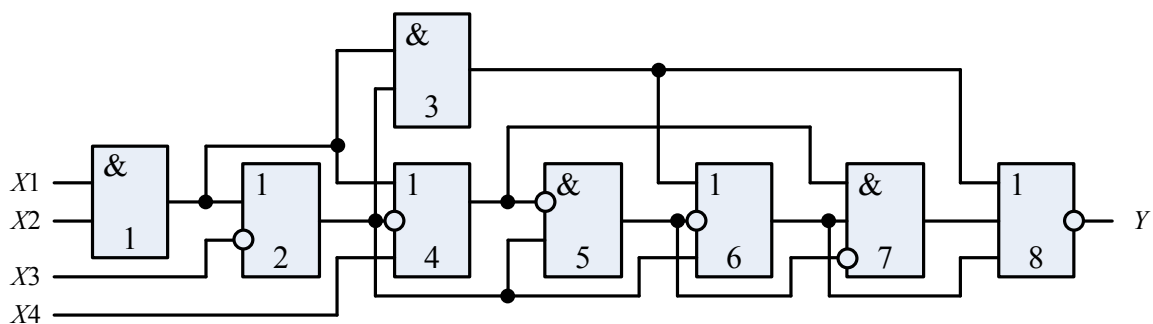


Рисунок 1.7 – Логічна схема (варіант 7)

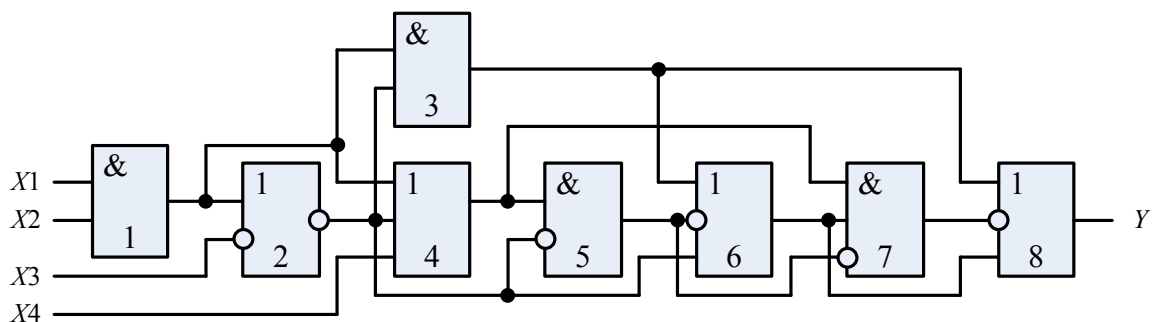


Рисунок 1.8 – Логічна схема (варіант 8)

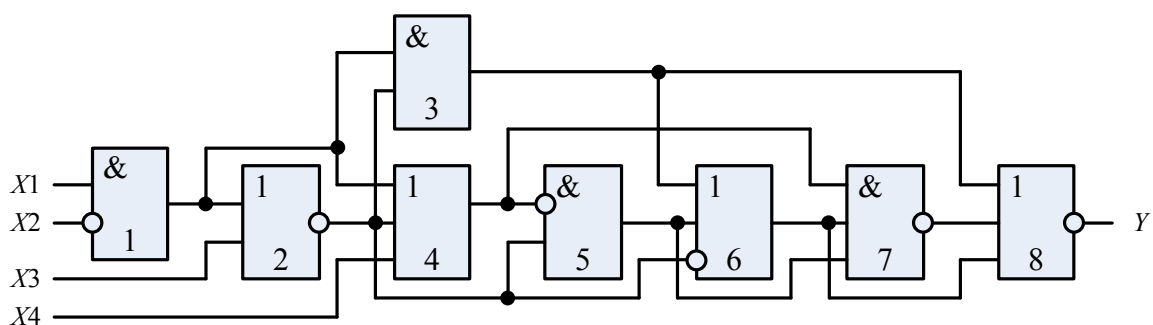


Рисунок 1.9 – Логічна схема (варіант 9)



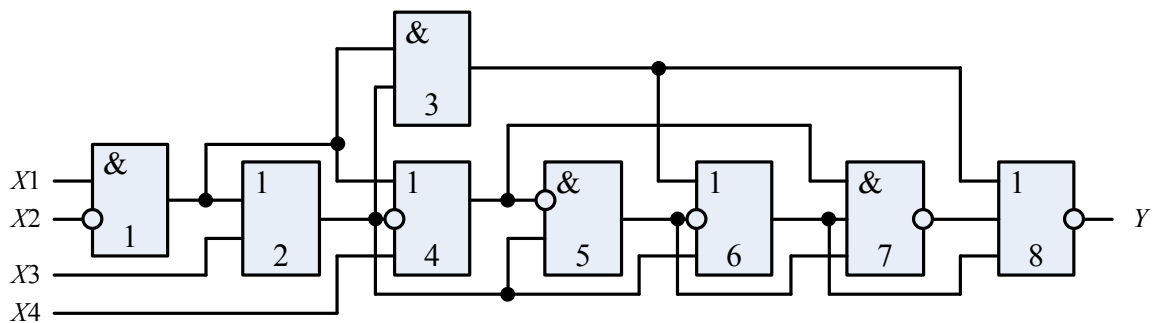


Рисунок 1.10 – Логічна схема (варіант 10)

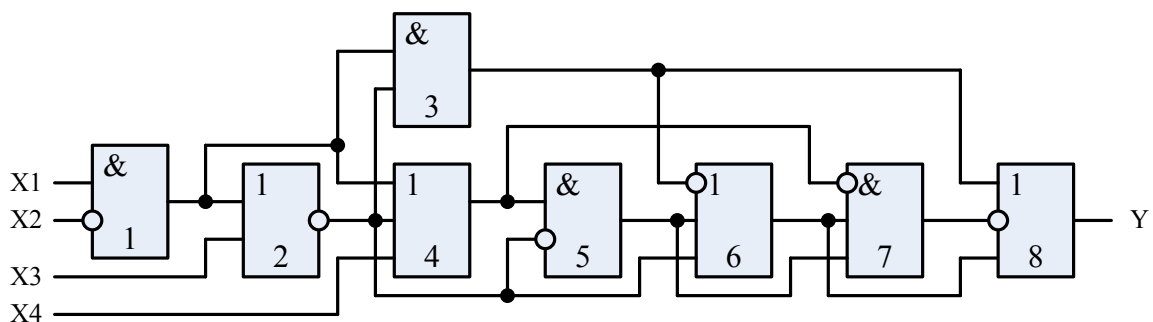


Рисунок 1.11 – Логічна схема (варіант 11)

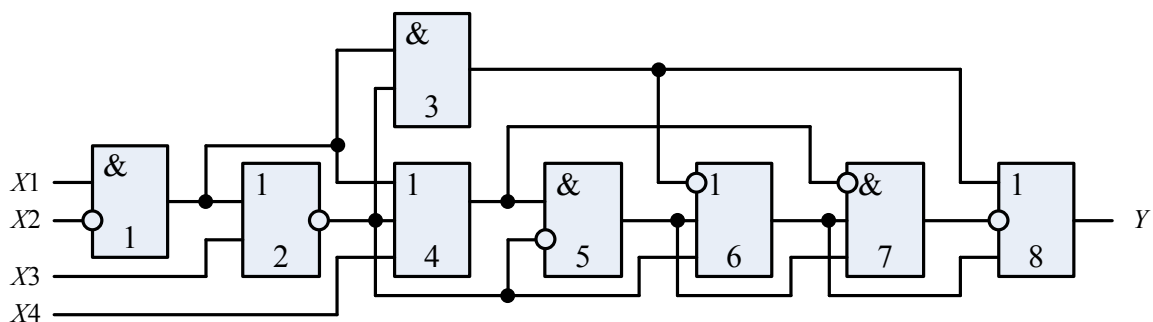


Рисунок 1.12 – Логічна схема (варіант 12)

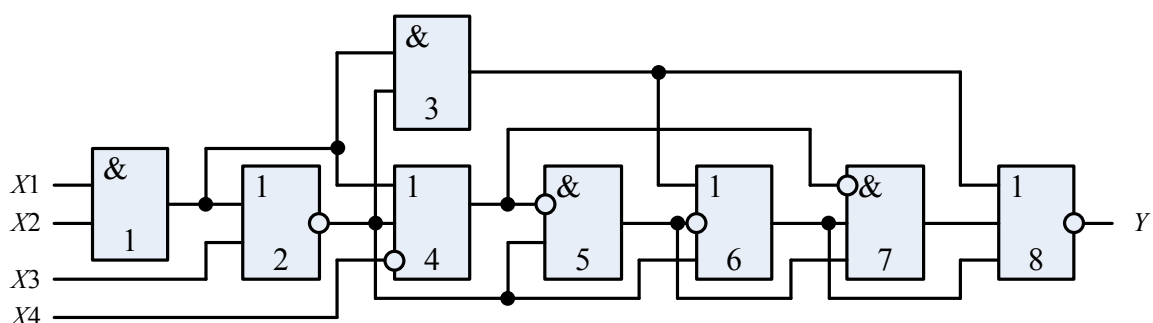


Рисунок 1.13 – Логічна схема (варіант 13)

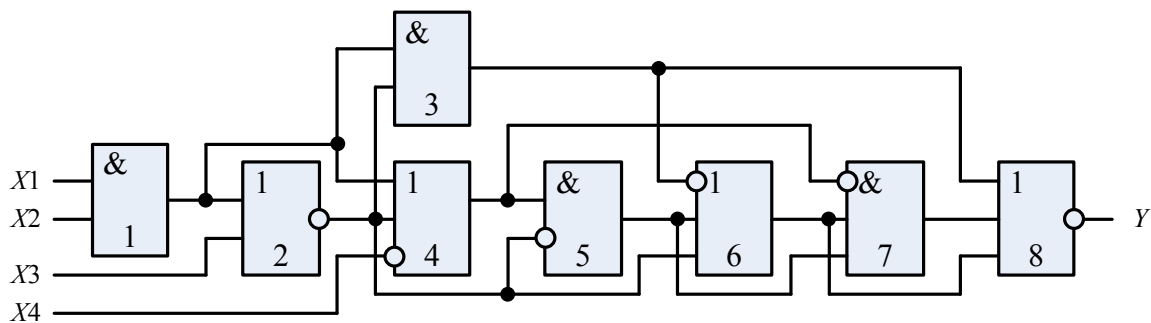


Рисунок 1.14 – Логічна схема (варіант 14)

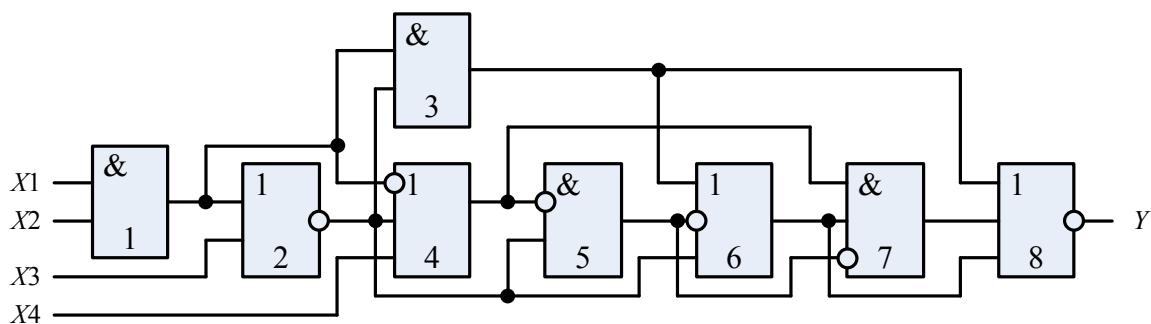


Рисунок 1.15 – Логічна схема (варіант 15)

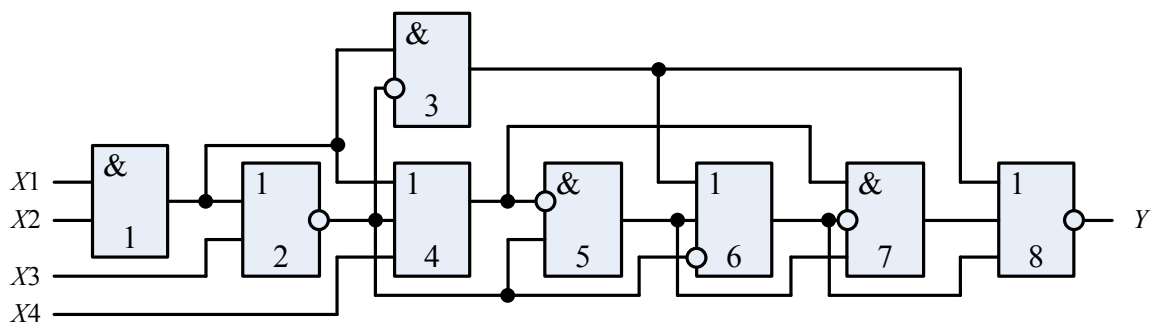


Рисунок 1.16 – Логічна схема (варіант 16)

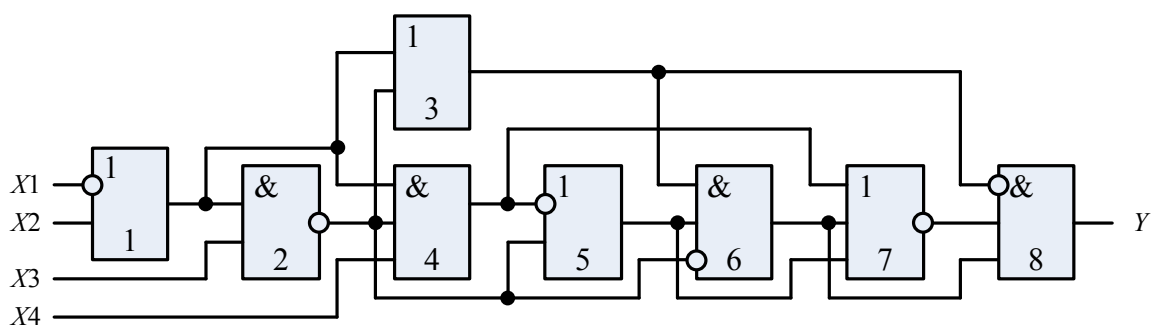


Рисунок 1.17 – Логічна схема (варіант 17)

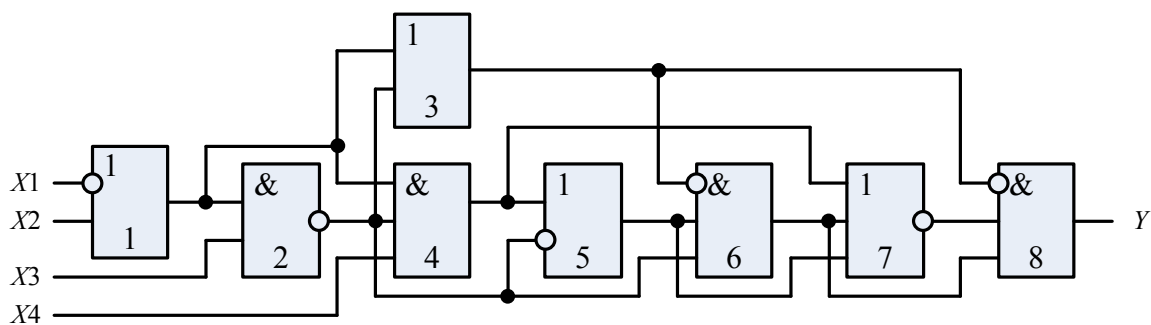


Рисунок 1.18 – Логічна схема (варіант 18)

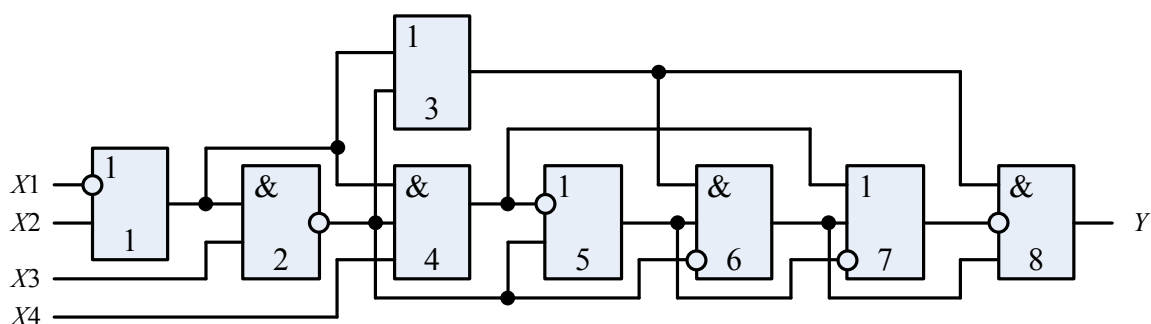


Рисунок 1.19 – Логічна схема (варіант 19)

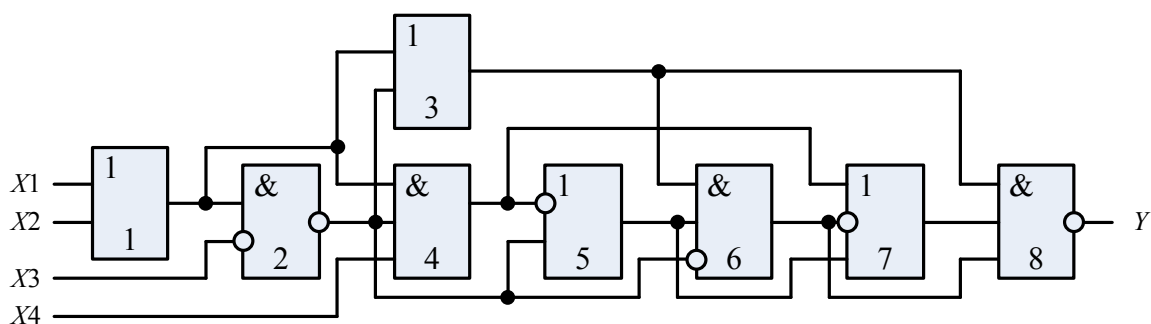


Рисунок 1.20 – Логічна схема (варіант 20)

Таблиці істинності згідно з варіантом наведені в таблиці 1.1.

Таблиця 1.1 – Таблиці істинності

<b>Варіант 1</b>	X1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	<b>Базис 2І-НЕ</b>	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>		<b>0</b>

Продовження таблиці 1.1

Варіант 2	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО- НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>0</b>
Варіант 3	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2I-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 4	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО- НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 5	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2I-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>1</b>		<b>1</b>
Варіант 6	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО- НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>		<b>1</b>
Варіант 7	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2I-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>		<b>1</b>

Продовження таблиці 1.1

Варіант 8	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>		<b>0</b>
Варіант 9	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2І-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>		<b>0</b>
Варіант 10	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>		<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>1</b>		<b>1</b>
Варіант 11	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2І-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>		<b>0</b>
Варіант 12	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 13	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2І-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		0
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>0</b>		<b>0</b>

Продовження таблиці 1.1

Варіант 14	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО- НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 15	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2I-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 16	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО- НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 17	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2I-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 18	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2АБО- НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>		<b>1</b>
Варіант 19	X1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	Базис 2I-НЕ	
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1		1
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1		1
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0		1
	Y	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>		<b>0</b>

Продовження таблиці 1.1

<b>Варіант 20</b>	X1	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	<b>Базис 2АБО-НЕ</b>
	X2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	
	X3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	
	X4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	
	Y	<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	

## 2 МЕТОДИЧНІ ВКАЗІВКИ ДО ВИКОНАННЯ ЛАБОРАТОРНОЇ РОБОТИ

### 2.1 Аналіз логічних схем

Для аналізу та мінімізації логічної схеми необхідно вивчити найпростіші логічні елементи та опанувати основні аксіоми та закони алгебри логіки.

В булевій алгебрі виділяють три основні логічні операції: логічне заперечення, множення та додавання [2] (рисунок 2.1).

Операцію логічного заперечення реалізує логічний елемент НЕ (NOT). Такий елемент ще називають інвертором бо він змінює сигнал на вході на протилежний.

Операцію логічного додавання реалізує логічний елемент АБО (OR). Такий елемент ще називають диз'юнктором, сигнал логічної одиниці на виході з'являється, коли хоча б на одному вході є сигнал лог. 1 (на виході істина, якщо *або* на першому, *або* на другому, *або* на ... n-ому вході істина).

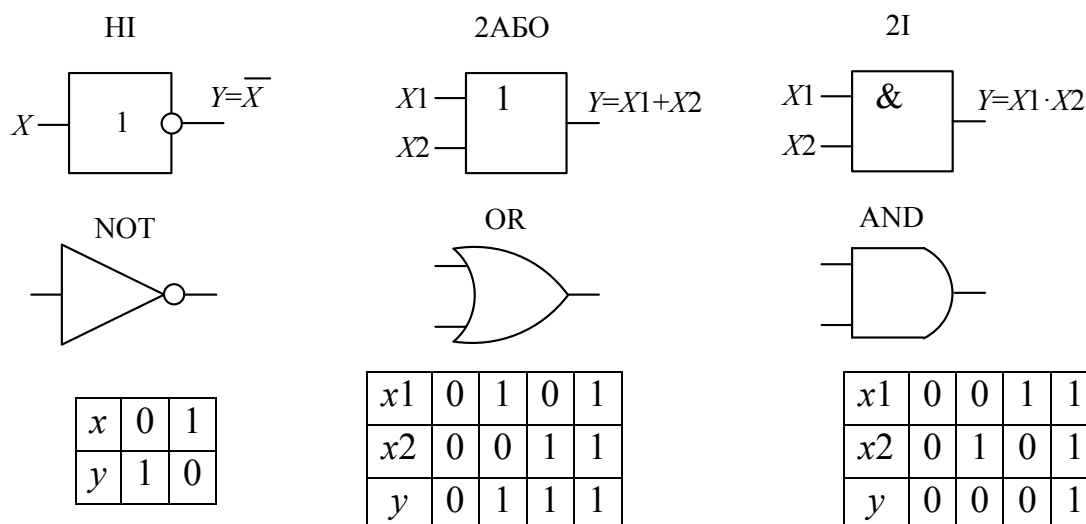


Рисунок 2.1 – Основні логічні елементи та їх таблиці істинності

Операцію логічного множення реалізує логічний елемент І (AND). Такий елемент ще називають кон'юнктором, сигнал логічної одиниці на



виході з'являється тільки тоді, коли на всіх входах сигнал лог. 1 (на виході істина, якщо  $i$  на першому,  $i$  на другому,  $i$  на ...  $n$ -ому вході істина).

Зв'язок між входами  $X$  та виходами  $Y$  будь-якої комбінаційної логічної схеми однозначно описується таблицею істинності. Позначення та таблиці істинності найпростіших логічних елементів наведено на рисунку 2.1.

Алгебра логіки визначається такою системою аксіом, які впливають із визначень найпростіших логічних операцій:

$$X = 0, \text{ якщо } X \neq 1; \quad (2.1)$$

$$X = 1, \text{ якщо } X \neq 0; \quad (2.2)$$

$$\begin{aligned} 0 + 0 &= 0 \cdot 0 = 0; \\ 1 + 1 &= 1 \cdot 1 = 1; \end{aligned} \quad (2.3)$$

$$\begin{aligned} 1 + 0 &= 0 + 1 = 1; \\ 1 \cdot 0 &= 1 \cdot 0 = 0; \end{aligned} \quad (2.4)$$

$$\begin{aligned} \bar{0} &= 1; \\ \bar{1} &= 0. \end{aligned} \quad (2.5)$$

За допомогою аксіом алгебри логіки можна довести цілий ряд теорем і тотожностей [5]:

Закон виключення констант:

$$\begin{aligned} X + 0 &= X; & X \cdot 0 &= 0; \\ X + 1 &= 1; & X \cdot 1 &= X. \end{aligned} \quad (2.6)$$

Закон повторення:

$$\begin{aligned} X + X + \dots + X &= X; \\ X \cdot X \cdot \dots \cdot X &= X. \end{aligned} \quad (2.7)$$

Закон подвійного заперечення:

$$\overline{\overline{X}} = X. \quad (2.8)$$

Закон заперечення:

$$\begin{aligned} X + \overline{X} &= 1; \\ X \cdot \overline{X} &= 0. \end{aligned} \quad (2.9)$$

Комутативний закон (переміщувальний закон):

$$\begin{aligned} X1 + X2 &= X2 + X1; \\ X1 \cdot X2 &= X2 \cdot X1. \end{aligned} \quad (2.10)$$

Асоціативний закон (сполучний закон):

$$\begin{aligned} (X1 + X2) + X3 &= X1 + (X2 + X3); \\ (X1 \cdot X2) \cdot X3 &= X1 \cdot (X2 \cdot X3). \end{aligned} \quad (2.11)$$

Дистрибутивний закон (розподільний закон):

$$\begin{aligned} X1 \cdot (X2 + X3) &= (X1 \cdot X2) + (X1 \cdot X3); \\ X1 + (X2 \cdot X3) &= (X1 + X2) \cdot (X1 + X3). \end{aligned} \quad (2.12)$$

Закон подвійності (правило де Моргана) :

$$\begin{aligned} \overline{\overline{X1 + X2}} &= \overline{X1} \cdot \overline{X2}; \\ \overline{\overline{X1 \cdot X2}} &= \overline{X1} + \overline{X2}. \end{aligned} \quad (2.13)$$

Закон поглинання:

$$\begin{aligned} X1 + (X1 \cdot X2) &= X1; \\ X1 \cdot (X1 + X2) &= X1. \end{aligned} \quad (2.14)$$

Закон виключення (закон склеювання):

$$\begin{aligned} (X1 \cdot X2) + (X1 \cdot \overline{X2}) &= X1; \\ (X1 + X2) \cdot (X1 + \overline{X2}) &= X1. \end{aligned} \tag{2.15}$$

Для прикладу проведемо розрахунок для схеми першого варіанта. Позначимо проміжні вихідні сигнали на схемі (рисунок 2.2):

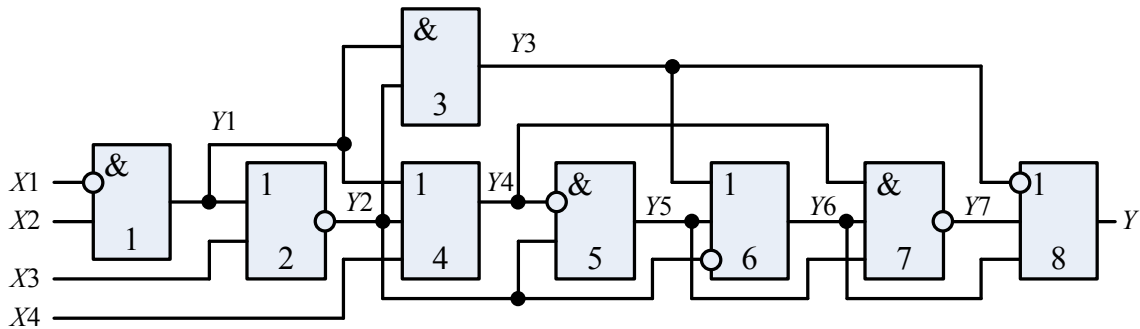


Рисунок 2.2 – Логічна схема з позначенням проміжних сигналів

Складемо наведену схему в середовищі розробки Micro-Cap, використовуючи стандартні логічні елементи (I, АБО, НЕ) (рисунок 2.3), як вхідні сигнали для дослідження запропонованої схеми слугують сигнали генератора імпульсів.

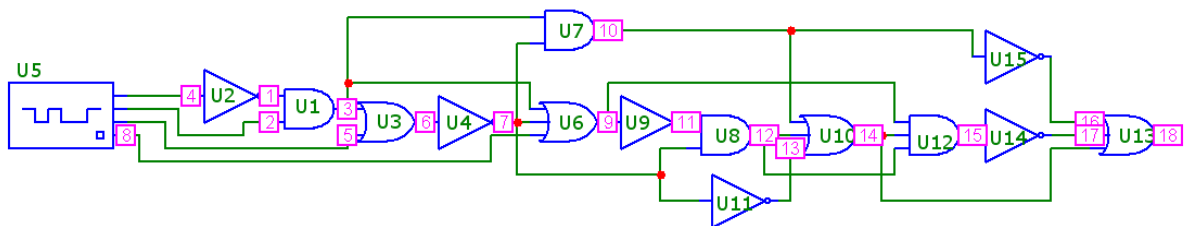


Рисунок 2.3 – Логічна схема в середовищі розробки Micro-Cap

На рисунку 2.4 наведені результати моделювання роботи логічної схеми в середовищі розробки Micro-Cap з яких видно, що вихідний сигнал Y дорівнює 1.

Проведемо перевірку, виконавши мінімізацію наведеної схеми, використовуючи основні закони алгебри логіки. Запишемо усі проміжні сигнали логічної схеми.

$$Y_1 = \overline{X_1} \cdot X_2;$$

$$Y_2 = \overline{Y_1 + X_3} = \overline{\overline{X_1} \cdot X_2 \cdot \overline{X_3}};$$

$$Y_3 = Y_1 \cdot Y_2 = \overline{X_1} \cdot X_2 \cdot \overline{\overline{X_1} \cdot X_2 \cdot \overline{X_3}} = 0;$$

$$Y_4 = Y_1 + Y_2 + X_4 = \overline{X_1} \cdot X_2 + \overline{\overline{X_1} \cdot X_2 \cdot \overline{X_3}} + X_4 = \overline{X_1} \cdot X_2 + \overline{X_3} + X_4;$$

$$Y_5 = \overline{Y_4} \cdot Y_2 = \overline{\overline{X_1} \cdot X_2 + \overline{X_3} + X_4} \cdot \overline{\overline{X_1} \cdot X_2 \cdot \overline{X_3}} =$$

$$= \overline{\overline{X_1} \cdot X_2} \cdot X_3 \cdot \overline{X_4} \cdot \overline{\overline{X_1} \cdot X_2 \cdot \overline{X_3}} = 0;$$

$$Y_6 = \overline{Y_2} + 0 + 0 = \overline{\overline{X_1} \cdot X_2} + X_3;$$

$$Y_7 = \overline{Y_4} \cdot Y_6 \cdot Y_5 = \overline{Y_4} \cdot Y_6 \cdot 0 = \overline{0} = 1;$$

$$Y = \overline{0} + 1 + Y_6 = 1.$$

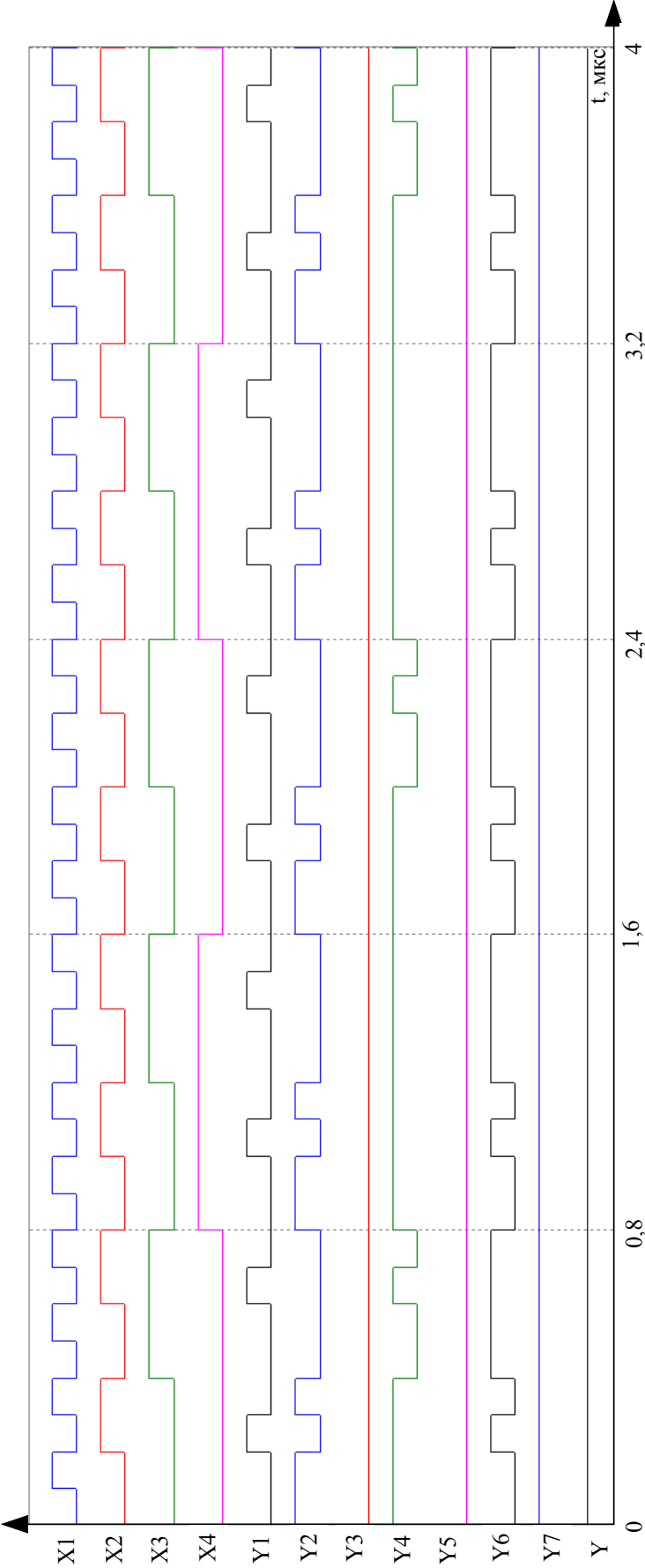


Рисунок 2.4 – Результати моделювання роботи логічної схеми в середовищі розробки Мікро-Сар

Аналізуючи результати моделювання та мінімізовані рівняння, можна зробити висновок про те, що виконані розрахунки правильні тому, що збігаються з моделюванням. Оскільки вихідний сигнал дорівнює 1, то немає смислу будувати мінімізовану схему.

## 2.2 Синтез логічних схем

Логічну функцію багатьох змінних, яка подана у вигляді таблиці істинності, можна подати аналітично, використавши [5]:

- диз'юнктивну нормальну форму (ДНФ)
- кон'юнктивну нормальну форму (КНФ) запису логічного рівняння вихідного сигналу.

ДНФ являє вихідне рівняння у вигляді логічної суми добутоків всіх логічних змінних, при яких вихідна функція дорівнює 1, причому з інверсією беруться змінні, які мають значення 0.

КНФ являє вихідне рівняння у вигляді логічного добутку сум всіх логічних змінних, при яких вихідна функція дорівнює 0, причому з інверсією беруться змінні, які мають значення 1.

Рівняння і відповідно логічна схема синтезована за рівнянням в ДНФ або КНФ, як правило, громіздка і потребує мінімізації, ефективним способом якої є використання карт Карно.

Для синтезу мінімізованої логічної схеми з використанням карти Карно необхідно виконати дії в такій послідовності [2]:

- 1) виходячи з таблиці істинності, записати рівняння вихідної змінної у диз'юнктивній формі;
- 2) побудувати карту Карно розмірністю  $4 \times 4$  (4 вхідних змінних);
- 3) заповнити карту Карно, поставивши одиниці для відповідних доданків;
- 4) об'єднати сусідні одиниці контурами з 2, 4 або 8 одиниць;
- 5) перевірити спрощення, які можна застосувати для кожного контуру, виключаючи члени, які доповнюють один одного;
- 6) записати отримане логічне рівняння як логічну суму спрощених добутоків, отриманих з кожного контуру.

Здійснимо синтез логічної схеми за таблицею істинності з використанням карти Карно. Оскільки логічна функція має 4 змінних, то

карта Карно буде складатись з 16 клітинок. На рисунку 2.5 зображена карта Карно для заданої таблиці істинності, як бачимо, на ній можна виділити три області. Для кожної області запишемо рівняння, виключаючи змінні, які зустрічаються в областях в прямому і інверсному вигляді. Отримані добутки логічних змінних об'єднаємо логічним додаванням.

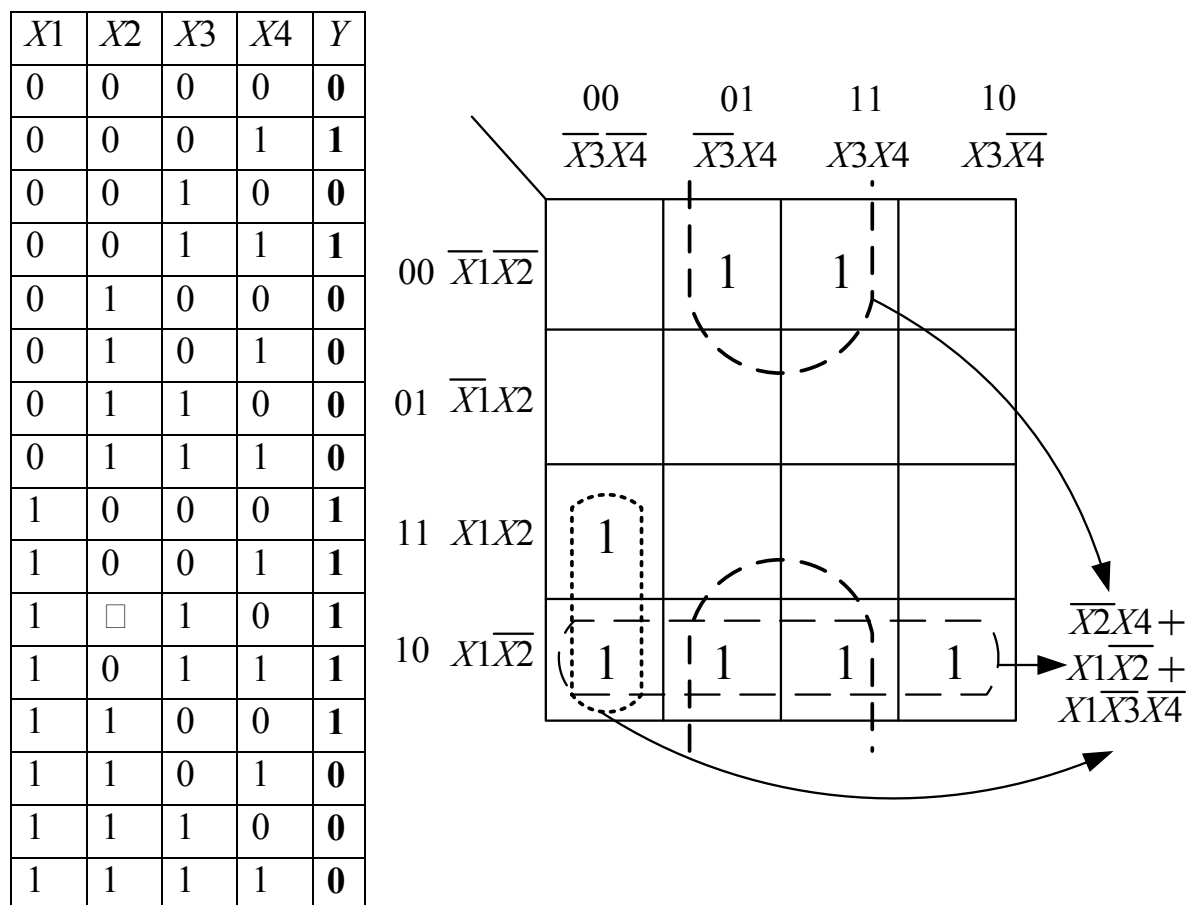


Рисунок 2.5 – Побудова карти Карно згідно з таблицею істинності та виведення рівняння вихідної функції

Побудуємо логічну схему, що реалізує синтезоване рівняння (рисунок 2.6)

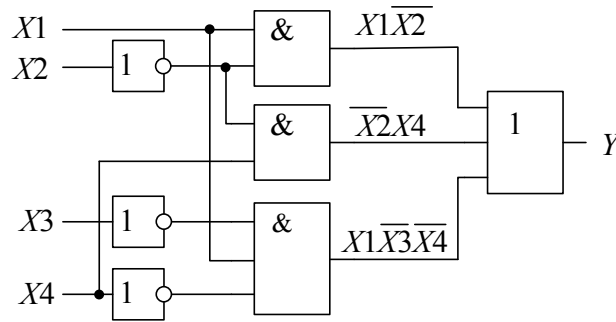


Рисунок 2.6 – Синтезована логічна схема

Для моделювання синтезованої схеми використаємо пакет Proteus, в якому складемо схему з використанням логічних схем серії CD4000. Для вибору необхідних мікросхем використайте додатки, пошук в бібліотеці елементів Proteus, довідники або пошукові сервіси мережі Інтернет. Схема моделювання в пакеті Proteus зображена на рисунку 2.7.

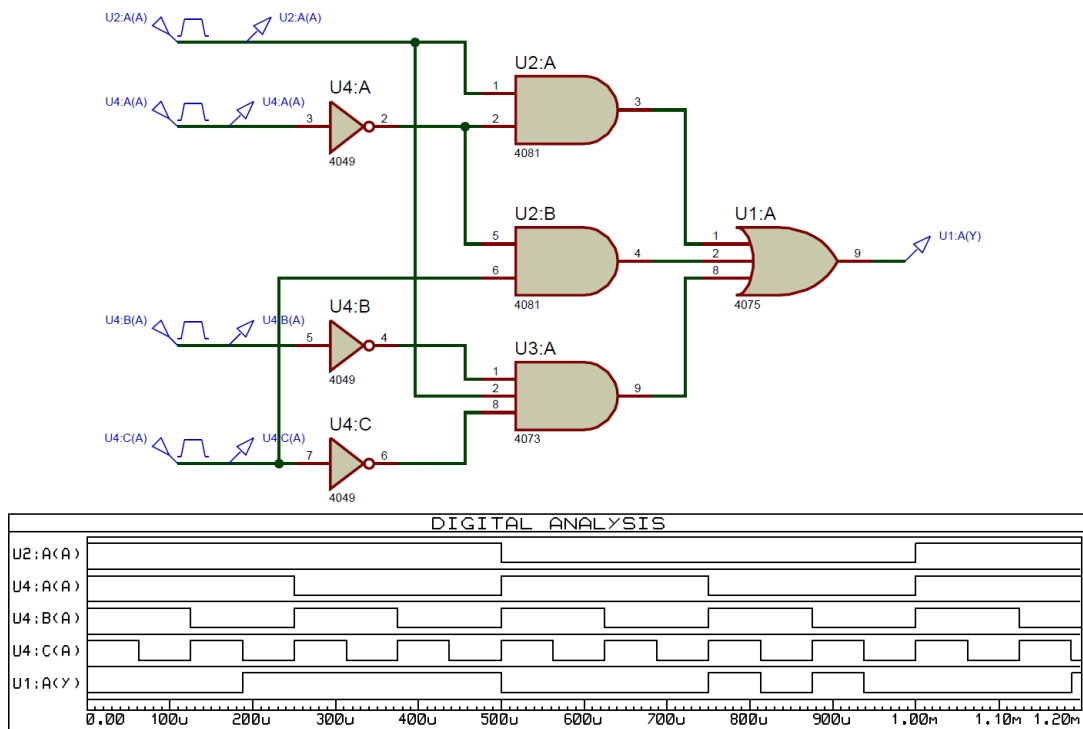


Рисунок 2.7 – Синтезована логічна схема та результати її моделювання в пакеті Proteus

Для генерації вхідного двійкового коду застосовано 4 генератори прямокутних імпульсів з частотами для змінних X1–4: 1 кГц, 2 кГц, 4 кГц,



8 кГц, відповідно, таким чином всі комбінації вхідного коду відбуваються за 1 мс.

Вікно налаштування першого генератора імпульсів подане на рисунку 2.8.

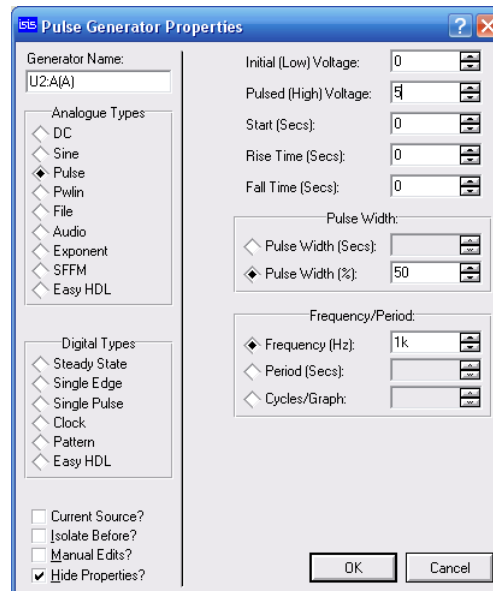


Рисунок 2.8 – Вікно налаштування генератора імпульсів

Використавши на панелі інструментів панель «Графік» → «DIGITAL», виділимо область для майбутнього графіка на робочій області, далі, використавши панель «Щуп напруження», вкажемо необхідні для вимірювання точки на схемі. Далі додаємо необхідні сигнали до графіка, задаємо область виведення в даному випадку 1,2 мс та проводимо симуляцію. Клацнувши на полі заголовка графіка, заходимо у вікно розширених налаштувань (рисунок 2.9), в якому можна відредагувати графік та прослідкувати за зміною сигналів, переміщуючи курсор. Графічну частину моделі необхідно експортувати в PDF, використавши меню «Файл» → «Експорт графіки» → «Експорт в PDF файл».

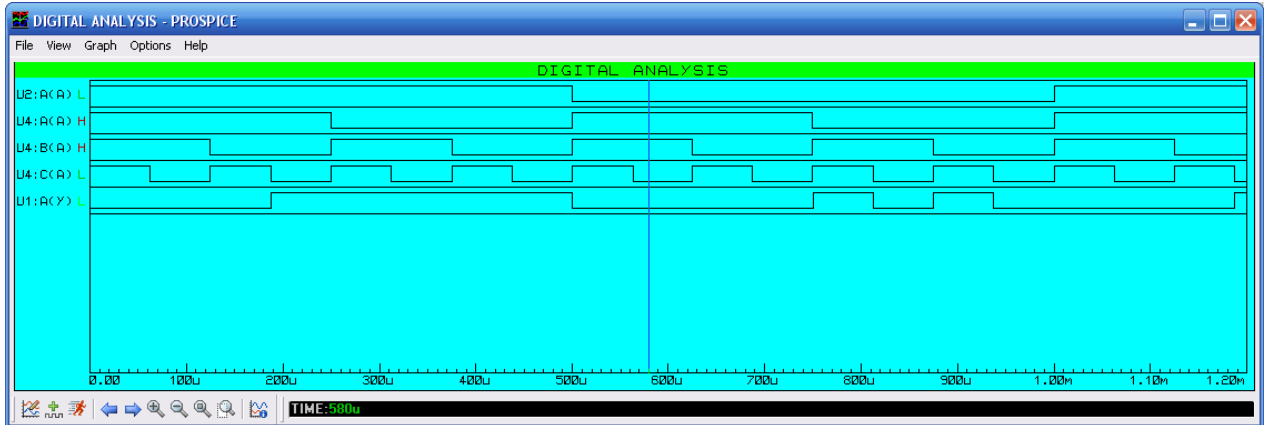


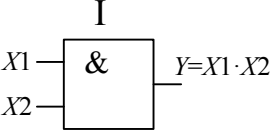
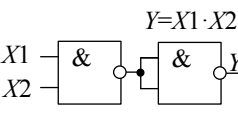
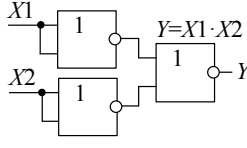
Рисунок 2.9 – Вікно аналізу цифрових сигналів

Як бачимо синтезована логічна схема (див. рисунок 2.7) має в своєму складі всі найпростіші логічні елементи (3 елементи НЕ, 2 елементи 2І, 1 елемент 3І, 1 елемент 3АБО). Часто логічну схему необхідно реалізувати на однотипних елементах, якими згідно з правилом де Моргана, можуть бути елементи І-НЕ чи АБО-НЕ, тому ці елементи називають універсальними або базисними. В таблиці 2.1 подано еквівалентні рівняння та логічні схеми подання найпростіших логічних елементів в базисах І-НЕ та АБО-НЕ.

Таблиця 2.1 – Еквівалентні рівняння та логічні схеми подання найпростіших логічних елементів в базисах І-НЕ та АБО-НЕ

Елемент булевого базису	Універсальний базис І-НЕ		Універсальний базис АБО-НЕ	
	Формула	Логічний еквівалент	Формула	Логічний еквівалент
1	2	3	4	5
<p>НЕ</p> $X \rightarrow Y = \bar{X}$	$\bar{X} = \overline{X \cdot X}$		$\bar{X} = \overline{X + X}$	
<p>АБО</p> $X1, X2 \rightarrow Y = X1 + X2$	$X1 + X2 = \overline{\overline{X1 \cdot X2}}$		$X1 + X2 = \overline{\overline{X1 + X2}}$	

Продовження таблиці 2.1

1	2	3	4	5
	$X1 \cdot X2 = \overline{\overline{X1 \cdot X2}}$		$X1 \cdot X2 = \overline{\overline{X1 + X2}}$	

Використовуючи таблицю 2.1, подамо синтезовану логічну схему (див. рисунок 2.6) в базисі елементів 2І-НЕ (рисунок 2.10).

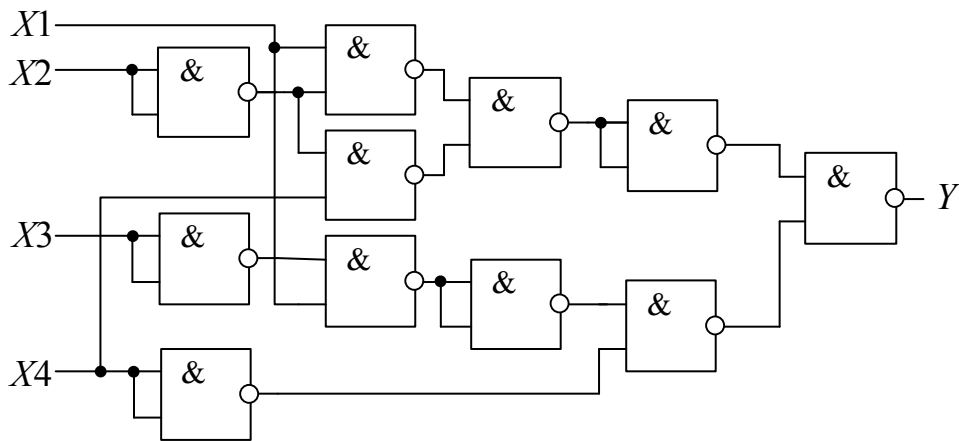


Рисунок 2.10 – Синтезована логічна схема в базисі І-НЕ

### 2.3 Вказівки до практичної частини роботи

Складання схем з використанням мікросхем логіки здійснюється на спеціальній макетній платі для монтажу без паяння (solderless breadboard). За допомогою даної плати можна скласти схеми різного ступеня складності з використанням вивідних електронних компонентів та провідників. Внутрішню схему з'єднань контактів макетної плати показано на рисунку 2.11, відстань між сусідніми контактами складає 2,54 мм (0,1 дюйма).

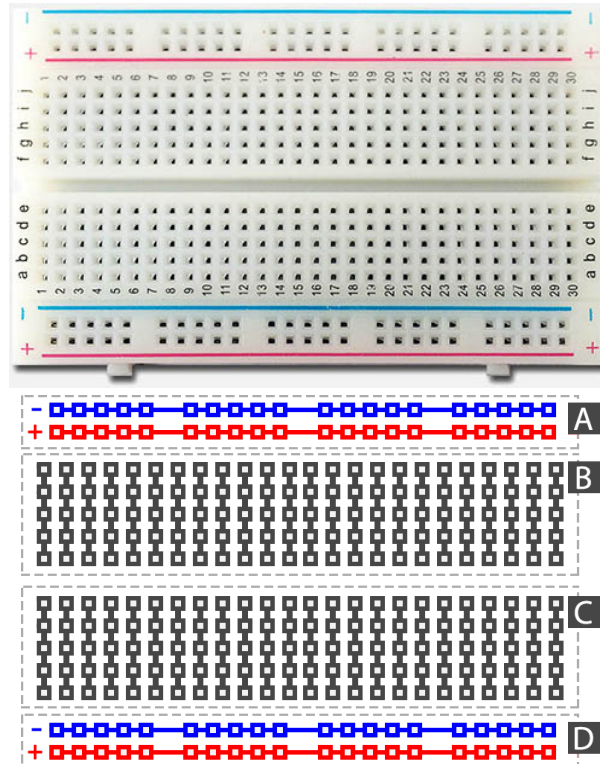


Рисунок 2.11 – Внутрішня схема з'єднань контактів макетної плати

Секції контактів А і D призначені для розгалуження виводів живлення, секції контактів ВС призначені для встановлення компонентів (мікросхем, резисторів, транзисторів, діодів і т. д. ). Приклад встановлення компонентів на макетній платі зображено на рисунку 2.12.

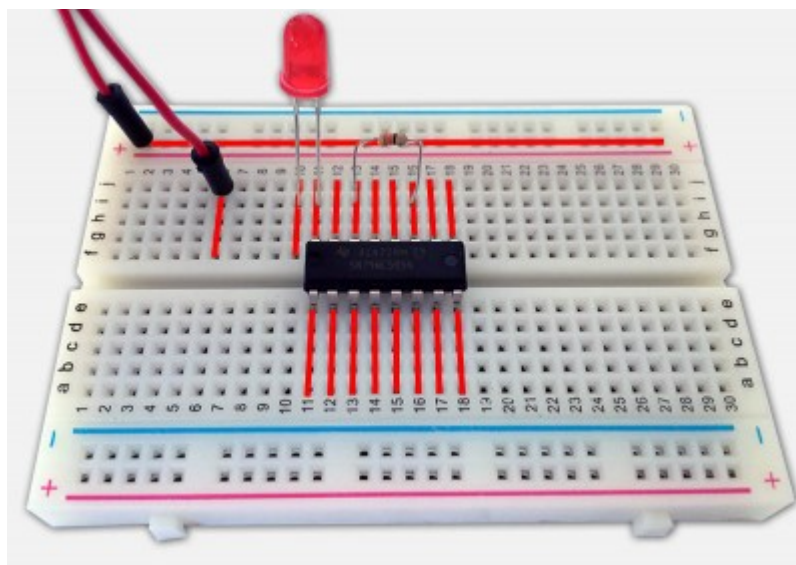


Рисунок 2.12 – Компоненти на макетній платі

В лабораторній роботі необхідно скласти мінімізовану схему, та синтезовану схему в заданому базисі. В роботі використовуються мікросхеми серії К155 та їх зарубіжні аналоги. Функціональне призначення мікросхем та відповідність аналогів наведені в додатках, розташування виводів наведені в довіднику [1].

Слід пам'ятати, що на вході мікросхеми повинен бути встановлений певний логічний рівень, якщо на вивід входу не поданий ніякий сигнал («висить в повітрі»), то мікросхеми серії К155 сприймають це як високий рівень сигналу на вході, для мікросхем на КМОН елементах це спричиняє помилкові спрацювання і невизначений стан входу. Тому потрібно потенціал входу задати за допомогою резистора, який можна під'єднати до напруги високого або низького рівня. В першому випадку такий резистор називають pull-up, в другому – pull-down. Приклади з'єднання входів X1–X4 до мікросхем наведено на рисунку 2.13.

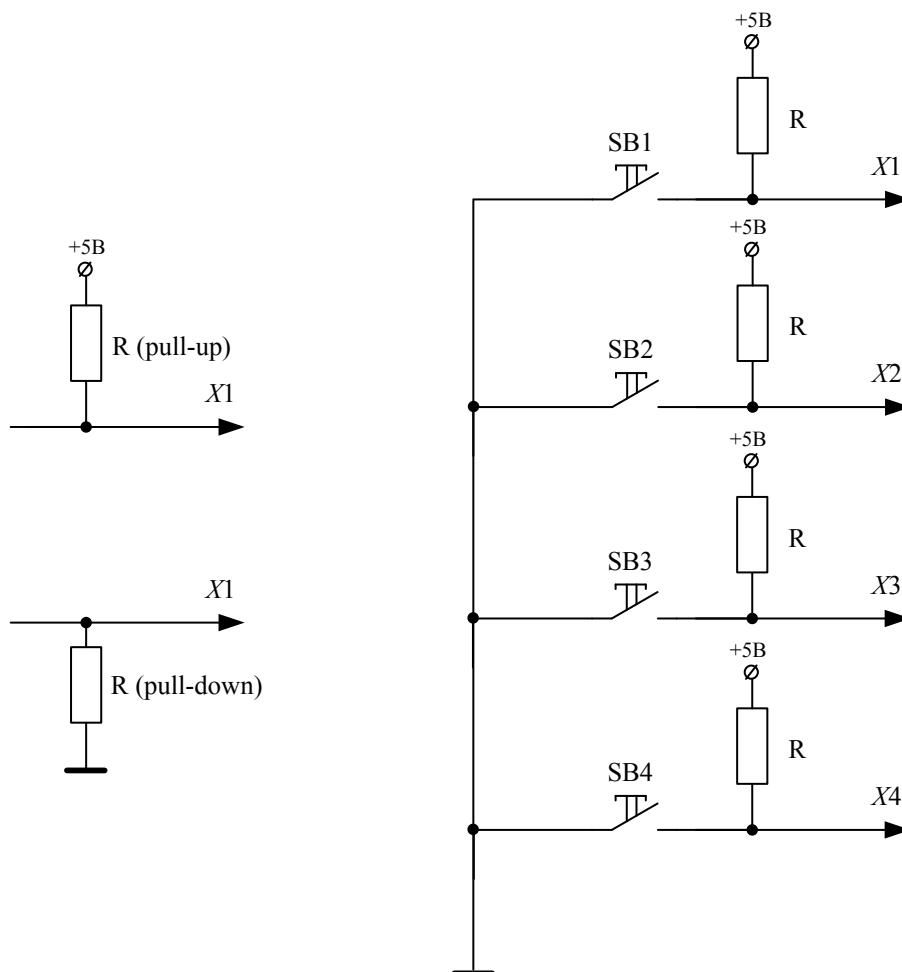


Рисунок 2.13 – Під'єднання входів для формування логічних сигналів

Для сигналізації вихідного сигналу (рисунок 2.14) можна використати світлодіод під'єднаний до необхідного виходу, для більшої інформативності можна застосувати схему з двома світлодіодами, які можуть сигналізувати всі стани виходу логічної мікросхеми. Якщо світиться світлодіод VD1, то на виході сигнал логічного нуля, якщо світиться світлодіод VD2, то на виході сигнал логічної одиниці, якщо світяться два світлодіоди, то вихід перебуває у високоімпедансному стані.

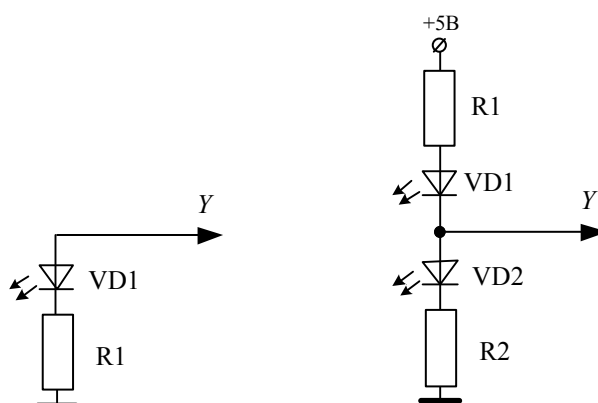


Рисунок 2.14 – Під'єднання виходів для сигналізування логічних рівнів

## 2.4 Зміст звіту

1. Титульний аркуш.
2. Мета роботи.
3. Завдання згідно з варіантом.
4. Схема моделі заданої логічної схеми в пакеті Micro-Cap. Навести графіки залежності всіх змінних в залежності від вхідних сигналів, як такі використати сигнал нарощення двійкового коду.
5. Логічні рівняння для всіх вихідних змінних із застосуванням законів та аксіом алгебри логіки для мінімізації отриманих рівнянь.
6. Схема моделі мінімізованої функції в пакеті Micro-Cap (за необхідності) та графік вихідної змінної.
7. Карта Карно для заданої таблиці істинності, показати області та виведення рівняння вихідної змінної.
8. Навести результати моделювання мінімізованої логічної схеми в пакеті Proteus.

9. Схема в заданому універсальному базисі. Навести коротку технічну характеристику використовуваних мікросхем.

10. Висновки з кожної схеми і результатів моделювання.

## 2.5 Контрольні питання

1. Дайте означення алгебри логіки.
2. Назвіть найпростіші логічні елементи (ЛЕ).
3. Яких значень можуть набувати змінні в цифровій техніці?
4. Наведіть аксіоми алгебри логіки.
5. Наведіть основні закони алгебри логіки.
6. Дайте означення позитивної і негативної логіки.
7. Наведіть теорему де Моргана. Які ЛЕ утворюють базис побудови логічних схем?
8. Що таке базис Пірса?
9. Що таке базис Шеффера?
10. Поясніть, які переваги має ТТЛ в порівнянні з діодною логікою?
11. Що таке КМОН логіка?
12. Дайте означення ЛЕ АБО, АБО –НЕ.
13. Зобразіть таблиці станів ЛЕ АБО, АБО –НЕ.
14. Дайте означення ЛЕ І, І –НЕ.
15. Зобразіть таблиці станів ЛЕ І, І –НЕ.
16. Дайте означення ЛЕ НЕ.
17. Перетворення логічних елементі.
18. Запишіть формулу функції та зобразіть таблицю станів ЛЕ НЕ.
19. Зобразіть схему реалізації ЛЕ НЕ.
20. Що значить ключ відкритий і насичений? Поясніть це на прикладі використання біполярного транзистора.
21. Назвіть основні параметри ЛЕ, поясніть їх сутність.
22. Мінімізація логічних функцій трьох змінних з використанням карт Карно.
23. Мінімізація логічних функцій чотирьох змінних з використанням карт Карно.

---

## Література

1. Шило В. Л. Популярныe цифровыe микросхемы : справочник / В. Л. Шило. – [2-е изд., исправленнoе]. – М. : Радио и связь, 1989. – 352 с.
2. Токхейм Р. Основы цифровой электроники: пер. с англ. / Токхейм Р. – М. : Мир, 1988. – 392 с.
3. Новиков Ю. В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования / Новиков Ю. В. – М. : Мир, 2001. – 379 с.
4. Лаврентьев Б. Ф. Аналоговая и цифровая электроника : учебное пособие / Лаврентьев. Б. Ф. – Йошкар-Ола : МарГТУ, 2000. – 155 с.
5. Бойко В. І. Схемотехніка електронних систем : у 3 кн. Кн.2. Цифрова схемотехніка : підручник / [В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін.] – [2-ге вид., допов. і переробл.] – К. : Вища школа, 2004. – 423 с.



**Додаток А**  
**Типи мікросхем сімейства SN74 та їх вітчизняні аналоги**

Таблиця А.1 – Типи мікросхем

Номер SN74	Позначення аналога	Номер SN74	Позначення аналога	Номер SN74	Позначення аналога	Номер SN74	Позначення аналога
00	ЛА3	80	ИМ1	161	ИЕ10	261	ИП8
01	ЛА8	81	РУ1	162	ИЕ11	273	ИР35
02	ЛЕ1	82	ИМ2	163	ИЕ18	279	ТР2
03	ЛА9	83	ИМ3	164	ИР8	280	ИП5
04	ЛН1	84	РУ3	165	ИР9	283	ИМ6
05	ЛН2	85	СП1	166	ИР10	289	РУ9
06	ЛН3	86	ЛП5	168	ИЕ16	295	ИР16
07	ЛН4	89	РУ2	169	ИЕ17	298	КП13
07	ЛП9	90	ИЕ2	170	ИР32	299	ИР24
08	ЛИ1	92	ИЕ4	170	РП1	323	ИР29
09	ЛИ2	93	ИЕ5	172	РП3	352	КП19
10	ЛА4	95	ИР1	173	ИР15	353	КП17
11	ЛИ3	97	ИЕ8	174	ТМ9	365	ЛП10
12	ЛА10	107	ТВ6	175	ТМ8	366	ЛН6
13	ТЛ1	109	ТВ15	180	ИП2	367	ЛП11
14	ТЛ4	112	ТВ9	181	ИП3	373	ИР22
15	ЛИ4	113	ТВ10	182	ИП4	374	ИР23
16	ЛН5	114	ТВ11	183	ИМ5	377	ИР27
17	ЛП4	121	АГ1	184	ПР6	384	ИП9
20	ЛА1	123	АГ3	185	ПР7	385	ИМ7
21	ЛИ6	124	ГГ1	190	ИЕ12	390	ИЕ20
22	ЛА7	125	ЛП8	191	ИЕ13	393	ИЕ19
23	ЛЕ2	128	ЛЕ6	192	ИЕ6	395	ИР25
25	ЛЕ3	130	РУ5	193	ИЕ7	465	АП14
26	ЛА11	132	ТЛ3	194	ИР11	466	АП15
27	ЛЕ4	134	ЛА19	195	ИР12	533	ИР40
28	ЛЕ5	136	ЛЛ3	196	ИЕ14	534	ИР41
30	ЛА2	136	ЛП12	197	ИЕ15	573	ИР33

Продовження таблиці А.1

Номер SN74	Позначення аналога	Номер SN74	Позначення аналога	Номер SN74	Позначення аналога	Номер SN74	Позначення аналога
32	ЛЛ1	138	ИД7	198	ИР13	574	ИР37
37	ЛА12	139	ИД14	221	АГ4	630	ВЖ1
38	ЛА13	140	ЛА16	225	РУ10	639	АП9
40	ЛА6	141	ИД1	226	ВА1	640	АП10
42	ИД6	145	ИД10	240	АП3	643	АП16
50	ЛР1	147	ИВ3	241	АП4	646	АП20
51	ЛР11	148	ИВ1	242	ИП6	670	ИР26
53	ЛР3	150	КП1	243	ИП7	873	ИР34
54	ЛР13	151	КП7	244	АП5	874	ИР38
55	ЛР4	152	КП5	245	АП6	1000	ЛА21
60	ЛД1	153	КП2	247	ИД18	1003	ЛА23
64	ЛР9	154	ИД3	251	КП15	1010	ЛА24
65	ЛР10	155	ИД4	253	КП12	1020	ЛА22
72	ТВ1	156	ИД5	257	КП11	1034	ЛП16
74	ТМ2	157	КП16	258	КП14	1035	ЛП17
75	ТМ7	158	КП18	259	ИР30		
77	ТМ5	160	ИЕ9	260	ЛЕ7		

## Додаток Б

## Функціональне призначення цифрових мікросхем стандартних серій

Таблиця Б.1 – Функціональне призначення цифрових мікросхем

Позн.	Аналог SN74	Функція
АГ1	121	Одновібратор без перезавантаження
АГ3	123	Два одновібратори з перезавантаженням
АГ4	221	Два одновібратори без перезавантаження
АП3	240	Два чотирирозрядних буфери із 3С та інверсією
АП4	241	Два чотирирозрядних буфери із 3С
АП5	244	Два чотирирозрядних буфери із 3С
АП6	245	8-розрядний двонаправлений буфер із 3С
АП9	640	8-розрядний двонаправлений буфер із 3С
АП10	640	8-розрядний двонаправлений буфер із 3С та інверсією
АП14	465	8-розрядний буфер із 3С
АП15	466	8-розрядний буфер із 3С та інверсією
АП16	643	8-розрядний буфер із 3С
АП20	646	8-розрядний двонаправлений буфер із регістром і з 3С
ВА1	226	Схема сполучення з магістраллю
ВЖ1	630	16-розрядна схема контролю за кодом Хеммінга
ГТ1	124	Два генератори, керованих напругою
ІВ1	148	Пріоритетний шифратор 8-3
ІВ3	147	Пріоритетний шифратор 9-4
ІД1	14	Двійково-десятковий дешифратор з високовольтним виходом
ІД3	154	Дешифратор 4-16
ІД4	155	Здвоєний дешифратор 2-4
ІД5	156	Два дешифратори 2-4 з СК
ІД6	42	Двійково-десятковий дешифратор 3-8
ІД7	138	Дешифратор 3-8
ІД10	145	Двійково-десятковий дешифратор 3-8 з великим вихідним струмом
ІД14	139	Два дешифратори 2-4

## Продовження таблиці Б.1

Позн.	Аналог SN74	Функція
ИД18	247	Дешифратор двійково-десятькового коду в код семисегментного індикатора
ИЕ2	90	Чотирирозрядний двійково-десятьковий лічильник
ИН4	92	Лічильник-діленьник на 12
ИЕ5	93	Чотирирозрядний двійковий лічильник
ИЕ6	192	Чотирирозрядний реверсивний двійково-десятьковий лічильник
ИЕ7	193	Чотирирозрядний реверсивний двійковий лічильник
ИЕ8	97	Діленьник частоти зі змінним коефіцієнтом ділення
ИЕ9	160	Чотирирозрядний синхронний двійково-десятьковий лічильник з асинхронним скиданням
ИЕ10	161	Чотирирозрядний синхронний двійковий лічильник з асинхронним скиданням
ИЕ11	162	Чотирирозрядний двійково-десятьковий лічильник із синхронним скиданням
ИЕ12	190	Чотирирозрядний синхронний реверсивний десятиковий лічильник
ИЕ13	191	Чотирирозрядний синхронний реверсивний двійковий лічильник
ИЕ14	196	Лічильник-діленьник на 2 і на 5
ИЕ15	197	Чотирирозрядний асинхронний лічильник з попереднім установленням
ИЕ16	168	Чотирирозрядний синхронний двійково-десятьковий лічильник з паралельним завантаженням
ИЕ17	169	Чотирирозрядний синхронний двійковий лічильник з паралельним завантаженням
ИЕ18	163	Чотирирозрядний двійковий лічильник з синхронним скиданням
ИЕ19	393	Здвоєний чотирирозрядний двійковий лічильник
ИЕ20	390	Два двійково-десятькових лічильники зі скиданням
ИМ1	80	Однорозрядний повний суматор

## Продовження таблиці Б.1

Позн.	Аналог SN74	Функція
ИМ2	82	Дворозрядний повний суматор
ИМ3	83	Чотирирозрядний повний суматор
ИМ5	183	Чотирирозрядний повний суматор з прискореним перенесенням
ИМ6	283	Чотирирозрядний повний суматор з прискореним перенесенням
ИМ7	385	Чотирирозрядний реверсивний суматор
ИП2	180	8-розрядна схема контролю парності
ИП3	181	АЛП для двох чотирирозрядних слів
ИП4	182	Чотирирозрядна схема прискореного перенесення
ИП5	280	9-розрядна схема контролю парності
ИП6	242	Двонаправлений чотирирозрядний буфер з інверсією
ИП7	243	Двонаправлений чотирирозрядний буфер
ИП8	261	Паралельний помножувач 2×4 розряди
ИП9	384	8-розрядний послідовно-паралельний помножувач
ИР1	95	Чотирирозрядний двонаправлений зсувний регістр
ИР8	164	8-розрядний регістр зсуву з послідовним входом і паралельними виходами
ИР9	165	8-розрядний регістр зсуву з паралельними входами і послідовним виходом
ИР10	166	8-розрядний зсувний регістр
ИР11	194	Чотирирозрядний двонаправлений зсувний регістр
ИР12	195	Чотирирозрядний двонаправлений зсувний регістр
ИР13	198	8-розрядний зсувний регістр
ИР15	173	Чотирирозрядний регістр із 3С
ИР16	295	Чотирирозрядний реверс. зсувний регістр з виходами 3С
ИР22	373	8-розрядний регістр-фіксатор із 3С
ИР23	374	8-розрядний регістр із 3С
ИР24	299	8-розрядний двонаправл. реверс. зсувний регістр із 3С
ИР25	395	Чотирирозрядний зсувний регістр із 3С
ИР26	670	Регістровий файл 4×4 із 3С

## Продовження таблиці Б.1

Позн.	Аналог SN74	Функція
ИР27	377	8-розрядний регістр з дозволом запису
ИР29	323	8-розрядний зсувний регістр із ЗС
ИР30	259	8-розрядний регістр зберігання з адресацією
ИР32	170	Регістровий файл 4×4 з ВК
ИР33	573	8-розрядний буферний регістр
ИР34	873	Два чотирирозрядних регістри із ЗС
ИР35	273	8-розрядний регістр зі скиданням
ИР37	574	8-розрядний регістр із ЗС
ИР38	874	Два чотирирозрядних регістри із ЗС
ИР40	533	8-розрядний регістр-фіксатор із ЗС та інверсією
ИР41	534	8-розрядний регістр із ЗС та інверсією
КП1	150	16-канальний мультиплексор
КП2	153	Здвоєний 4-канальний мультиплексор
КП5	152	8-канальний мультиплексор
КП7	151	8-канальний мультиплексор зі стробуванням
КП11	257	Чотирирозрядний двоканальний мультиплексор із ЗС
КП12	253	Дворозрядний чотириканальний мультиплексор
КП13	298	Чотирирозрядний двоканальний мультиплексор зі стробуванням
КП14	258	Чотирирозрядний двоканальний мультиплексор із ЗС та інверсією
КП15	251	8-канальний мультиплексор із ЗС
КП16	157	Чотирирозрядний двоканальний мультиплексор
КП17	353	Дворозрядний чотириканальний мультиплексор із ЗС та інверсією
КП18	158	Чотирирозрядний двоканальний мультиплексор із інверсією
КП19	352	Дворозрядний чотириканальний мультиплексор із інверсією
ЛА1	20	Два логічних елементи 4І-НЕ
ЛА2	30	Логічний елемент 8І-НЕ

## Продовження таблиці Б.1

Позн.	Аналог SN74	Функція
ЛА3	00	Чотири логічних елементи 2І-НЕ
ЛА4	10	Три логічних елементи 3І-НЕ
ЛА6	40	Два лог. елементи 4І-НЕ з підвищеним вихідним струмом
ЛА7	22	Два лог. елементи 4І-НЕ з ВК та підвищ. вих. струмом
ЛА8	01	Чотири логічних елементи 2І-НЕ з ВК
ЛА9	03	Чотири логічних елементи 2І-НЕ з ВК
ЛА10	12	Три логічних елементи 3І-НЕ з ВК
ЛА11	26	Чотири лог. елементи 2І-НЕ з ВК та підв. вих. напругою
ЛА12	37	Чотири логічних елементи 2І-НЕ з підв. вихідним струмом
ЛА13	38	Чотири лог. елементи 2І-НЕ з ВК та підвищ. вих. струмом
ЛА16	140	Два логічних елементи 4І-НЕ для роботи на лінії 50 Ом
ЛА19	134	Логічний елемент 2І-НЕ з дозволом
ЛА21	1000	Чотири лог. елементи 2І-НЕ з підвищ. вихідним струмом
ЛА22	1020	Два лог. елементи 4І-НЕ з підвищ. вихідним струмом
ЛА23	1003	Чотири лог. елементи 2І-НЕ з ВК та підвищ. вих. струмом
ЛА24	1010	Три лог. елементи 3І-НЕ з підвищеним вихідним струмом
ЛД1	60	Два чотиривходові розширювачі за АБО
ЛЕ1	02	Чотири логічних елементи 2АБО-НЕ
ЛЕ2	23	Два логічних елементи 4АБО-НЕ зі стробуванням
ЛЕ3	25	Два логічних елементи 4АБО-НЕ зі стробуванням
ЛЕ4	27	Три логічних елементи 3АБО-НЕ
ЛЕ5	28	Чотири лог. елементи 2АБО-НЕ з підвищ. вих. струмом
ЛЕ6	128	Чотири лог. елементи 2АБО-НЕ з підвищ. вих. струмом
ЛЕ7	260	Два логічних елементи 5АБО-НЕ
ЛИ1	08	Чотири логічних елементи 2І
ЛИ2	09	Чотири логічних елементи 2І з ВК
ЛИ3	11	Три логічних елементи 3І
ЛИ4	15	Три логічних елементи 3І з ВК
ЛИ6	21	Два логічних елементи 4І
ЛЛ1	32	Чотири логічних елементи 2АБО
ЛЛ3	136	Чотири двовходових лог. елементи виключне АБО з ВК

## Продовження таблиці Б.1

Позн.	Аналог SN74	Функція
ЛН1	04	Шість інверторів
ЛН2	05	Шість інверторів з ВК
ЛН3	06	Шість інверторів з ВК і підвищеною вихідною напругою
ЛН4	07	Шість буферних елементів з ВК
ЛН5	16	Шість інверторів з ВК і підвищеною вихідною напругою
ЛН6	366	Шість інверторів із 3С і керуванням
ЛП4	17	Шість буферних елементів з ВК і підвищеною вих. напругою
ЛП5	86	Чотири двохходових логічних елемента виключне АБО
ЛП8	125	Чотири буферних елементи із 3С і роздільним керуванням
ЛП9	07	Шість буферних елементів з ВК і підвищеною вихідною напругою
ЛП10	365	Шість буферних елементів із 3С
ЛП11	367	Шість буферних елементів із 3С
ЛП12	136	Чотири двохходових логічних елементи виключне АБО з ВК
ЛП16	1034	Шість буферів з підвищеним вихідним струмом
ЛП17	1035	Шість буферів з ВК і підвищеним вихідним струмом
ЛР1	50	Два елементи 2-2І-2АБО-НЕ
ЛР3	53	Елемент 2-2-2-3І-4АБО-НЕ
ЛР4	55	Елемент 4-4І-2АБО-НЕ
ЛР9	64	Елемент 2-4-2-3І-АБО-НЕ
ЛР10	65	Елемент 2-4-2-3І-АБО-НЕ з ВК
ЛР11	51	Елементи 2-2І-2АБО-НЕ та 2-3І-2АБО-НЕ
ЛР13	54	Елемент 3-2-2-3І-4АБО-НЕ
ПР6	184	Перетворювач двійково-десятькового коду в двійковий
ПР7	185	Перетворювач двійкового коду в двійково-десятьковий
РП1	170	Регістровий ЗП 4×4
РП3	172	Регістровий ЗП 8×2 з ВК
РУ1	81	ОЗП з організацією 4×4
РУ2	89	ОЗП з організацією 16×4



## Продовження таблиці Б.1

<b>Позн.</b>	<b>Аналог SN74</b>	<b>Функція</b>
РУ3	84	ОЗП 4×4 з додатковими входами запису
РУ5	130	ОЗП з організацією 256×1
РУ9	289	ОЗП з організацією 16×4
РУ10	225	ОЗП з організацією 16×4
СП1	85	Чотирирозрядний компаратор кодів
ТВ1	72	JK- тригер з елементом 3І на вході
ТВ6	107	Два JK-тригери
ТВ9	112	Два JK-тригери
ТВ10	113	Два JK-тригери
ТВ11	114	Два JK-тригери
ТВ15	109	Два JK-тригери
ТЛ1	13	Два тригери Шмітта з інверсією і елементом 4І на вході
ТЛ2	14	Шість тригерів Шмітта з інверсією
ТЛ3	132	Чотири тригери Шмітта з інверсією і елементом 2І на вході
ТМ2	74	Два D-тригери з прямими і інверсними виходами
ТМ5	77	Чотири D-тригери типу «фіксатор»
ТМ7	75	Чотири D-тригери типу «фіксатор» з прямими та інверсними виходами
ТМ8	175	Чотири D-тригери з прямими і інверсними виходами
ТМ9	174	Шість D-тригерів із загальним синхровходом
ТР2	279	Два DS-тригери

**Додаток В**  
**Зарубіжна і вітчизняна серія цифрових мікросхем**

Таблиця В.1 – Таблиця відповідності зарубіжних і вітчизняних серій цифрових мікросхем

<b>Серії SN74</b>	<b>Вітчизняні серії</b>
74 ... J	KM155
74 ...N	K155
74AC ... N	KP1554
74ALS ... N	KP1533
74F ... N	KP1531
74H...N	K131
74L...N	K134
74LS ... J	KM555
74LS ... N	K555
74S ... J	KM531
74S ... N	KP531

**Додаток Г**  
**Мікросхеми серії 40xx та їх вітчизняні аналоги**

Таблиця Г.1 – Мікросхеми вітчизняної серії та 40xx

<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>
АГ1	4098	ИЕ21	40161	ИР4	4031	ЛЕ10	4025	ПУ4	4050
ГГ1	4046	ИЕ8	4017	ИР6	4034	ЛЕ5	4001	ПУ6	40109
ИД1	4028	ИЕ9	4022	ИР9	4035	ЛЕ6	4002	ПУ7	4069
ИД4	4055	ИМ1	4008	КП1	4052	ЛИ2	4081	РУ2	4061
ИД6	4056	ИП2	4585	КП2	4051	ЛН1	4502	СА1	4531
ИД6	4555	ИП3	4581	КП3	4512	ЛН2	4049	ТВ1	4027
ИД7	4556	ИП4	4582	КП4	4519	ЛП1	4007	ТЛ1	4093
ИЕ10	4520	ИП5	4554	КП5	4053	ЛП14	4070	ТЛ2	40106
ИЕ11	4516	ИП6	40101	КТ1	4016	ЛП2	4030	ТМ1	4003
ИЕ14	4029	ИР10	4006	КТ3	4066	ЛП4	4000	ТМ2	4013
ИЕ15	4059	ИР12	4580	ЛА10	40107	ЛС2	4019	ТМ3	4042
ИЕ16	4020	ИР14	4076	ЛА7	4011	ПР1	4094	ТР2	4043
ИЕ19	4018	ИР15	40194	ЛА8	4012	ПУ2	4009	УМ1	4054
ИЕ20	4040	ИР2	4015	ЛА9	4023	ПУ3	4010		

Таблиця Г.2 – Мікросхеми серії 40xx та їх вітчизняні аналоги

<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>	<b>40xx</b>	<b>561, 1561</b>
4000	ЛП4	4020	ИЕ16	4044	немає	4075	немає	40109	ПУ6
4001	ЛЕ5	4021	немає	4046	ГГ1	4076	ИР14	40161	ИЕ21
4002	ЛЕ6	4022	ИЕ9	4049	ЛН2	4077	немає	40194	ИР15
4003	ТМ1	4023	ЛА9	4050	ПУ4	4078	немає	4502	ЛН1
4006	ИР10	4024	немає	4051	КП2	4081	ЛИ2	4512	КП3
4007	ЛП1	4025	ЛЕ10	4052	КП1	4082	немає	4516	ИЕ11
4008	ИМ1	4026	немає	4053	КП5	4085	немає	4519	КП4
4009	ПУ2	4027	ТВ1	4054	УМ1	4086	немає	4520	ИЕ10
4010	ПУ3	4028	ИД1	4055	ИД4	4089	немає	4093	ТЛ1
4011	ЛА7	4029	ИЕ14	4056	ИД6	4094	ПР1	4541	немає
4012	ЛА8	4030	ЛП2	4059	ИЕ15	4096	немає	4554	ИП5
4013	ТМ2	4031	ИР4	4061	РУ2	4097	немає	4555	ИД6
4014	немає	4034	ИР6	4066	КТ3	4098	АГ1	4556	ИД7
4015	ИР2	4035	ИР9	4069	ПУ7	4099	немає	4580	ИР12
4016	КТ1	4038	немає	4070	ЛП14	40101	ИП6	4581	ИП3
4017	ИЕ8	4040	ИЕ20	4071	немає	40106	ТЛ2	4582	ИП4
4018	ИЕ19	4042	ТМ3	4072	немає	4531	СА1	4584	немає
4019	ЛС2	4043	ТР2	4073	немає	40107	ЛА10	4585	ИП2

*Навчальне видання*

**Методичні вказівки  
до виконання лабораторної роботи  
з дисципліни «Аналогова та цифрова схемотехніка»  
для студентів напряму підготовки  
«Електромеханіка»**

Редактор В. Дружиніна

Коректор З. Поліщук

Укладачі: Дмитро Петрович Проценко  
Валентин Володимирович Грабко  
Юрій Володимирович Шевчук  
Віктор Петрович Курочка

Оригінал-макет підготовлено Д. Проценком

Підписано до друку 05.05.2017 р.  
Формат 29,7×42¼. Папір офсетний.  
Гарнітура Times New Roman.  
Ум. друк. арк. 2,76.  
Наклад 40 пр. Зам. № 2017-095

Видавець та виготовлювач  
Вінницький національний технічний університет,  
інформаційний редакційно-видавничий центр.  
ВНТУ, ГНК, к. 114.  
Хмельницьке шосе, 95,  
м. Вінниця, 21021.  
Тел. (0432) 59-85-32, 59-87-38,  
press.vntu.edu.ua,  
e-mail: kivc.vntu@gmail.com.  
Свідоцтво суб'єкта видавничої справи  
серія ДК № 3516 від 01.07.2009 р.