



**С. Г. Кривогубченко  
Ю. Ю. Іванов  
К. В. Овчинников**



**ОСНОВИ ЕЛЕКТРОНІКИ  
ТА МП ТЕХНІКИ**



**2023**

Міністерство освіти і науки України  
Вінницький національний технічний університет

# **Основи електроніки та МП техніки**

Електронний навчальний посібник  
комбінованого (локального та мережного) використання

Вінниця  
ВНТУ  
2023

УДК 621.38(075.8)

К82

Рекомендовано до видання Вченою радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 12 від 4.05.2023 р.)

Рецензенти:

**А. Я. Кулик**, доктор технічних наук, професор ВНМУ

**В. В. Ковтун**, доктор технічних наук, професор

**М. Г. Тарновський**, кандидат технічних наук, доцент

**Кривогубченко, С. Г.**

**К82** Основи електроніки та МП техніки : електронний навчальний посібник комбінованого (локального та мережного) використання [Електронний ресурс] / Кривогубченко С. Г., Іванов Ю. Ю., Овчинников К. В. – Вінниця : ВНТУ, 2023. – 187 с.

У навчальному посібнику викладено основні закони та елементна база, арифметичні та логічні основи МП техніки, компоненти електронних пристроїв, інтегральний таймер, операційні підсилювачі та перетворювачі аналогових сигналів, програмний симулятор для розробки і моделювання електричних схем. Наведено приклади побудови різноманітних цифрових пристроїв з використанням сучасних інтегральних схем.

Посібник призначено для студентів, які навчаються за спеціальністю 151 – «Автоматизація та комп'ютерно-інтегровані технології» та 174 – «Автоматизація, комп'ютерно-інтегровані технології та робототехніка».

УДК 621.38(075.8)

© ВНТУ, 2023

## ЗМІСТ

ВСТУП.....	6
1 БАЗОВІ ЕЛЕМЕНТИ ЕЛЕКТРИЧНОГО КОЛА .....	8
1.1 Основні закони. Резистивний елемент.....	8
1.2 Ємнісний елемент.....	13
1.3 Індуктивний елемент .....	14
1.4 Мемристори .....	16
2 ЕЛЕМЕНТНА БАЗА ЕЛЕКТРОНІКИ ТА МП ТЕХНІКИ.....	19
2.1 Основи роботи напівпровідникових приладів .....	19
2.2 Діоди.....	20
2.3 Стабілітрони .....	23
2.4 Оптоелектронні пристрої .....	24
2.4.1 Світлодіоди .....	24
2.4.2 Фотодіоди.....	25
2.4.3 Оптрони.....	26
2.5 Транзистори .....	27
2.5.1 Біполярні транзистори.....	27
2.5.2 Польові транзистори .....	32
2.6 Інтегральні схеми .....	36
3 АРИФМЕТИЧНІ ОСНОВИ МП ТЕХНІКИ .....	42
3.1 Системи числення .....	42
3.2 Переведення чисел із однієї позиційної системи числення в іншу ...	45
3.3 Числові дані .....	48
3.3.1 Формат цілих чисел .....	49
3.3.2 Формат дійсних чисел .....	51
4 ЛОГІЧНІ ОСНОВИ МП ТЕХНІКИ.....	54
4.1 Релейно-контактні вентиля .....	54
4.2 Напівпровідникові вентиля.....	56
4.2.1 Вентиль «НЕ» .....	57
4.2.2 Вентилі «АБО НЕ» та «І НЕ» .....	58
4.2.3 Вентилі «І» та «АБО» .....	60
4.2.4 Синтез комбінаційних схем .....	61
4.2.5 Вентиль «Виключне АБО».....	65
4.2.6 Багатовходові вентиля.....	66
4.3 Комбінаційна схема суматора.....	68
4.4 Комбінаційна схема зсуву .....	72
4.5 Компаратор .....	74

4.6	Перетворювачі кодів .....	76
4.7	Побудова логічних схем на базі мультплексорів .....	82
4.8	Арифметично-логічний пристрій .....	88
4.9	Схема пам'яті на базових вентилях.....	90
4.9.1	RS – тригери .....	93
4.9.2	D – тригери .....	96
4.9.3	Лічильні тригери (Т - тригери) .....	97
4.9.4	Універсальні тригери (JK - тригери) .....	98
4.10	Регістри.....	101
4.11	Лічильники.....	106
4.12	Напівпровідникові запам'ятовувальні пристрої.....	114
5	КОМПОНЕНТИ ЕЛЕКТРОННИХ ПРИСТРОЇВ.....	120
5.1	Формувачі та генератори імпульсів .....	120
5.1.1	Одновібратори .....	122
5.1.2	Одновібратори на основі ємнісного зв'язку .....	123
5.1.3	Типові схеми одновібраторів .....	123
5.2	Схеми виділення перепадів .....	127
5.2.1	Схеми виділення перепадів на основі диференційних кіл.....	128
5.2.2	Схеми виділення перепадів на основі кіл і логічних елементів ...	129
5.2.3	Схеми виділення перепаду з «0» в «1» та з «1» в «0» на основі інтегрувальних кіл і логічних елементів .....	130
5.2.4	Схеми виділення перепадів, які використовують властивість затримки вхідних сигналів логічними елементами .....	131
5.3	Генератори прямокутних імпульсів .....	134
5.3.1	Мультвібратор .....	134
5.3.2	Генератори прямокутних імпульсів з одним RC колом.....	136
5.3.3	Генератори прямокутних імпульсів на основі тригерів.....	137
5.3.4	Генератори прямокутних імпульсів на основі інтегральних ключів.....	139
5.4	Схеми затримки імпульсів .....	140
5.5	Формувачі кодових сигналів.....	143
6	ІНТЕГРАЛЬНИЙ ТАЙМЕР .....	146
6.1	Робота таймера в режимі одновібратора .....	146
6.2	Робота таймера в режимі генератора прямокутних імпульсів .....	148
7	ЗВОРОТНІЙ ЗВ'ЯЗОК ТА ОПЕРАЦІЙНІ ПІДСИЛЮВАЧІ .....	150
7.1	Інвертувальний підсилювач .....	151
7.2	Неінвертувальний підсилювач.....	152

7.3 Повторювач.....	153
7.4 Перетворювач струму на напругу .....	154
7.5 Диференційний підсилювач.....	155
7.6 Підсумовувальний підсилювач.....	155
7.7 Інтегратори.....	156
7.8 Диференціатори.....	157
7.9 Компаратори .....	157
7.10 Розрахунок кіл, які містять ОП, за допомогою графіків.....	157
8 Перетворювач аналогових сигналів .....	161
9 Симулятор електричних схем .....	164
9.1 Інтерфейс програми .....	164
9.2 Користування програмою.....	177
9.3 Лабораторний практикум .....	184
Список використаних джерел .....	185

## ВСТУП

Електроніка – це наука (або мистецтво) про побудову різноманітних за функціями та цілями електронних вузлів і пристроїв. Функції, реалізовані схемами, можуть накладати специфічні обмеження на шляху досягнення поставлених цілей. У цьому плані можна говорити про схемотехніку, наприклад, промислової автоматики, силової чи промислової електроніки, радіотехнічної схемотехніки. Безсумнівно, специфічним розділом схемотехніки є і схемотехніка мікропроцесорної техніки. Мікропроцесорна (МП) техніка використовується для автоматизації процесів приймання, зберігання, оброблення і передавання інформації, які здійснюються заздалегідь розробленими людиною програмами. Тобто для виконання основних функцій МП техніки передбачено спеціальні пристрої:

– пам'ять – група пристроїв, які забезпечують зберігання програм і даних;

– процесор (від process – оброблення) – один або декілька пристроїв, які забезпечують оброблення даних, що задаються програмою;

– пристрої введення / виведення – група пристроїв, які забезпечують обмін даними між користувачем і МП технікою.

Різні пристрої МП техніки з'єднують один з одним за допомогою стандартизованих та уніфікованих апаратних засобів – кабелів, з'єднувачів і т. д. За таких умов пристрої обмінюються один з одним інформацією і керівними сигналами, які також зводяться до деяких стандартних форм. Сукупність цих стандартних засобів і форм утворює конкретний *інтерфейс*.

Інтерфейсом називається сукупність уніфікованих стандартних угод, апаратних і програмних засобів, методів та правил взаємодії пристроїв і програм між собою або з користувачем.

Під час оброблення інформації доводиться мати справу з даними різної природи, для зберігання яких застосовуються різні способи їх подання

в двійковому алфавіті: {0, 1}, {true, false}, пара напруг {1 В, 5 В} і т. д. Двійковий розряд являє собою найменшу кількість інформації, яка називається *бітом*. Основною одиницею виміру обсягу пам'яті є *байт* і ряд кратних одиниць, які утворюються за допомогою так званої двійкової тисячі -  $2^{10} = 1024$ . Перша – кілобайт (**Кбайт**), наступна – мегабайт (**Мбайт**): 1 Мбайт = 1024 Кбайт = 1048576 байт. Далі гігабайт (**Гбайт**, близько мільярда байт) і терабайт (**Тбайт**, близько трильйона байт)...

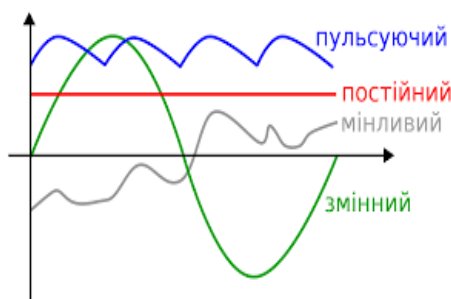
У навчальному посібнику розглядаються основні закони та базові елементи електричного кола, основи роботи напівпровідникових приладів, елементна база електроніки та МП техніки, арифметичні та логічні основи МП техніки, інтегральний таймер, операційні підсилювачі та перетворювачі аналогових сигналів, програмний симулятор електричних схем. Програма Sky Simulator є освітнім інструментом для розробки і моделювання електричних схем та для проведення лабораторного практикуму.



# 1 БАЗОВІ ЕЛЕМЕНТИ ЕЛЕКТРИЧНОГО КОЛА

## 1.1 Основні закони. Резистивний елемент

Суть електроніки полягає у взаємозв'язку напруги і струму [1, 2, 8]. Напруга створюється шляхом впливу на електричні заряди в таких пристроях, як батареї (електрохімічні реакції), генератори (взаємодія магнітних сил), сонячні батареї (фотогальванічний ефект енергії фотонів) і под. Струм ми отримуємо, прикладаючи напругу між точками схеми. На схемах та в формулах **напруга** позначається літерою  $U$ , а **струм** –  $I$  і вимірюються



відповідно ці величини у вольтах (**V**) та амперах (**A**). Розрізняють змінний (англ. Alternating current, AC), постійний (англ. Direct current, DC) і пульсуючий електричні струми, а також їх комбінації.

**Постійний струм** – струм, напрямок і величина якого слабо змінюються в часі.

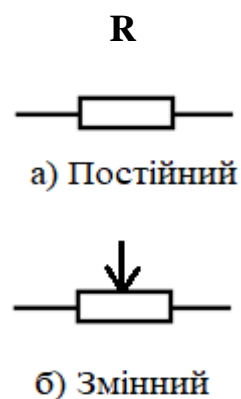
**Змінний струм** – струм, величина і напрямок якого змінюються в часі. У промисловості і побуті більшості країн використовують змінний струм з частотою 50 Гц.

**Пульсуючий струм** – струм, у якого змінюється тільки величина, а напрямок залишається постійним.

Загальноприйнятий напрямок струму у зовнішньому колі – від позитивного електрода джерела живлення до негативного. Проходячи по електричному колу, струм здійснює роботу, яка перетворюється на теплову, механічну, променеву, хімічну та інші види енергії. Робота, здійснена струмом за одиницю часу, називається **потужністю** ( $P$ ), вимірюється у ватах (**Вт**) і визначається як:  $P = U \cdot I$ .

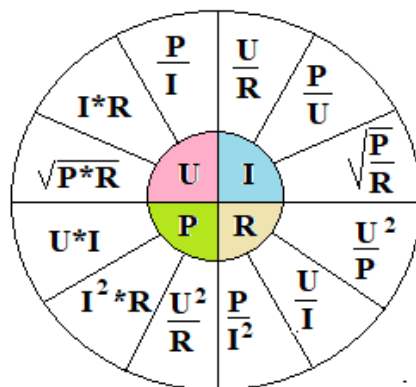
Для характеристики здатності речовини проводити електричний

струм були введені поняття **електричної провідності** ( $G$ ) і величини, оберненої провідності – **електричного опору** ( $R$ ). **Електричний опір** як елемент електричного кола (рис. 1.1) називається **резистором**, вимірюється в омах (**Ом**) і визначається таким чином:  $R = U / I$ . Це співвідношення називається **законом Ома**.  $1 \text{ Ом}^{-1} = 1 \text{ См}$  (сіменс).



**Рисунок 1.1** – Зовнішній вигляд та умовне позначення резистора

Діаграма основних співвідношень  $I > U > R > P$  :



Для утворення кратних одиниць вимірювання застосовуються такі приставки:

тера	<b>T</b>	$10^{12}$	; гига	<b>G</b>	$10^9$	; мега	<b>M</b>	$10^6$	; кіло	<b>k</b>	$10^3$
піко	<b>p</b>	$10^{-12}$	; нано	<b>n</b>	$10^{-9}$	; мікро	<b>μ</b>	$10^{-6}$	; мілі	<b>m</b>	$10^{-3}$

Елементи електричних кіл можуть з'єднуватися як послідовно

(рис. 1.2, а), так і паралельно (рис. 1.2, б).

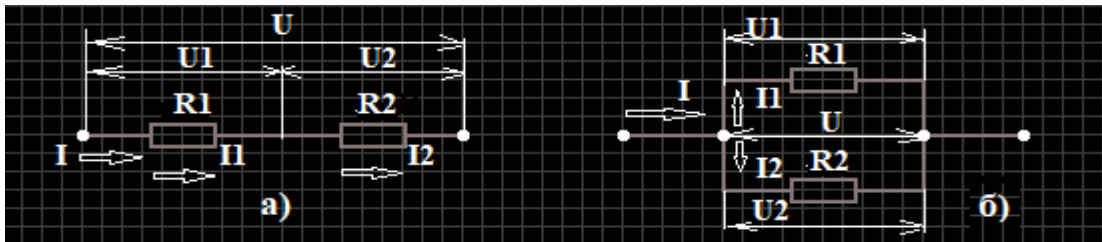


Рисунок 1.2 – З'єднання резисторів

Параметри послідовного кола (рис. 1.2, а) визначаються відповідно до таких законів:

- сила струму через будь-яку ділянку кола однакова, тобто  $I = I_1 = I_2$ ;
- загальний опір кола дорівнює сумі опорів його окремих ділянок, тобто  $R = R_1 + R_2$  і завжди отримуємо більший опір, ніж опір окремого резистора;
- напруга на ділянках кола прямо пропорційна опорам цих ділянок;
- напруга, прикладена до зовнішнього кола, дорівнює сумі напруг ділянок, тобто  $U = U_1 + U_2$ .

Аналогічно для паралельного кола характерні такі закони:

- спади напруг на всіх гілках однакові між собою, тобто  $U = U_1 = U_2$ ;
- сума спадів напруги в будь-якому замкнутому контурі дорівнює нулю. Це закон **Кірхгофа** для напруг;
- сума струмів, які виходять з точки розгалуження (вузла), дорівнює сумі струмів, які входять в неї (закон **Кірхгофа** для струмів), тобто  $I = I_1 + I_2$ ;
- розподілення сили струму по гілках обернено пропорційне опорам гілок;
- опір двох паралельно з'єднаних резисторів дорівнює  $R = R_1 R_2 / (R_1 + R_2)$ , причому завжди отримуємо менший опір, ніж опір окремого резистора.

Резистори мають широке застосування. На рис. 1.3 наведено схему подільника напруги, який використовується в схемах для отримання необхідної напруги:  $U_{вих.} = I \cdot R2 = U_{вх.} \cdot R2 / (R1 + R2)$ .

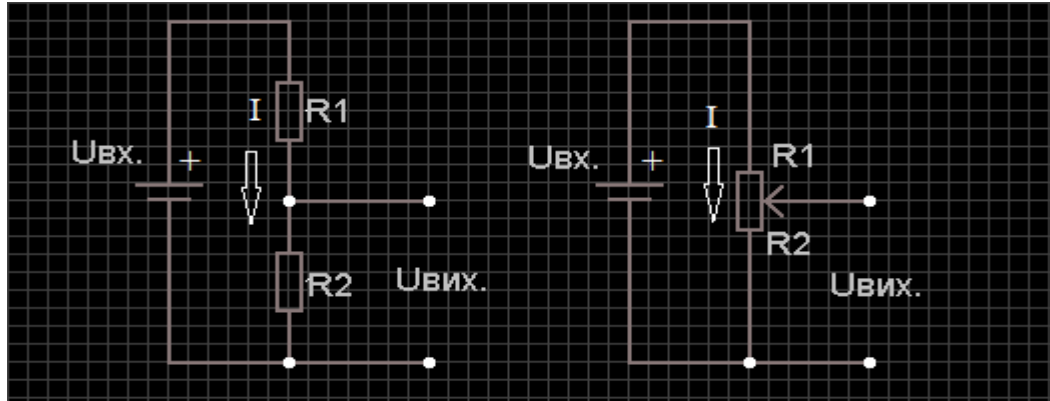


Рисунок 1.3 – Подільник напруги

Окрім вказаних раніше послідовного та паралельного з'єднання елементів, на практиці застосовуються складніші з'єднання, які мають, крім того, і декілька джерел живлення. Один з варіантів розрахунку таких кіл описується законом Кірхгофа для напруг. Для ілюстрації розглянемо наступний приклад, в якому необхідно визначити напрям і величину струму, який проходить через резистор  $R3$  (рис. 1.4).

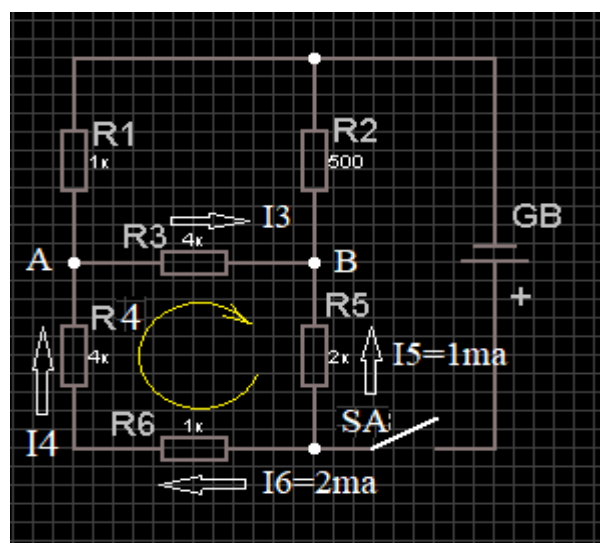


Рисунок 1.4 – Електричне коло

Для розрахунку вибираємо контур  $R4R3R5R6$ . За умовою нам відомі опори цих резисторів і величини струмів, які проходять через них. Оберемо напрямок обходу контура за годинниковою стрілкою і допустимо, що через резистор  $R3$  струм тече від точки А до точки В. Оскільки напрям обходу контура збігається з напрямками струмів через резистори  $R4$ ,  $R3$  і  $R6$ , то значення сили струму цих ділянок кола підставляються у формулу зі знаком плюс «+». Напрямок струму через резистор  $R5$  не збігається з зворотним напрямком обходу контуру, відповідно, сила струму цієї ділянки кола підставляється в формулу зі знаком мінус «-». Джерело живлення в контурі відсутнє, тому вважаємо, що  $E = I_4R_4 + I_3R_3 - I_5R_5 + I_6R_6 = 0$ .

Звідки  $I_3 = -2 \text{ мА}$ .

Оскільки величина струму вийшла від'ємною, то можна зробити висновок, що в дійсності струм через резистор  $R3$  протікає від точки В до точки А.

Визначити величину напруги  $E$  джерела живлення  $GB$  (рис. 1.5).

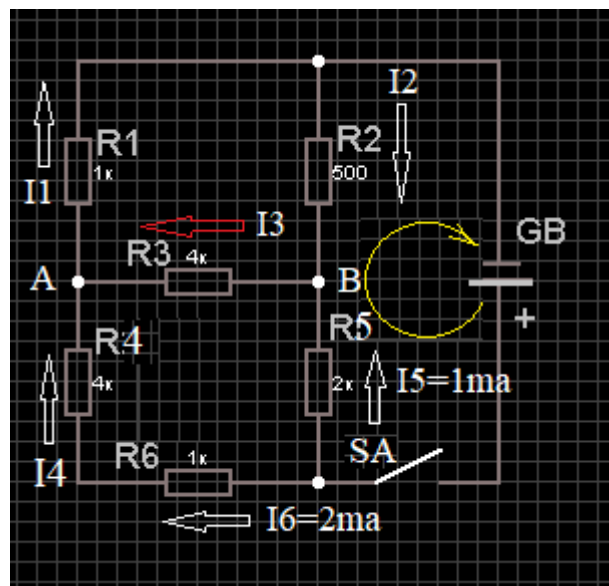


Рисунок 1.5 – Електричне коло

Для розрахунку вибираємо контур  $R5R2E$  та напрямок обходу контуру за годинниковою стрілкою.  $E = I_5R_5 - I_2R_2 = I_5R_5 - (I_3 - I_5)R_2 = 1,5 \text{ В}$ .

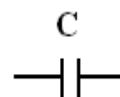
Для виготовлення резисторів використовують мідні, мідно-нікелеві, нікелеві, нікель-хромові матеріали.

## 1.2 Ємнісний елемент

Як і резистори, конденсатори (рис. 1.6) широко використовуються в електронних пристроях. Електрична ємність (конденсатор) – елемент з властивістю накопичувати й утримувати електричні заряди [5, 7, 21]. В ідеальному випадку залежність струму конденсатора від напруги на ньому описується виразом:  $I = C \cdot (dU/dt)$ .

Таким чином, струм конденсатора пропорційний не просто напрузі, а швидкості зміни напруги.

Коефіцієнт пропорційності  $C$  – це **ємність конденсатора**, що вимірюється у фарадах ( $\Phi$ ). Ємність в 1  $\Phi$  дуже велика, тому на практиці мають справу з мікрофарадами (**мкФ**), нанофарадами (**нф**), пікофарадами (**пФ**). Ємність  $C$  визначає здатність конденсатора накопичувати **заряд**. Це видно з наступної властивості конденсатора:  $Q = C \cdot U$ .



**Рисунок 1.6** – Зовнішній вигляд і умовне позначення конденсатора

Тобто конденсатор, що має ємність  $C$  фарад, до якого прикладена напруга  $U$  вольт, накопичує **заряд  $Q$  кулон**. Очевидно, що чим більше ємність конденсатора, тим більший заряд він може накопичити за однакової напруги.

При ввімкненні конденсатора в коло постійного струму в ньому відбуватиметься перехідний процес (рис. 1.7). Він полягає в тому, що напруга на конденсаторі збільшується поступово, за експоненціальним законом. Тривалість перехідного процесу (стала часу), тобто час заряджання конденсатора до 95 % або розряджання до 5 % від максимальної величини напруги можна визначити за формулою:  $\tau_c = 3RC$ .



**Рисунок 1.7** – Перехідний процес під час заряджання–розряджання конденсатора

В електроніці під час розрахунку сталих часу  $\tau_c$  кола часто за точку відліку беруть: для заряджання – 63 %, для розряджання – 37 % від величини максимального струму (напруги). В цьому випадку  $\tau_c = RC$ .

Електричні характеристики конденсаторів залежать від типу діелектрика між його обкладинками.

Як і інші елементи, конденсатори можуть з'єднуватися послідовно і паралельно. Ємність паралельно з'єднаних конденсаторів дорівнює сумі ємностей, тобто:  $C = C_1 + C_2 + C_3 + \dots$  а для послідовного – маємо такий самий вираз, що й для паралельного з'єднання резисторів:  $1/C = 1/C_1 + 1/C_2 + 1/C_3 + \dots$

### 1.3 Індуктивний елемент

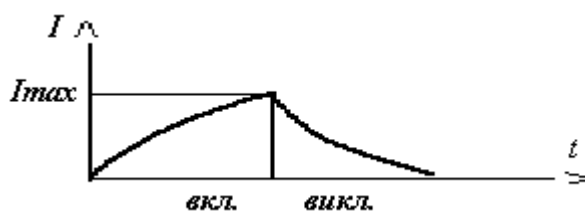
В ідеальному індуктивному елементі (рис. 1.8) напруга на індуктивності прямо пропорційна швидкості зміни струму:  $U = L \cdot (dI/dt)$ , де  $L$  – коефіцієнт пропорційності між напругою і швидкістю зміни струму, який на-

зивається коефіцієнтом самоіндукції або індуктивністю. Індуктивність вимірюється в генрі (Гн).



**Рисунок 1.8** – Зовнішній вигляд і умовне позначення індуктивності

Індуктивний елемент має властивості, протилежні властивостям конденсатора. Так, постійна напруга, прикладена до індуктивності, викликає наростання струму, що протікає через нього (рис. 1.9). Час (тривалість) перехідного процесу:  $\tau_L = 3L/C$ .



**Рисунок 1.9** – Перехідні процеси в колі постійного струму з індуктивністю

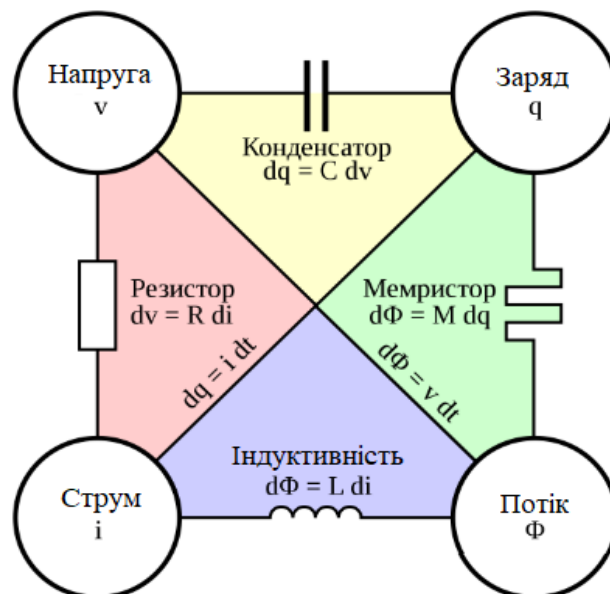
Котушки індуктивності, як правило, мають циліндричну або спіральну форму витків і виконуються як одношаровими, так і багатшаровими. Для збільшення значень індуктивності застосовують магнітопроводи. Матеріалом магнітопроводу найчастіше слугує залізо або ферит.



Індуктивності, головним чином, використовуються у вибіркових колах, фільтрах електричних сигналів. Одним із різновидів котушок індуктивностей є дросель. Їх основне призначення – забезпечити великий опір для змінних струмів і малий опір для постійних або низькочастотних струмів.

## 1.4 Мемристори

Електричне коло може описуватися чотирма фізичними величинами: в кожній точці (перерізу) – силою струму ( $I$ ) і зарядом ( $Q$ ), між двома точками (поверхнями) – напругою або різницею потенціалів ( $U$ ) і магнітним потоком ( $\Phi$ ). Всі ці чотири величини попарно співвідносяться одна з одною, причому ці співвідношення подано в фізичних елементах електросхеми (рис. 1.10).



**Рисунок 1.10** – Взаємозв’язок електричних величин в елементах електросхеми

Так, резистор (опір) реалізує взаємозв’язок сили струму і напруги, конденсатор (ємність) – напруги і заряду, котушка індуктивності – магнітного потоку і сили струму. Ці три пасивні елементи – резистор, конденса-

тор і котушка індуктивності вважаються базовими в електротехніці, оскільки електричну схему будь-якої складності теоретично можна звести до еквівалентної схеми, побудованої виключно з опорів, ємностей та індуктивностей. У 1971 році американський фізик Леон О. Чуа із Каліфорнійського університету в Берклі висунув гіпотезу, згідно з якою має існувати четвертий базовий елемент електросхеми, який описував би взаємозв'язок магнітного потоку з зарядом [3].

Мемристор (англ. memristor, від memory – пам'ять та resistor – опір) – це пасивний двополюсник з нелінійною вольт-амперною характеристикою, що має гістерезис «ефект пам'яті», тобто властивості елемента залежать від прикладеної раніше сили. В такому випадку опір мемристора залежить від пропущеного через нього заряду, що і дозволяє використовувати його як комірку пам'яті. Ця властивість була названа мемрезистивністю ( $M$ ), значенням якої є відношення зміни магнітного потоку до зміни заряду. Величина  $M$  залежить від кількості заряду, який пройшов через елемент, тобто від того, як довго через нього протікав електричний струм.

Принциповою відмінністю мемристора від більшості типів сучасної напівпровідникової пам'яті є те, що він не зберігає свої властивості у вигляді заряду і повністю енергонезалежний. Тобто дані можуть зберігатися в мемристорі до тих пір, поки існують матеріали, з яких він виготовлений. Для порівняння: флеш-пам'ять починає втрачати записану інформацію вже після року зберігання без доступу до електричного струму.

Конструктивно мемристори значно простіші за флеш-пам'ять: вони складаються з тонкої 50-нм плівки, яка складається з двох шарів – ізолювального діоксиду титану і шару, який збіднено киснем. Плівка розташована між двома платиновими 5-нм електродами. Під час подачі на електроди напруги змінюється кристалічна структура діоксиду титана: завдяки дифузії кисню його електричний опір збільшується на кілька порядків (в тисячі разів). Водночас після відключення струму зміни в комірці зберіга-

ються. Зміна полярності поданого струму перемикає стан комірки, причому число таких перемикачів не обмежене. На практиці мемристор може набувати не тільки звичайні два значення – 0 або 1, а й будь-які інші значення в проміжку від 0 до 1 так, що такий перемикач здатний працювати і в цифровому (дискретно), і в аналоговому режимах.

Практична реалізація ідеї мемристора здійснилась тільки нещодавно співробітниками лабораторії HP Labs під керівництвом Р. Стенлі Вільямса фірми Hewlett-Packard. Дослідження проводились в галузі наноелектроніки.

На думку Грега Шнайдера (спеціаліст компанії HP), мемристор стане одним з основних елементів нанопристроїв, що емулює роботу людського мозку (мініатюрні нанопристрої будуть об'єднані в єдину мережу, а мемристор стане елементом, відповідальним за «пам'ять» штучного інтелекту).

## 2 ЕЛЕМЕНТНА БАЗА ЕЛЕКТРОНІКИ ТА МП ТЕХНІКИ

Основу сучасної електроніки утворюють напівпровідникові прилади, виготовлені на базі германія, кремнія та інших хімічних елементів.

### 2.1 Основи роботи напівпровідникових приладів

Напівпровідниками є речовини, які займають проміжне місце за електропровідністю між провідниками та діелектриками [5, 8]. Особливістю напівпровідників є те, що під впливом зовнішньої дії або під час введення певних домішок напівпровідник різко змінює свою електропровідність. У разі прикладенні електричної напруги до напівпровідника електрони почнуть рухатись в одному напрямку від одного атома до іншого. Одночасно буде спостерігатись рух дірок у протилежному напрямку (рис. 2.1).

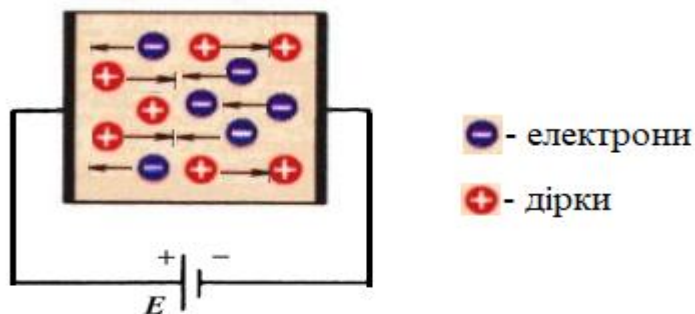


Рисунок 2.1 – Напівпровідник в електричному колі

Якщо напівпровідник має дві зони з різними типами провідності, то межа розділу цих зон має назву електронно-дірковий перехід або  $p-n$  перехід (рис. 2.2, а). Характерною особливістю  $p-n$  переходу є залежність його опору (провідності) від полярності прикладеної напруги.

За підключення позитивного полюса джерела напруги до зони з провідністю  $p$ -типу, а негативного – з провідністю  $n$ -типу дірки будуть відштовхуватись позитивним потенціалом джерела напруги, а електрони – не-

гативним. Вони будуть рухатись назустріч одні одному до  $p-n$  переходу, де відбудеться їх взаємопереміщення (рекомбінація) в області зони переходу. Пройшовши зону переходу, носії заряду потрапляють під вплив відповідних полюсів джерела напруги і притягуються ними. Таким чином, можна сказати, що через перехід протікає електричний струм. Величина цього струму буде залежати від величини прикладеної напруги. В цьому випадку говорять, що перехід зміщений в прямому напрямку або відімкнутий.

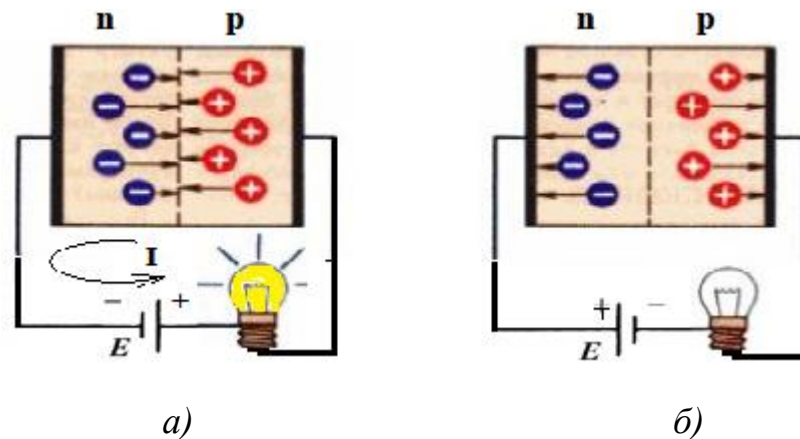


Рисунок 2.2 –  $P-n$  перехід в електричному колі

Якщо замінити полярність увімкнення джерела напруги, то електрони будуть притягуватись до позитивного, а дірки – до негативного електродом джерела (рис. 2.2, б). Внаслідок цього  $p-n$  перехід об'єднається з носіями заряду і струм через нього проходити не буде. В цьому випадку перехід зміщений у зворотному напрямку або замкнений.

## 2.2 Діоди

Процеси, які відбуваються в провіднику з  $p-n$  переходом, лежать в основі роботи різноманітних напівпровідникових пристроїв.

Зокрема, діоди (рис. 2.3) являють собою двохелектродний напівпровідниковий прилад з одним  $p-n$  переходом, один з виводів якого

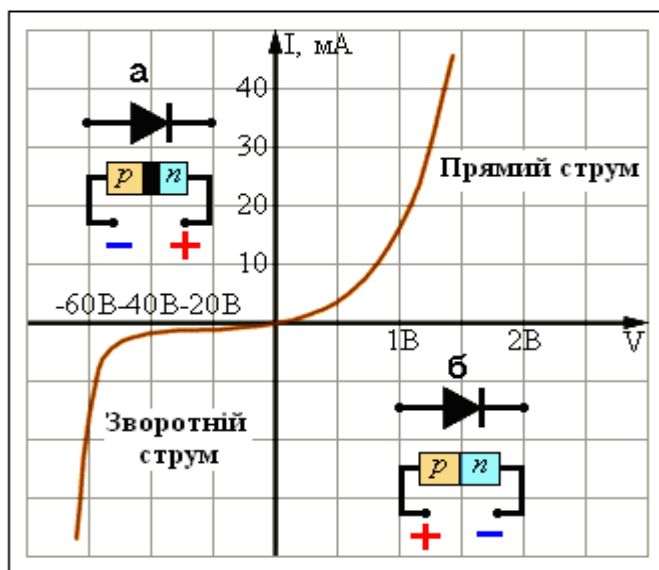
(анод) підключений до області напівпровідника з провідністю  $p$ -типу, а інший (катод) – до області з провідністю  $n$ -типу.



**Рисунок 2.3** – Зовнішній вигляд і умовне позначення діода

За підключення напруги позитивної полярності до анода, а негативної – до катода перехід зміщується в прямому напрямку і діод відкривається. У разі зміни полярності діод закривається.

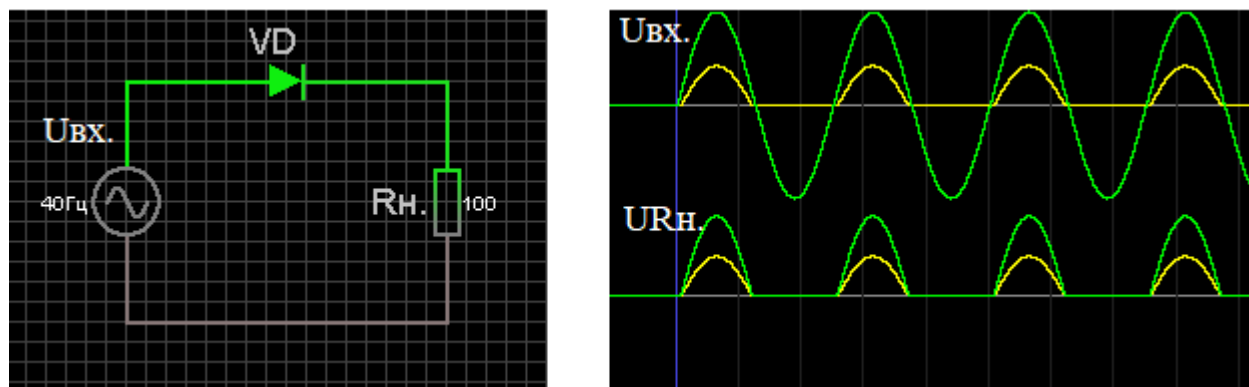
Залежність величини струму через діод від величини і полярності прикладеної напруги називається вольт-амперною характеристикою (ВАХ) діода (рис. 2.4).



**Рисунок 2.4** – Вольт-амперна характеристика напівпровідникового діода

До основних електричних характеристик діодів відносяться: максимально допустимий прямий струм, максимально допустима зворотна напруга, максимальний зворотний струм, напруга на відкритому діоді, максимальна потужність, яка розсіюється діодом.

Діоди знаходять широке застосування. На рис. 2.5 наведено схему випрямляча напруги та часові діаграми роботи.

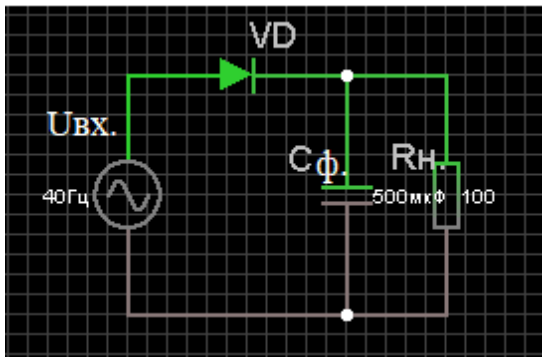


**Рисунок 2.5** – Випрямляч напруги та часові діаграми

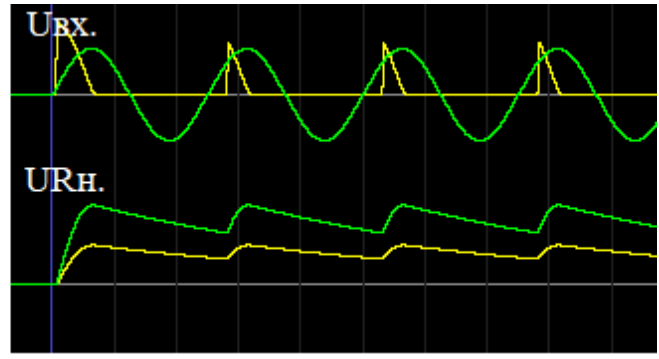
Ппульсуюча постійна напруга, яка отримується на виході випрямляча, в більшості випадків негативно впливає на нормальну роботу електросхем.

Для зниження величини пульсації вихідної напруги на виході випрямляча встановлюють згладжувальні фільтри. Найпростішим фільтром є ємність, яка включається паралельно навантаженню випрямляча, що показано на рис. 2.6, а).

Згладжувальна дія конденсатора полягає в такому. Конденсатор заряджається весь час, поки напруга на виході випрямляча більша за напругу на навантаженні (рис. 2.6, б). Коли напруга на виході випрямляча починає зменшуватись, конденсатор розряджається, віддаючи накопичену енергію в навантаження.



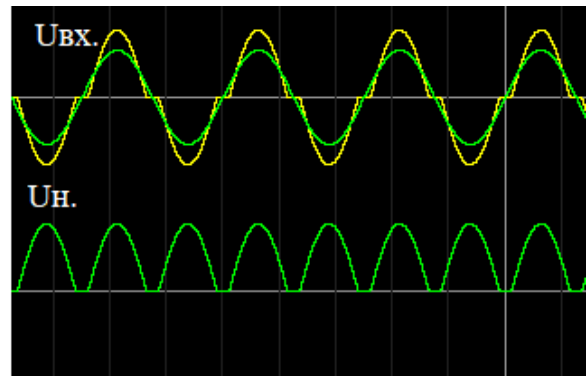
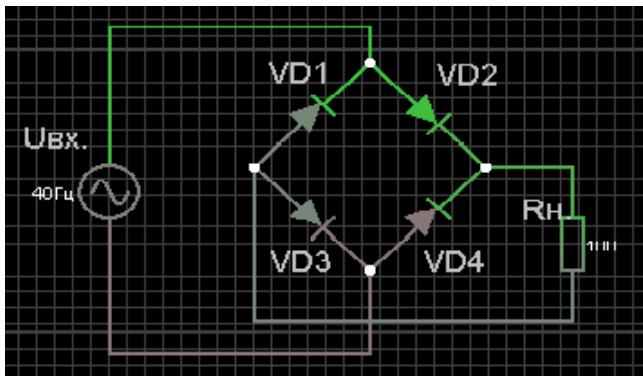
а)



б)

**Рисунок 2.6** – Випрямляч напруги зі згладжувальним фільтром

Якщо ємність конденсатора вибрана доволі великою, то за час зменшення напруги на виході випрямляча, він не встигає достатньо сильно розрядитись і коливання напруги на навантаженні (пульсація напруги) буде відносно невеликою. Також використовуються мостові схеми (рис. 2.7)



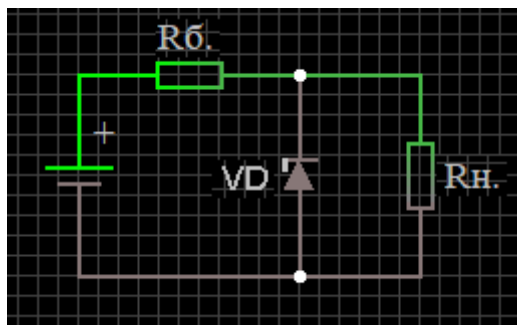
**Рисунок 2.7** – Мостова схема випрямляча

### 2.3 Стабілітрони

Напівпровідникові стабілітрони, які іноді називають опорними діодами, призначені для стабілізації напруги. Під час роботи стабілітрона використовується зворотна гілка вольт-амперної характеристики (*стабілітрон підключають катодом до плюса, а діод катодом до мінуса*). У разі підвищення зворотної напруги відбувається пробій  $p-n$  переходу, за якого зворотна гілка характеристики стабілітрона має крутий злам, обумовлений різким зростанням струму. Цей злам відповідає напрузі стабілізації  $U_{ст}$ .



Стабілітрони використовуються для побудови стабілізаторів напруги. Найпростішим і найпоширенішим параметричним стабілізатором є стабілізатор, який використовує особливість вольт-амперної характеристики напівпровідникового стабілітрона. Він являє собою подільник напруги, який містить в собі баластний резистор  $R_b$  і стабілітрон  $VD1$  (рис. 2.8).



**Рисунок 2.8** – Параметричний стабілізатор

Під час проведення розрахунку параметрів елементів параметричного стабілізатора заздалегідь відомими величинами є: межі зміни напруги живлення; напруга стабілізації стабілітрона, яка дорівнює вихідній напрузі стабілізатора; мінімальний і максимальний струми стабілізації; динамічний опір стабілітрона.

Опір баластного резистора

$$R_b = (U_{ж} - U_{ст}) / I_{рн} ,$$

де  $U_{ж}$  – номінальна величина напруги живлення, В;

$U_{ст}$  – напруга стабілізації стабілітрона, В;

$I_{рн}$  – номінальний робочий струм стабілітрона, мА.

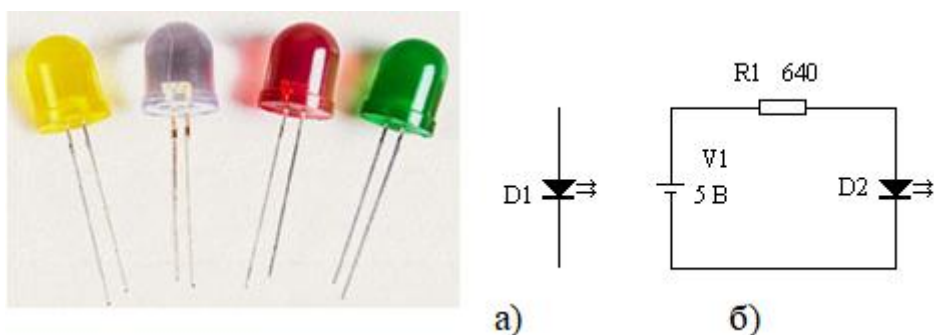
## 2.4 Оптиелектронні пристрої

### 2.4.1 Світлодіоди

Світлодіоди – це діоди, які випромінюють світло під час протікання через них прямого струму. Область спектрального випромінювання діодів має досить вузькі межі. Умовне графічне зображення світлодіодів і схема їх включення показані на рис. 2.9.

Прямий спад напруги на світлодіодах більший, ніж на звичайних діодах, і залежить від їх типу. Так для світлодіодів червоного світіння  $U_D = 1,6 - 1,8 \text{ В}$ , для жовтогарячого і жовтого –  $U_D = 2,0 - 2,2 \text{ В}$ . Яскравість світіння в широкому діапазоні пропорційна прямому струму світлодіода.

Світлодіоди використовуються як елементи індикації і виготовляються у вигляді окремих елементів, а також у вигляді семисегментних або матричних індикаторів.



**Рисунок 2.9** – Зовнішній вигляд і умовне зображення світлодіода

Як приклад, побудуємо індикатор напруги живлення 5 В (рис. 2.9, б). Використовуємо для цього світлодіод червоного світіння з  $U_D = 1,8 \text{ В}$ . Струм через світлодіод – 5 мА. Тоді величина резистора, що обмежує струм, буде дорівнювати

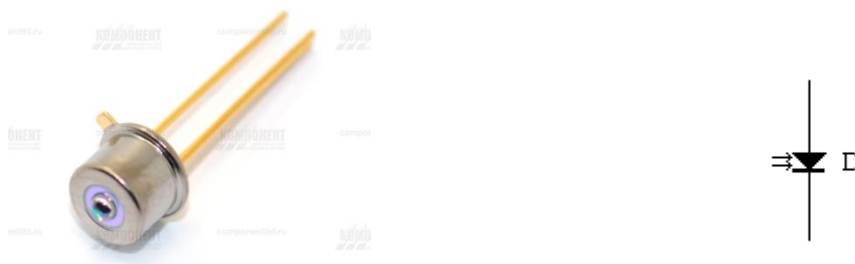
$$R_1 = (U_{\text{ж}} - U_D) / I_D = (5 - 1,8) \text{ В} / 5 \text{ мА} = 640 \text{ Ом}.$$

#### 2.4.2 Фотодіоди

Фотодіод має структуру звичайного  $p-n$  переходу. Зворотний струм фотодіода залежить від рівня освітленості. Фотодіоди містяться в металевому корпусі із прозорим вікном. Умовне графічне зображення фотодіода наведено на рис. 2.10. Фотодіод може включатися в схему із зовнішнім джерелом живлення (фотодіодний режим) і без нього (вентильний режим).

У **вентильному режимі** фотодіод перетворює світлову енергію в електричну, генеруючи фото-е.р.с. під дією світла.

Фотодіоди у вентильному режимі придатні для одержання електричної енергії. Для цих цілей виготовляються спеціальні фотодіоди з великою площею  $p-n$  переходу, які називаються сонячними елементами.



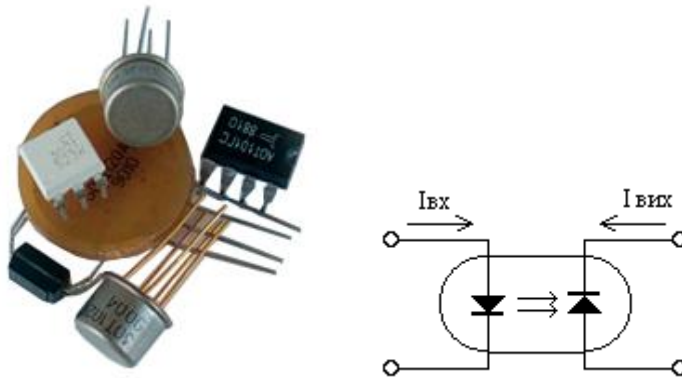
**Рисунок 2.10**– Зовнішній вигляд і умовне позначення фотодіода

У **фотодіодному режимі** на фотодіод подається замикальна напруга. Під час подачі на фотодіод замикальної напруги фотострум практично не змінюється. За відсутності освітленості через фотодіод тече так званий темновий струм. Фотодіодний режим застосовують, коли потрібно одержати велику швидкодію, тому що зі зростанням замикальної напруги зменшується власна ємність  $p-n$  переходу.

Фотодіоди широко застосовуються в різних датчиках, для побудови фоточувливих матриць, в оптронах.

### 2.4.3 Оптрони

Якщо в одному корпусі поєднати світлодіод і фоточувливий елемент, наприклад фотодіод, то можна одержати перетворення вхідного струму у вихідний з повним гальванічним розділом кіл. Такі елементи називаються оптронами. Схемне зображення оптрона показано на рис. 2.11.



**Рисунок 2.11** – Зовнішній вигляд і умовне зображення оптрона

Для одержання великого коефіцієнта корисної дії оптрона працюють в інфрачервоній області спектра. Найважливішим параметром оптрона є коефіцієнт передачі  $\beta = I_{вих}/I_{вх}$ , що значною мірою визначається властивостями фоточутливого елемента. Оптрони застосовуються для передачі як цифрових, так і аналогових сигналів.

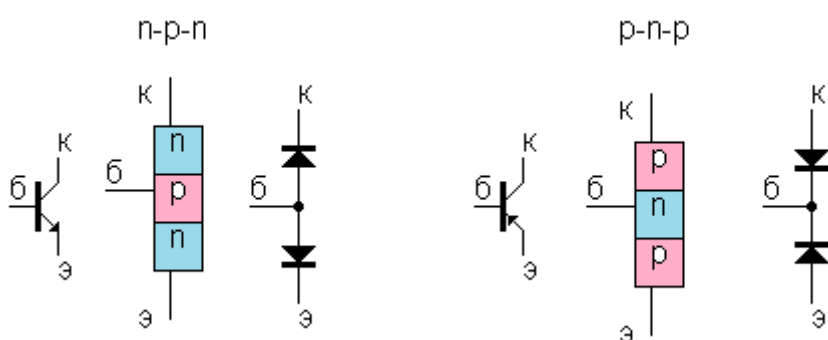
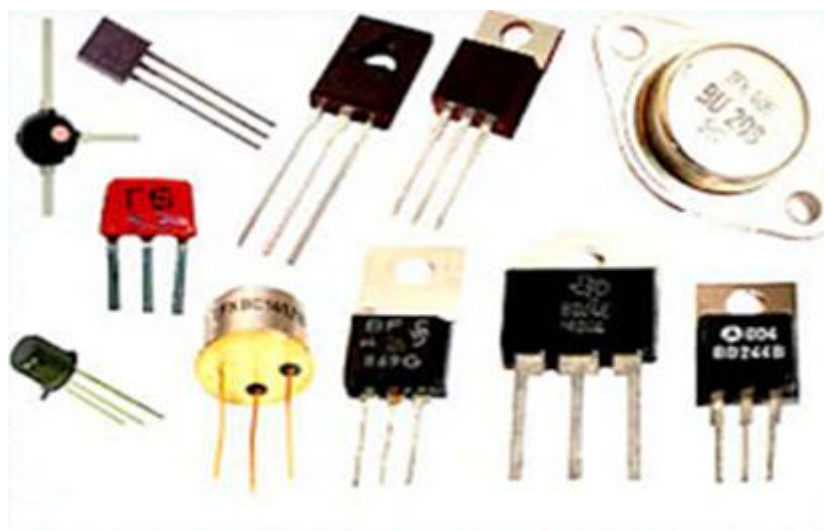
## 2.5 Транзистори

### 2.5.1 Біполярний транзистор

Транзистор – напівпровідниковий елемент із двома  $p-n$  переходами і трьома виводами, що слугують для підсилення та перемикання сигналу. Розрізняють кремнієві та германієві транзистори. Вони бувають  $n-p-n$  і  $p-n-p$  типу. На рис. 2.12 показано зовнішній вигляд, умовні позначення та найпростіші моделі, що відображають структуру транзисторів.

Транзистор складається із двох протилежно включених  $p-n$  переходів, які мають один загальний  $n$ - або  $p$ -шар. Вивід транзистора, пов'язаний з ним, називається базою (б). Два інших виводи називаються емітером (е) і колектором (к). Діодна модель транзистора пояснює структуру включення переходів транзистора. Хоча ця схема не характеризує повністю функції транзистора, вона дає можливість уявити діючі в ньому прямі і зворотні

напруги. Звичайно перехід б–е зміщений (включений) у прямому напрямку, а перехід б–к – у зворотному напрямку. В основу принципу дії транзистора покладено ефект впливу бази на проходження носіїв струму із області емітера в область колектора через область бази.

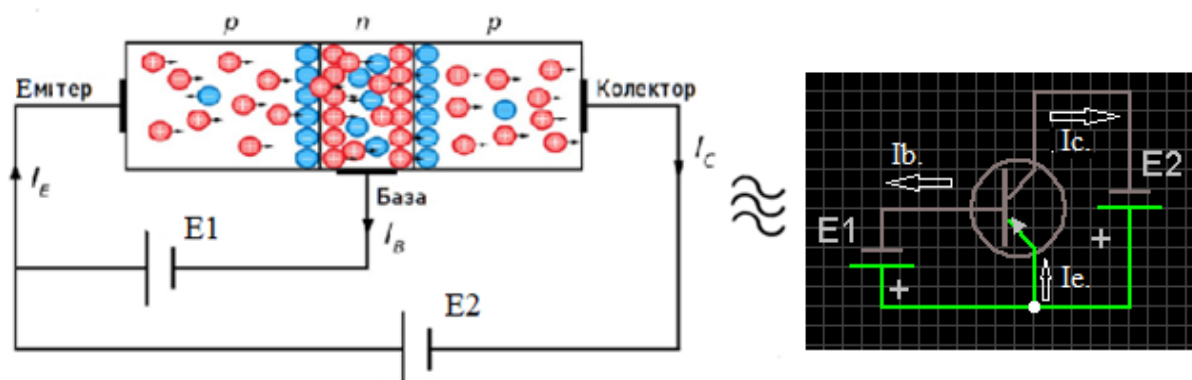


**Рисунок 2.12** – Умовне графічне зображення транзисторів

Під час підключення джерела живлення (рис. 2.13) перехід база – емітер зміщується у прямому напрямку, що обумовлює протікання через нього струму бази. В транзисторі базова область має малу товщину, носії струму, потрапляючи в неї, знаходяться під впливом відносно високої напруги колектора. Завдяки цьому вони сильно розганяються, запасуючи енергію, що дозволяє їм подолати опір зміщеного колекторного переходу.

Основна частина носіїв з області емітера, пройшовши через область бази, переходить в область колектора і обумовлює величину колекторного струму. Якщо збільшити напругу на переході база – емітер, то він відкривається ще більше, а відповідно, збільшиться і число носіїв, які надходять з області емітера в область колектора і бази. Лише їх мала частина (біля 2 %) рекомбінує в області бази, обумовлюючи базовий струм. Тобто, малий базовий струм керує більшим колекторним струмом.

Враховуючи, що напруга, яка прикладається до бази, набагато менша напруги, яка прикладається до колектора, а добуток сили струму на величину напруги є потужністю електричного струму, можна зробити висновок, що мала вхідна потужність керує більшою вихідною.

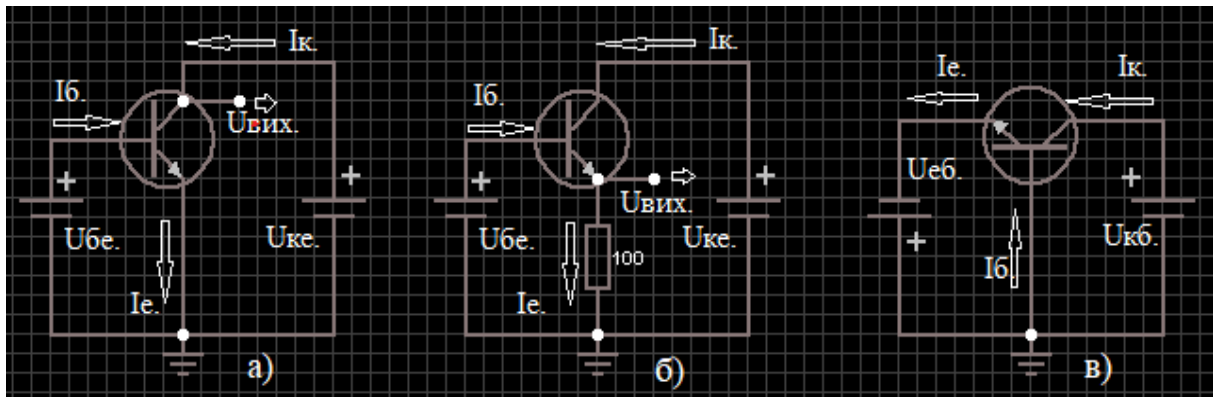


**Рисунок 2.13** – Розподілення струму в транзисторі

Оскільки відношення зміни величини вихідного параметра до зміни величини вхідного параметра являє собою коефіцієнт підсилення, то можна сказати, що транзистор має коефіцієнт підсилення за потужністю, напругою або струмом.

Кожному з вказаних вище випадків відповідає своя схема увімкнення транзистора: із загальним емітером (ЗЕ), загальною базою (ЗБ), загальним колектором (ЗК). Іншими важливими параметрами транзистора, які характеризують його електричні властивості, є вхідний та вихідний опори, величини яких використовуються під час узгодження каскадів підсилення.

На практиці найчастіше використовують схему включення транзистора із ЗЕ (рис. 2.14, а). У цьому випадку вхідний сигнал подається між базою транзистора і загальною шиною, до якої підключено емітер транзистора. Вихідний сигнал знімається між колектором і загальною шиною. Ця схема забезпечує мале підсилення за струмом та напругою, але має відносно малий вхідний та відносно великий вихідний опори.



**Рисунок 2.14** – Схеми включення  $n-p-n$  транзистора

а) із загальним емітером; б) із загальним колектором; в) із загальною базою

В схемі із ЗК (рис. 2.14, б) вхідний сигнал подається між базою транзистора та загальною шиною, до якої через опір навантаження підключений емітер транзистора, а знімається між емітером транзистора та загальною шиною.

Схема забезпечує великий коефіцієнт підсилення лише за струмом та має великий вхідний та малий вихідний опори. Цю схему називають емітерним повторювачем.

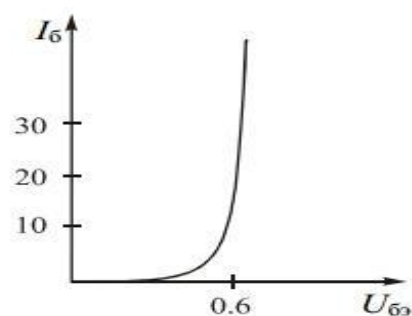
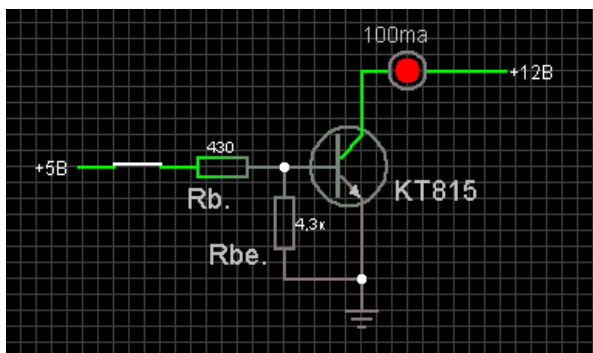
В схемі із ЗБ вхідний сигнал подається між емітером транзистора та загальною шиною, до якої підключена база транзистора, а вихідний сигнал знімається між колектором та загальною шиною (рис. 2.14, в). Схема забезпечує підсилення лише за напругою та має малий вхідний та великий вихідний опори.

Проаналізувавши схеми, показані на рис. 2.14, можна зробити висновок, що за будь-якого варіанта включення транзистора керівним переходом є перехід база – емітер, а керованим колом – коло, в яке включено його емітер та колектор.

Схеми для  $p-n-p$  транзистора будуть аналогічними. У цих схемах напрямки джерел напруг і струмів будуть протилежними, порівняно зі схемами для  $n-p-n$  транзистора.

Для будь-якої схеми включення транзистора, як для  $n-p-n$ , так і  $p-n-p$  типу, справедливим є співвідношення для струмів  $I_e = I_b + I_k$ . Підсилювальні властивості транзистора ґрунтуються на тому, що малими струмами бази можна управляти відносно великими струмами колектора. Водночас струм колектора  $I_k$  є кратним базовому струму  $I_b$ . Відношення  $\beta = I_k/I_b$  називається статичним коефіцієнтом підсилення за струмом. Коефіцієнт підсилення за струмом транзистора набагато більший 1.

Окрім вказаних вище підсилювальних каскадів, транзистори широко використовуються в так званих ключових каскадах (рис. 2.15, а).



а)

б)

**Рисунок 2.15** – Ключовий каскад

В них транзистор застосовують як електронний ключ, тобто елемент, який або пропускає електричний струм, або не пропускає його, комутуючи тим самим струм в навантаженні. Для цього вибираються такі параметри



базового кола, за яких базовий струм або відсутній (транзистор замкнутий, опір колектор – емітер дуже великий, струм через транзистор не проходить), або має таку величину, за якої транзистор відкритий, опір колектор – емітер малий, струм через транзистор має величину, яка обумовлюється лише напругою колекторного живлення та опору навантаження.

Основний сенс такого режиму в тому, що малий струм бази управляє великим струмом колектора, який у кілька десятків разів більший за струм бази.

Практично для всіх сучасних транзисторів під час роботи в ключовому режимі коефіцієнт  $\beta$  не менше 10...20. Спад напруги на переході база – емітер  $U_{бе} = 0,6 \text{ В}$ . (див. вхідну характеристику транзистора на рис. 2.15, б). За таких даних струм в базі має бути  $I_b = I_k / \beta = 100 / 10 = 10 \text{ (мА)}$ .

Напруга на базовому резисторі  $R_b$  становитиме (за відрахуванням напруги на переході база – емітер)  $5\text{В} - U_{бе} = 5\text{В} - 0,6 = 4,4 \text{ В}$ . Згідно з законом Ома:  $R = U / I = 4,4 \text{ В} / 0,01 \text{ А} = 440 \text{ Ом}$ . Зі стандартного ряду вибираємо резистор опором  $430 \text{ Ом}$ . Резистор  $R_{бе}$  призначений, щоб надійно закрити транзистор в той момент, коли кнопка розімкнута. Справа в тому, що якщо база буде «висіти в повітрі», вплив усіляких перешкод на неї просто гарантовано. Зазвичай його беруть таким, що дорівнює десяти  $R_b$ . Згідно з практичними даними його величина має бути 5...10 КОм.

*Ключовий каскад можна підключати безпосередньо до виходів цифрових мікросхем та мікроконтролерів.*

## 2.5.2 Польові транзистори

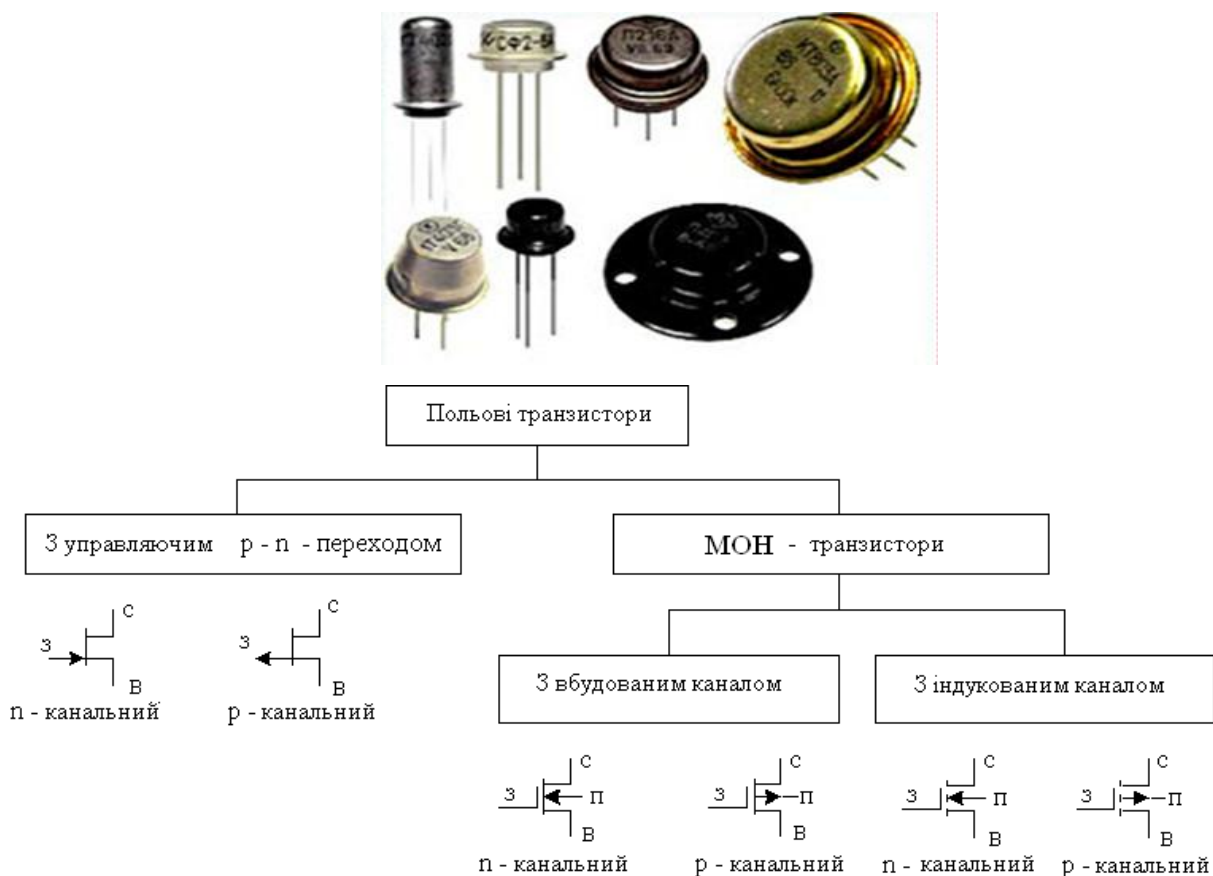
**Польовими (уніполярними) транзисторами** називаються напівпровідникові елементи, які на відміну від звичайних біполярних транзисторів управляються електричним полем, тобто практично без витрат потужності керівного сигналу. *Якщо в біполярних транзисторах носіями струму*

$\epsilon$  і електрони, і дірки, то в польових транзисторах – або електрони, або дірки. Існують дві великі групи польових транзисторів:

- польові транзистори з керівним  $p-n$  переходом (JFET – Junction Field Effect Transistor), у яких ізоляція каналу від джерела керівної напруги забезпечується назад зміщеним  $p-n$  переходом;

- польові транзистори з МОН (метал – оксид – напівпровідник) або МДН (метал – діелектрик – напівпровідник) структурою. Закордонне позначення MOSFET (або скорочено MOS). У цих транзисторів ізоляція каналу від керівного електрода забезпечується за допомогою діелектрика (двоокису кремнію).

Транзистори можуть бути як  $n-$ , так і  $p-$ канальні. Класифікація та умовні графічні зображення транзисторів наведено на рис. 2.16.

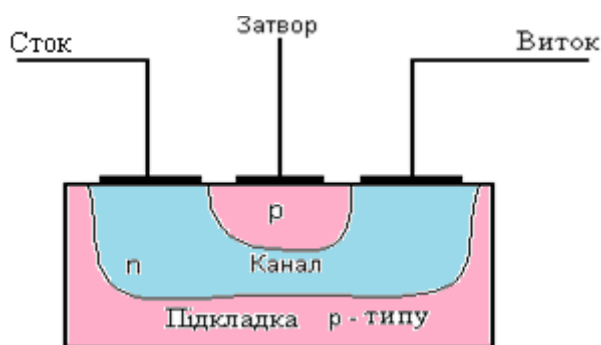


**Рисунок 2.16** – Класифікація та умовні графічні зображення транзисторів

**Затвор З** (G – gate) – керівний електрод. Він управляє величиною

опору між **стоком** С (D – drain) і **витоком** В (S – source). Керівною напругою є напруга  $U_{зв}$ . Більшість польових транзисторів є симетричними, тобто їх властивості не змінюються, якщо електроди С і В поміняти місцями.

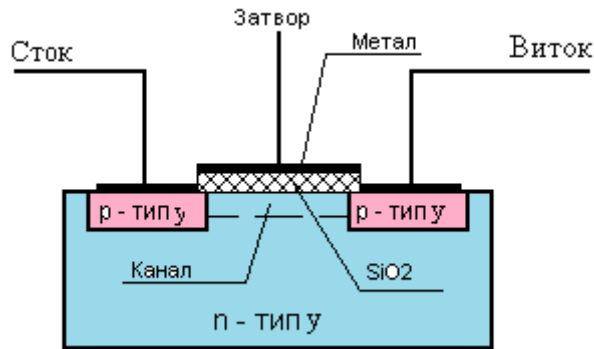
Польовий транзистор з керівним  $p-n$  переходом являє собою пластину з напівпровідникового матеріалу, що має електропровідність певного типу, від якого зроблені два виводи – сток-виток (рис. 2.17).



**Рисунок 2.17** – Польовий транзистор з керівним  $p-n$  переходом

Уздовж пластини виконано електричний перехід ( $p-n$  перехід чи бар'єр Шотткі), від якого зроблено третій вивід–затвор. У разі подачі на сток польового транзистора з каналом  $n$ -типу позитивної відносно джерела напруги, канал проводить електричний струм, величина якого залежить від величини прикладеної напруги та опору каналу. Якщо водночас подати на затвор негативну відносно джерела напругу, то канал «звужиться», його переріз зменшиться, опір збільшиться, а відповідно, зменшиться струм стоку.

На відміну від польових транзисторів з  $p-n$  переходом МОН–транзистори (рис. 2.18) області затвору не мають. Як затвор використовується металева плівка, напилена на поверхню ізолювального шару окису. Таким чином, затвор МОН – транзистора являє собою конденсатор, одна з обкладинок якого підключена до виводу затвора транзистора, а друга утворена «поверхнею» каналу.



**Рисунок 2.18** – МОП-транзистор

Основною перевагою польових транзисторів є надзвичайно великий вхідний опір. Зміщений в зворотному напрямку  $p-n$  перехід польового транзистора має опір, який вимірюється мегомами, через що струм витоку канал – затвор має величину в декілька десятків наноампер.

Вихідний опір МОП-транзистора має ще більшу величину, оскільки входом транзистора в цьому випадку є конденсатор відносно невеликої ємності.

Як і біполярні транзистори, польові транзистори за електричним станом можуть знаходитись в трьох областях: відсічення (транзистор закритий, вихідні струми мінімальні, напруга на колекторі або стокові максимальна), активна (вихідний струм транзистора і напруга на транзисторі залежать від величини сигналів керування) і насичення (транзистор повністю відкритий, вихідний струм максимальний, напруга на транзисторі мінімальна).

Польові транзистори мають три основні схеми увімкнення: із загальним витоком (ЗВ), загальним затвором (ЗЗ) і загальним стоком (ЗС). Характеристики цих схем аналогічні наведеним для біполярних транзисторів, але потрібно враховувати, що величини вхідних та вихідних опорів каскадів на польових транзисторах мінімум на порядок вищі, ніж у каскадів на біполярних транзисторах. Тому застосування польових транзисторів дає

суттєвий вигравш в підсиленні потужності. Модель транзистора наведено на рисунку 2.19.



**Рисунок 2.19** – Модель транзистора

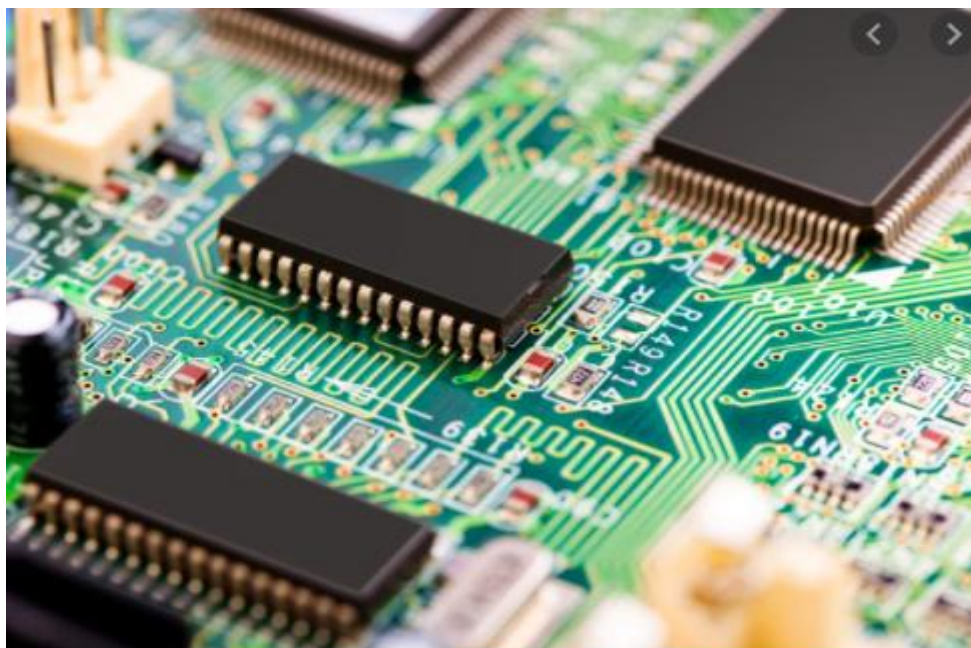
Таким чином, транзистори можна порівняти з водопровідним краном, де подача і злив води – це емітер (або витік) і колектор (або стік) транзистора, ручка вентиля – це його база (або затвор).

## **2.6 Інтегральні схеми**

Ключовою подією, що обумовила прихід інтеграції в електроніку, стала пропозиція американського інженера Джека Кілбі з фірми «Texas Instruments» отримувати еквівалентні елементи для всієї схеми, такі як резистори, конденсатори, транзистори і діоди в монолітному кристалі чистого кремнію. Першу інтегральну напівпровідникову схему Кілбі створив в літку 1958 року. Надзвичайно важливою подією на цьому шляху стало створення в 1971 році американською фірмою «Інтел» єдиної інтегральної схеми для виконання арифметичних і логічних операцій – мікропроцесора.

**Інтегральна мікросхема (IC)** – це мініатюрний електронний блок, що містить в загальному корпусі тисячі елементів (транзисторів, діодів, резисторів, конденсаторів ) в кристалі. Зовнішній вигляд мікросхем наве-

дено на рисунку 2.20. Призначення – генерування і оброблення сигналів, записування, збереження і відтворення інформації. ІС випускаються серіями. Серія – це група мікросхем, що мають єдине конструктивно - технологічне виконання і призначені для спільного застосування. Під час стиккування цифрових приладів, побудованих на мікросхемах різного типу, використовують перетворювачі (транслятори) рівнів логічних сигналів.



**Рисунок 2.20** – Зовнішній вигляд мікросхем

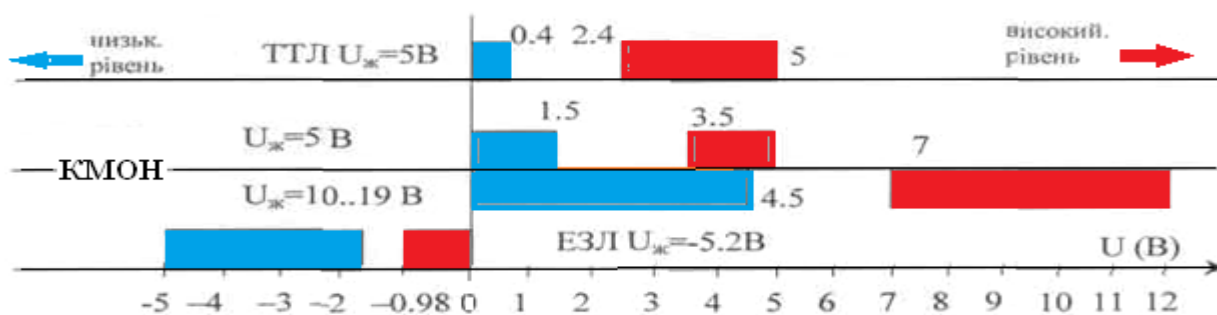
Найбільшого поширення набули ІС, у яких всі елементи і міжелементні з'єднання виконані в об'ємі і на поверхні напівпровідника. Їх називають напівпровідниковими. Для виготовлення напівпровідникових мікросхем використовують кремнієві монокристалічні пластини. Елементи мікросхеми формують в напівпровідниковій пластині методами, відомими як селективна дифузія, епітаксія та ін. Міжелементні з'єднання виконують напленням вузьких провідних доріжок алюмінію.

Вдосконалена транзисторно – транзисторна логіка – **ТТЛШ** використовує біполярні транзистори з діодом Шоттки, який включено між його базою і колектором, що не дозволяє транзистору увійти в режим насичен-



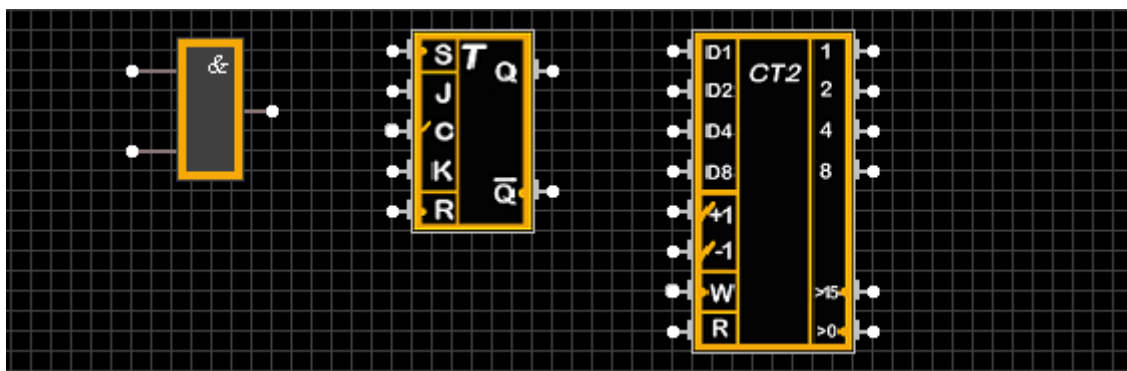
в межах якого параметри схеми можуть відхилитися за рахунок зміни температури, навантаження, напруги живлення, а також під дією шуму.

До основних параметрів ІС відносяться рівні вхідних і вихідних струмів та напруги, значення потужності споживання, середній час затримки сигналу, який визначає швидкодію схеми, навантажувальна здатність, завадостійкість, надійність та інші. Кількісно навантажувальна можливість оцінюється коефіцієнтом розгалуження за виходом, тобто кількістю одиначних навантажень, які можливо одночасно підключати до виходу мікросхеми. Найвища швидкодія у елементів ЕЗЛ та ТТЛШ, що дозволяє їм працювати з тактовою частотою 10-100 МГц (ЕЗЛ) та 5-10 МГц (ТТЛШ). Мінімальну потужність споживання мають елементи КМОН – 0,003-0,02 мВт/ел. Ці елементи мають найнижчу енергію переключення.



**Рисунок 2.21** – Значення рівнів напруги

Умовні графічні позначення інтегральних мікросхем будують на основі прямокутника. Вони можуть вміщувати в собі основне та одно чи два додаткових поля залежно від типу мікросхеми (рис. 2.22).



**Рисунок 2.22** – Умовні графічні позначення інтегральних мікросхем



Функціональне призначення елемента показують у верхній частині основного поля умовного графічного позначення (& – логічний елемент І, Т – тригер, СТ – лічильник). У додаткових полях подається інформація про функціональне призначення виводів.

Більшість мікросхем в електроніці саме цифрові, вони працюють із цифровими сигналами. Розглянемо поширені серії та їх аналоги компанії Texas Instruments.

#### **Серії ТТЛ-мікросхем:**

- 133 і 155 відповідають серіям 54 і 74;
- 130, 131 – серіям 54Н і 74Н;
- 134, КР134 – серіям 54L і 74L;
- 136 і 158 – близькі до серій 54L і 74L;
- 530 і 531 – серіям 54S і 74S;
- 533 і 555 – серіям 54LS і 74LS;
- 1530, КР1530 – серіям 54AS і 74AS (приблизна відповідність);
- 1531, КР1531 – серіям 54F і 74F;
- 1533, КР1533 – серіям 54ALS і 74ALS;

#### **Серії логічних КМОП:**

- 164, 176 відповідають серії 4000;
- 561 і 564 – сімейству 4000А із серії 4000;
- 1526 – варіант 564-ої серії з підвищеною стійкістю до спецфакторів;
- 1554 – сімейству 74АС із серії 7400;
- 1561 – сімейству 4000В;
- 1564 – сімейству 74НС;
- 1594 – сімейству 74АСТ;
- 5564 – сімейству 74НСТ;
- 5574 – сімейству 74LVC;
- 5584 – сімейству 74VHC.

Серед виробників напівпровідників можна виділити 5 лідерів:

1. Тайванська компанія Taiwan Semiconductor Manufacturing Company Limited (TSM), скорочено TSMC.
2. Американська компанія Texas Instruments Inc. (TXN).
3. Американська компанія Micron Technology (MU).
4. Американська компанія Analog Devices (ADI).
5. Нідерландська компанія NXP Semiconductor (NXPI).

## 3 АРИФМЕТИЧНІ ОСНОВИ МП ТЕХНІКИ

В МП техніці вся інформація, незалежно від її характеру, подається у чисельному вигляді, причому використовуються лише позиційні системи числення [9–15].

### 3.1 Система числення

*Системою числення* називається сукупність цифрових знаків і правил їх з'єднання для подання чисел.

Найбільше поширення отримали *однорідні позиційні* системи числення, в яких будь-яке число може бути подано поліномом:

$$A = a_{n-1}p^{n-1} + \dots + a_0p^0 + a_{-1}p^{-1} + \dots + a_{-m}p^{-m} = \sum_{i=-m}^{n-1} a_i p^i, \quad (2.1)$$

де  $p$  – основа системи числення,  $p \in \{2, 3, \dots\}$ ;

$a_i$  – цифра  $i$ -го розряду,  $a_i = \overline{0, 1, 2, \dots, (p-1)}$ ;

$n$  – кількість цифр (розрядів) цілої частини числа;

$m$  – кількість цифр (розрядів) дробової частини числа.

Серед однорідних позиційних систем числення потрібно виділити:

– **десятькова система числення (децимальна, англ. *decimal*)**:

$$p = 10; \quad a_i = 0, 1, 2, \dots, 9.$$

Ваги розрядів, рухаючись вліво від коми, дорівнюють відповідно 1, 10, 100, ..., а вправо від коми – 1/10, 1/100, ... .

Наприклад:  $317,25 = 3 \cdot 10^2 + 1 \cdot 10^1 + 7 \cdot 10^0 + 2 \cdot 10^{-1} + 5 \cdot 10^{-2}$ .

– **двійкова система числення (бінарна, англ. *binary*)**:

$$p = 2; \quad a_i = 0, 1.$$

Ваги розрядів, рухаючись вліво від коми, дорівнюють відповідно 1, 2, 4, 8, 16, ..., а вправо від коми – 1/2, 1/4, 1/8 ...

Наприклад, двійкове число  $110010,101_2$  відповідає такому поданню у десятковій системі числення:

$$110010,101_2 = 1 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 + 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} = 50,625_{10}.$$

– **вісімкова система числення (октавна, англ. *octal*):**

$$p = 8; \quad a_i = 0, 1, 2, \dots 7.$$

Ваги розрядів, рухаючись вліво від коми, дорівнюють відповідно 1, 8, 64, 256, ..., а вправо від коми – 1/8, 1/64, 1/256 ... .

Наприклад, вісімкове число  $317,25_8$  відповідає такому поданню у десятковій системі числення:

$$317,25_8 = 3 \cdot 8^2 + 1 \cdot 8^1 + 7 \cdot 8^0 + 2 \cdot 8^{-1} + 5 \cdot 8^{-2} = \left( 207 \frac{21}{64} \right)_{10}.$$

– **шістнадцяткова система числення (гексагональна, англ. *hexadecimal*):**

$$p = 16; \quad a_i = 0, 1, 2, \dots 9, A, B, C, D, E, F.$$

Ваги розрядів, рухаючись вліво від коми, дорівнюють відповідно 1, 16, 256, ..., а вправо від коми – 1/16, 1/256 ... .

Наприклад, шістнадцяткове число  $A7B,C8_{16}$  відповідає такому поданню у десятковій системі числення:

$$A7B,C8_{16} = 10 \cdot 16^2 + 7 \cdot 16^1 + 11 \cdot 16^0 + 12 \cdot 16^{-1} + 8 \cdot 16^{-2} = \left( 2683 \frac{25}{32} \right)_{10}.$$

– **двійково-десяткова система числення (англ. *Binary Coded Decimal - BCD*) з вагами 8-4-2-1.** У ній кожна цифра десяткового числа кодується двійковою тетрадою (чотирма двійковими розрядами).

В табл. 3.1 наведено подання перших 16 десяткових цифр у вказаних

системах числення.

**Таблиця 3.1** – Системи числення

$p = 10$	$p = 2$	$p = 8$	$p = 16$	$8-4-2-1$
0	0000	0	0	0000
1	0001	1	1	0001
2	0010	2	2	0010
3	0011	3	3	0011
4	0100	4	4	0100
5	0101	5	5	0101
6	0110	6	6	0110
7	0111	7	7	0111
8	1000	10	8	1000
9	1001	11	9	1001
10	1010	12	A	0001 0000
11	1011	13	B	0001 0001
12	1100	14	C	0001 0010
13	1101	15	D	0001 0011
14	1110	16	E	0001 0100
15	1111	17	F	0001 0101
16	10000	20	10	0001 0110

Операції над двійково – десятковими цифрами виконуються за допомогою доповненої двійкової арифметики. Так, під час додавання двох чисел в коді прямого заміщення 8421 необхідно додати коригувальний елемент  $6_{10} = 0110_2$  до кожної тетради, у якій в процесі додавання отримано цифру  $> 9$  або виникло перенесення в наступну тетраду.

В процесі віднімання чисел в коді 8421 корекція зводиться до віднімання  $6_{10} = 0110_2$  з кожної тетради різниці, яка потребує позики.

**Наприклад:**

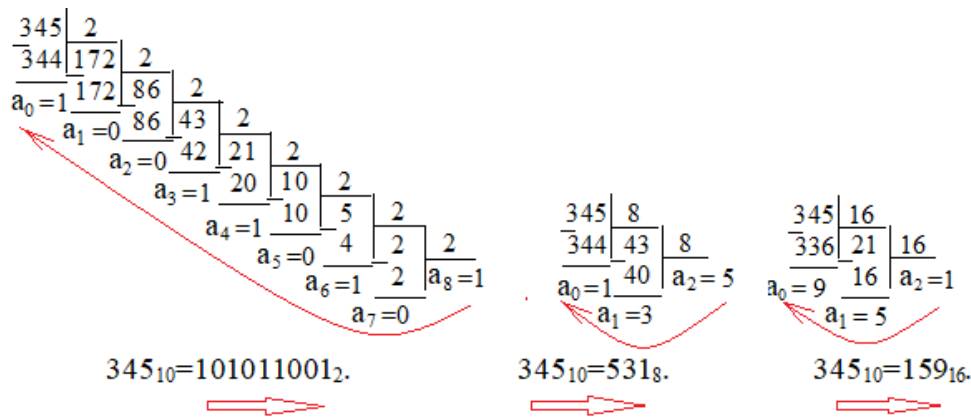
	$\leftarrow 1$	$1 \rightarrow$
3810 = 0011 1000	2910 = 0010 1001	6310 = 0110 0011
+	+	-
1610 = 0001 0110	5810 = 0101 1000	2710 = 0010 0111
0100 1110	1000 0001	0011 1100
Корекція + 0000 0110	Корекція + 0000 0110	Корекція - 0000
0110		
5410 = 0101 0100	8710 = 1000 0111	3610 = 0011 0110

### 3.2 Переведення чисел із однієї позиційної системи числення в іншу

Щоб перевести ціле десяткове число в іншу систему числення, необхідно початкове число послідовно ділити на основу нової системи числення, записану в початковій системі числення, до отримання частки, яка дорівнює нулю. Число у новій системі числення записується із остач від ділення, починаючи з останньої.

**Приклад.** Перевести десяткове число  $A_{10} = 345$  у двійкову, вісімкову і шістнадцяткову системи числення.

Виконаємо дії згідно з наведеним вище алгоритмом і отримаємо:



Щоб перевести правильний дріб із десяткової системи числення в іншу, необхідно початкове число послідовно множити на основу нової системи числення, записану в початковій системі числення. Число у новій системі числення записується із цілих частин від множення, починаючи із першої. Процедуру необхідно продовжувати до отримання заданої точності.

Як видно з останнього виразу, на відміну від цілих чисел, точне переведення можливе не для всіх правильних дробів. Похибка у разі переведення визначається одиницею молодшого розряду.

**Приклад.** Перевести правильний дріб  $U_{10} = 0,357$  із десяткової системи числення у двійкову, вісімкову і шістнадцяткову системи числення.

Процедуру переведення згідно із розглянутим алгоритмом подано у табл. 3.2. Із урахуванням результатів табл. 3.2, отримаємо:

$$0,357_{10} = 0,0101101101_2 = 0,2666_8 = 0,5B6_{16}.$$

Для того щоб перевести число з початкової системи числення в нову систему, основа якої кратна основі початкової системи, досить кожну цифру числа, що переводиться, записати за допомогою  $m$  цифр у новій системі числення, якщо основа початкової системи числення більша від основи нової системи числення. У іншому разі кожні  $m$  цифр початкового числа необхідно записати за допомогою однієї цифри в новій системі числення, починаючи для цілих чисел з молодшого розряду і зі старшого розряду для правильних дробів.

Наприклад, при переведенні вісімкового числа  $316_8$  у двійкову систему числення досить кожну цифру вісімкового числа записати у вигляді двійкової тріади, оскільки  $8 = 2^3$ :

$$316_8 = \underbrace{011}_3 \underbrace{001}_1 \underbrace{110}_6 = 011001110_2.$$

При переведенні, наприклад, двійкового числа в шістнадцяткову систему числення досить кожну тетраду початкового числа записати у вигляді шістнадцяткової цифри:

$$10010111110001011101_2 = \underbrace{1001}_9 \underbrace{0111}_7 \underbrace{1100}_C \underbrace{0101}_5 \underbrace{1101}_D = 97C5D_{16}.$$

**Таблиця 3.2 – Результати перетворення**

Основа системи числення					
$p = 2$		$p = 8$		$p = 16$	
Ціла частина	Дробова частина	Ціла частина	Дробова частина	Ціла частина	Дробова частина
0	357	0	357	0	357
	×2		×8		×16
0	714	2	856	5	712
	×2		×8		×16
1	428	6	848	11->B	392
	×2		×8		×16
0	856	6	784	6	272
	×2		×8		
1	712	6	272		
	×2				
1	424				
	×2				
0	848				
	×2				
1	696				
	×2				
1	392				
	×2				
0	784				
	×2				
1	568				



Для перетворення числа з будь-якої системи числення у десяткову достатньо обчислити значення відповідного полінома, підставивши до нього десяткове значення розрядів і основ системи числення. Обчислення зручно виконувати за схемою Горнера, що основана на поданні полінома (2.1):

$$(A)_p = (((a_{n-1} * p + a_{n-2}) * p + a_{n-3}) * p + \dots + a_1) * p + a_0, \quad (2.2)$$

тобто цифра  $a_{n-1}$  старшого розряду числа, що переводиться, домножується на основу  $p$  початкової системи числення і результат додається до наступної цифри, потім процес повторюється до найменшого розряду.

Для  $(A)_8 = 5327$  в десятковій системі числення отримаємо:

$$(5327)_8 = 5 * 8 + 3 \Rightarrow 43 * 8 + 2 \Rightarrow 346 * 8 + 7 = (2775)_{10}$$

### 3.3 Числові дані

Для подання числових даних у МП техніці використовуються два принципіально різних формати: формат з **фіксованою крапкою** (комою) і формат з **плаваючою крапкою** (комою).

Формат з фіксованою крапкою призначений для абсолютно точного подання цілих чисел. У програмуванні ці числа відносяться до цілого типу, в той час як формат з плаваючою крапкою використовується для подання тільки нецілих, наближених чисел. У програмуванні такі числа відносяться до дійсного типу. Нагадаємо, що дійсні числа виникають в задачах внаслідок різних вимірів (наприклад, вимірювань ваги тіла або його довжини), які, як відомо, завжди виконуються з деякою похибкою.

### 3.3.1 Формати цілих чисел

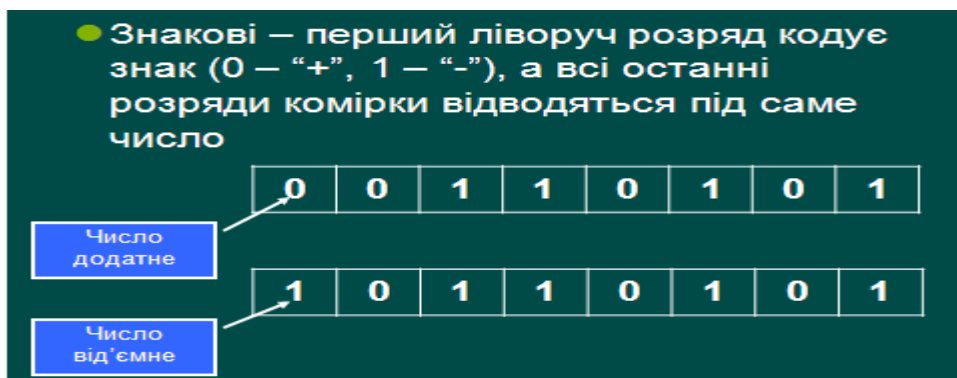
Існують дві модифікації формату з фіксованою крапкою, які прийнято називати його беззнаковим і знаковим поданнями. Беззнакове подання формату використовується для роботи з цілими додатними числами, а існуюче в декількох варіантах знакове – для роботи як з додатними, так і з від’ємними цілими числами.



В історії розвитку архітектури комп’ютерів використовувалися чотири різних **варіанти подання знакових чисел**:

- 1) система зі знаком ;
- 2) зворотний код, порозрядне доповнення або код з доповненням до одиниці;
- 3) додатковий, комплементарний код або код з доповненням до двох ;
- 4) система зі зміщенням.

Нині перші дві системи практично вийшли з вжитку.



Подивимося тепер, до яких наслідків приведе прийняття пропозованого варіанта кодування знакових цілих чисел. По-перше, виявляється, що числу  $0_{10}$  відповідають два різних коди: код  $0000\ 0000_2$  ( $+0_{10}$ ) і код  $1000\ 0000_2$  ( $-0_{10}$ ). Така неоднозначність вкрай небажана, оскільки необхідно або додатково враховувати її під час різних перевірок апаратними засобами комп'ютера, або передбачати окремі перевірки в програмах. По-друге, і це найголовніше, виникає спеціальна арифметика з удосконаленими незвичними правилами виконання звичайних дій. Так, за правилами звичайної арифметики, додавання чисел  $+4_{10}$  і  $-4_{10}$  дає як результат  $0_{10}$ . А тепер виконаємо додавання для отриманих раніше кодів цих чисел:  $00000100_2 + 10000100_2 = 10001000_2$ . Як бачимо, отримано абсолютно несподіваний результат: замість очікуваного коду числа  $0_{10}$  додавання дало код числа  $-8_{10}$ . Цей результат є наслідком невдалого вибору способу кодування.

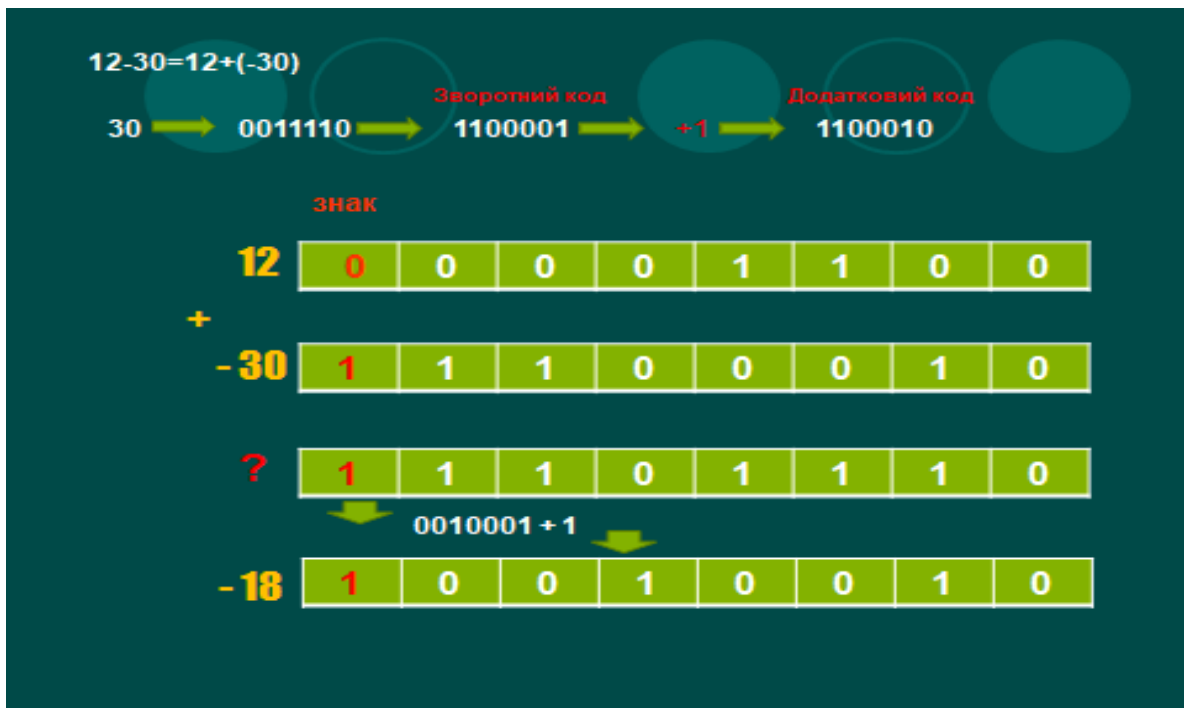
### Подання цілих чисел

- Звична форма числа, тобто форма "знак – величина", називається **ПРЯМИМ** кодом
- Число, у двійковому представленні якого всі нулі замінені на одиниці та навпаки (інвертовані), називається **ОБЕРНЕНИМ** кодом
- Обернений код числа, збільшений на одиницю, називається **ДОДАТКОВИМ** кодом числа

**ДК = ОК + 1**

Суму цілих двійкових чисел з урахуванням знаків можна звести до суми їх додаткових або зворотних кодів.

	Додатковий код	Зворотний код
$(+9)_{10} = 0\ 1001$	0 1001	0 1001
$(-5)_{10} = 1\ 0101$		
$\text{зворотний код} > 1\ 1010$		1 1010
$+ 1$		1 0 0011
$\text{додатковий код} > 1\ 1011$	1 1011	$\text{L} > + 1$
<hr style="width: 50%; margin-left: 0;"/>	1 0 0100	0 0100
<p style="text-align: center;"><u>перенесення ігнорується</u> ^</p>		



Розглянемо систему кодування зі зміщенням, яка в англomовній літературі називається системою **excess  $2^{n-1}$** . Ця система кодування характеризується цілим додатним числом – константою зміщення  $K$ , що додається до будь-якого кодованого числа  $x$  з тим, щоб сума вихідного числа і констант зміщення  $x + K$  потрапила в діапазон допустимих для поля обраної довжини  $N$  беззнакових чисел. Як код *вихідного числа* вибирається беззнаковий код суми. **Код числа зі зміщенням з константою  $K = 2^n$  збігається з додатковим кодом, у якого інвертовано знаковий біт.**

Як ми побачимо надалі, нині система кодування зі зміщенням використовується як один з елементів подання чисел у форматі з плаваючою крапкою.

### 3.3.2 Формат дійсних чисел

У багатьох розрахункових задачах використовуються величини, які є результатами багатьох різних вимірювань або отримані за допомогою різ-

них математичних операцій над вимірюваними значеннями. Їхньою відмінною особливістю є принципово наближений характер, а значення ніколи точно не дорівнюють цілому числу. Такого роду величини і їх значення прийнято називати дійсними.

Для кодування дійсних чисел у форматі з плаваючою крапкою використовується їх нормалізована форма.

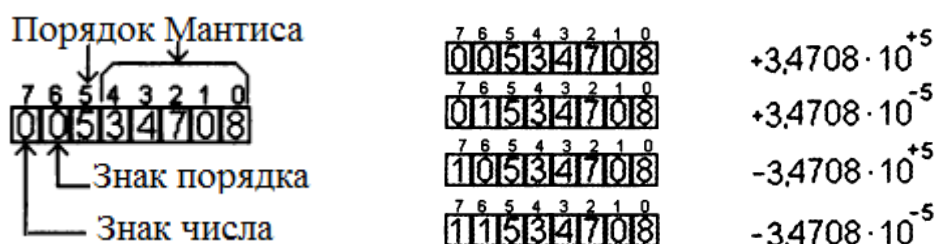
- Будь-яке число  $a$  у експоненційній формі подається у вигляді  $a = \pm m \cdot P^q$ , де  $P$  – основа системи числення
- $M$  – називається **мантисою** числа, а  $q$  – **порядком** числа

$$47,8 = 4,78 \cdot 10 = 0,0478 \cdot 10^3 = 4780 \cdot 10^{-2}$$

Аналіз цієї форми показує, що у системі числення з заданою основою  $p$  код нормалізованого числа має містити:

1. код знака числа;
2. код нормалізованої мантиси  $1 \leq m < 10$ ;
3. код знака порядку;
4. код порядку  $p$ .

Нижче наведено приклад отримання значення чисел навчальної комірки.



Для подання даних в реальних полях пам'яті комп'ютера, що складаються з бітів та байтів, а не з умовних десяткових розрядів, у 1985 році комісією IEEE (Institute Electrical Electronics Engineers – Міжнародний інститут інженерів з електротехніки та електроніки) був створений стандарт IEEE 754, який передбачає, що двійкові коди чисел у форматі з плаваючою крапкою можуть займати поля довжиною 4, 8 і 10 байтів. Відповідно до загальних принципів кодування чисел в цьому форматі поля містять код знака числа, код порядку та його знака, а також код мантиси.

Логіка обчислень з даними, поданими у форматі з плаваючою крапкою, носить складний характер розрахунків, для якого необхідно, принаймні, вміти виділяти поодинокі біти і деякі групи бітів – ділянки полів, які відповідають кодам порядку і мантиси. Для чого мінімальний набір дій МП має містити *операції порівняння, додавання, диз'юнкції і кон'юнкції, а також пересилання, заперечення і зсуву одиночного коду на деяку кількість розрядів вправо і вліво*. Саме цей набір дій спільно з операціями, які забезпечують організацію розгалужень, циклів, виклик підпрограм і т. д., утворює основу системи команд будь-якого процесора.

## 4 ЛОГІЧНІ ОСНОВИ МП ТЕХНІКИ

У цьому розділі обговорюються питання, пов'язані з фізичними і логічними основами обробки *дискретних* даних [4, 6, 8, 16–20, 25].

Пристрої, які використовуються для реалізації різноманітних операцій, прийнято називати **вентиллями** (від нім. ventil – клапан) а також **логічними елементами**.

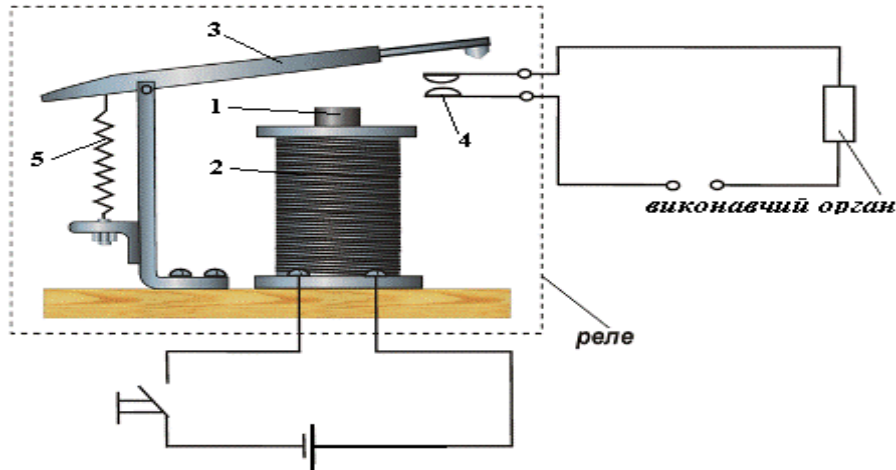
### 4.1 Релейно – контактні вентиля

У 1938 р. відомий спеціаліст у галузі теорії інформації Клод Шеннон запропонував використовувати для моделювання основних логічних операцій релейно-контактні електричні схеми. Електромагнітні реле призначені для комутації електричних кіл (стрибкоподібної зміни вихідних величин) за заданої зміни електричних або неелектричних вхідних величин.

Релейні елементи (реле) знаходять широке застосування в схемах управління і автоматики, оскільки з їх допомогою можна управляти великими потужностями на виході за малих потужностей вхідних сигналів; виконувати логічні операції; створювати багатофункціональні релейні пристрої; здійснювати комутацію електричних кіл; фіксувати відхилення контрольованого параметра від заданого рівня; виконувати функції запам'ятовувального елемента і т. д.

Перше реле було винайдене американцем Джозефом Генрі у 1831 р. і було основане на електромагнітному принципі дії. Слово реле виникло від англійського relay, що означало зміну або передачу.

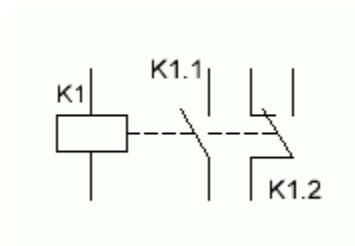
Робота електромагнітних реле (рис. 4.1) основана на використанні електромагнітних сил, що виникають у металевому осерді (1) під час проходження струму по витках його котушки (2). Над осердям електромагніту встановлено рухливий якір (3) з одним або кількома контактами. Навпроти них знаходяться відповідні парні нерухомі контакти (4).



**Рисунок 4.1** – Електромагнітне реле

У вихідному положенні якір утримується пружиною (5). Під час подачі напруги електромагніт притягує якір, долаючи її зусилля, і замикає або розмикає контакти залежно від конструкції реле. Після відключення напруги пружина повертає якір у вихідне положення.

На принципових схемах електромагнітне реле позначається таким чином (рис. 4.2).



**Рисунок 4.2** – Умовне позначення реле

Умовне позначення реле на схемі складається з двох частин. Одна частина (**K1**) – це умовне позначення електромагнітної котушки. Вона позначається у вигляді прямокутника з двома виводами. Друга частина (**K1.1;K1.2...**) – це групи контактів, якими управляє реле.



Цей підхід був використаний в електромеханічних релейних обчислювальних машинах Z-3 (Німеччина, Конрад Цузе, 1939), «Марк 2» (США, Говард Айкен, 1947), РВМ-1 (СРСР, М. І. Бессонов, 1951) і в цілій низці інших машин. Вага перших ЕОМ сягала 30 тонн.

Як приклад розглянемо зображену на рис. 4.3 реалізацію логічних операцій кон'юнкції, диз'юнкції та заперечення за допомогою схем, які прийнято називати вентилями «І», «АБО», «НЕ», відповідно. Логічні операнди в цих схемах відповідають релейно-контактним перемикачам, які на рисунку позначені як  $p$  і  $q$ . В такому разі логічне значення 0 і 1 моделюється відповідно розімкнутим і замкнутим станами контакту. Результат операції відображається включеною в мережу лампочкою. Якщо лампочка не горить, результат дорівнює 0; якщо лампочка горить, то вона відповідає результату, який дорівнює 1. Інакше кажучи, знаки двійкового алфавіту 0 і 1 моделюються *відсутністю* або *наявністю струму* в колі, відповідно. Відмітимо, що перемикачі називаються релейними, оскільки управління ними зазвичай виконується за допомогою електромагнітних реле.

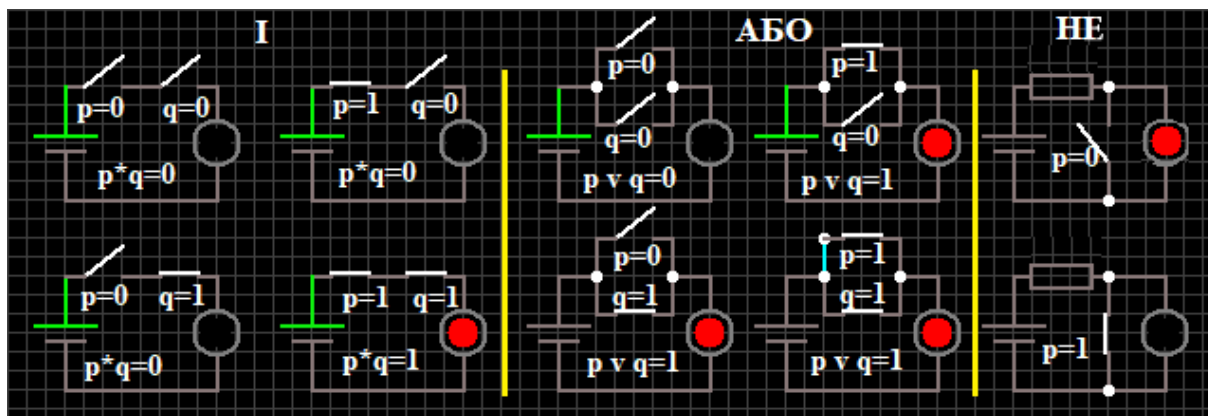


Рисунок 4.3 – Вентилі «І», «АБО» та «НЕ» на базі релейно-контактної схеми

## 4.2 Напівпровідникові вентилі

Основним недоліком описаного способу реалізації операції над даними є *наявність механічних переміщень* контактів релейної схеми, які по-

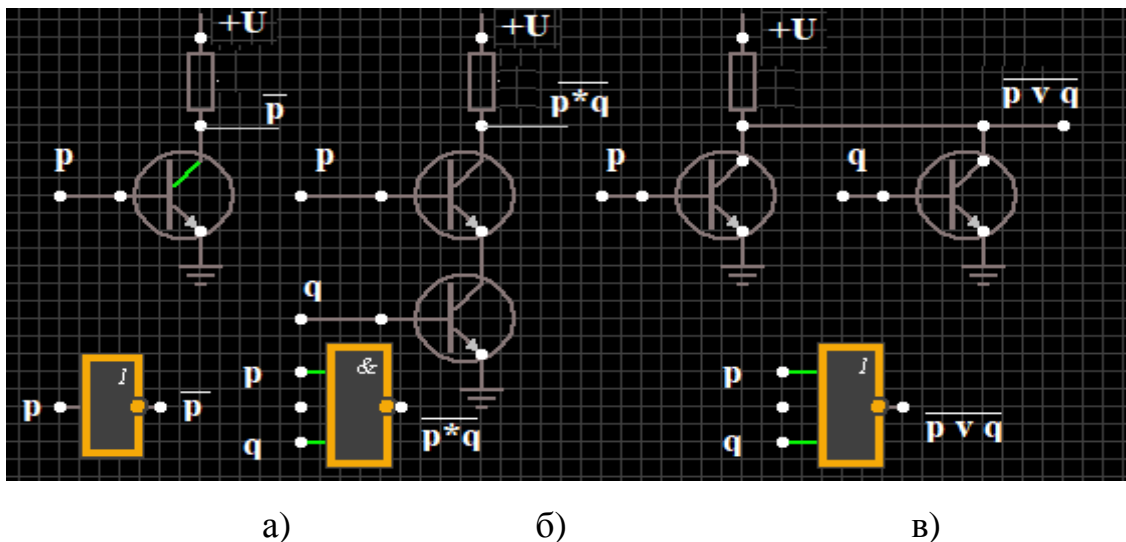
требують значних часових затрат. Саме ця обставина привела до того, що вже в 1950–ті роки релейні обчислювальні машини були витіснені спочатку ламповими, а потім транзисторними комп'ютерами.

Всі сучасні вентиля реалізуються на основі напівпровідникових пристроїв – **транзисторів** або їх аналогів у інтегральних схемах, характерний час спрацьовування яких наближається до частки наносекунди ( $1 \text{ нс} = 10^{-9} \text{ с}$ ).

У вентиляльних системах на базі транзисторів двійковому знаку 0 відповідає низька напруга з рівнем від 0 до 1 В, а двійковому знаку 1 – висока напруга з рівнем від 2 до 5 В. Можуть застосовуватись й інші конкретні значення напруг, але в будь-якому випадку використовуються її *два чітко помітних рівня*. Подачу на базу транзистора низької напруги можна трактувати як надходження на вхід системи біта зі значенням 0, а подача на базу високої напруги відповідає надходженню на вхід системи біта зі значенням 1. Аналогічно реєстрація низької напруги на колекторі транзистора може трактуватись як формування на виході значення 0, а реєстрація на ньому високої напруги – як формування на виході значення 1.

#### 4.2.1 Вентиль «НЕ»

Розглянемо поведінку схеми, зображеної на рис. 4.4, а), для різних значень вхідного біта  $p$ . Нехай на вхід схеми подано значення  $p = 0$ . Тоді транзистор замкнений, він веде себе в колі як додатковий резистор з опором набагато більшим, ніж опір резистора, через який транзистор підключений до живлення схеми. Через те, що спад напруги на частині кола пропорційний опорю цієї частини, напруга в точці виходу буде мало відрізнятись від високої напруги джерела живлення. Тобто, на виході системи в цьому випадку формується значення 1.



**Рисунок 4.4** – Вентилі та їх позначення: а) – «НЕ», б) – «І НЕ», в) – «АБО НЕ»

Нехай тепер на вхід надійшов біт  $p = 1$ . Тоді транзистор відкритий, він поводить себе як провідник з надзвичайно малим опором, і всі спади напруги відбуваються на резисторі. Вихід системи в цьому випадку виявляється ніби напрямку з'єднаний з землею, тобто, напруга на ньому близька до нуля. Інакше кажучи, на виході схеми формується значення 0. Таким чином схема являє собою вентиль «НЕ», який реалізує операцію заперечення: за надходження на вхід значень  $p$  на виході схеми формується значення  $\bar{p}$ .

#### 4.2.2 Вентилі «АБО НЕ» та «І НЕ»

Розглянемо логіку роботи схеми, зображеної на рис. 4.4, б). Вона складається з двох з'єднаних послідовно транзисторів. У цієї схеми два входи, позначені на рисунку буквами  $p$  і  $q$ , та один вихід. Якщо на входи надходять одиничні значення ( $p=1$  і  $q=1$ ), то обидва транзистори відкриті, частина кола з ними має дуже малий опір і, відповідно, як і в вентилі «НЕ», на виході формується значення 0. У всіх інших випадках хоча б один з

транзисторів виявляється закритим і частина кола з транзисторами має високий опір, що призводить до формування на виході значення 1. Аналізуючи таблицю істинності роботи схеми (табл. 4.1, п'ятий стовпець), приходимо до висновку, що вона описує вираз  $\overline{(p \wedge q)}$ . Тому така схема називається вентилем «І НЕ» і відома також під назвою «штрих Шеффера».

В схемі, зображеній на рис. 4.4, в), транзистори з'єднані паралельно. Відповідно, частина кола з транзисторами має високий опір лише в тому випадку, коли обидва транзистори закриті одночасно. Тому якщо на обидва входи надходять нульові значення ( $p=0$  і  $q=0$ ), на виході формується значення 1. У всіх інших випадках хоча б один з транзисторів відкритий і, відповідно, вся частина кола, яка містить їх паралельне з'єднання, має малий опір. Це значить, що на виході схеми формується значення 0. Аналізуючи таблицю істинності роботи цієї схеми (табл. 4.1, восьмий стовпець), приходимо до висновку, що вона описує вираз  $\overline{(p \vee q)}$ . Тому така схема називається вентилем «АБО НЕ» і відома також під назвою «стрілка Пірса».

**Таблиця 4.1** – Таблиці істинності базових вентилів

$p$	$q$	$\overline{p}$ «НЕ»	$p \wedge q$ , «І»	$\overline{(p \wedge q)}$ , «І НЕ» штрих Шеффера	$p \vee q$ , «АБО»	$p \vee q$ , Виключне АБО	$\overline{(p \vee q)}$ , «АБО НЕ» стрілка Пірса
1	2	3	4	5	6	7	8
0	0	1	0	1	0	0	1
0	1	1	0	1	1	1	0
1	0	0	0	1	1	1	0
1	1	0	1	0	1	0	0

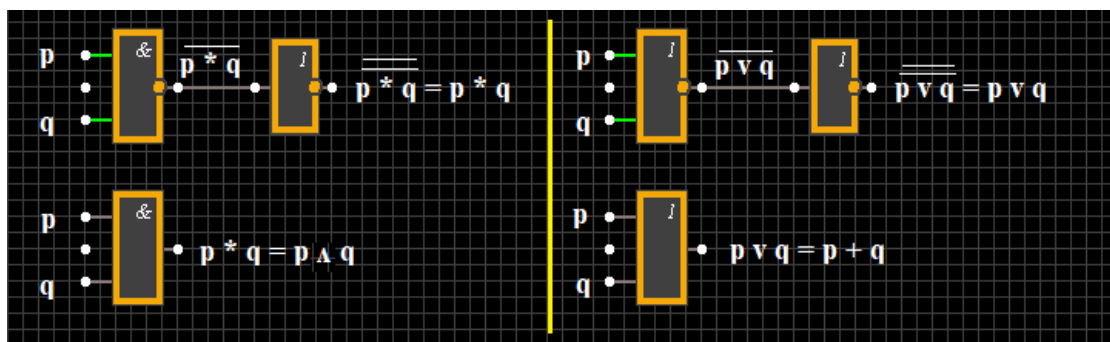
Вентилі «НЕ», «І НЕ» і «АБО НЕ», які використовуються для побудови інших вентилів і довільних схем, вважаються базовими, а схеми, які отримуються за допомогою різноманітних комбінацій базових вентилів, прийнято називати **цифровими логічними схемами**. Важливим частковим

випадком цифрових схем є **комбінаційні схеми**, в яких значення, які отримуються на виходах схеми, залежать лише від значень, які надходять на її входи. Такі схеми класифікуються також як **схеми без пам'яті**.

### 4.2.3 Вентилі «І» й «АБО»

Для задання будь-якої логічної функції можна обійтись лише однією операцією – стрілкою Пірса або штрихом Шеффера. Таким чином, вентилі «І НЕ» і «АБО НЕ» розглядаються як універсальні (**функціонально повні**), з яких можна скласти схему, що відповідає будь-якому логічному виразу. Водночас відомо, що логічні функції зручно задавати, використовуючи три основних логічних операції: заперечення, диз'юнкцію і кон'юнкцію. З огляду на це доцільно використовувати в комбінаційних схемах вентилі, які відповідають цим операціям.

Спосіб побудови вентилів для операцій кон'юнкції і диз'юнкції впливає з очевидних співвідношень  $\overline{\overline{p \wedge q}} = p \wedge q$  і  $\overline{\overline{p \vee q}} = p \vee q$ . Отже, з'єднавши виходи вентилів «І НЕ» і «АБО НЕ» зі входом вентиля «НЕ», отримаємо зручні для побудови будь-яких цифрових схем вентилі «І» та «АБО» операцій кон'юнкції та диз'юнкції. Схеми вентилів та їх позначення наведено на рис. 4.5. Вентилі «І» й «АБО» також відносять до базових.



а) б)  
Рисунок 4.5 – Вентилі та їх умовні позначення: а) – «І», б) – «АБО»

Відмітимо, що для реалізації вентиля «НЕ» достатньо одного транзистора, для вентилів «І НЕ» і «АБО НЕ» потрібно по два транзистори, а для вентилів «І» й «АБО» необхідно вже по три транзистори на кожену схему.

#### 4.2.4 Синтез комбінаційних схем

Побудова комбінаційної схеми пристрою, що забезпечує виконання потрібних операцій, можлива за наявності *логічної функції*, яка описує логіку її роботи. В загальному випадку логічна функція може бути точно задана за допомогою таблиці істинності. Опіраючись на таблицю істинності, можна сформулювати логічну функцію у вигляді так званої диз'юнктивної нормальної форми (ДНФ) згідно з алгоритмом:

- для кожного рядка таблиці істинності складають *кон'юнкти* (елементарні кон'юнкції), які мають містити всі аргументи таблиці істинності;
- обираються кон'юнкти всіх рядків таблиці, в яких результат дорівнює 1;
- з усіх обраних кон'юнктив складається диз'юнкція.

Після чого проводиться її мінімізація і перетворення до вигляду, зручного для реалізації на логічних елементах заданого типу.

Для мінімізації логічної функції можна використати **основні закони алгебри логіки**:

- переміщувальний закон:  $a + b = b + a$ ;  $a b = b a$ ;
  - сполучний закон:  $(a+b)+c = a+(b+c)$ ;  $(a b) c = a (b c)$ ;
  - розподільний закон:  $a(b+c) = a b + a c$ ;  $a+bc = (a+b)(a+c)$ ;
  - закон поглинання:  $a+a b = a(1\pm b) = a$ ;  $a(a+b) = a + \underline{a} b = a$ ;
  - закон склеювання:  $a b + a \bar{b} = a$ ;  $(a+b)(a+\bar{b}) = a$ ;
  - закон заперечення:  $\overline{a+b} = \bar{a} \bar{b}$ ;  $\overline{a \bar{b}} = \bar{a} + \bar{b}$ ;
- $$\overline{\overline{a} + \overline{b}} = a b; \quad \overline{\overline{a} \bar{b}} = a + b;$$

Закон заперечення часто називають **правилом де Моргана**. Він

справедливий для будь-якої кількості змінних.

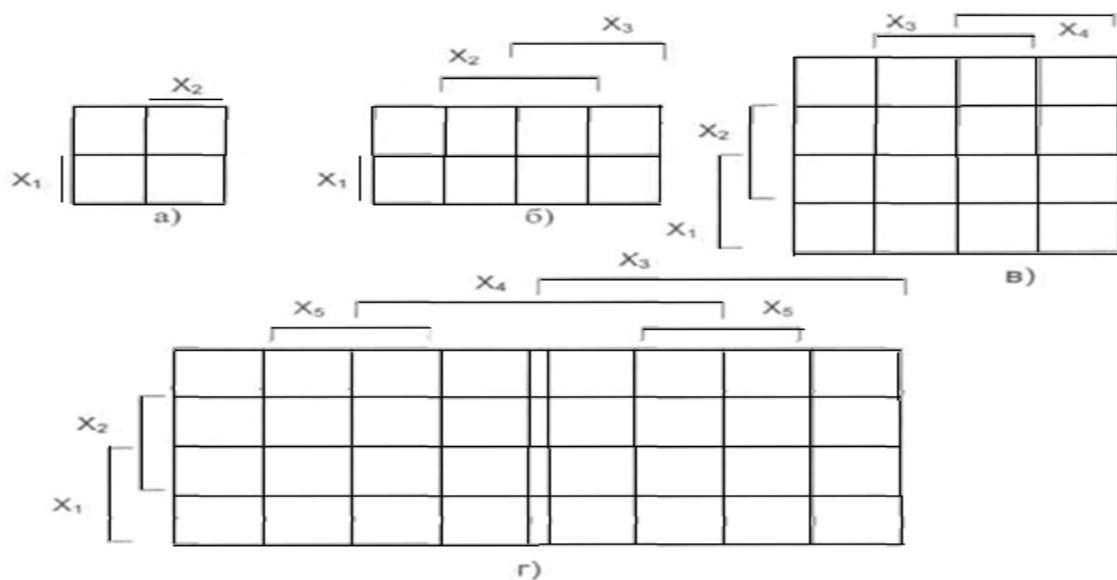
Цей шлях універсальний, але кінцевий результат залежить від кваліфікації фахівця, що проводить мінімізацію. Для функцій, що мають не більше 5–6 аргументів, зручно проводити мінімізацію за допомогою **діаграм Вейча (карт Карно)**.

Попередньо потрібно подати функцію в ДНФ формі, заповнити прямокутну таблицю, ставлячи 1 в клітинки таблиці, якщо відповідні кон'юнкції початкової функції дорівнюють одиниці, і 0 в решту клітинок таблиці.

На рис. 4.6 подано карти Карно для функцій декількох змінних.

В заповненій таблиці обводять контурами всі одиниці, а потім записують мінімізовану функцію у вигляді суми логічних добутків, що описують ці функції. Всередині контуру мають знаходитись тільки клітинки, заповнені одиницями, число яких має бути цілим степенем числа 2, а одні і ті самі клітинки можуть входити в декілька контурів.

Розглянемо більш докладно процес синтезу комбінаційних ланцюгів на прикладі: необхідно побудувати мажоритарний елемент (елемент голосування) на три входи, тобто такий елемент, у якого сигнал на виході дорівнює одиниці тоді, коли більшість вхідних сигналів дорівнюють одиниці.



**Рисунок 4.6** – Карты Карно для: а) 2-х, б) 3-х, в) 4-х, г) 5-и змінних

Складемо таблицю істинності:

$N$	$X_1$	$X_2$	$X_3$	$F$
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

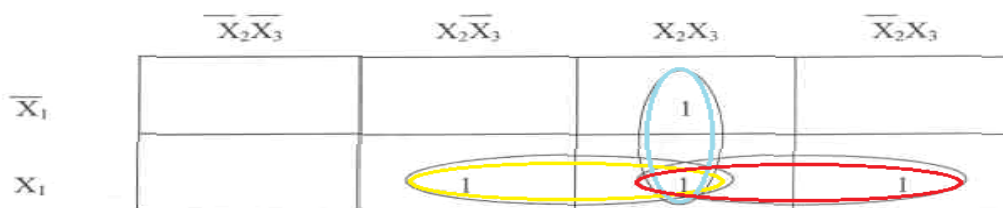
Користуючись таблицею, запишемо логічну функцію, для чого подамо її у вигляді суми логічних добутків, що відповідають тим рядкам, для яких функція  $F$  дорівнює одиниці. Для мінімізації функції використаємо основні закони алгебри логіки:

$$\begin{aligned}
 F &= \overline{X_1}X_2X_3 \vee X_1\overline{X_2}X_3 \vee X_1X_2\overline{X_3} \vee X_1X_2X_3 = \\
 &= (\overline{X_1}X_2X_3 \vee X_1X_2X_3) \vee (X_1\overline{X_2}X_3 \vee X_1X_2X_3) \vee (X_1X_2\overline{X_3} \vee X_1X_2X_3) = \\
 &= X_2X_3(\overline{X_1} \vee X_1) \vee X_1X_3(\overline{X_2} \vee X_2) \vee X_1X(\overline{X_3} \vee X_3) = X_2X_3 \vee X_1X_3 \vee X_1X_2
 \end{aligned}$$

Як видно, отриманий кінцевий вираз явно простіший початкового.

В переглянutoму прикладі для мінімізації функції ми використали шлях алгебраїчних перетворень. Цей шлях універсальний, але кінцевий результат залежить від кваліфікації фахівця, що проводить мінімізацію. Для функцій, що мають не більше п'яти – шести аргументів, зручно проводити мінімізацію за допомогою діаграм Вейча.

Мінімізуємо за допомогою карти Карно функцію трьох змінних.

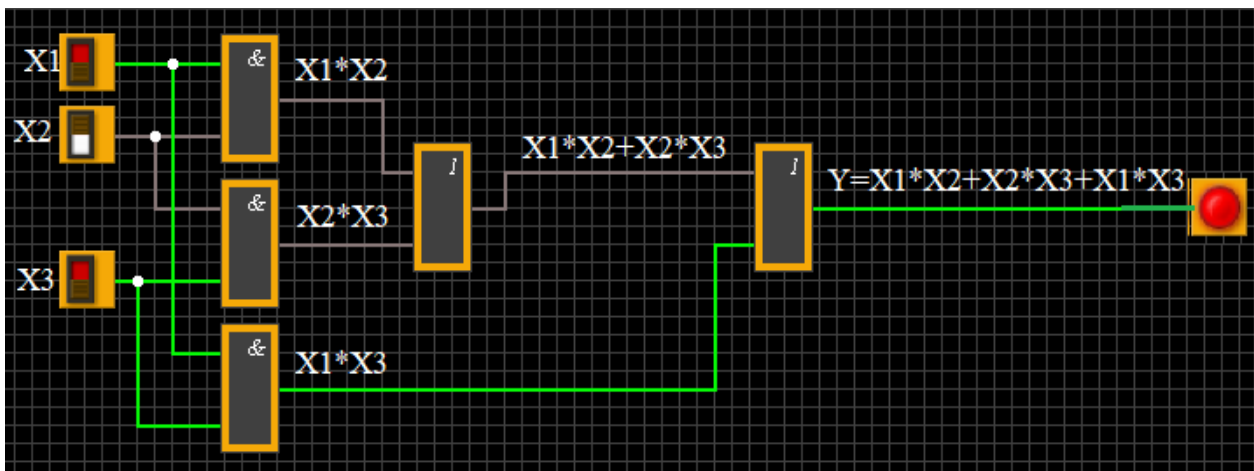




У цьому випадку всі одиниці в таблиці можна охопити трьома контурами. Виписавши позначення цих контурів, отримаємо мінімізовану функцію

$$F = \underline{X_1X_2} + \underline{X_1X_3} + \underline{X_2X_3}$$

У мінімізованому рівнянні немає змінних з інверсіями, а це означає, що елементи НЕ для нашого пристрою непотрібні. Потрібні три логічних елементи І, які виконують три логічні операції множення:  $X_1 * X_2$ ;  $X_2 * X_3$ ;  $X_1 * X_3$ , а також два елементи АБО, які реалізують логічні суми в мінімізованому рівнянні. Замість двох елементів АБО на два входи можна використати також один на три входи. Принципову схему пристрою зображено на рисунку 4.7.



**Рисунок 4.7** – Логічна схема мажоритарного пристрою

Промислові інтегральні мікросхеми будь-якого функціонального призначення будують переважно на базі логічних елементів І-НЕ або АБО-НЕ. Щоб реалізувати пристрій на елементах І-НЕ логічне рівняння перетворимо, використавши закони де Моргана.

$$F = \overline{\overline{X_1 X_2} * \overline{X_1 X_3} * \overline{X_2 X_3}}$$

Принципову схему пристрою зображено на рисунку 4.8.

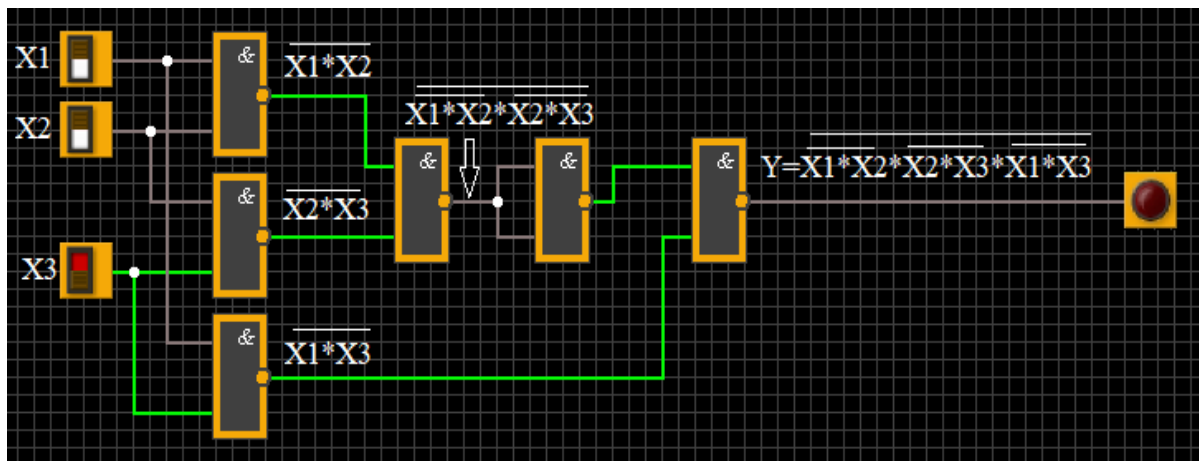


Рисунок 4.8 – Логічна схема пристрою на елементах І-НЕ

#### 4.2.5 Вентиль «Виключне АБО»

Проілюструємо будову ДНФ для логічної операції  $p \vee q$  «Виключне АБО», яка визначається таким чином: результат операції дорівнює одиниці, якщо операнди  $p$  і  $q$  мають різні значення, та дорівнює нулю, якщо мають однакові значення. Таблицю істинності цієї операції наведено в цьому стовпці табл. 4.1. Побудова за описаними раніше правилами кон'юнктив для всіх рядків таблиці дає такий результат.

$p$	$q$	$p \oplus q$	Елементарні кон'юнкції
0	0	0	$\overline{p} \wedge \overline{q}$
0	1	1	$\overline{p} \wedge q$
1	0	1	$p \wedge \overline{q}$
1	1	0	$p \wedge q$

Утворюючи диз'юнкцію з кон'юнктив другого і третього рядку таблиці, в яких результат дорівнює 1, приходимо до висновку, що вираз:

$$\overline{p} \wedge q \vee p \wedge \overline{q}$$

являє собою ДНФ операції  $p \vee q$ .

Операція «Виключне АБО» виявляється корисною у багатьох ситуаціях побудови комбінаційних схем. Опираючись на ДНФ

$$(p \vee q) \equiv \bar{p} \wedge q \vee p \wedge \bar{q}$$

і використовуючи базові вентиля «НЕ», «І» й «АБО», досить легко побудувати відповідну схему. Для реалізації виразу виходи вентилів «НЕ» потрібно з'єднати з одним з входів вентилів «І». Значення  $p$  і  $q$  подаються на вільні входи вентилів «І», а їх виходи – на входи вентиля «АБО», відповідно. Схему вентиля «Виключне АБО» і його умовне позначення наведено на рис. 4.9. Для реалізації цього вентиля потрібно 11 транзисторів.

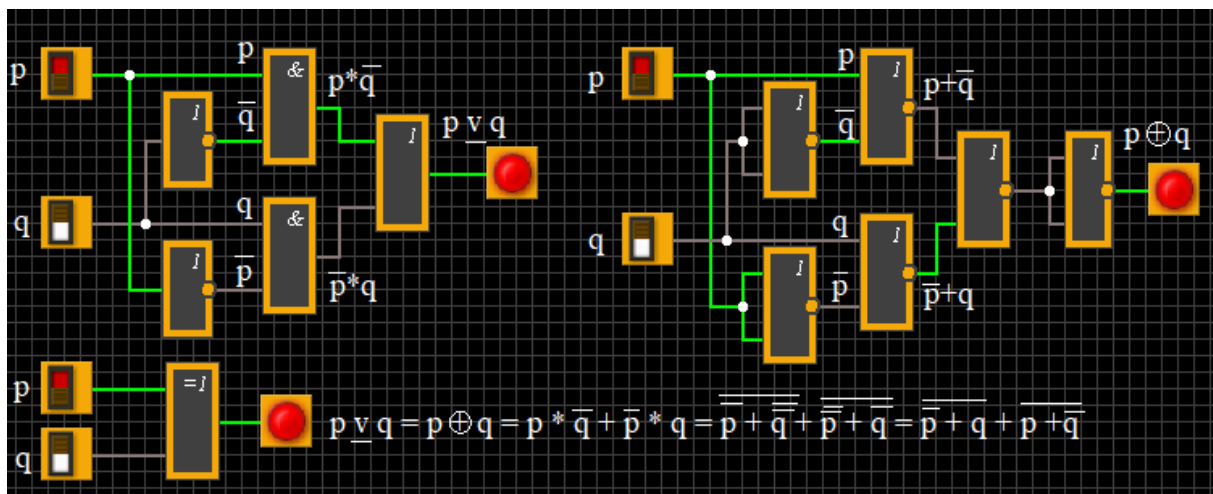
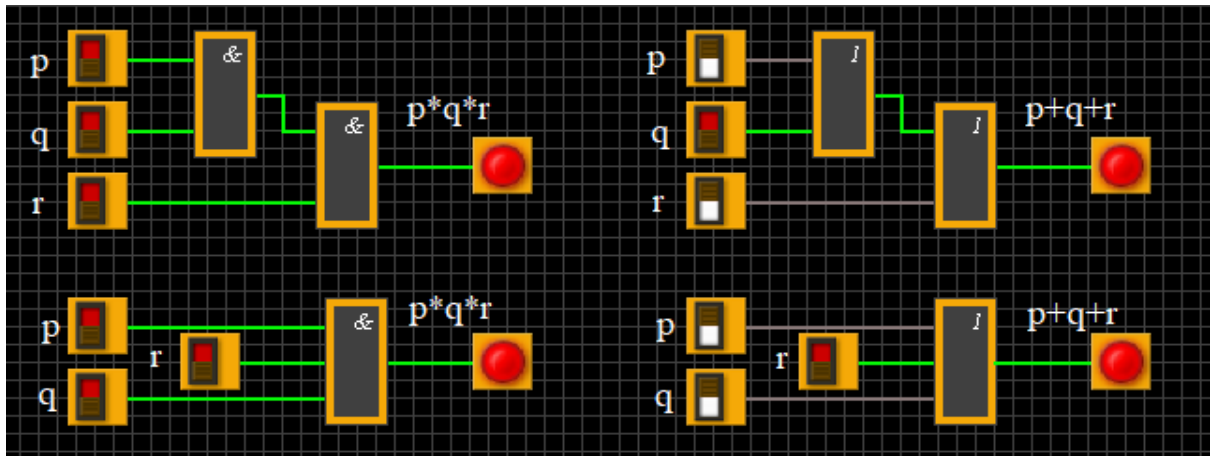


Рисунок 4.9 – Вентиль «Виключне АБО»

Елемент «Виключне АБО» в разі двох входів поводить як елемент перевірки на непарність. Для перевірки на парність можна використати елемент «Виключне АБО-НЕ», для якого ДНФ  $\overline{p \vee q} \equiv \bar{p} \wedge \bar{q} \vee p \wedge q$ . Але якщо входів з певним значенням більше двох, то елементи потребують певного налаштування для перевірки на парність і непарність.

#### 4.2.6 Багатовходові вентиля

Стандартні вентиля «І», «АБО» є **двовходовими**, тобто вони містять два входи і один вихід. В загальному випадку вентиля «І» й «АБО» можуть бути **багатовходовими**, тобто містити більше двох входів. Багатовходові вентиля можна побудувати зі стандартних двовходових вентилів, послідовно з'єднуючи їх. На рис. 4.10, а) і б) зображено **тривходові** варіанти таких вентилів.



а)

б)

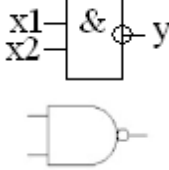
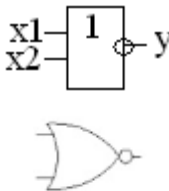
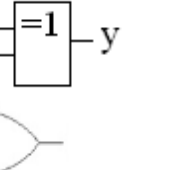
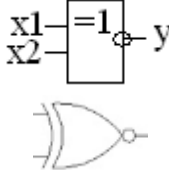
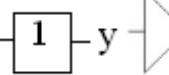
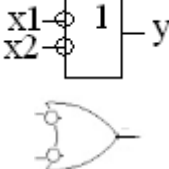
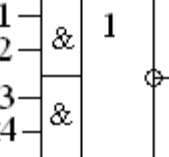
**Рисунок 4.10** – Тривходові варіанти вентилів

Подібним чином можна реалізувати і багатовходові вентилі «І НЕ» та «АБО НЕ». Графічні зображення найбільш поширених вентилів подано в таблиці 4.2

**Таблиця 4.2** – Найбільш поширені вентилі

Назва елемента	Графічне зображення	Булева функція
І – кон'юнктор		$y = x1 * x2$
АБО – диз'юнктор		$y = x1 + x2$
НЕ – інвертор		$y = \bar{x}$

Продовження таблиці 4.2

<p>I-НЕ – штрих Шеффера</p>		$y = \overline{x1 * x2}$
<p>АБО-НЕ – стрілка Пірса</p>		$y = \overline{x1 + x2}$
<p>Виключне АБО</p>		$y = x1 \oplus x2 = \overline{x1} * x2 + x1 * \overline{x2}$
<p>Виключне АБО-НЕ</p>		$y = \overline{x1 \oplus x2} = \overline{x1} * \overline{x2} + x1 * x2$
<p>Повторювач</p>		$y = x$
<p>НЕ-АБО</p>		$y = \overline{x1 + x2}$
<p>I-АБО-НЕ</p>		$y = \overline{x1 * x2 + x3 * x4}$

### 4.3 Комбінаційна схема суматора

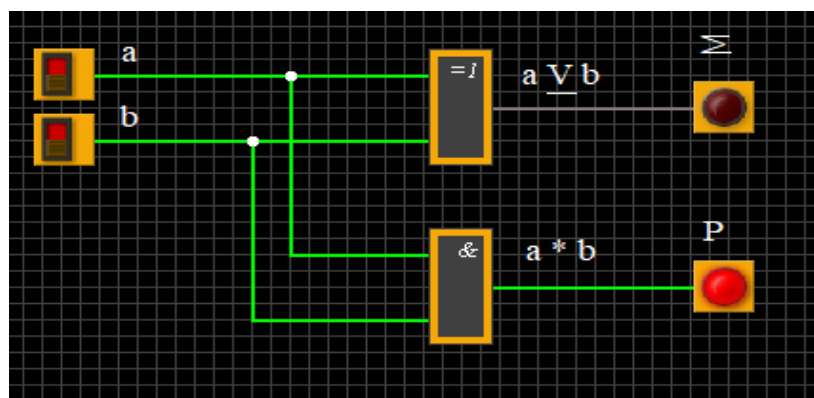
Тепер розглянемо комбінаційні схеми, за допомогою яких може бути реалізовано арифметичне додавання. Аналіз алгоритму додавання двійкових кодів показує, що додавання молодших бітів і додавання всіх інших бітів, які додаються, відбувається по-різному. Відмінність обумовлена необхідністю враховувати біти переносів для всіх бітів, що додаються, окрім

першого. Комбінаційна схема, яка реалізує додавання лише для двох молодших бітів доданків, називається **півсуматором**, а схема, яка реалізує додавання для всіх інших бітів доданків, називається **суматором**, інколи використовуються також назви **повний суматор**.

Введемо таке позначення. Нехай  $a$  і  $b$  – біти доданків, які беруть участь в операції,  $\Sigma$  – біт результату, а  $p$  – біт переносу в наступний розряд. Опираючись на правила додавання двійкових кодів, отримаємо, що робота півсуматора може бути описана табл. 4.3. Видно, що для біта переносу справедливо співвідношення  $p = a \wedge b$ , а біт суми  $\Sigma$  отримується як результат операції «Виключне АБО»,  $\Sigma = a \vee b$ . Потрібно, щоб схема півсуматора мала два входи, на які подаються біти, що додаються,  $a$  і  $b$ , і два виходи, на яких формуються біт суми і біт переносу. Ці міркування приводять до зображеної на рис. 4.11 схеми півсуматора. Для її реалізації потрібно 14 транзисторів.

**Таблиця 4.3** – Таблиця істинності півсуматора

$a$	$b$	$a+b$	$p$	$\Sigma$
0	0	0	0	0
0	1	1	0	1
1	0	1	0	1
1	1	10	1	0



**Рисунок 4.11** – Комбінаційна схема півсуматора

При додаванні кожної наступної пари бітів доданків необхідно враховувати біт переносу з попереднього розряду. Отже, ця операція залежить від трьох аргументів, то ж необхідно, щоб відповідна комбінаційна схема мала три входи. Як результат додавання поточної пари бітів отримуємо біт поточного розряду суми і біт переносу в наступний розряд. Тому у схеми мають бути два виходи. Нехай, як і раніше,  $a$  і  $b$  позначають біти доданків, а  $\Sigma$  – біт результату. Нехай далі  $p_{in}$  – біт переносу з попереднього розряду, а  $p_{out}$  – біт переносу в наступний розряд. Тоді додавання з урахуванням переносів можна описати в табл. 4.4.

**Таблиця 4.4** – Таблиця істинності повного суматора

$p_{in}$	$a$	$b$	$a+b+p_{in}$	$p_{out}$	Кон'юнкти для $p_{out}$	$\Sigma$	Кон'юнкти для $\Sigma$
0	0	0	0	0	–	0	–
0	0	1	1	0	–	1	$\bar{p}_{in} \wedge \bar{a} \wedge b$
0	1	0	1	0	–	1	$\bar{p}_{in} \wedge a \wedge \bar{b}$
0	1	1	10	1	$\bar{p}_{in} \wedge a \wedge b$	0	–
1	0	0	1	0	–	1	$p_{in} \wedge \bar{a} \wedge \bar{b}$
1	0	1	10	1	$p_{in} \wedge \bar{a} \wedge b$	0	–
1	1	0	10	1	$p_{in} \wedge a \wedge \bar{b}$	0	–
1	1	1	11	1	$p_{in} \wedge a \wedge b$	1	$p_{in} \wedge a \wedge b$

Використаємо техніку побудови ДНФ для кожного з результуючих бітів операції. В табл. 4.4 наведено кон'юнкти лише для тих рядків, які беруть участь у побудові відповідної нормальної форми. Спочатку побудуємо вираз для біта  $\Sigma$  (дужки проставлені для спрощення сприйняття кон'юнктив, з яких створена ДНФ):

$$\Sigma = (\bar{p}_{in} \wedge \bar{a} \wedge b) \vee (\bar{p}_{in} \wedge a \wedge \bar{b}) \vee (p_{in} \wedge \bar{a} \wedge \bar{b}) \vee (p_{in} \wedge a \wedge b).$$

Виконуючи елементарні перетворення, отримаємо:

$$\Sigma = \bar{P}_{in} \wedge ((\bar{a} \wedge b) \vee (a \wedge \bar{b})) \vee P_{in} \wedge ((\bar{a} \wedge \bar{b}) \vee (a \wedge b)).$$

З врахуванням співвідношень

$$(p \vee q) \equiv \bar{p} \wedge q \vee p \wedge \bar{q} \quad \text{та} \quad \overline{p \vee q} \equiv \bar{p} \wedge \bar{q} \vee p \wedge q$$

остаточно знаходимо зручний для реалізації комбінаційної схеми вираз

$$\Sigma = (\bar{P}_{in} \wedge (a \vee b)) \vee (P_{in} \wedge (a \vee b)) \equiv P_{in} \vee a \vee b.$$

Ця схема може бути побудована на базі двох послідовно з'єднаних вентилів «Виключне АБО». На входи першого вентиля потрібно подати біти, які додаються, а на входи другого вентиля – вихід з першого вентиля і біт переносу.

Побудуємо тепер ДНФ для біта переносу в наступний розряд:

$$P_{out} = (\bar{P}_{in} \wedge a \wedge b) \vee (P_{in} \wedge \bar{a} \wedge b) \vee (P_{in} \wedge a \wedge \bar{b}) \vee (P_{in} \wedge a \wedge b).$$

Згрупувавши перші і останні, а також другі й треті дужки, виносячи загальні множники, отримаємо зручний для реалізації у вигляді комбінаційної схеми вираз:

$$P_{out} = ((a \wedge b) \wedge (\bar{P}_{in} \vee P_{in})) \vee P_{in} \wedge ((\bar{a} \wedge b) \vee (a \wedge \bar{b})) \equiv a \wedge b \vee P_{in} \wedge (a \vee b).$$

Значення  $(a \vee b)$  для останнього виразу можна отримати з виходу першого вентиля «Виключне АБО».

Комбінаційну схему повного суматора наведено на рис. 4.12. Відмітимо, що для її реалізації потрібен 31 транзистор.



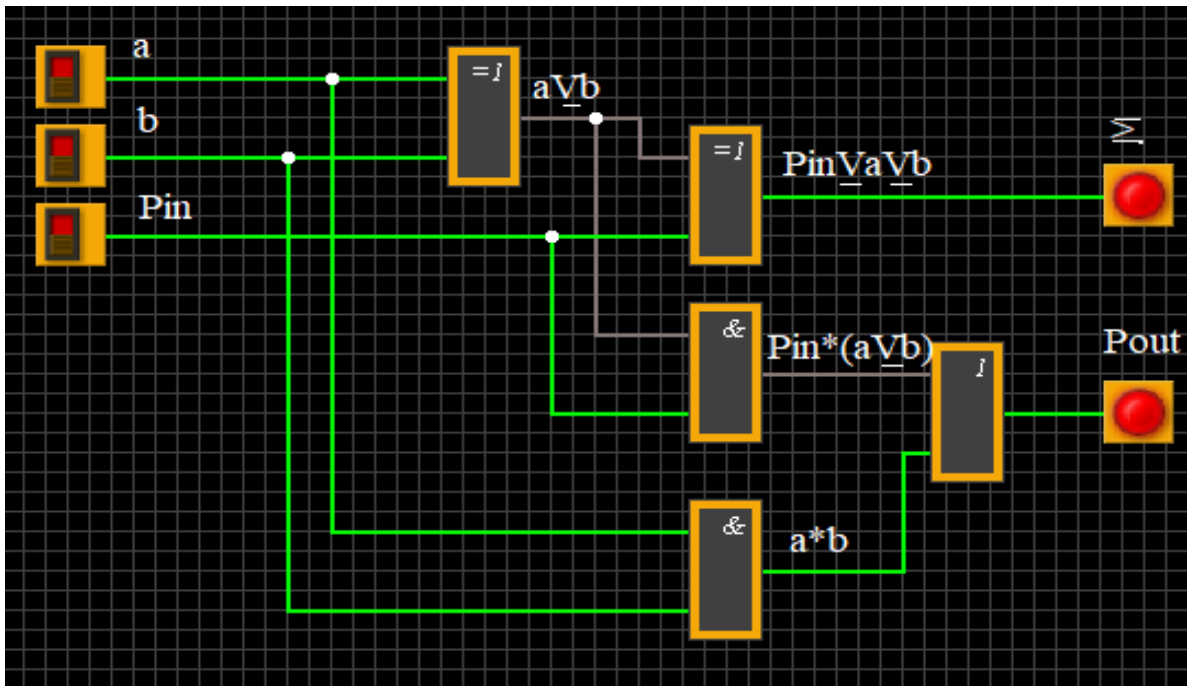


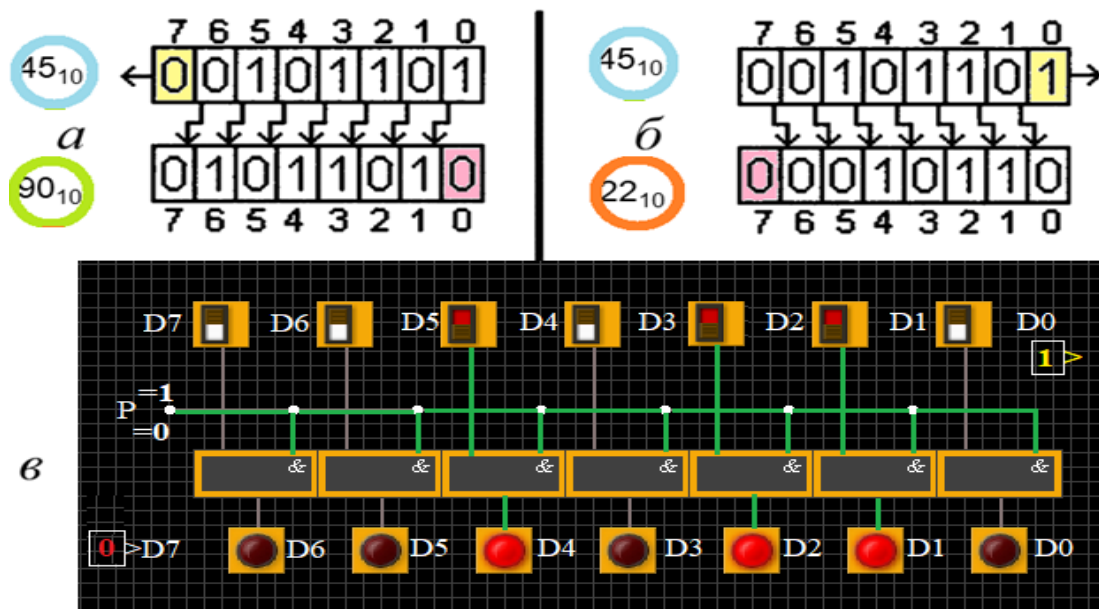
Рисунок 4.12 – Комбінаційна схема повного суматора

#### 4.4 Комбінаційна схема зсуву

Під час обговорення множення в двійковій системі числення виявилось, що ця операція, в принципі, зводиться до зсуву коду. Розрізняють декілька різновидів зсуву. Зсув коду вліво значить, що кожен його біт переміщується на сусідню зліва позицію, водночас молодший (останній правий) розряд поля, який звільнився, заповнюється нулем, а останній лівий біт коду втрачається. Про такий біт говорять, що він виштовхується за розрядну сітку. Наприклад, зсув коду  $00101101_2$  вліво дає код  $01011010_2$  (рис. 4.13, а). Зсув вправо здійснюється у протилежному напрямку: кожен біт коду займає сусідній справа розряд, у цьому разі старший (останній лівий) розряд, який звільнився, заповнюється нулем, а молодший біт коду виштовхується за розрядну сітку, втрачається. Зсув того самого коду  $00101101_2$  вправо дає код  $00010110_2$  (рис. 4.13, б). Існують ще так звані циклічні зсуви коду, в яких біт, який виштовхується, не втрачається, а записується в розряд поля, який звільнився зліва або справа.

Ретельний аналіз результатів звичайного зсуву двійкового коду показує, що зсув вліво є еквівалентом до множення на два, а зсув вправо – еквівалент до ділення на два без остачі. Так, в наведених раніше прикладах коду  $00101101_2$ , що розглядався як код в форматі з фіксованою крапкою, якому відповідає число  $45_{10}$ . Зсув цього коду вліво дає як результат код  $01011010_2$  числа  $90_{10}$ , а зсув вправо – код  $00010110_2$  числа  $22_{10}$ . Для того, щоб отримати коректний результат у випадку множення, необхідно, щоб поле було достатньою для отриманого коду довжини, – точніше, щоб біти, які виштовхуються вліво, не дорівнювали одиниці.

У розглянутих ситуація зсув відбувався на одну позицію вправо або вліво. Має сенс розглянути також зсуви вправо і вліво на декілька позицій, що відповідає множенню або діленню на відповідний степінь двійки. Таким чином, зсув коду може використовуватись не лише як допоміжна дія під час реалізації загальної операції множення двійкових кодів, а і як самостійна операція множення або ділення націло на числа виду  $2^n$  для цілих  $n > 0$ . Відмітимо, що операція зсуву виконується процесором комп'ютерів набагато швидше, ніж загальна операція множення або ділення.



**Рисунок 4.13** – Зсув коду: *a* – вліво, *б* – вправо *в* –спрощена схема зсуву вправо

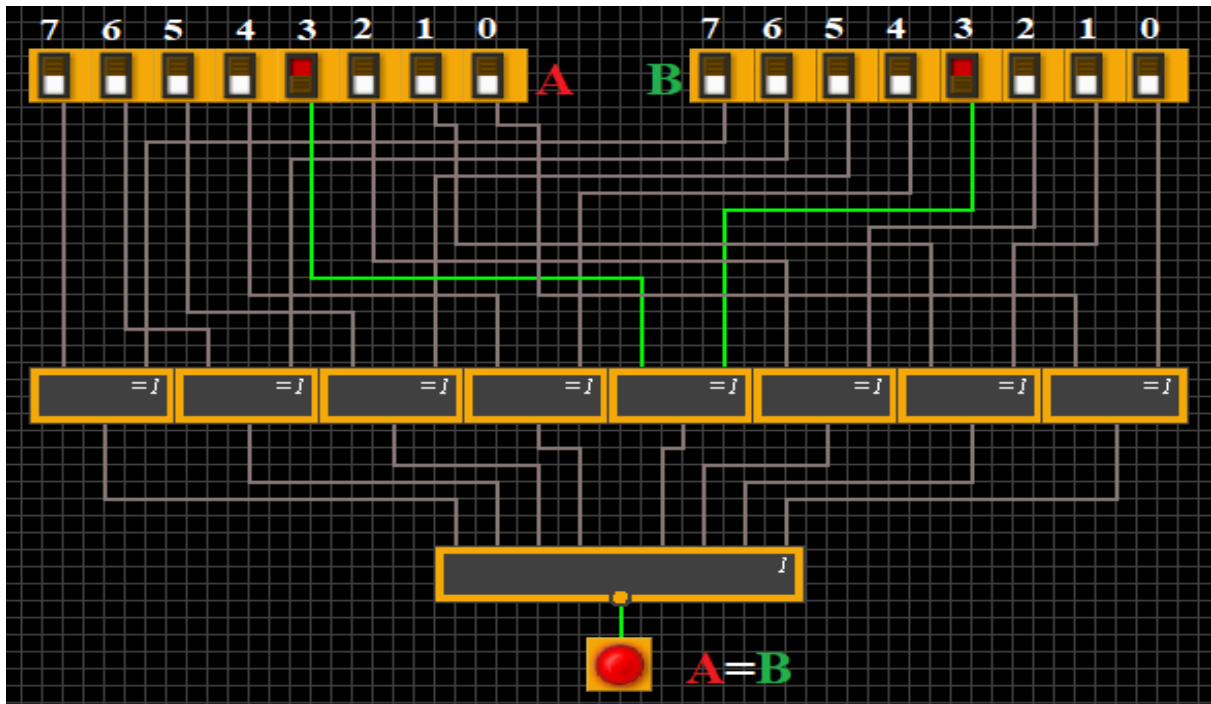
На рис. 4.13, в зображено спрощену комбінаційну схему, яка реалізує зсув восьмого коду вправо на одну позицію. Кожному біту коду, який зсувається, окрім молодшого біта, який виштовхується, відповідає окремий вентиль «І». На рис. 4.13, в ці вентиля мають ті самі номери, що і відповідні їм біти коду. Кожен біт коду з'єднаний з входом відповідного йому вентиля, а на другий вхід кожного вентиля через єдину лінію надходить керівний біт  $p$ . Якщо  $p = 1$ , то на виході кожного вентиля дублюється пов'язаний з ним біт коду. Ці виходи з'єднані з розрядами поля, які призначені для зберігання результату. Зверніть увагу: вихід кожного вентиля з'єднаний з розрядом поля, номер якого на одиницю менший, ніж номер вентиля, що, власне, і приводить до потрібного зсуву коду. У крайньому зліва розряді, для якого немає відповідного вентиля, автоматично формується нуль.

Зсув коду вліво можна організувати за допомогою симетричної схеми; в ній виходи вентилів «І» з'єднані з розрядами полів, номери яких на одиницю більші, ніж номери відповідних вентилів. В більш загальних схемах обидва варіанти, які забезпечують зсуви вправо і вліво, з'єднуються в одну схему з одним єдиним керівним бітом, який надходить в дві керівні лінії, причому, в одну через вентиль «НЕ». Таким чином, значення  $p = 1$  запускає зсув в одну сторону, а значення  $p = 0$  забезпечує зсув в іншу сторону. У такій схемі зсуву використовується  $2n$  вентилів «І», де  $n$  – кількість розрядів, які зсуваються, і один вентиль «НЕ». Відповідно, для її реалізації потрібно  $7n + 1$  транзисторів.

## 4.5 Компаратор

Ще однією важливою операцією, яку, безумовно, має «вміти» виконувати процесор, є порівняння двох кодів на збіг. Для її реалізації можна

використовувати комбінаційну схему **компаратора**, восьмибітовий варіант якої зображено на рис. 4.14.



**Рисунок 4.14** – Схема восьмибітового компаратора

Біти кодів для порівняння  $A$  і  $B$ , які мають один і той самий номер, приєднуються до входів одного і того самого вентиля «Виключне АБО». На рис. 4.14 вентилі позначені номерами, які збігаються з номерами підключених до них бітів. Виходи всіх вентилів «Виключне АБО» приєднані до багатовходового вентиля «АБО НЕ». Таким чином, якщо всі біти кодів  $A$  і  $B$  збігаються, то всі вентиля «Виключне АБО» сформуєть на своїх виходах значення 0, яке потрапляє потім на багатовходовий вентиль «АБО НЕ». А якщо на його входах всі нулі, то на виході схеми сформується 1. В той самий час, якщо в кодах  $A$  і  $B$  не збігається хоча б одна пара бітів, то відповідний вентиль «Виключне АБО» видасть на виході значення 1. Поява на входах вентиля «АБО НЕ» хоча б одної одиниці призведе до формування на його виході значення 0. Таким чином, на виході компаратора завжди формується значення логічного виразу  $A = B$ . Відмітимо, що для реалізації компаратора, який здійснює порівняння двох  $n$ -бітових кодів, потрібно  $n$  вентилів «Виключне АБО» і один  $n$ -входовий вентиль «АБО НЕ», відповідно потрібно  $11n + 2(n - 1) = 13n - 2$  транзисторів.

## 4.6 Перетворювачі кодів

Перетворювачі кодів призначені для перетворення чисел з однієї форми подання в іншу. Наприклад, під час введення інформації в ЕОМ необхідно перетворити десяткові числа в двійкові, а у разі виведення інформації на індикатор чи друкувальний пристрій – двійкові або двійково-десяткові коди в коди управління знакогенератором, світлодіодами або рідкокристалічними індикаторними панелями, механізмом друку. Як приклад побудуємо перетворювач коду 8421 в код семисегментного індикатора. Якщо сегменти позначені літерами, як показано на рис. 4.15, то табл. 4.5 встановлює відповідність між двійково-десятковим числом і потрібним для відображення десяткової цифри набором сегментів.

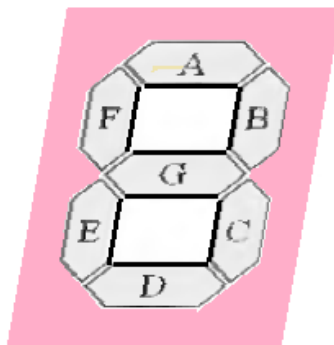


Рисунок 4.15 – Семисегментний індикатор

Сегмент *A* визначається наборами коду 8421 таким чином:

**A** =

ba \ dc	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	*	*	*	*
10	1	1	*	*

$d + b + ac + \bar{a}\bar{c} = \overline{\overline{ac} * \overline{\bar{a}\bar{c}} * b * d}$

Таблиця 4.5 – Таблиця відповідності

Десяткове число	Код 8421				Семисегментний код						
	<i>d</i>	<i>c</i>	<i>b</i>	<i>a</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>F</i>	<i>G</i>
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Аналогічно отримаємо булеві вирази для інших сегментів:

$$B = ab + \bar{a}\bar{b} + \bar{c} + d = \overline{\overline{ab} * \overline{\bar{a}\bar{b}} * \bar{c} * \bar{d}};$$

$$C = a + \bar{b} + c + d = \overline{\overline{a} * \bar{b} * \bar{c} * \bar{d}};$$

$$D = \bar{a}\bar{b} + \bar{b}\bar{c} + \bar{a}\bar{c} + \bar{a}\bar{b}c + \bar{d} = \overline{\overline{\bar{a}\bar{b}} * \overline{\bar{b}\bar{c}} * \overline{\bar{a}\bar{c}} * \overline{\bar{a}\bar{b}c} * \bar{d}};$$

$$E = \bar{a}\bar{b} + \bar{a}\bar{c} = \overline{\overline{\bar{a}\bar{b}} * \overline{\bar{a}\bar{c}}};$$

$$F = \bar{a}\bar{b} + \bar{a}\bar{c} + \bar{b}\bar{c} + d = \overline{\overline{\bar{a}\bar{b}} * \overline{\bar{a}\bar{c}} * \overline{\bar{b}\bar{c}} * \bar{d}};$$

$$G = \bar{a}\bar{b} + \bar{b}\bar{c} + \bar{b}\bar{c} + d = \overline{\overline{\bar{a}\bar{b}} * \overline{\bar{b}\bar{c}} * \overline{\bar{b}\bar{c}} + \bar{d}};$$

Відповідно до тотожних виразів на рис. 4.16 подано один з можливих варіантів перетворювача на елементах І-НЕ, а на рис. 4.17 – схема підключення ІС дешифратора.

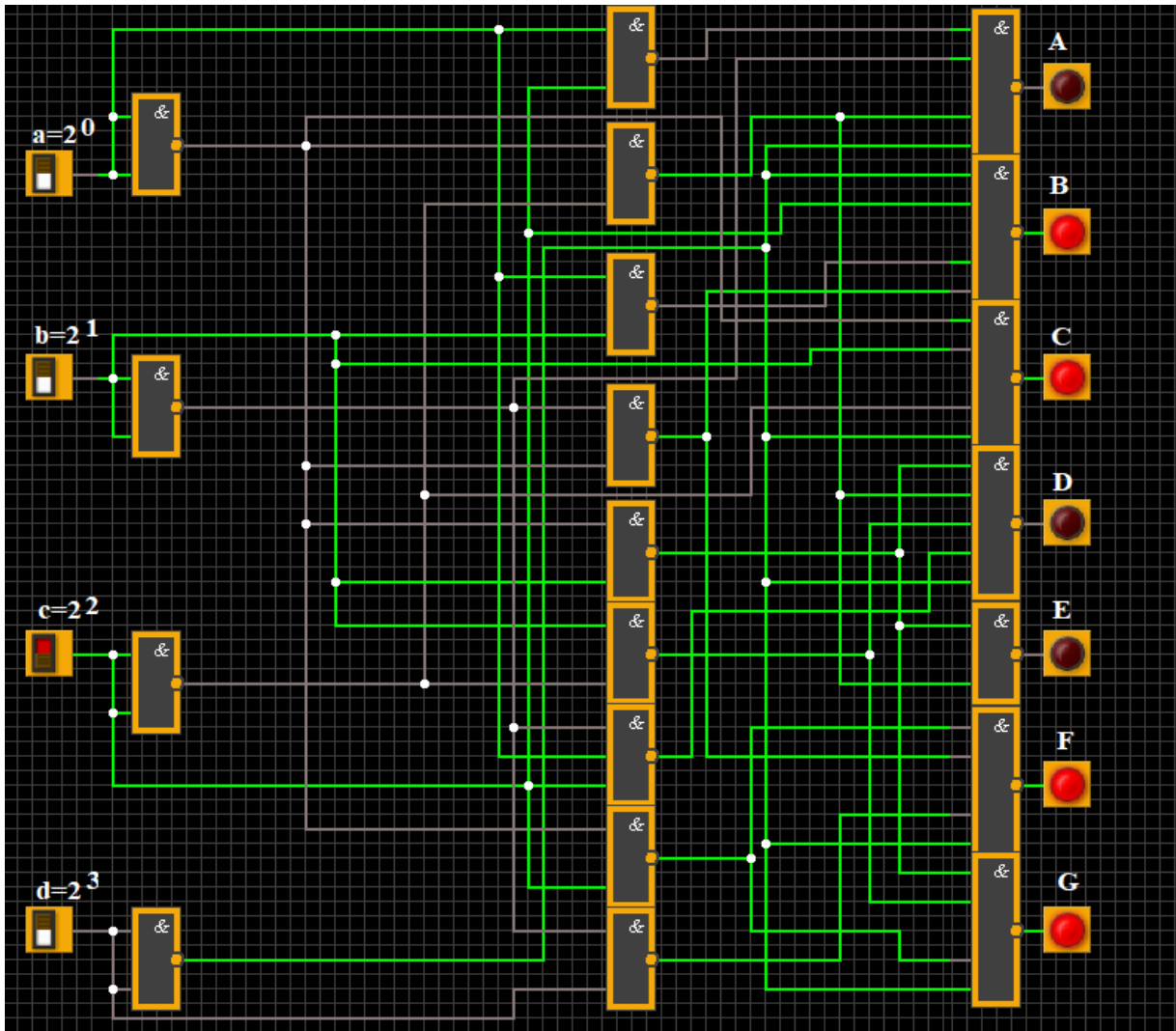


Рисунок 4.16 – Перетворювач коду 8421 в код семисегментного індикатора

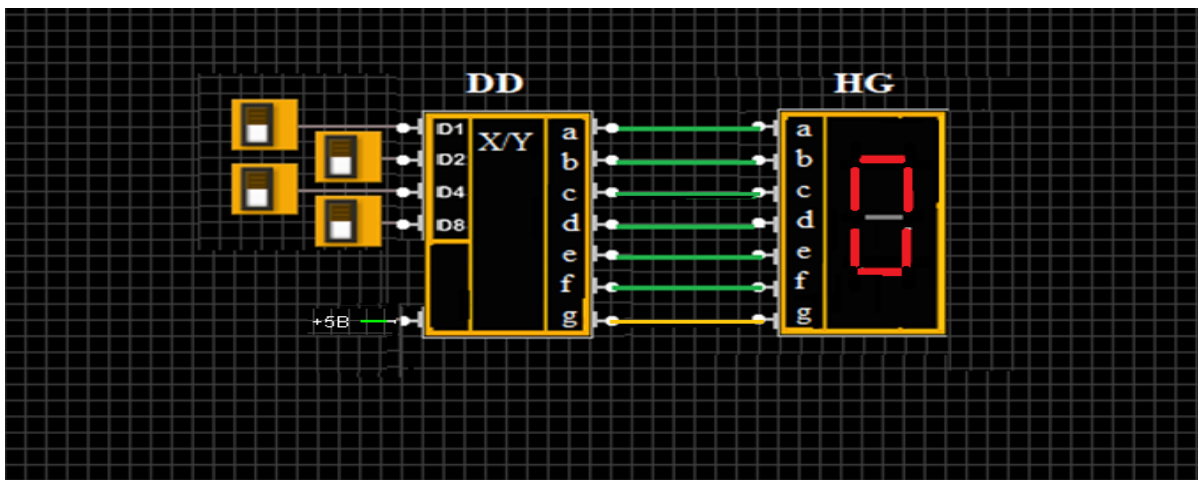
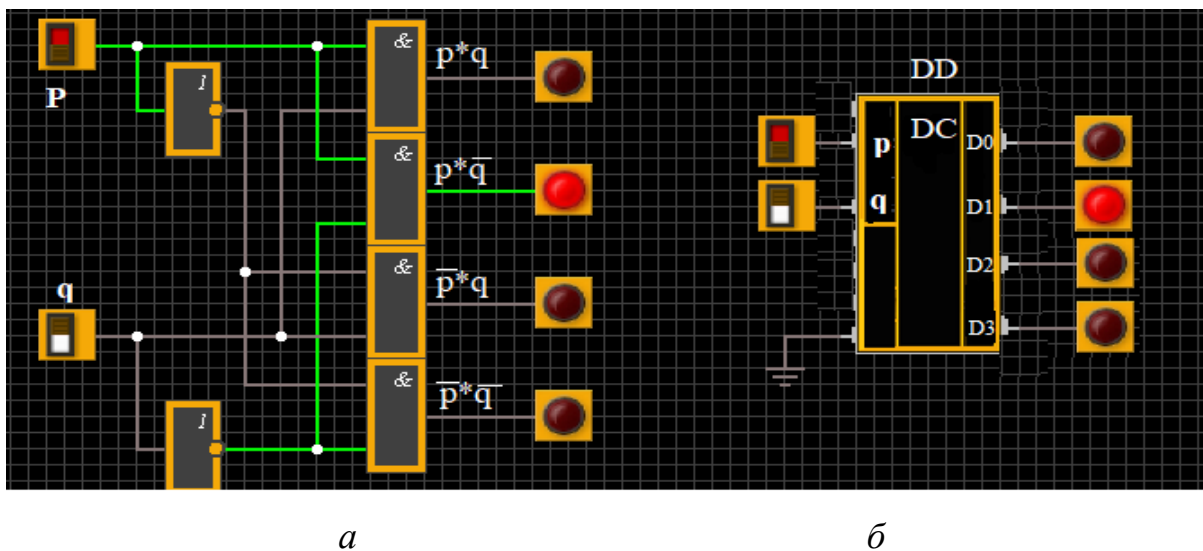


Рисунок 4.17 – Схема підключення ІС дешифратора

Одним з випадків перетворювача кодів є **шифратор (кодер)** – пристрій, що забезпечує видачу певного коду у відповідь на збудження одного з входів. Обернене перетворення двійкового коду в код «1 з  $n$ » виконують перетворювачі коду, що називаються **дешифраторами (декодерами)**.

Виконання над двійковими кодами таких операцій, як диз'юнкція, кон'юнкція, додавання і т. д. доцільно здійснювати за допомогою лише однієї комбінаційної схеми, яка забезпечує можливість не лише виконання, але і вибору потрібної операції. Вибір одного з декількох варіантів виконується за допомогою схеми, яка називається **декодером**.



**Рисунок 4.18** – Схема двовходового декодера

Задача вибору одного з декількох вхідних значень і передачі його на вихід схеми вирішується схожим чином за допомогою пристрою, який називається **мультиплексором (MUX)**. В загальному випадку мультиплексор містить  $2^n$  основних вхідних ліній,  $n$  вхідних ліній керування і один вихід. Схема складається з  $2^n$  багатовходових входів «І» і одного також багатовходового вентиля «АБО». Як приклад на рис. 4.19, *a* наведено схему чотиривходового мультиплексора, здатного вибрати один з чотирьох вхідних бітів і передати обраний біт на єдину вихідну лінію пристрою  $R$ . Для



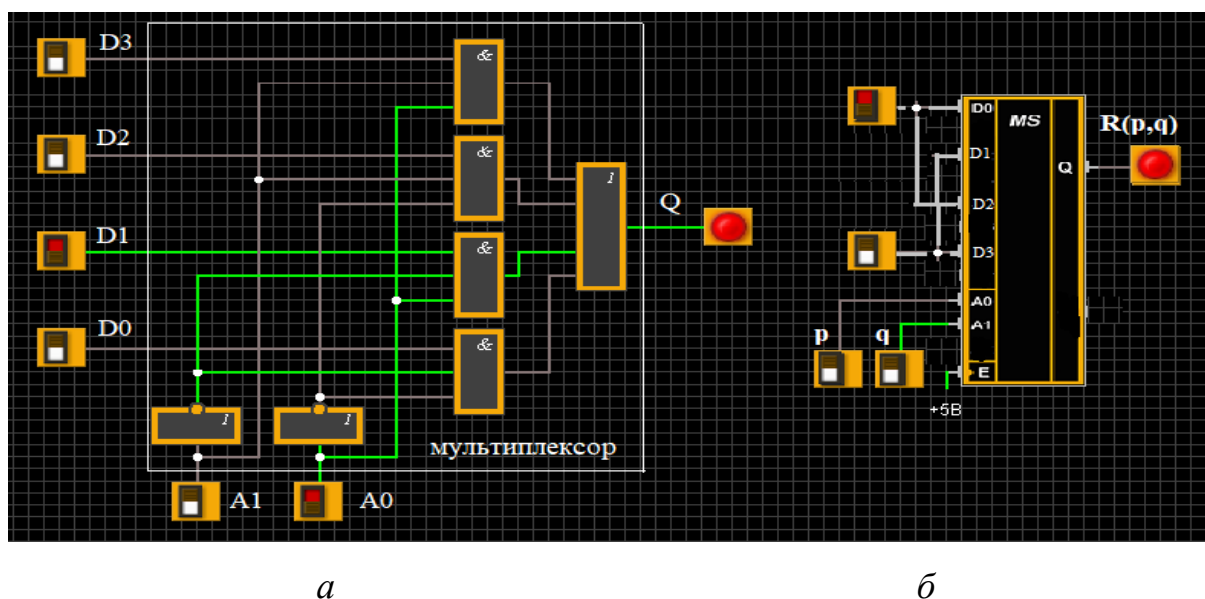
вибору потрібного варіанта в чотиривходовому мультиплексорі використовується дві лінії управління,  $p$  і  $q$ .

На базі мультиплексора можна створити схему, що зможе моделювати будь-яку логічну функцію від  $n$  аргументів. Для цього потрібно побудувати таблицю істинності цієї функції (табл. 4.6).

**Таблиця 4.6** – Таблиця істинності функції

$p$	$q$	$R(p,q)$	Кон'юнкт	Вхід
0	0	1	$\bar{p} \wedge \bar{q}$	$D_0$
0	1	0	$\bar{p} \wedge q$	$D_1$
1	0	1	$p \wedge \bar{q}$	$D_2$
1	1	0	$p \wedge q$	$D_3$

Подати 1 на всі основні входи схеми, які відповідають кон'юнктам зі значенням 1, а на всі інші входи подати значення 0. Тоді, за надходження на керівні входи схеми конкретних значень аргументів, на її виході вийде значення логічної функції, яка моделюється, від цих аргументів (рис. 4.19).



**Рисунок 4.19** – Схеми:  $a$  – чотиривходового мультиплексора,  $b$  – яка реалізує логічну функцію  $R(q, p)$

Обговоримо ще одне важливе застосування схеми мультиплексора. Вона використовується для перетворення  $n$  бітів, які одночасно передаються різними лініями, в послідовність з  $n$  бітів, які передаються один за одним по одній лінії (рис. 4.20). Таке перетворення доводиться виконувати, наприклад, у випадку передачі даних від одного комп'ютера до іншого по лініях зв'язку в комп'ютерних мережах, оскільки всередині комп'ютера біти одного або декількох байтів зазвичай передаються між пристроями комп'ютера одночасно – паралельно, в той час як по зовнішніх лініях зв'язку дані, як правило, передають послідовно.

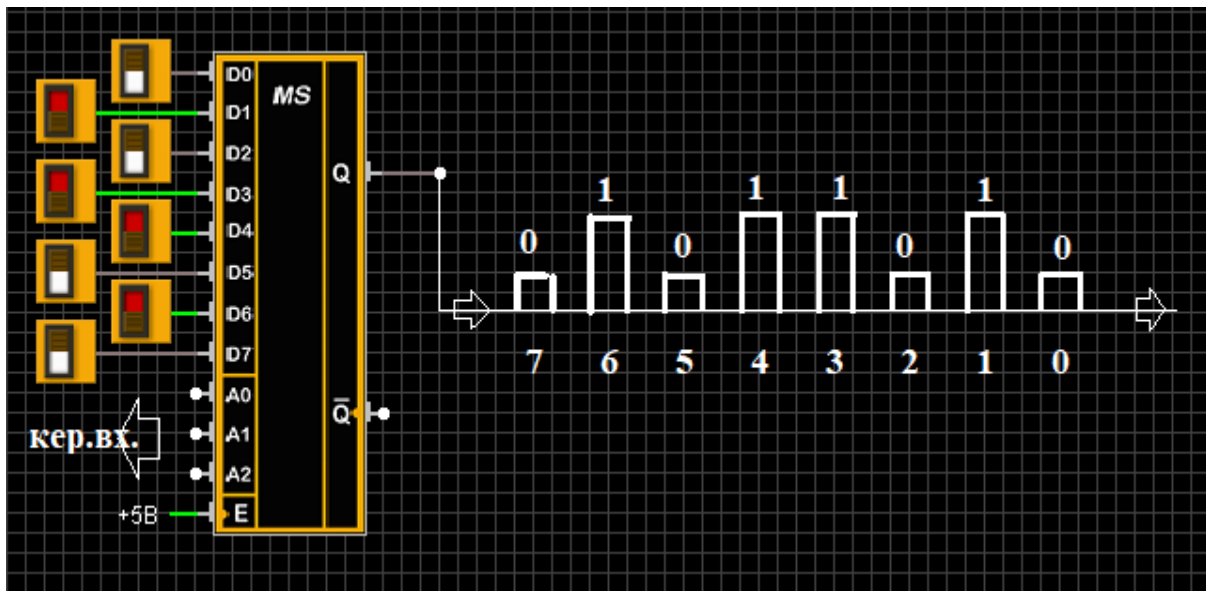


Рисунок 4.20 – Перетворення паралельного коду байта в послідовний

Одночасна передача по різних лініях декількох бітів називається **паралельним** передаванням, а код, який передається в такий спосіб, прийнято називати паралельним кодом. Якщо біти коду передають послідовно, один за одним по одній і тій самій лінії, то такий спосіб називається **послідовним** передаванням, а переданий код – послідовним кодом.

Для виконання такого перетворення потрібно під'єднати до основних входів мультиплексора всі лінії, по яких одночасно передаються біти. А на його керівні входи подавати послідовність двійкових кодів, які здійснюють

вибір основних входів ліній у бажаному порядку. Наприклад, подача на керівні лінії чотиривходового мультиплексора коду  $00_2$ , тобто  $p=0$  і  $q=0$ , приведе до вибору основного входу  $D_0$  і передачі біта, який знаходиться на ньому, на вихід схеми. Якщо трохи пізніше подати на входи керівний код  $01_2$ , то на вихід потрапить біт з основного входу  $D_1$ . Наступна подача кодів  $10_2$  і  $11_2$  передасть на вихід біти спочатку з входу  $D_2$ , а потім і з входу  $D_3$ . Таким чином, код, який передається паралельно, виявиться перетвореним в код, який передається послідовно. Потрібно лише своєчасно фіксувати або ж передавати далі біти, які послідовно потрапляють на вихід схеми.

#### 4.7 Побудова логічних схем на базі мультиплексорів

Менш відоме в практиці застосування мультиплексорів для побудови логічних схем у вигляді структур за результатами розкладання булевих функцій (БФ).

$$f(x_1, \dots, x_5) = \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 x_5 \vee \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 x_5 \vee \bar{x}_1 \bar{x}_2 x_3 x_4 \bar{x}_5 \vee \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \bar{x}_5 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \bar{x}_5 \vee \bar{x}_1 x_2 x_3 x_4 x_5 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \bar{x}_5$$

Для компактності подання заданої булевої функції використовують десяткову форму запису з позначенням нею окремих термів (кон'юнкцій), подавши її у вигляді множини  $\{R_k\}$ :

$$f(X_1, \dots, X_5) = \{R_k\} = \sum(3,5,6,8,10,15,20)$$

З урахуванням специфіки роботи мультиплексорів і конструктивних особливостей їх реалізації з кількістю керівних входів  $g = 2, 3, 4$  та інформаційних входів  $2^g$  (4, 8, 16) розкладання заданої БФ можна вести за двома, трьома або чотирма змінними. Тоді під час побудови логічної схеми на

мультиплексорах змінні мають підключатись до керівних входів, а залишкові функції (ЗФ) розкладання – до інформаційних входів відповідного мультиплексора. Якщо утворені внаслідок першого кроку ЗФ мають нетривіальний вигляд, то процедура розкладання кожної, що одержуємо на черговому кроці, залишкової функції, має повторюватись до моменту перетворення їх у тривіальні, а саме:

$$\Sigma(0), \Sigma(1), \Sigma(0,1), \emptyset \text{ (відсутня)}$$

Під час побудови логічної схеми на мультиплексорах, що реалізує задану БФ, можливі два випадки: а)  $n \leq g$ ; б)  $n > g$ .

В першому випадку БФ реалізується схемою, що складається з одного мультиплексора, в якому  $g$  змінних  $(X_{n-g}, \dots, X_n)$  підключається до керівних входів, а на інформаційні входи подаються константи 0 (якщо цей терм у функції відсутній) або 1 (якщо він присутній). В другому випадку процес побудови логічної схеми проводиться за результатами розкладання заданої БФ. Внаслідок першого кроку розкладання вихідної БФ за  $f(X_1, \dots, X_n)$  за  $g$  змінними одержуємо сукупність ОФ, що залежать вже тільки від  $n-g$  змінних. Наступні кроки розкладання зменшують кожний раз число змінних в ЗФ на  $g$ , аж до отримання в процесі розкладання ЗФ тривіального виду. Таким чином, число кроків розкладання БФ відповідає числу каскадів схеми на мультиплексорах з підключенням на керівні входи мультиплексора тих змінних, за якими здійснювалось розкладання; на інформаційні входи мультиплексора останнього каскаду подаються окремі змінні  $x_i$  або  $\bar{x}_i$ , а також сигнали логічного 0 чи логічної 1, виходячи з виду отриманих ЗФ:

$$\Sigma(0) = \bar{X}_i; \Sigma(1) = X_i; \Sigma(0,1) = \text{лог.1}; 0 = \text{лог.0}.$$

Згідно з наведеним вище алгоритмом здійснимо розкладання заданої

БФ за двома, трьома та чотирма змінними, зводячи результати розрахунків у таблиці.

Варіант розкладання БФ за двома змінними  $\{X4X5\}$  наведено у табл. 4.7.

**Таблиця 4.7** – Результати розкладання БФ по двом змінним

$\{Rk\}$	3	5	6	8	10	15	20
$E\{Rk/4\}$	0	1	1	2	2	3	5
$\{Rk/4\}$	3	1	2	0	2	3	0

Таким чином, на першому кроці розкладання БФ одержуємо такі ЗФ:

$$Q_0 = \sum(2.5); \quad Q_1 = \sum(1); \quad Q_2 = \sum(1.2); \quad Q_3 = \sum(0.3);$$

Розкладання БФ продовжимо, оскільки не всі ЗФ мають тривіальний вигляд.

На другому кроці у ролі вихідних даних розглядаються складові кожної з одержаних на першому кроці розкладання залишкові функції  $Q_i$  (табл. 4.8).

**Таблиця 4.8** – Результати розкладання БФ за двома змінними

Функція	$Q_0$		$Q_1$	$Q_2$		$Q_3$	
$\{Rk\}$	2	5	1	1	2	0	3
$E\{Rk/4\}$	0	1	0	0	0	0	0
$F\{Rk/4\}$	2	1	1	1	2	0	3

На другому кроці розкладання БФ маємо такі ЗФ:

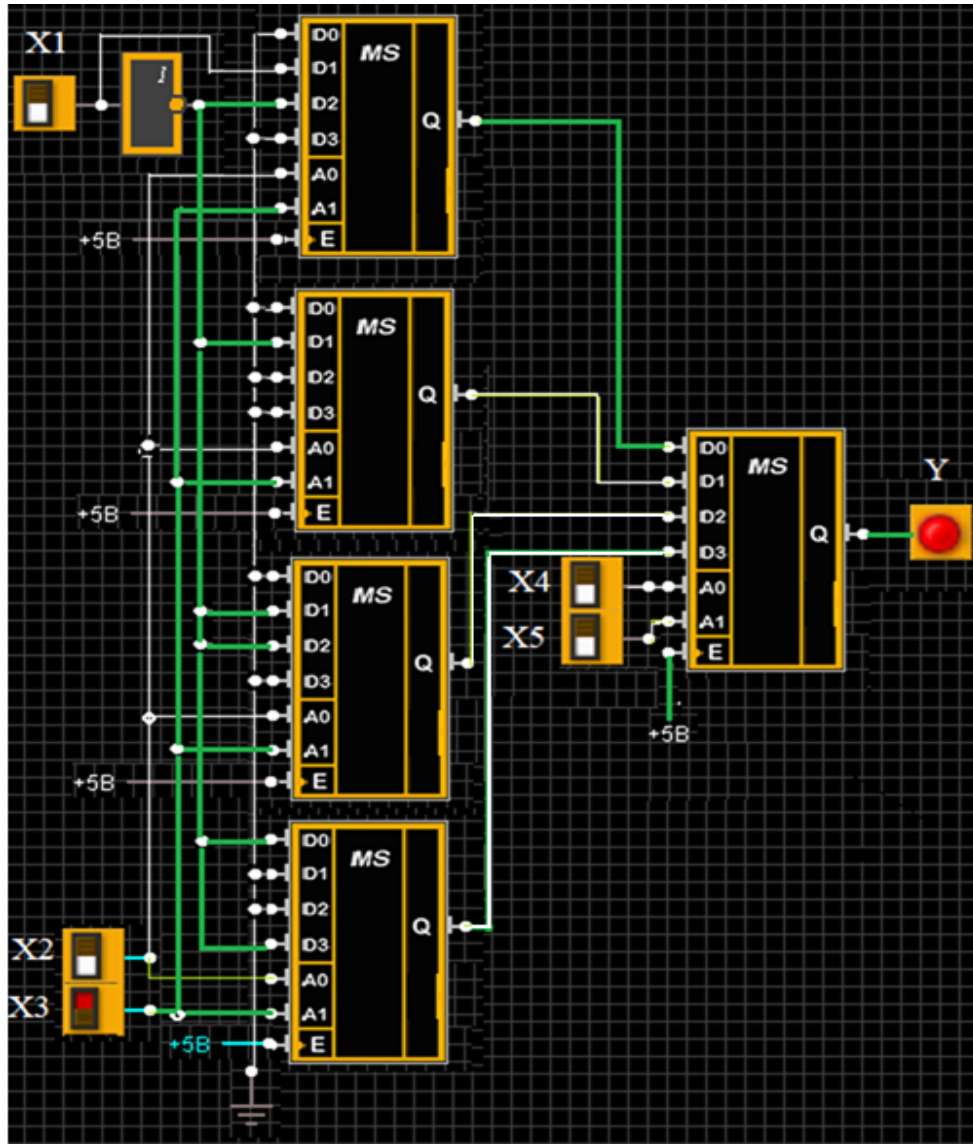
$$\text{для } Q_0 : Q_0^1 = \emptyset; \quad Q_1^1 = \sum(1); \quad Q_2^1 = \sum(0); \quad Q_3^1 = \emptyset;$$

$$\text{для } Q_1 : Q_0^1 = \emptyset; \quad Q_1^1 = \sum(0); \quad Q_2^1 = \emptyset; \quad Q_3^1 = \emptyset;$$

$$\text{для } Q_2 : Q_0^1 = \emptyset; \quad Q_1^1 = \sum(0); \quad Q_2^1 = \sum(0); \quad Q_3^1 = \emptyset;$$

$$\text{для } Q_3 : Q_0^1 = \sum(0); \quad Q_1^1 = \emptyset; \quad Q_2^1 = \emptyset; \quad Q_3^1 = \sum(0).$$

Оскільки 3Ф, отримані на другому кроці розкладання, є тривіальними, перейдемо до практичної реалізації двокаскадної схеми на мультиплексорах з  $g = 2$ . Схемну реалізацію БФ на мультиплексорах типу К1533КП2 наведено на рис. 4.21.



**Рисунок 4.21** – Схемна реалізація БФ на мультиплексорах типу К1533КП2

Варіант розкладання БФ за трьома змінними наведено в табл. 4.9.

**Таблиця 4.9** – Результати розкладання БФ за трьома змінними

$\{R_k\}$	3	5	6	8	10	15	20
$E\{R_k/8\}$	0	0	0	1	1	1	2
$F\{R_k/8\}$	3	5	6	0	2	7	4

Таким чином, після першого розкладання за трьома змінними отримано такі ЗФ:

$$\begin{aligned} Q_0 &= \sum(1); & Q_1 &= \emptyset; & Q_2 &= \sum(1); & Q_3 &= \sum(0); \\ Q_4 &= \sum(2); & Q_5 &= \sum(0); & Q_6 &= \sum(0); & Q_7 &= \sum(1); \end{aligned}$$

Розкладання БФ продовжимо, оскільки не всі ЗФ мають тривіальний вигляд. Результати наведено у табл. 4.10.

**Таблиця 4.10** – Результати розкладання БФ за трьома змінними

Функція	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$Q_5$	$Q_6$	$Q_7$
$\{Rk\}$	1	$\emptyset$	1	0	2	0	0	1
$E\{Rk/8\}$	0	$\emptyset$	0	0	1	0	0	0
$F\{Rk/8\}$	1	$\emptyset$	1	0	0	0	0	1

На другому кроці розкладання БФ маємо такі ЗФ:

$$\text{(для } Q_0 : Q_0^1 = \emptyset; \quad Q_1^1 = \sum(0); \quad Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = \emptyset;$$

$$\text{*для } Q_1 : Q_0^1 = Q_1^1 = Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = 0;$$

$$\text{(для } Q_2 : Q_0^1 = 0; \quad Q_1^1 = \sum(0); \quad Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = 0;$$

$$\text{+для } Q_3 : Q_0^1 = 0; \quad Q_1^1 = Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = 0;$$

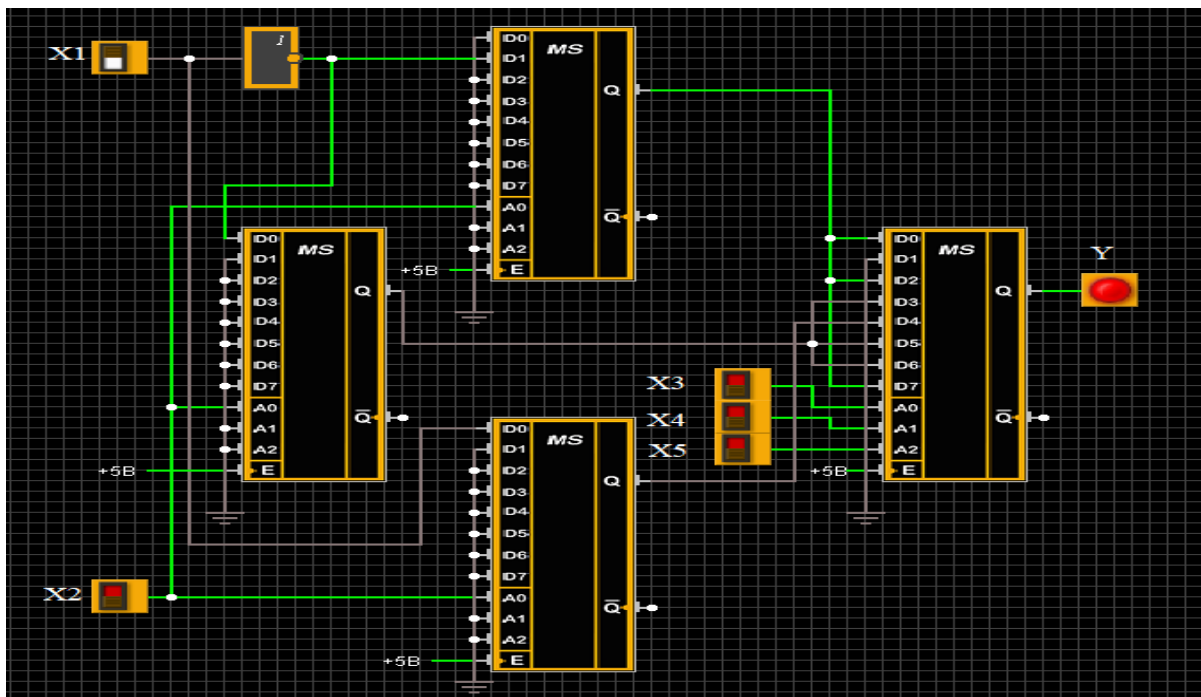
$$\text{-для } Q_4 : Q_0^1 = 1; \quad Q_1^1 = Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = 0;$$

$$\text{+для } Q_5 : Q_0^1 = 0; \quad Q_1^1 = Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = 0;$$

$$\text{+для } Q_6 : Q_0^1 = 0; \quad Q_1^1 = Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = 0;$$

$$\text{(для } Q_7 : Q_0^1 = 0; \quad Q_1^1 = \sum(0); \quad Q_2^1 = Q_3^1 = Q_4^1 = Q_5^1 = Q_6^1 = Q_7^1 = 0;$$

Схемну реалізацію БФ наведено на рис. 4.22.



**Рисунок 4.22** – Схемна реалізація БФ на мультиплексорах типу К1533КП7

Варіант розкладання БФ за чотирма змінними  $\{X_2, X_3, X_4, X_5\}$  наведено в табл. 4.11.

**Таблиця 4.11** – Результати розкладання БФ за чотирма змінними

$\{Rk\}$	3	5	6	8	10	15	20
$E\{Rk/16\}$	0	0	0	0	0	0	1
$F\{Rk/16\}$	3	5	6	8	10	15	4

Таким чином, після першого кроку розкладання БФ за чотирма змінними отримано такі ЗФ:

$$Q_0=Q_1=Q_2=Q_7=Q_9=Q_{11}=Q_{12}=Q_{13}=Q_{14}=0;$$

$$Q_3=Q_5=Q_6=Q_8=Q_{10}=Q_{15}=0;$$

$$Q_4=1.$$

Оскільки всі ЗФ тривіальні, розкладання БФ закінчуємо і її можна



реалізувати на одному мультиплексорі за  $g = 4$ . Схемну реалізацію заданої БФ на одному мультиплексорі типу К155КП1 наведено на рис. 4.23.

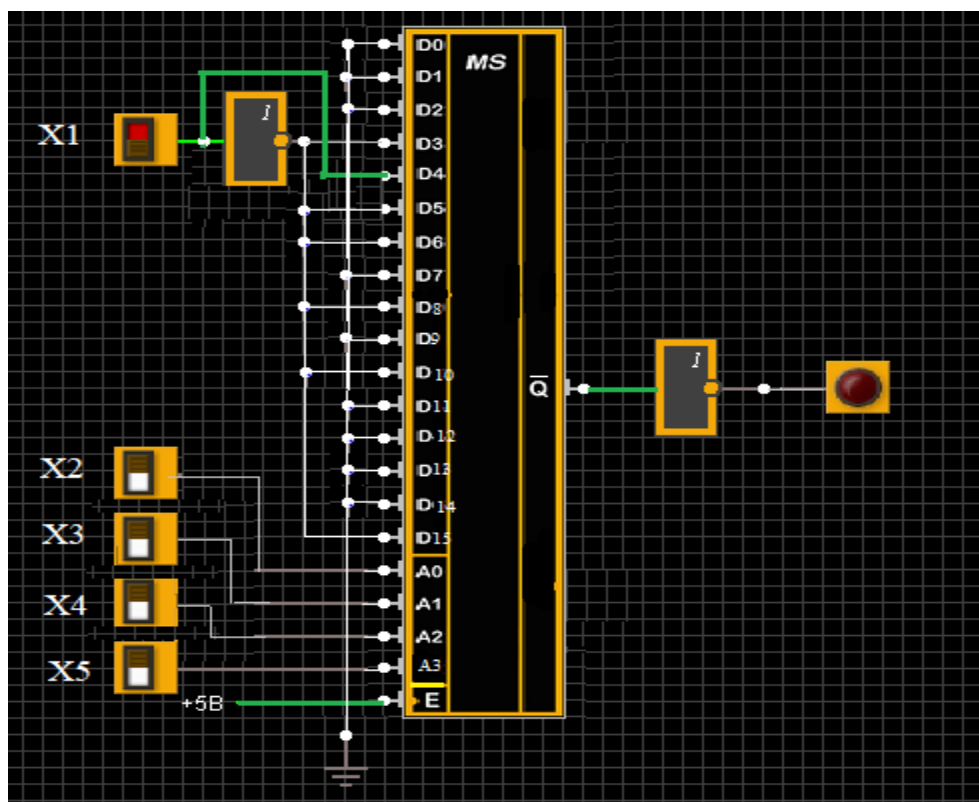


Рисунок 4.23 – Схемна реалізація БФ на одному мультиплексорі типу К155КП1

Для реалізації на мультиплексорах найкраще підходять БФ з кількістю змінних кон'юнкцій до 9.

#### 4.8 Арифметично – логічний пристрій

Частина процесора, яка виконує арифметичні, логічні та інші операції над даними, називається **арифметично–логічним пристроєм (АЛП)**.

Зазвичай АЛП, що забезпечують виконання дій над  $n$ -розрядними даними, складаються з  $n$  однакових схем, які виконують ці дії над двома бітами. Такі схеми називаються **однорозрядними АЛП**. На рис. 4.24 наве-

дено спрощену схему однорозрядного АЛП, який може виконувати логічні операції заперечення, кон'юнкції, диз'юнкції і арифметичного додавання над двома бітами даних.

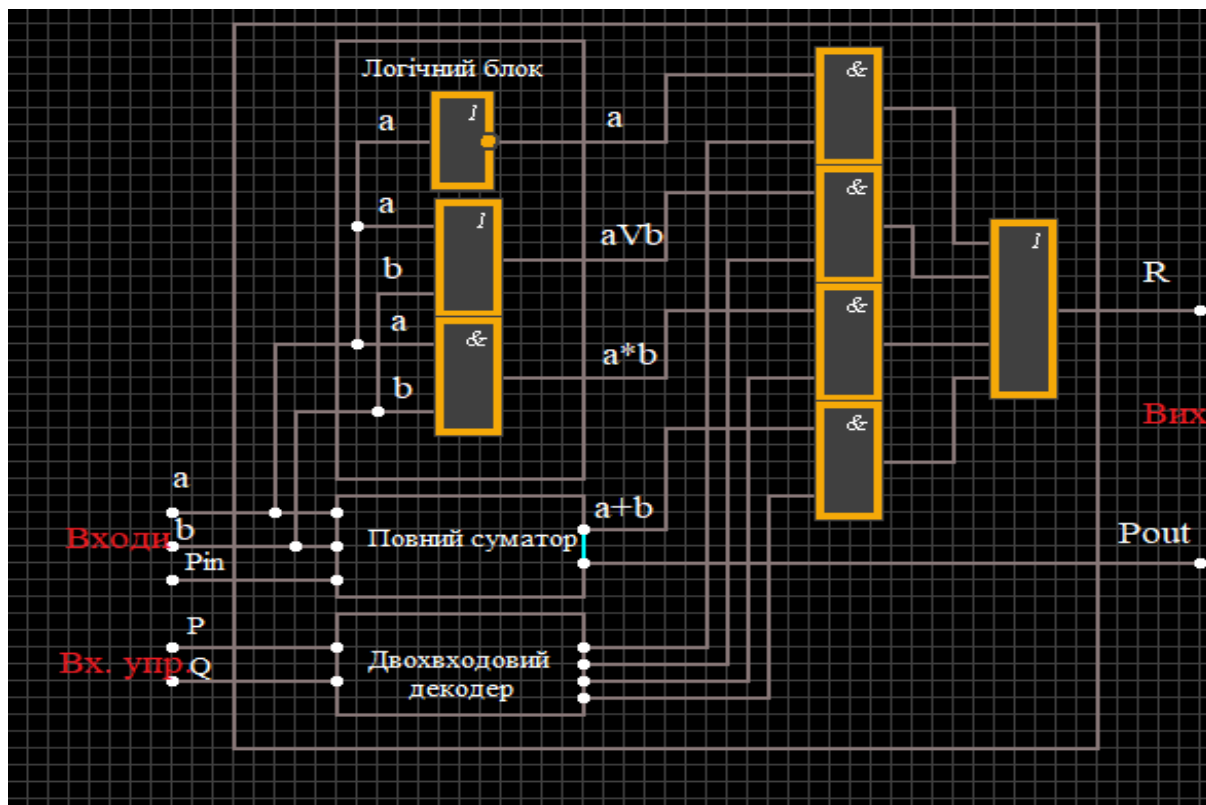


Рисунок 4.24 – Спрощена схема однорозрядного АЛП

У схему по трьох основних вхідних лініях надходять два біти даних,  $a$  і  $b$ , а також біт переносу з попереднього розряду  $p_{in}$ . Крім того, в схему надходять два керівних біти,  $p$  і  $q$ , значення яких визначають вибір бажаної операції. На виходах схема формує біт результату  $R$  і біт переносу в наступний розряд  $p_{out}$ . Однорозрядний АЛП містить блок виконання логічних операцій, який відповідає за операції заперечення, диз'юнкції і кон'юнкції, повний суматор, який відповідає за арифметичне додавання, і декодер, який організовує вибір потрібної операції.

На входи логічного блока і повного суматора надходять біти даних  $a$  і  $b$ , а на вхід повного суматора – ще і біт переносу  $p_{in}$ . Результати виконан-

ня операції одночасно формуються на трьох виходах вентилів «НЕ», «АБО», «І» логічного блока і двох виходах суматора.

Біт переносу в наступний розряд  $p_{out}$  одразу потрапляє на вихід АЛП, а біти результату операції подаються спочатку в підсистему вибору потрібного результату. В цій підсистемі для кожної з чотирьох операцій другий його вхід з'єднаний з вихідною лінією декодера. Декодер, отримавши на входах деяку комбінацію керівних бітів  $p$  і  $q$ , формує значення 1 на виході, який відповідає цій комбінації. Таким чином, лише вентиль «І», який під'єднаний до цього виходу декодера, дублює на своєму виході результат вибраної операції, інші вентиля формують на виході нульове значення. Щоб не організувати декілька окремих вихідних ліній з АЛП, виходи всіх вентилів «І» з'єднані чотиривходовим вентиляем «АБО», вихід якого є виходом  $R$  всієї схеми АЛП.

Простий підрахунок показує, що для реалізації описаного однорозрядного АЛП потрібно 67 транзисторів, а для аналогічного арифметико-логічного пристрою, який забезпечує дії над  $n$ -розрядними даними, 67  $n$ -транзисторів. Наприклад, для шістнадцятибітового АЛП потрібно 1072 транзистори. Потрібно мати на увазі, що з навчальною метою розглянуто значно спрощений варіант схеми, який відображає лише деякі принципи пристрою АЛП. Реальні АЛП процесорів можуть виконувати значно більшу кількість операцій, влаштовані більш складно і, звісно, потребують набагато більшої кількості транзисторів.

#### **4.9 Схеми пам'яті на базових вентилях**

Схеми, які складаються з базових вентилів, застосовуються не лише для створення пристроїв (рис. 4.25, а), які виконують дії над даними. Вони використовуються також і для реалізації одного з різновидів пам'яті в комп'ютері. Результат на виходах таких схем пам'яті (рис. 4.25, б) зале-

жить не лише від даних, які надійшли на вхід, а і від поточного стану схеми.

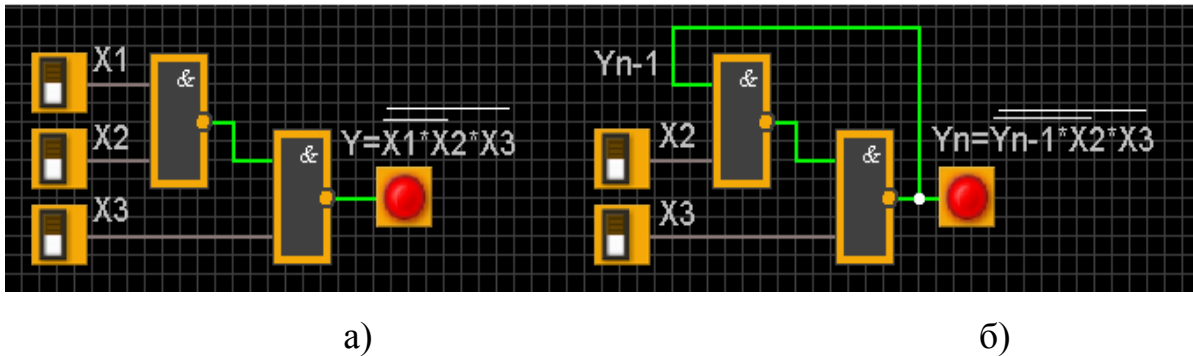
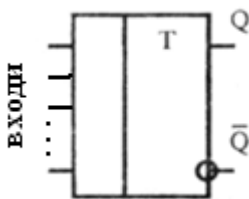


Рисунок 4.25 – До реалізації функції запам'ятовування

Потрібно зазначити, що ця залежність і забезпечує принципову можливість запам'ятовування даних.



Пристрій на базових вентилях, який можна використовувати для зберігання одного біта даних, називається **тригером**.

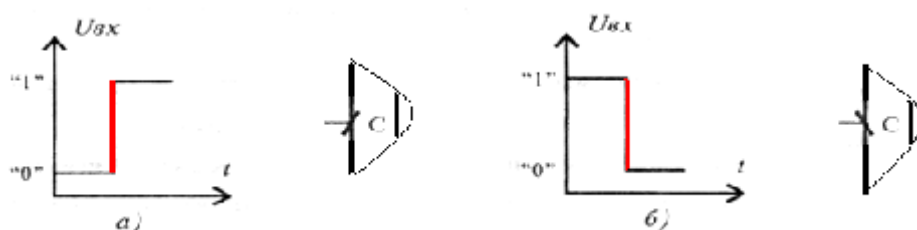
У загальному вигляді будь-який тригер можна розглядати як пристрій, що має декілька керівних входів і два виходи ( $Q$  і  $\bar{Q}$ ) Їх називають відповідно прямим та інверсним. Напруга на інверсному виході завжди має значення, обернене логічному стану прямого.

На відповідні входи тригерів подають інформаційні і керівні сигнали. **Інформаційними** називають сигнали, які потрібно запам'ятати. **Керівні** – це ті сигнали, після подання яких інформація записується в тригер.

За способом запису інформації розрізняють нетактувальні (асинхронні) і тактувальні (синхронні) тригери. У нетактувальних тригерах перехід у новий стан спричинений змінами інформаційних вхідних сигналів. У тактувальних тригерах такий перехід відбувається тільки після подання спеціальних керівних сигналів, які називають тактовими або синхронізувальними. Вхід тригера, на який надходять такі сигнали, називають тактовим і позначають літерою  $C$ .

За способом сприйняття тактових сигналів розрізняють тригери, які керуються рівнями і перепадами напруг. Керування рівнями означає, що за одного рівня напруги на тактовому вході тригер перебуває в певному режимі (наприклад, зберігає раніше записану інформацію), а за іншого – він переходить в інший режим (наприклад, змінює свій стан). Якщо тригер керується перепадами напруги, то такий дозвіл на запам'ятовування вхідної інформації тригером дається в момент перепаду тактового сигналу з одного рівня на інший. В інші моменти тригер не сприймає вхідні інформаційні сигнали. Тригери такого типу називають тригерами з динамічним керуванням.

Динамічний тактовий вхід може бути прямим (рис. 4.26, а) або інверсним (рис. 4.26, б). У першому випадку тригер реагує на перепад тактового сигналу з нульового на одиничний, у другому – на перепад з одиничного значення на нульове.



**Рисунок 4.26** – Динамічний тактовий вхід

Кількість і конкретне призначення входів тригера, а також форма керування рівнів сигналів залежать від типу тригера. Найбільш поширені такі основні типи: тригер з окремим запуском (*RS*-тригер), синхронний *RS*-тригер, з інформаційним входом (*D*-тригер), лічильний тригер (*T*-тригер), універсальний тригер (*JK*-тригер). Тактові тригери різних типів будують з керуванням за рівнем і за перепадом.

### 4.9.1 RS - тригери

*RS*-тригер має два керівних входи: вхід встановлення в одиничний стан – *S*-вхід (від латинського *SET*– встановити) і вхід встановлення в нульовий стан – *R*-вхід (від латинського *RESET* – скинути). *RS*-тригер можна побудувати у двох варіантах.

Розглянемо роботу тригера, схему якого зображено на рисунку 4.27, а. Якщо схему тригера під'єднати до джерела, то на його прямому виході довільно встановиться якийсь один з двох стійких станів. Нехай у початковий момент часу тригер перебуває в нульовому стані, а напруга на його керівних входах відповідає за призначенням логічному «0». Якщо на *S*-вхід тригера надійде перепад напруг від значення, яке дорівнює «0», до значення, яке дорівнює «1», то тригер перейде в одиничний стан. В такому випадку кажуть, що в тригер записано «1».

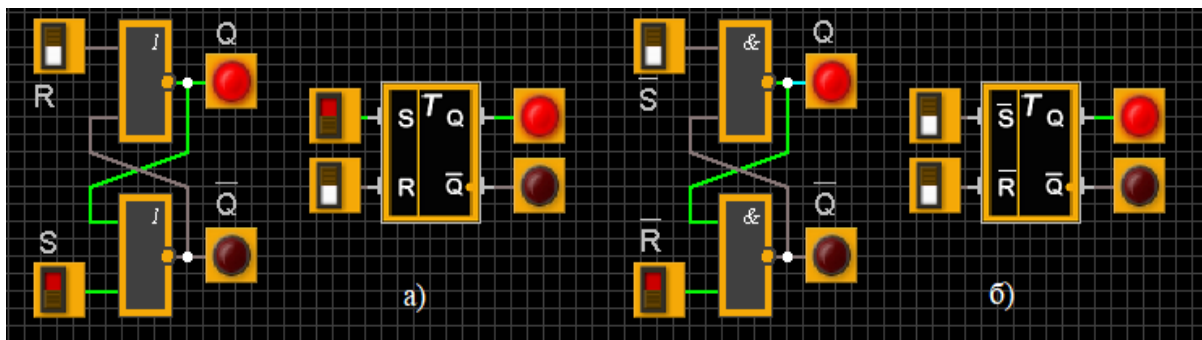


Рисунок 4.27 – RS тригер

Якщо тригер перейшов в одиничний стан, то будь-які електричні сигнали, подані на *S*-вхід, не приведуть до зміни цього стану, якщо на *R*-вході, як і раніше, напруга відповідатиме логічному «0». У цьому випадку кажуть, що тригер зберігає «1».

Щоб встановити *RS*-тригер у нульовий стан, якщо він перебуває в одиничному, потрібно подати перепад напруг з «0» в «1» на *R*-вхід і вод-

ночас на  $S$ -вході підтримувати значення напруги, яке дорівнює логічному «0». В тригер буде записано «0».

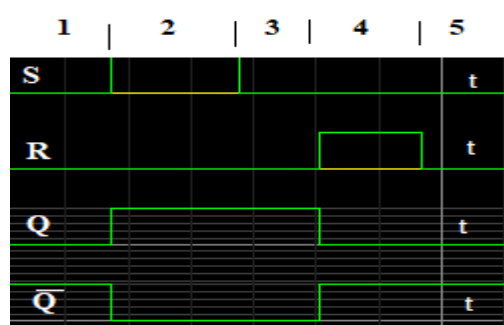
Якщо тригер перебуває в нульовому стані, то всі наступні дії на  $R$ -вхід не змінять цього стану, якщо напруга на  $S$ -вході підтримується такою, що дорівнює логічному «0», то тригер зберігає «0».

Одночасне подання двох логічних одиниць на обидва керівні входи заборонено, оскільки у цьому разі не визначено, в якому стані має бути тригер.

Робота другого  $RS$ -тригера (рис. 4.27, б) відрізняється тільки тим, що керування досягається перепадами напруг з «1» в «0». Зазначимо також, що забороненим станом буде надходження на два входи одночасно нульових сигналів.

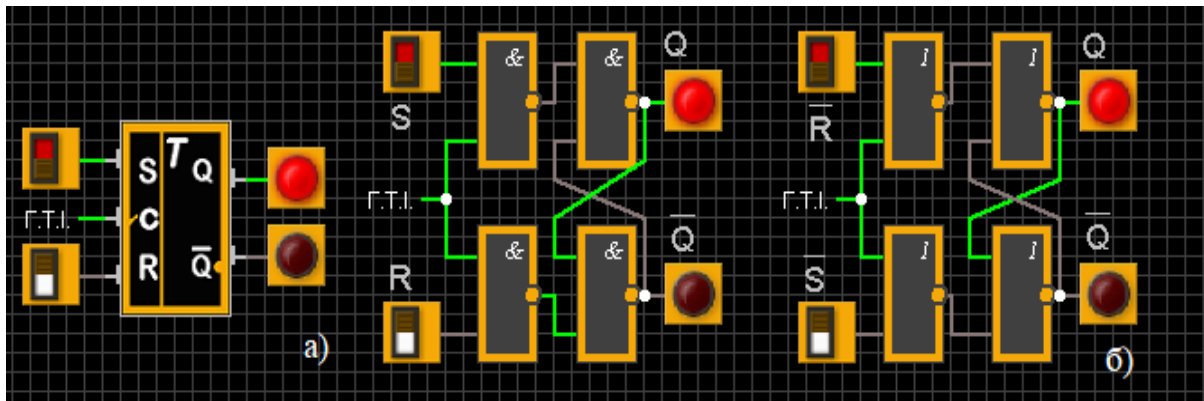
Роботу цифрових пристроїв дуже часто описують часовими діаграмами. **Часові діаграми** – це графіки напруг на всіх входах і виходах певного пристрою в різні моменти часу. Для зручності читання діаграм графіки зображають один під одним.

На рис. 4.28 подано часові діаграми роботи  $RS$ -тригера (див. рис. 4.27, а), які відповідають таким станам: 1 – вихідному, 2 – запис «1», 3 – зберігання «1», 4 – запис «0», 5 – зберігання «0».



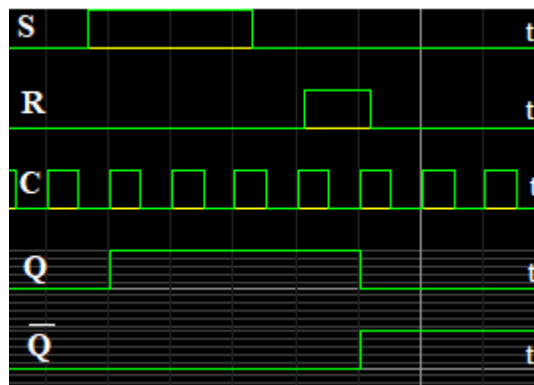
**Рисунок 4.28** – Часові діаграми роботи  $RS$ -тригера

Поряд із розглянутими  $RS$ -тригерами дуже поширені синхронні  $RS$ -тригери, в яких є додатковий тактувальний вхід  $C$ , що керується рівнем. Позначення таких тригерів подано на рисунку 4.29.



**Рисунок 4.29** – Синхронний RS тригер

Описані режими записування «1» і «0» використовуватимуться лише під час надходження на тактовий вхід С рівня напруги, який відповідає значенню логічної «1» (рис. 4.30).



**Рисунок 4.30** – Часові діаграми роботи синхронного RS-тригера

Наприклад, щоб записати в синхронний RS-тригер «1» (див. рис. 4.29, а), потрібно на R-вході підтримувати напругу, яка дорівнює логічному «0», на S-вході встановити напругу, що дорівнює логічній «1» і подати «1» на C-вхід.

Щоб записати «1» в тригер, схему якого зображено на рис. 4.29, б), необхідно на R-вході підтримувати напругу, що дорівнює логічній «1», на S-вході встановити напругу, яка дорівнює логічному «0», і подати «1» на C-вхід.



## 4.9.2 D–тригери

Тригер має два входи – інформаційний D і тактувальний C. На рисунку 4.31 подано умовне позначення D–тригера з керуванням за рівнем напруги на тактувальному вході C.

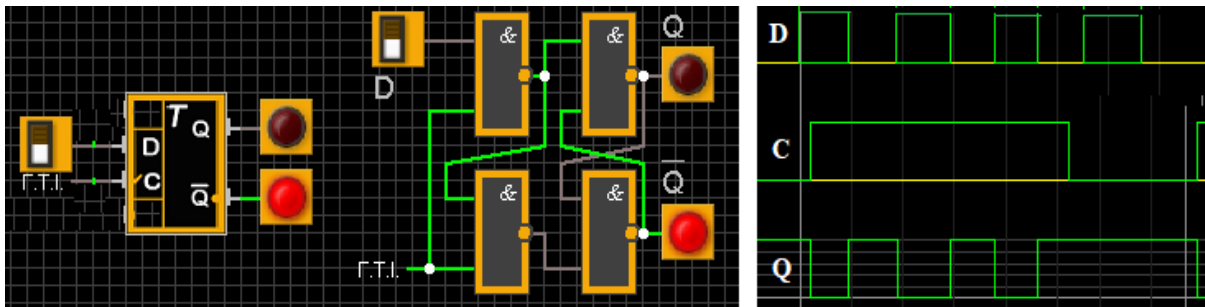


Рисунок 4.31 – Синхронний D-тригер

Сигнал на виході Q інформаційного тригера повторює за значенням сигнал, поданий на інформаційний вхід D, якщо на тактовому вході C встановлено рівень напруги, що дорівнює «1». Якщо тактового сигналу не буде, незалежно від значення напруги на D–вході, то тригер зберігає свій останній встановлений стан.

Поряд з розглянутими поширені й динамічні D–тригери, які керуються перепадом напруги на вході C. Крім входів D і C, вони мають часто додаткові пріоритетні входи R і S, функції яких такі самі, як і в RS–тригері. На рис. 4.32 подано умовне позначення та часові діаграми роботи таких тригерів.

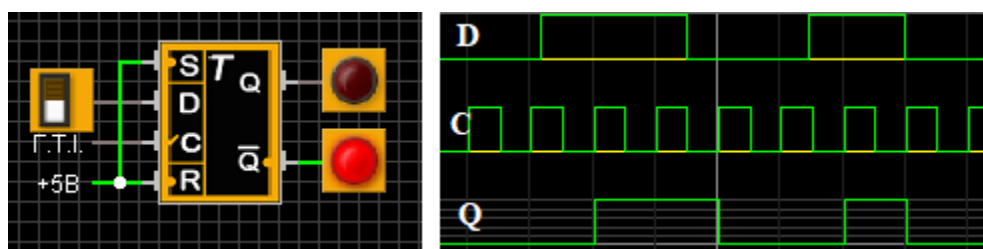


Рисунок 4.32 – Динамічний D-тригер

Тригер D-типу, залежно від обставин, можна використовувати як RS-, JK-, або як T-тригер. Це легко здійснити за допомогою додаткових зв'язків між входами і виходами або додаванням логічних елементів. На рис. 4.33, а) показано, як D-тригер можна використовувати як асинхронний RS-тригер, але за умови, що мікросхема має установочні входи, а імпульси на них надходять в різні моменти часу, на рис. 4.33, б) показано, як потрібно включити два додаткових логічних елементи DD1 і DD2, аби перетворити D-тригер в синхронний RS-тригер.

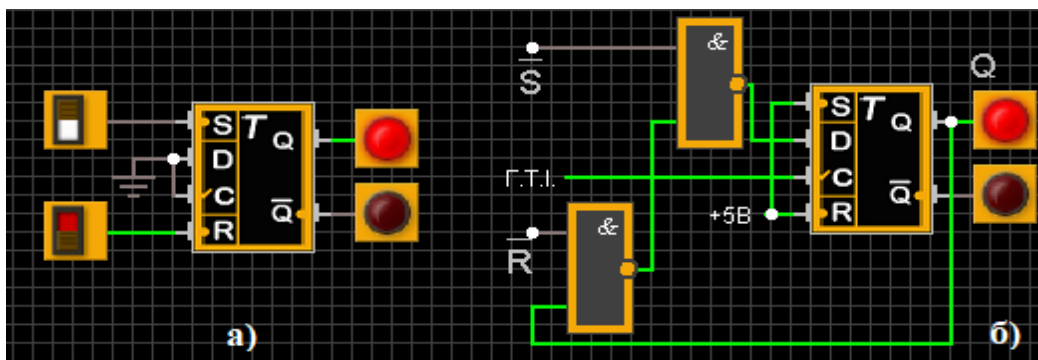


Рисунок 4.33 – Організація RS –тригера на основі D-тригера

### 4.9.3 Лічильні тригери (T-тригери)

Лічильні тригери широко застосовують для побудови електронних лічильників електричних імпульсів. Тому їх називають **лічильними**. Цей тип тригера має один керівний (лічильний) вхід T (рис. 4.34).

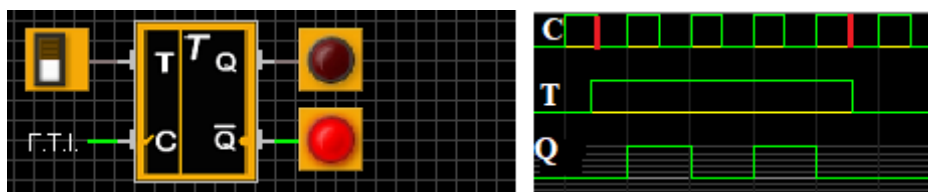
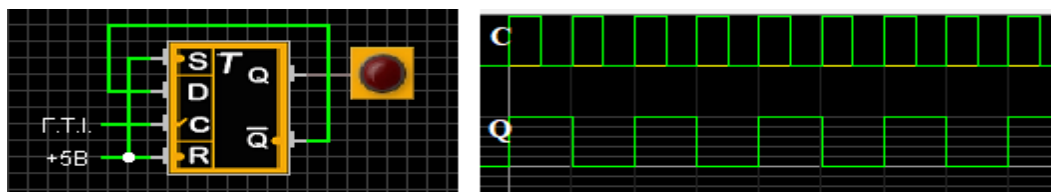


Рисунок 4.34 – Синхронний T-тригер

Лічильний тригер змінює свій стан на протилежний від кожного імпульсу, що надходить на вхід «T», а точніше, від перепаду напруги від «0»

до «1» або від «1» до «0», залежно від різновиду тригера. Якщо Т–тригер перебуває в нульовому стані, то він буде переведений в одиничний стан першим імпульсом, який надходить на його вхід. Другий імпульс знову поверне його в нульовий стан і т. д. У проміжках між імпульсами тригер зберігає свій останній стан.

Т–тригер можна побудувати, використавши динамічний D–тригер. Для цього необхідно інформаційний D–вхід тригера з'єднати з інверсним виходом  $\bar{Q}$ , а як лічильний вхід використати тактовий вхід С (рис. 4.35).



**Рисунок 4.35** – Т–тригер на базі D–тригера

За такої будови тригера кожний імпульс, який надходить на вхід С (точніше перепад напруги з «1» в «0»), змінюватиме стан тригера на протилежний, що й відповідає лічильному режиму. Нехай початковий стан тригера  $Q = 1$ , тоді  $\bar{Q} = 0$ . Значення напруги на вході D дорівнює напрузі на інверсному виході, оскільки вони з'єднані:  $D = \bar{Q} = 0$ . Якщо на вхід С надходить імпульс, то значення напруги на D–вході запишеться на прямий вихід, що впливає з принципу роботи D–тригера. Отже, тригер встановиться в нульовий стан, тобто змінить свій стан на протилежний.

#### 4.9.4 Універсальні тригери (JK- тригери)

Універсальний тригер має два інформаційні входи J і K та один тактовий вхід С. R- і S–входи використовують для встановлення потрібного вихідного стану. Такий тригер (рис. 4.36) можна використати як синхронний RS–тригер.

При цьому вхід  $J$  відіграє роль входу  $S$ , а вхід  $K$  відповідає  $R$ .



Рисунок 4.36 – Універсальний JK- тригер

Якщо на входи  $J$  і  $K$  подати напругу, яка відповідає за значенням логічній «1», то тригер почне працювати в лічильному режимі. Роль лічильного входу в цьому разі відіграє тактовий вхід  $C$ .

JK–тригер можна використати як RS– (рис. 4.37, а), D– (рис. 4.37, б) або T–тригер (рис. 4.37, в, г).

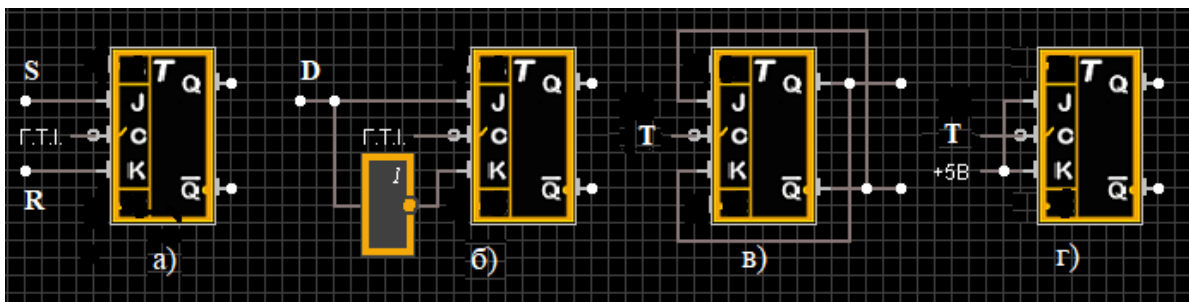


Рисунок 4.37 – Універсальний JK- тригер в ролі тригерів інших типів

Також JK- тригер можна реалізувати на основі D–тригера (рис. 4.38).

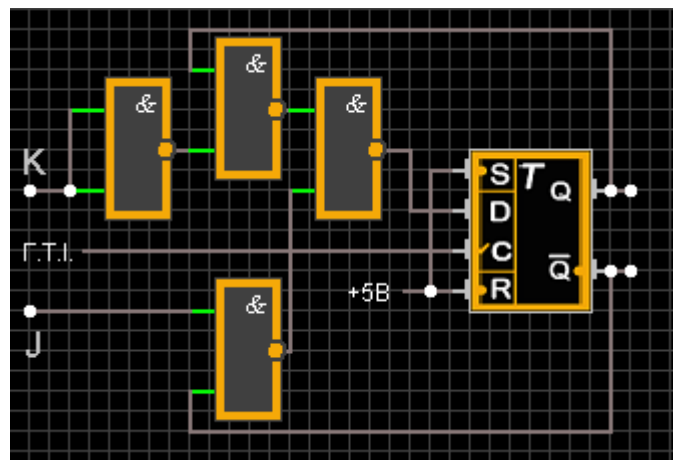
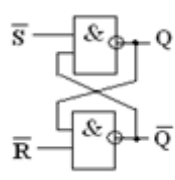
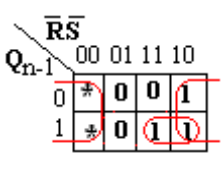
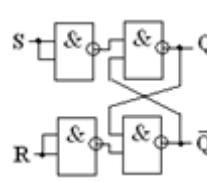
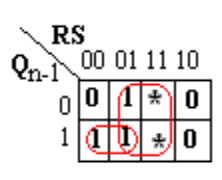
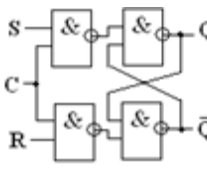
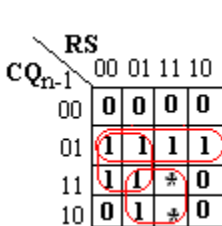
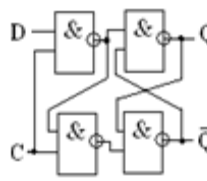
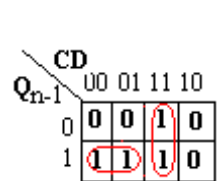


Рисунок 4.38 – Організація JK–тригера на основі D–тригера

Порівняльні параметри розглянутих тригерів відповідно до будови (реалізації на логічних елементах **I-НЕ**), функціонування (таблиця істинності), мінімізації за допомогою карт Карно та характеристичні рівняння наведено в таблиці 4.12.

**Таблиця 4.12** – Основні параметри тригерів

Тип тригера	Таблиця істинності	Карта Карно	Характеристичне рівняння																																																							
	<table border="1"> <thead> <tr> <th><math>\bar{R}</math></th> <th><math>\bar{S}</math></th> <th><math>Q_{n-1}</math></th> <th><math>Q_n</math></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>*</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>*</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	$\bar{R}$	$\bar{S}$	$Q_{n-1}$	$Q_n$	0	0	0	*	0	0	1	*	0	1	0	0	0	1	1	0	1	0	0	1	1	0	1	1	1	1	0	0	1	1	1	1		$Q_n = \overline{\overline{\bar{R}} \cdot \overline{Q_{n-1}} \cdot \bar{S}} = \bar{R} \cdot Q_{n-1} + S$																			
$\bar{R}$	$\bar{S}$	$Q_{n-1}$	$Q_n$																																																							
0	0	0	*																																																							
0	0	1	*																																																							
0	1	0	0																																																							
0	1	1	0																																																							
1	0	0	1																																																							
1	0	1	1																																																							
1	1	0	0																																																							
1	1	1	1																																																							
	<table border="1"> <thead> <tr> <th>R</th> <th>S</th> <th><math>Q_{n-1}</math></th> <th><math>Q_n</math></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>*</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>*</td></tr> </tbody> </table>	R	S	$Q_{n-1}$	$Q_n$	0	0	0	0	0	0	1	1	0	1	0	1	0	1	1	1	1	0	0	0	1	0	1	0	1	1	0	*	1	1	1	*		$Q_n = \overline{\overline{\bar{R}} \cdot \overline{Q_{n-1}} \cdot \bar{S}} = \bar{R} \cdot Q_{n-1} + S$																			
R	S	$Q_{n-1}$	$Q_n$																																																							
0	0	0	0																																																							
0	0	1	1																																																							
0	1	0	1																																																							
0	1	1	1																																																							
1	0	0	0																																																							
1	0	1	0																																																							
1	1	0	*																																																							
1	1	1	*																																																							
	<table border="1"> <thead> <tr> <th>R</th> <th>S</th> <th>C</th> <th><math>Q_{n-1}</math></th> <th><math>Q_n</math></th> </tr> </thead> <tbody> <tr><td>0/1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0/1</td><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>*</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>*</td></tr> </tbody> </table>	R	S	C	$Q_{n-1}$	$Q_n$	0/1	0	0	0	0	0/1	0	1	1	1	0	0	1	0	0	0	0	1	1	1	0	1	1	0	1	0	1	1	1	1	1	0	1	0	0	1	0	1	1	0	1	1	1	0	*	1	1	1	1	*		$Q_n = \overline{\overline{\bar{C}} \cdot \overline{Q_{n-1}} \cdot \bar{S}} = \bar{C} \cdot Q_{n-1} + CS$
R	S	C	$Q_{n-1}$	$Q_n$																																																						
0/1	0	0	0	0																																																						
0/1	0	1	1	1																																																						
0	0	1	0	0																																																						
0	0	1	1	1																																																						
0	1	1	0	1																																																						
0	1	1	1	1																																																						
1	0	1	0	0																																																						
1	0	1	1	0																																																						
1	1	1	0	*																																																						
1	1	1	1	*																																																						
	<table border="1"> <thead> <tr> <th>C</th> <th>D</th> <th><math>Q_{n-1}</math></th> <th><math>Q_n</math></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	C	D	$Q_{n-1}$	$Q_n$	0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	1	1	0	0	0	1	0	1	0	1	1	0	1	1	1	1	1		$Q_n = \bar{C} \cdot Q_{n-1} + CD$																			
C	D	$Q_{n-1}$	$Q_n$																																																							
0	0	0	0																																																							
0	0	1	1																																																							
0	1	0	0																																																							
0	1	1	1																																																							
1	0	0	0																																																							
1	0	1	0																																																							
1	1	0	1																																																							
1	1	1	1																																																							

Продовження таблиці 4.12

	<table border="1"> <thead> <tr> <th>T</th> <th><math>Q_{n-1}</math></th> <th><math>Q_n</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	T	$Q_{n-1}$	$Q_n$	0	0	0	0	1	1	1	0	1	1	1	0	<table border="1"> <thead> <tr> <th><math>Q_{n-1}</math> \ T</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <th>0</th> <td>0</td> <td>1</td> </tr> <tr> <th>1</th> <td>1</td> <td>0</td> </tr> </tbody> </table>	$Q_{n-1}$ \ T	0	1	0	0	1	1	1	0	$Q_n = \bar{T} \cdot Q_{n-1} + T \cdot \bar{Q}_{n-1} = T \oplus Q_{n-1}$																																																								
T	$Q_{n-1}$	$Q_n$																																																																																	
0	0	0																																																																																	
0	1	1																																																																																	
1	0	1																																																																																	
1	1	0																																																																																	
$Q_{n-1}$ \ T	0	1																																																																																	
0	0	1																																																																																	
1	1	0																																																																																	
	<table border="1"> <thead> <tr> <th>J</th> <th>K</th> <th><math>Q_{n-1}</math></th> <th><math>Q_n</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	J	K	$Q_{n-1}$	$Q_n$	0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	0	1	0	0	1	1	0	1	1	1	1	0	1	1	1	1	0	<table border="1"> <thead> <tr> <th><math>Q_{n-1}</math> \ JK</th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> </thead> <tbody> <tr> <th>0</th> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <th>1</th> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	$Q_{n-1}$ \ JK	00	01	11	10	0	0	0	1	1	1	1	0	0	1	$Q_n = J \cdot \bar{Q}_{n-1} + \bar{K} \cdot Q_{n-1}$																													
J	K	$Q_{n-1}$	$Q_n$																																																																																
0	0	0	0																																																																																
0	0	1	1																																																																																
0	1	0	0																																																																																
0	1	1	0																																																																																
1	0	0	1																																																																																
1	0	1	1																																																																																
1	1	0	1																																																																																
1	1	1	0																																																																																
$Q_{n-1}$ \ JK	00	01	11	10																																																																															
0	0	0	1	1																																																																															
1	1	0	0	1																																																																															
	<table border="1"> <thead> <tr> <th>J</th> <th>K</th> <th>C</th> <th><math>Q_{n-1}</math></th> <th><math>Q_n</math></th> </tr> </thead> <tbody> <tr> <td>0/1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0/1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	J	K	C	$Q_{n-1}$	$Q_n$	0/1	0	0	0	0	0/1	0	1	1	1	0	0	1	0	0	0	0	1	1	1	0	1	1	0	0	0	1	1	1	0	1	0	1	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	0	<table border="1"> <thead> <tr> <th><math>CQ_{n-1}</math> \ JK</th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> </thead> <tbody> <tr> <th>00</th> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <th>01</th> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <th>11</th> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <th>10</th> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	$CQ_{n-1}$ \ JK	00	01	11	10	00	0	0	0	0	01	1	1	1	1	11	1	0	0	1	10	0	0	1	1	$Q_n = C J \cdot \bar{Q}_{n-1} + \bar{C} \bar{K} \cdot Q_{n-1}$
J	K	C	$Q_{n-1}$	$Q_n$																																																																															
0/1	0	0	0	0																																																																															
0/1	0	1	1	1																																																																															
0	0	1	0	0																																																																															
0	0	1	1	1																																																																															
0	1	1	0	0																																																																															
0	1	1	1	0																																																																															
1	0	1	0	1																																																																															
1	0	1	1	1																																																																															
1	1	1	0	1																																																																															
1	1	1	1	0																																																																															
$CQ_{n-1}$ \ JK	00	01	11	10																																																																															
00	0	0	0	0																																																																															
01	1	1	1	1																																																																															
11	1	0	0	1																																																																															
10	0	0	1	1																																																																															

## 4.10 Регістри

Регістри – це пристрої, призначені для приймання, зберігання, простих перетворень та передачі двійкових чисел. Під простими перетвореннями розуміють зсув чисел на задану кількість розрядів, а також перетворення послідовного двійкового коду в паралельний і паралельного – в послідовний. Основне функціональне призначення регістрів – оперативна пам'ять для багаторозрядних двійкових чисел.

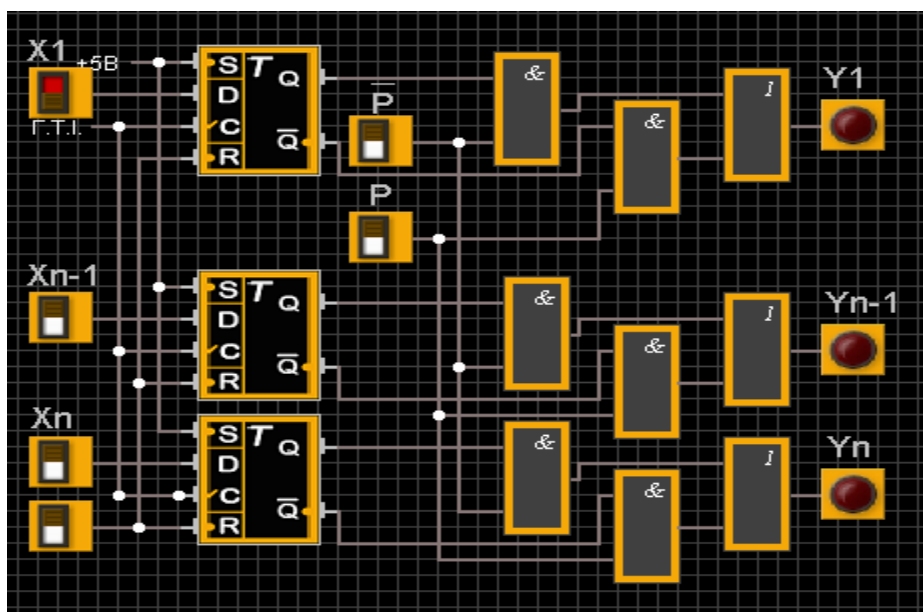
Залежно від способу прийому та передачі двійкової інформації розрізняють послідовні, паралельні та універсальні регістри.

У паралельних регістрах або регістрах пам'яті введення / виведення всіх розрядів числа проводиться одночасно за один такт. Для побудови  $n$ -розрядного регістра пам'яті потрібно  $n$  тригерів. Паралельні регістри слугують основним функціональним елементом для побудови оперативних запам'ятовувальних пристроїв.

У послідовних регістрах введення/виведення інформації відбувається через один інформаційний вхід і один вихід із зсувом числа. Тому послідовні регістри називають регістрами зсуву. За один такт інформація, що вводитьься і виводиться, зсувається на один розряд вправо або вліво. Регістри зсуву, що реалізують за командою управління зсув інформації вправо або вліво, називають реверсивними.

Універсальні регістри мають можливості всіх типів регістрів і, крім того, забезпечують режим відключення входів та виходів (третій логічний стан) регістра від загальної інформаційної шини, перекомутацію входів та виходів регістра і, тим самим, перемикають функції приймання/передавання інформації в загальну інформаційну шину.

Технічні параметри регістрів визначаються параметрами їх основного функціонального вузла-тригера і розрядністю операнда. Як приклад розглянемо паралельний регістр (рис. 4.39) і регістр зсуву (рис. 4.40) на основі D-тригерів.



**Рисунок 4.39** – Паралельний регістр на основі D-тригерів

У паралельному регістрі введення інформації відбувається на інтервалі синхронізації  $C = 1$ . Вихідні логічні елементи формують вихідні сиг-

нали відповідно до виразу:

$$Y_i = \bar{P} \cdot Q_i + P \cdot \bar{Q}_i,$$

тобто за  $\bar{P} = 1$   $Y_i = Q_i$  інформація з регістра видається в прямому коді, а за  $P = 1$   $Y_i = \bar{Q}_i$  – в зворотному.

Введення інформації в послідовний регістр може відбуватись послідовно із входу  $X$  з наступним зсувом інформації вправо на один розряд за кожним синхроімпульсом  $C$  або паралельно із входів  $A$  за сигналом  $I = 1$  асинхронного запису числа в попередньо очищений регістр ( $R = 1$ ).

У випадку закриття виходів послідовного розряду з послідовним входом (штрихова лінія) реалізується кільцевий регістр зсуву, який зручно використовувати для побудови, наприклад, тактових генераторів цифрових пристроїв.

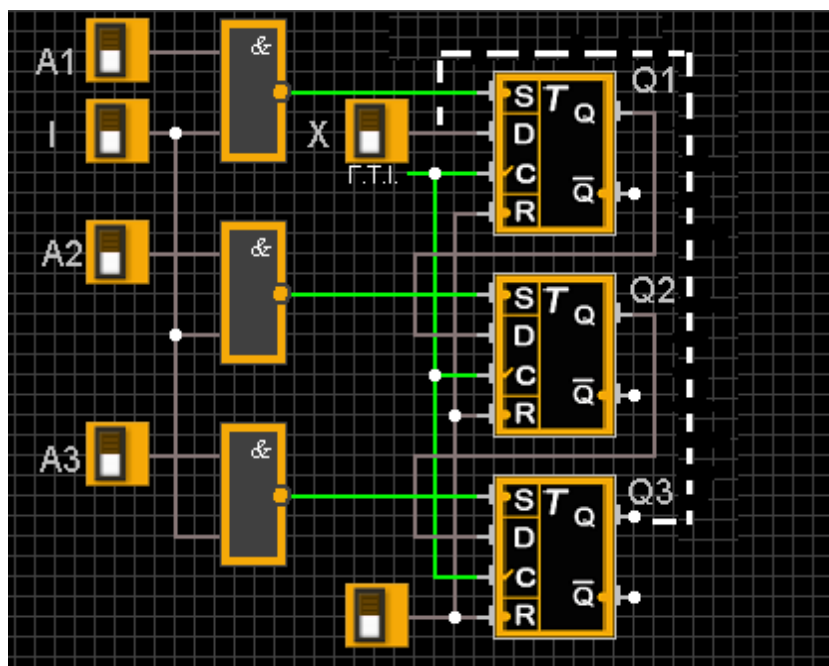


Рисунок 4.40 – Регістр зсуву на основі D–тригерів

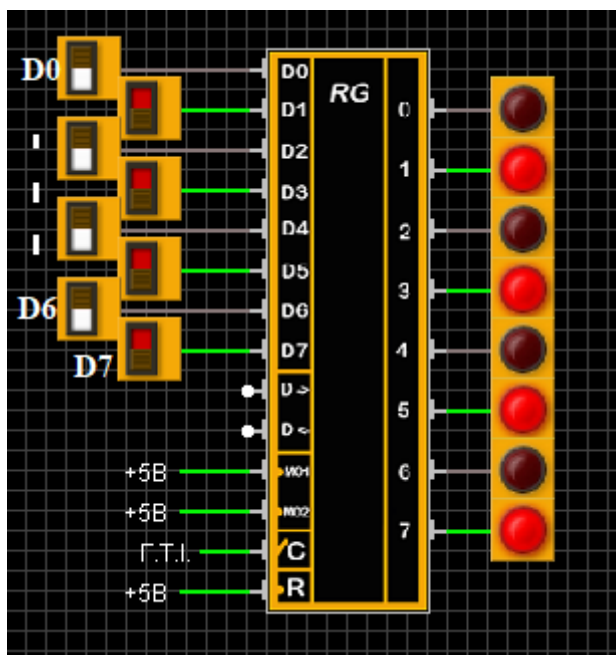
На рис. 4.41 і 4.42 зображено схеми підключення універсального регістра К155ІР13. Такий регістр може працювати в декількох режимах. Режим роботи регістра визначається кодом, поданим на керівні входи регіст-



ра M01, M02. Якщо на ці входи регістра буде подано комбінацію символів «10» – регістр працює в режимі послідовного прийому інформації. Водночас на вхід D регістра послідовно подаються інформаційні символи, а на вхід C після кожного інформаційного символу подається тактовий імпульс. Запис кожного символу інформації здійснюється за перепадом з 0 в 1 тактового імпульсу. В такому режимі інформація направляєтся до виходу мікросхеми (зверху вниз або зліва направо).

В режимі послідовного запису інформації код керівного слова на входах M01 і M02 – «01». Інформація буде записуватися із зсувом від сьомого виходу до нульового (знизу вверх – справа наліво). Очистка регістра K155IP13 здійснюється короткочасною подачею рівня логічного нуля на вхід R.

Під час паралельного запису інформації в регістр код керівного слова - M01 і M02 – «11». Інформація по входах D0-D7 записується в регістр за надходження на вхід C перепаду напруги з 0 в 1. Часові діаграми роботи універсального регістра наведено на рис. 4.43.



**Рисунок 4.41** – Схема підключення універсального регістра в режимі паралельного запису інформації

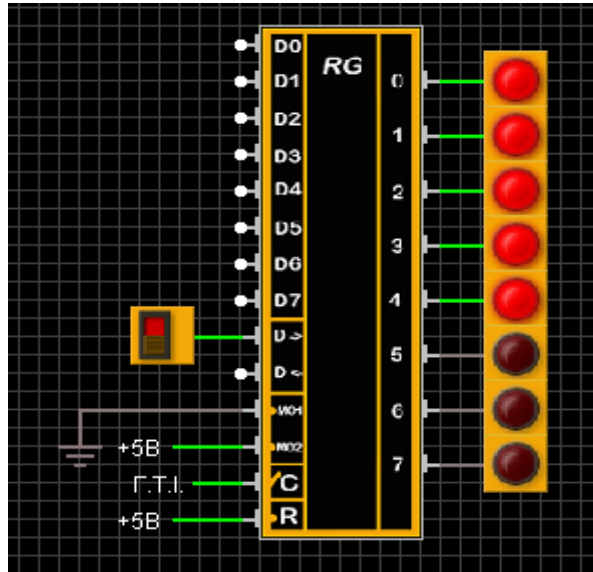


Рисунок 4.42 – Схема підключення універсального регістра в режимі послідовного прийому інформації

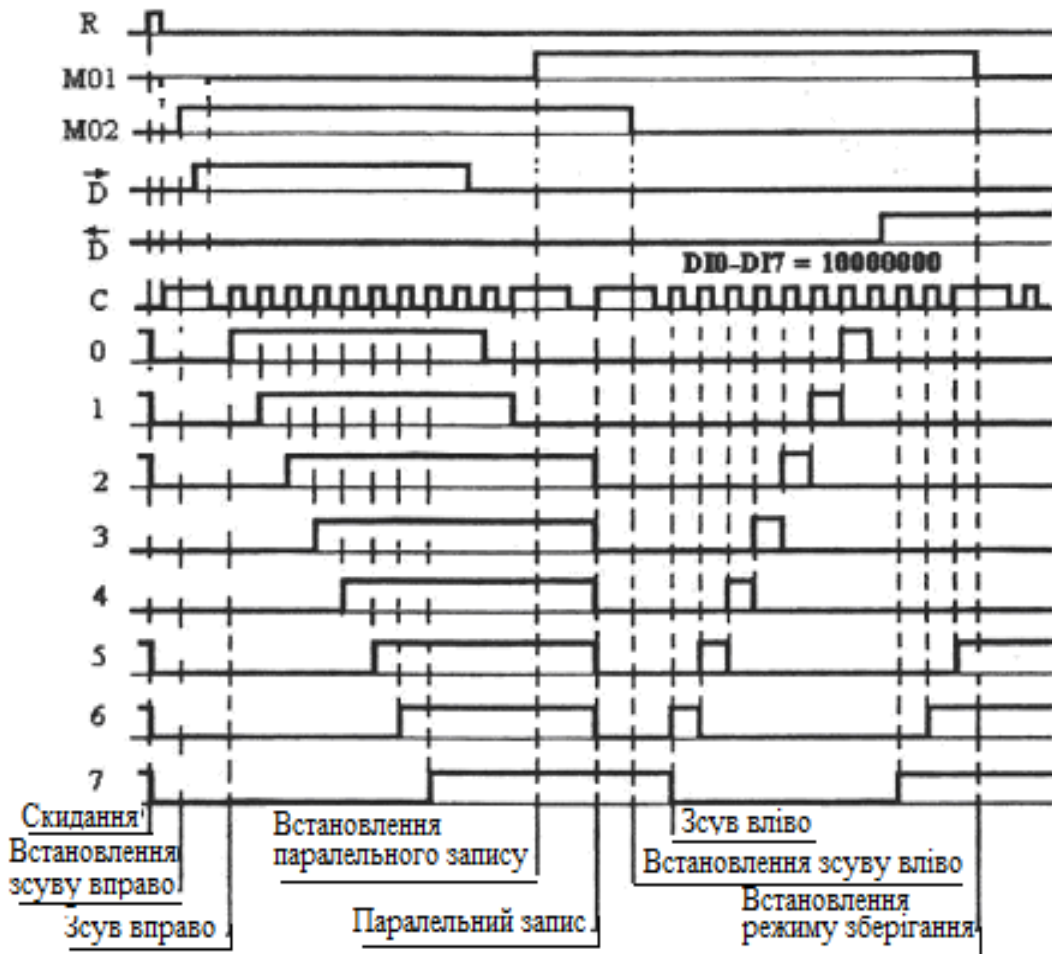
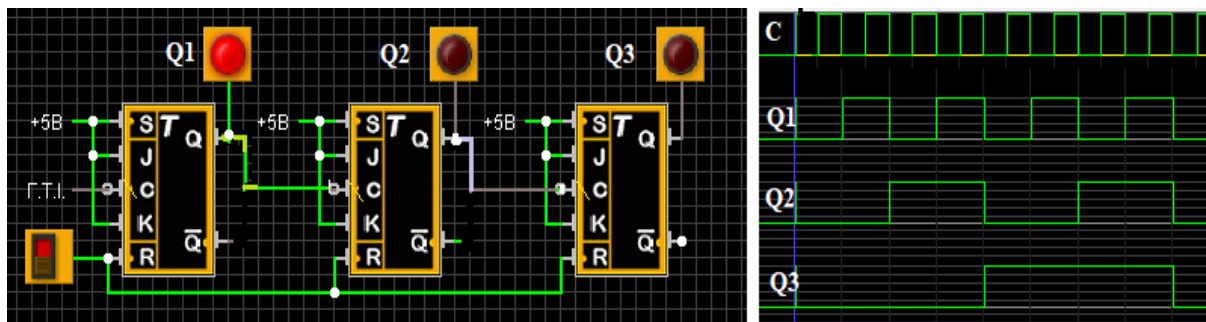


Рисунок 4.43 – Часові діаграми роботи універсального регістра

## 4.11 Лічильники

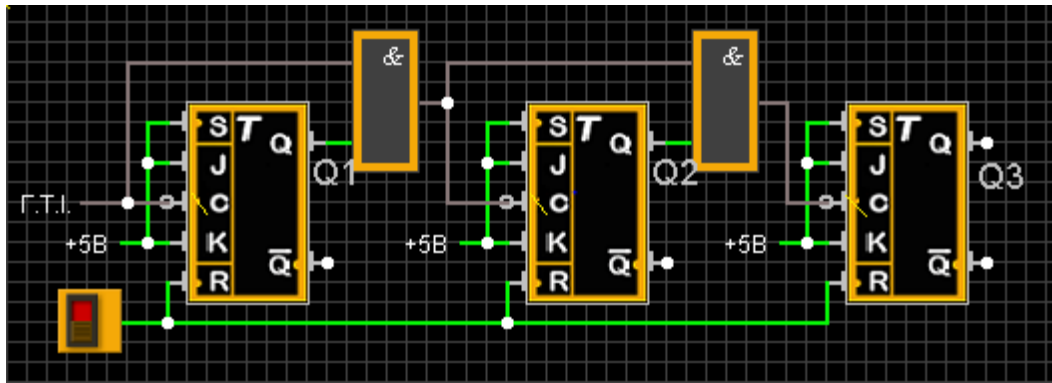
Лічильником називається цифровий пристрій, призначений для підрахунку та запам'ятовування кількості імпульсів, поданих в певному часовому інтервалі на його лічильний вхід. За характером зміни стану лічильника вхідними імпульсами розрізняють: лічильники на додавання, на віднімання та реверсивні. Кількість різних станів розрядів лічильника є його ознакою для класифікації, відповідно до якої лічильники називають двійковими, двійково-десятковими і т. д. Крім лічильного, вони можуть ще мати входи асинхронного або синхронного встановлення початкового стану.

В асинхронних лічильниках (рис. 4.44) відсутня загальна для всіх розрядів синхронізація і перехід розрядів в новий стан відбувається послідовно розряд за розрядом.



**Рисунок 4.44** – Асинхронний лічильник на додавання та часова діаграма його роботи

Головний недолік – низька швидкість, яка тим нижча, чим більший коефіцієнт лічби. Одним із способів збільшення швидкодії асинхронних лічильників є організація переходів між розрядами через додаткові логічні елементи (рис. 4.45).



**Рисунок 4.45** – Асинхронний лічильник на додавання підвищеної швидкодії

Залежно від кількості розрядів  $N$  послідовні лічильники реалізують коефіцієнт лічби  $K_{\text{ліч}}$ , і їх можна використовувати як подільники частоти.

Часто під час проектування цифрових пристроїв виникає необхідність в подільниках частоти, для яких  $K_{\text{ліч}}$  – будь-яке ціле число. Якщо в арсеналі схемотехніка є найпростіші подільники частоти з коефіцієнтами лічби  $K_{\text{ліч}} = 2, 3, 4, 5, 6, 7, 8, 9, 10$ , то велика кількість подільників частоти з  $K_{\text{ліч}}$ , що розкладається на найпростіші множники, будується на їх основі. Необхідні  $K_{\text{ліч}}$  отримують введенням в лічильники зворотних зв'язків. Лічильники для  $K_{\text{ліч}} = 2, 4, 8$  реалізуються без введення зворотних зв'язків включенням послідовно відповідно 1, 2 і 3 Т-тригерів. Загальний принцип побудови таких лічильників з непарним  $K_{\text{ліч}}$  показано на рис. 4.46.

Якщо між вхідним і вихідним тригерами включено подільник частоти на будь-яке натуральне число  $n$ , то така схема забезпечує поділ частоти на

$$K_{\text{ліч}} = 2n + 1.$$

Наприклад, лічильник-подільник частоти на 3, реалізований за  $n = 1$ , що відповідає прямому зв'язку між вхідним DD1 і вихідним DD2 тригерами. Для  $K_{\text{ліч}} = 5$  відповідно  $n = 2$ , тому між вхідним і вихідним тригерами потрібно включити один додатковий тригер-подільник частоти на 2 і т. д.

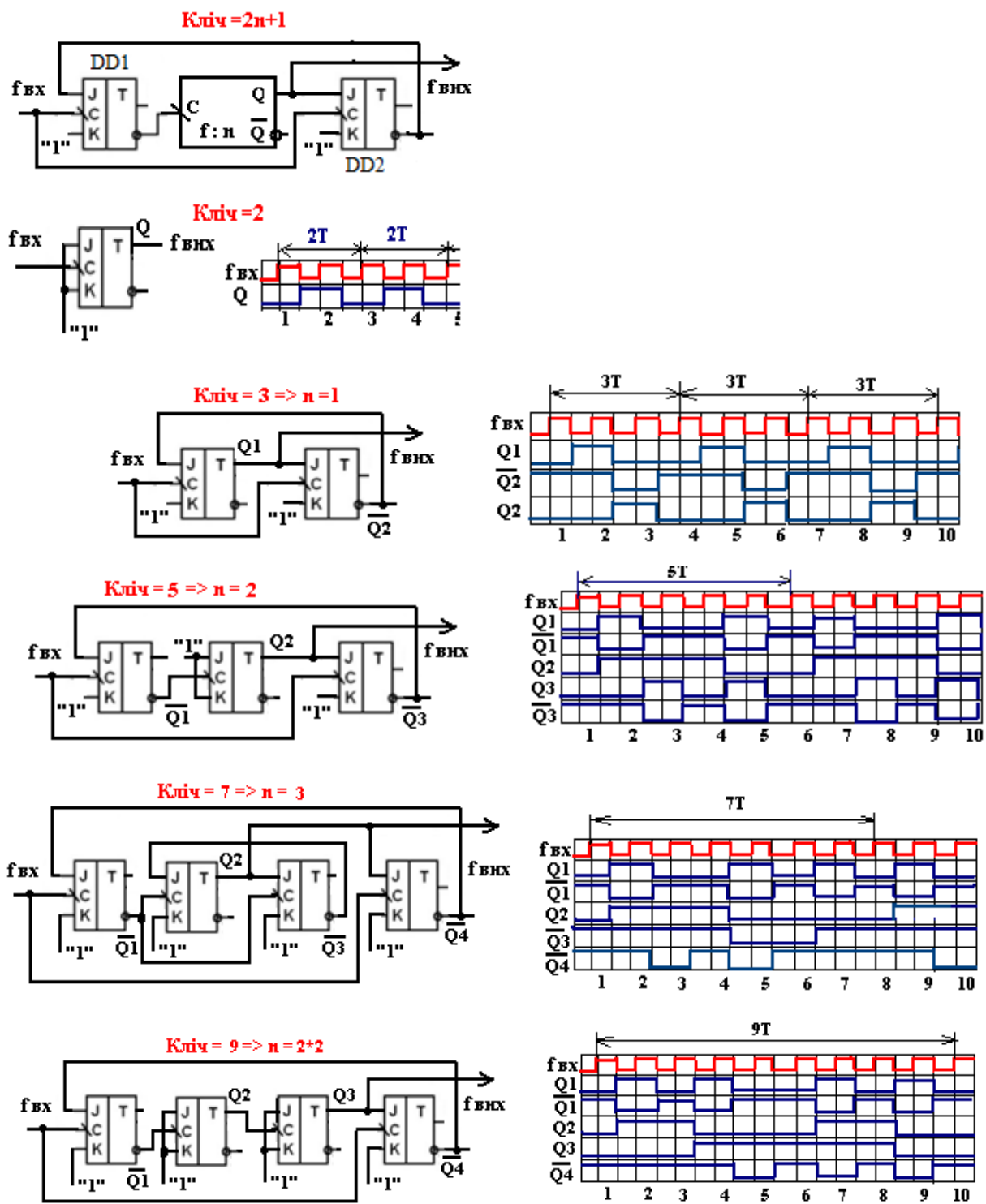


Рисунок 4.46 – Принцип будови лічильників з непарним Кліч

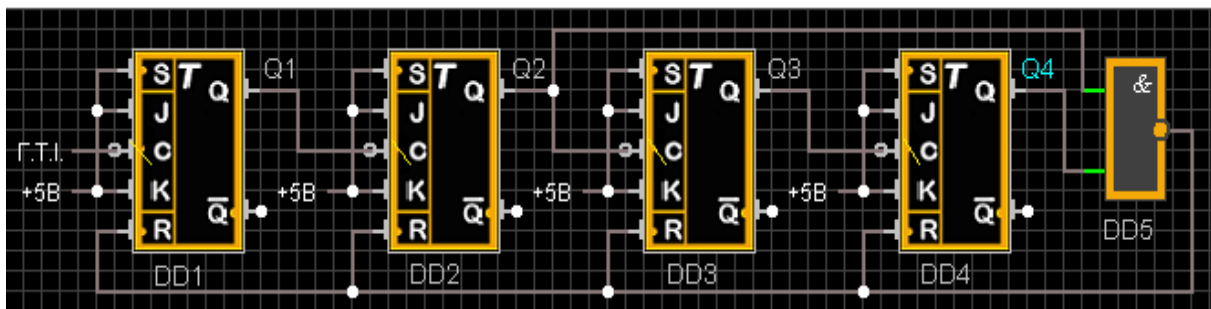
Схеми послідовних лічильників призначені переважно для використання в режимі поділу частоти без дешифрування їх станів, зміна яких не відповідає природному рахунку. Їх переваги – максимальна швидкодія,

обмежена граничною частотою перемикання вхідного тригера, за мінімальних витрат обладнання.

Під час побудови лічильників з дешифруванням станів необхідно забезпечити регулярність зміни станів згідно з двійково-десятковим рахунком. Для їх реалізації необхідно визначити потрібну кількість тригерів  $N$  відповідно до співвідношення

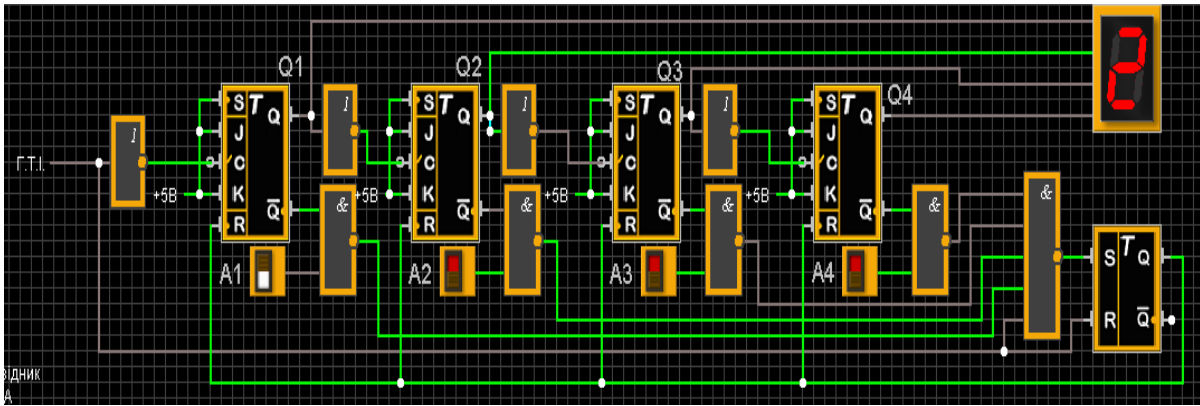
$$2^{N-1} \leq K_{\text{ліч}} \leq 2^N.$$

Крім послідовно включених  $N$ -тригерів такий лічильник має містити логічну схему, яка декодує стан  $K_{\text{ліч}}$  і формує сигнал скидання всіх розрядів в стан «0». Приклад десятичного лічильника з регулярною зміною станів показано на рис. 4.47. Кожен десятій імпульс переводить лічильник в стан 1010, на двох входах вентиля DD5 встановлюються рівні «1» і його вихідний сигнал  $R = \overline{Q_2 Q_4} = 0$  скидає всі тригери в стан «0».



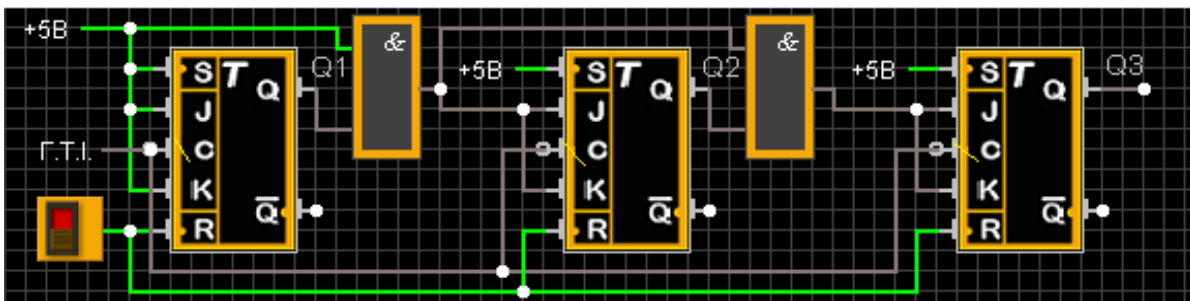
**Рисунок 4.47** – Лічильник з дешифруванням станів  $K_{\text{ліч}} = 10$

Аналогічно можна реалізувати асинхронний двійковий лічильник (рис. 4.48) для будь-якого  $K_{\text{ліч}}$ , який визначається двійковим кодом  $A_1 \dots A_4$ .



**Рисунок 4.48** – Лічильник зі схемою скидання, яка управляється кодом Аі

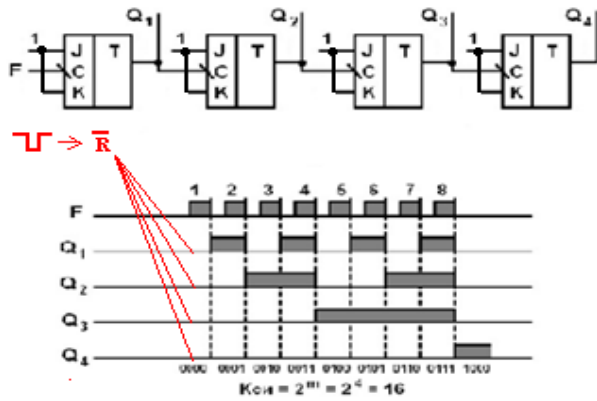
До синхронних лічильників відносяться лічильники, в яких перемикання розрядів відбувається одночасно, незалежно від віддаленості розряду від лічильного входу. Схему синхронного лічильника на додавання наведено на рис. 4.49.



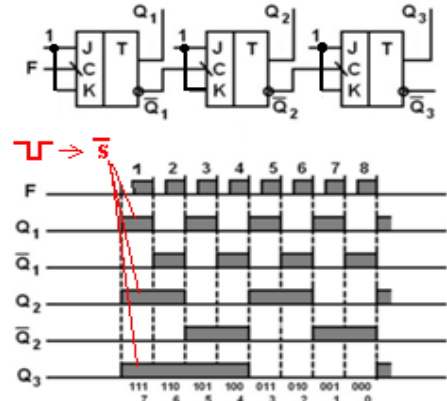
**Рисунок 4.49** – Синхронний лічильник на додавання

Принцип будови синхронного та асинхронного реверсивних лічильників аналогічний: прямий підрахунок реалізується за ввімкнення кіл перенесення з одиничних виходів тригерів молодших розрядів на входи старших розрядів, а зворотний рахунок (віднімання) – за вмикання кіл перенесення між інверсними виходами тригерів молодших розрядів і входами старших розрядів (рис. 4.50).

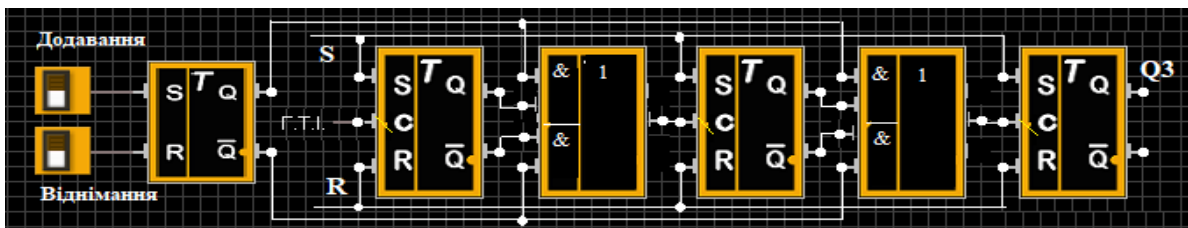
*Лічильник на додавання*



*Лічильник на віднімання*



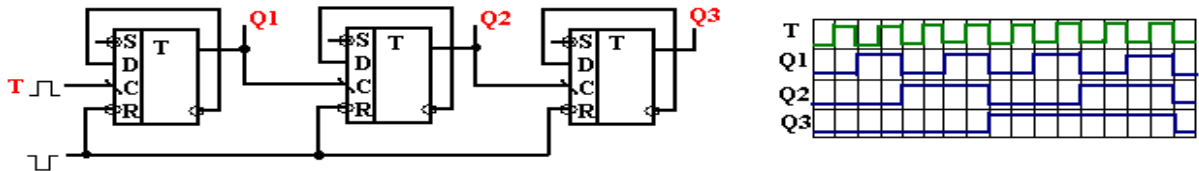
*Реверсивний лічильник*



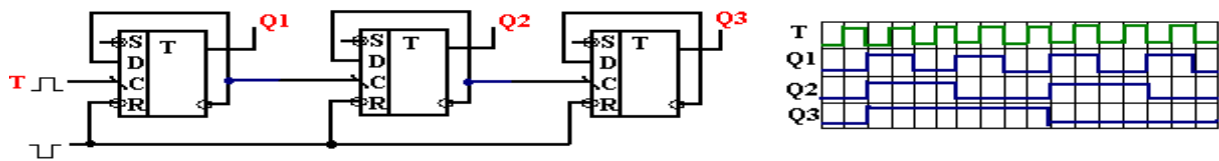
**Рисунок 4.50** – Принцип будови реверсивних лічильників

Реалізацію лічильників різних типів на D-тригерах наведено на рисунку 4.51.

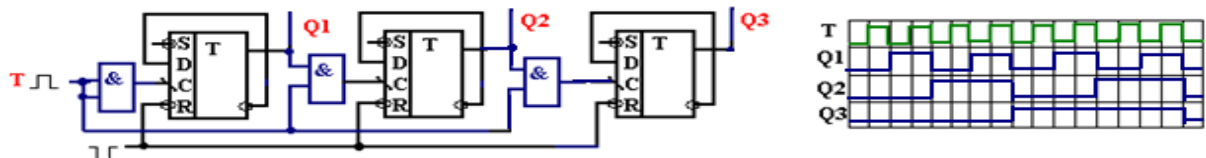
*Асинхронний лічильник на додавання*



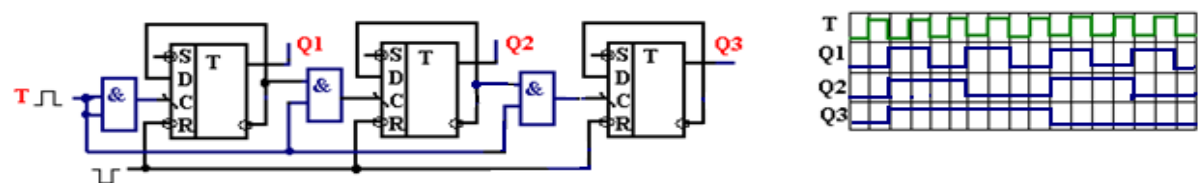
*Асинхронний лічильник на віднімання*



*Синхронний лічильник на додавання*



*Синхронний лічильник на віднімання*



**Рисунок 4.51** – Реалізація лічильників на D-тригерах



На рисунках 4.52 – 4.54 наведено схеми інтегрального лічильника К155ІЕ7 (аналог SN74193J), схеми його підключення для різних режимів роботи, а також часові діаграми сигналів на його входах і виходах. Мікросхема являє собою синхронний чотирирозрядний реверсивний двійковий лічильник. Схема має два рахункові входи (вхід в режимі додавання +1 і вхід в режимі віднімання -1), чотири інформаційних входи паралельного запису D0-D3, керівний вхід WR, який дозволяє паралельний запис інформації, вхід встановлення в «0» – R, виходи чотирьох розрядів лічильника 1, 2, 4, 8, виходи прямого перенесення – CR і зворотного – BR, що дозволяють здійснювати каскадне підключення лічильників без додаткової логіки.

Залежно від станів на установочних і керівних входах можливі три режими роботи лічильника:

- режим встановлення в логічний «0»;
- режим паралельного запису;
- режим зберігання (режим рахунку).

Режим встановлення в логічний «0» забезпечується подачею на вхід R рівня логічної одиниці. У цьому випадку відключається вхід, який дозволяє запис, і входи паралельного запису. Режим паралельного запису забезпечується подачею на входи WR і R рівня логічного «0». У цьому випадку інформація, подана на входи D0-D3, з'являється на виходах тригерів незалежно від стану вхідного тактового імпульсу.

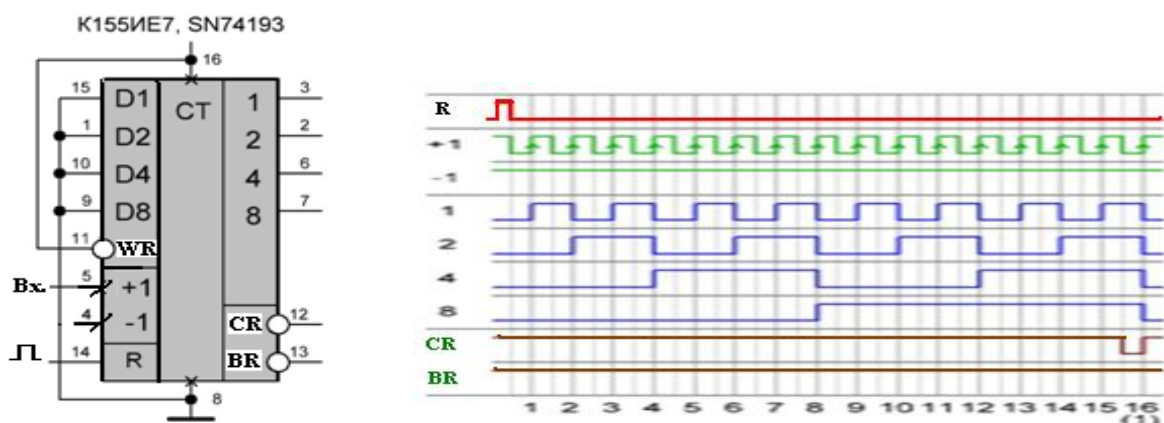
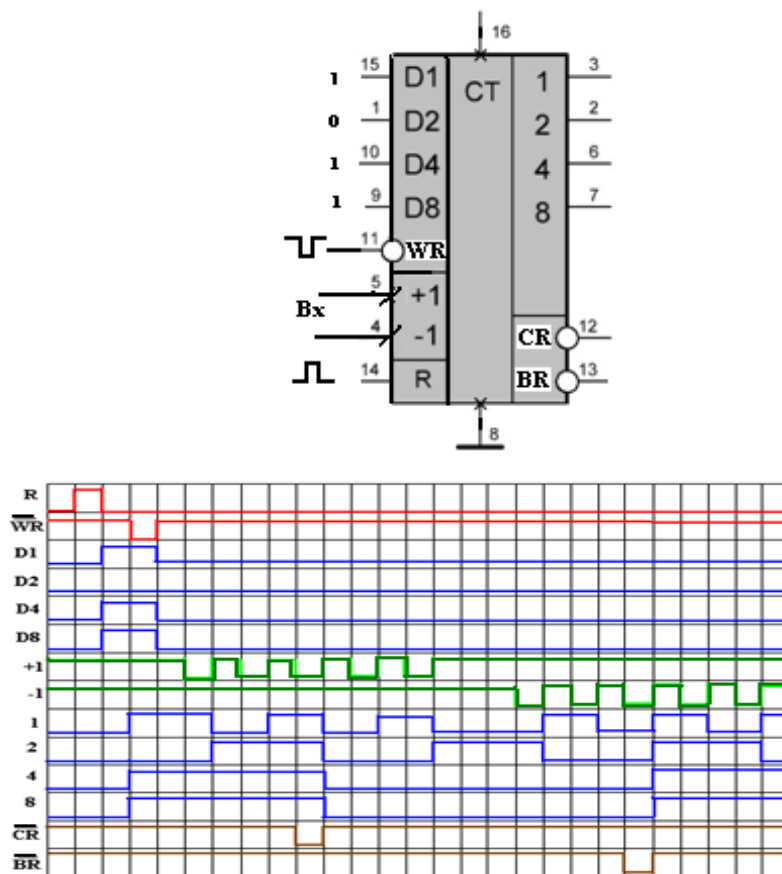
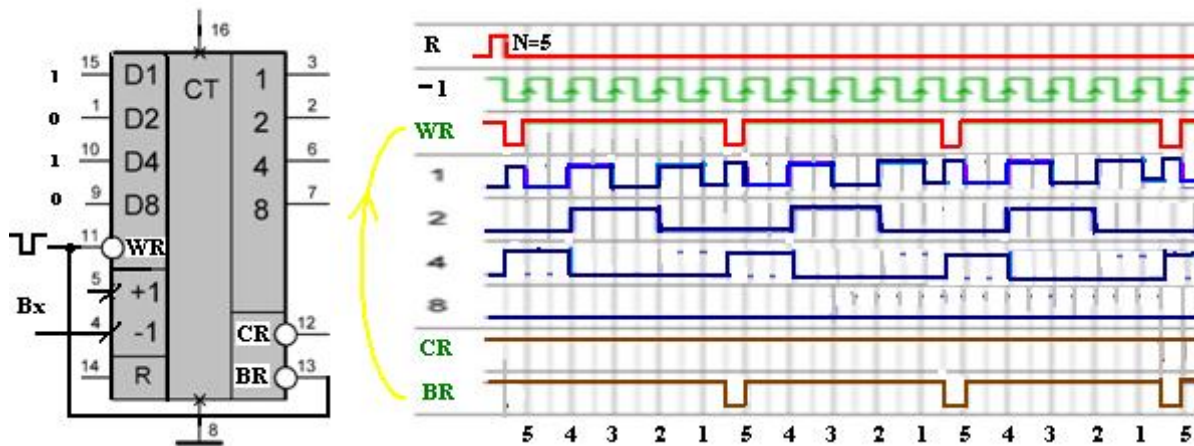


Рисунок 4.52 – Режим додавання

Режим зберігання забезпечується подачею на вхід WR рівня логічної «1», а на вхід R – рівня логічного «0». Надходження тактового імпульсу приведе до зміни стану лічильника на наступний в послідовності двійково-го рахунку. Подальший розрахунок здійснюється за кожним перепадом з 0 в 1 за наявності на другому рахунковому вході рівня логічної «1». На виході прямого переносу CR формується перепад з «1» в «0» у разі переповнення лічильника, тобто за появи в ньому максимального числа 15. На виході зворотного переносу BR імпульс формується за появи на виходах всіх розрядів лічильника логічного нуля. Тривалість імпульсів на виходах CR і BR дорівнює тривалості «від'ємного» імпульсу на рахунковому вході.



**Рисунок 4.53** – Режим додавання-віднімання з попереднім встановленням числа  $N = 13$



**Рисунок 4.54** – Режим віднімання з попереднім встановленням числа  $N=5$  та подачі сигналу з виходу зворотного перенесення – BR на вхід WR

#### 4.12 Напівпровідникові запам'ятовувальні пристрої

Запам'ятовувальні пристрої (ЗП) слугують для зберігання інформації та обміну нею з іншими частинами мікропроцесорної техніки. За функціональним призначенням ЗП розподіляються на зовнішні, буферні та внутрішні [8, 25].

**Зовнішні ЗП** слугують для зберігання великих обсягів інформації та програмного забезпечення системи. В них використовуються ЗП на магнітних дисках.

**Буферні ЗП** призначені для проміжного зберігання даних під час обміну між зовнішньою та внутрішньою пам'яттю.

**Внутрішні ЗП** за функціями розподіляються на оперативні та постійні.

**Оперативні ЗП (ОЗП)** виконують записування, зберігання та зчитування будь-якої інформації. Один з типів **оперативної пам'яті**, які використовуються в комп'ютерах – **DDR** (від англ. *Double Data Rate* – подвійна швидкість передачі даних). Типи оперативної пам'яті наведено на рис. 4.56. Зараз модулі **DDR** практично витіснені модулями типів **DDR2** і

**DDR3**, які внаслідок деяких змін в архітектурі дозволяють отримати більшу пропускну здатність підсистеми пам'яті.



**DDR4** – тип оперативної пам'яті, що є еволюційним розвитком попередніх поколінь DDR

(DDR, DDR2, DDR3). Відрізняється підвищеними частотними характеристиками і зниженою напругою. Основна відмінність DDR4 полягає у подвоєній до 16-ти кількості банків, що дозволило вдвічі збільшити швидкість передачі – до 3,2 Гбіт/с. Пропускна здатність пам'яті DDR4 досягає 34,1 ГБ/с (у разі максимальної ефективної частоти 4266 МГц, визначеної специфікаціями). Крім того, підвищена надійність роботи за рахунок введення механізму контролю парності на шинах адреси і команд. Підтримує ефективні частоти від 1600 до 4266 МГц.

**DDR5** забезпечують подвоєну щільність, а також подвоєння швидкості на відміну від планок DDR4-3200 першого покоління. Найбільший розмір пам'яті у DDR4 становить 32 ГБ, а у DDR5 – 128 ГБ. Значне поліпшення швидкості передачі даних, більш висока щільність на карті, знижене загальне енергоспоживання і збільшена довжина пакета говорять про те, наскільки вигідна оперативна пам'ять DDR5 порівняно з ОЗП DDR4.

Проаналізуємо маркування DDR4 – 3200. Багато хто 3200 вважають МГц – мегагерцами. Насправді це МТ/с або мегатранзакції за секунду. Величина, яка показує скільки операцій за секунду може відбуватися з пам'яттю. З урахуванням того, що ширина шини DDR4 становить 64 біта (або 8 байт), можна отримати її швидкість в МБ/с – для цього потрібно  $3200 \text{ МТ/с} * 8 \text{ Б} = 25600 \text{ МБ/с}$ .

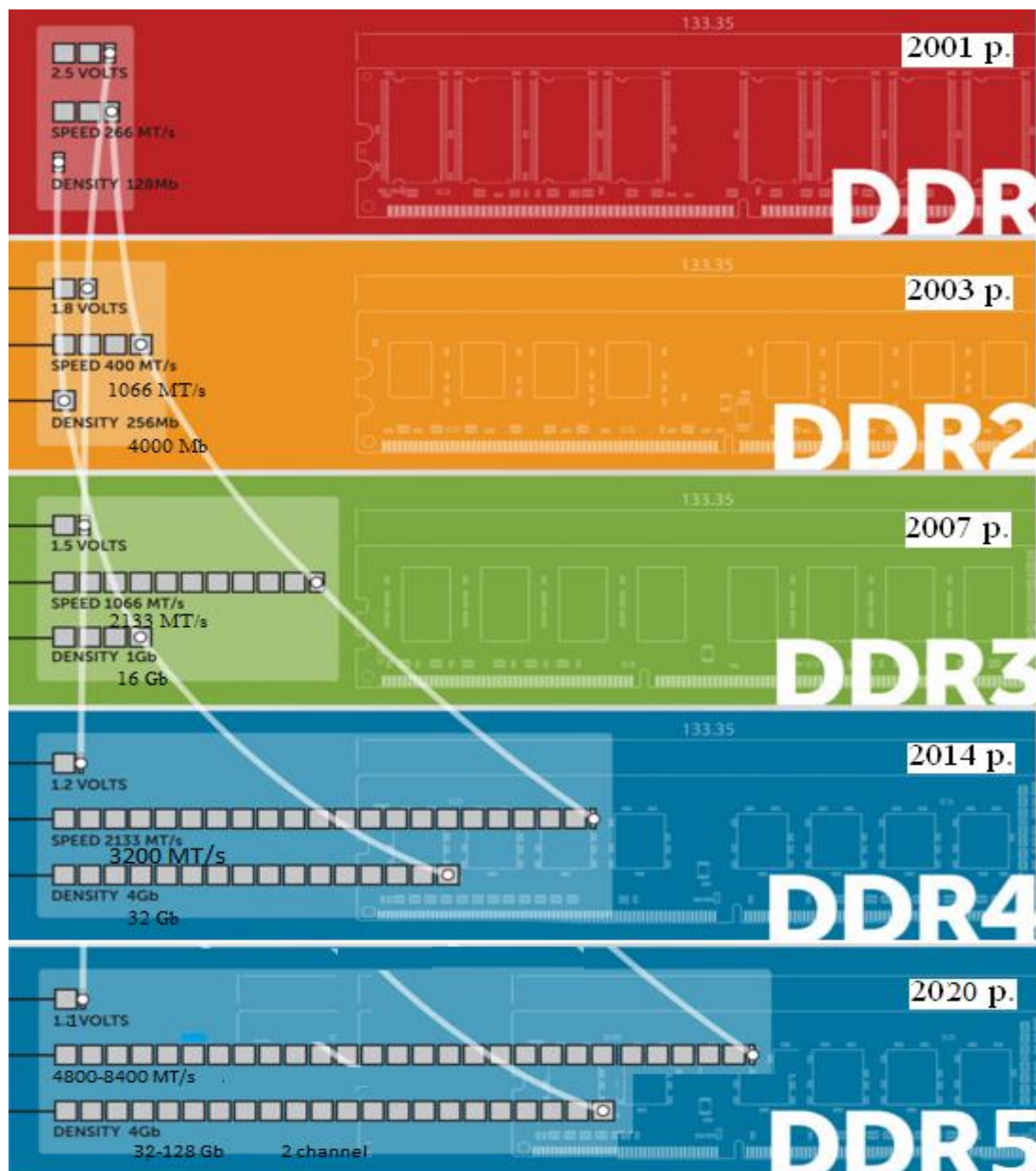


Рисунок 4.55 – Типи оперативної пам'яті

**Постійні ЗП (ПЗП)** виконують зберігання та видачу постійно записаної інформації, склад якої не змінюється під час роботи системи. За способом занесення інформації ПЗП поділяють на ПЗП, що програмуються на заводі-виробнику; програмовані ПЗП (ППЗП), програмовані однократно користувачем; перепрограмовані ПЗП (РПЗП), програмовані багатократно користувачем.

За способом зберігання інформації ОЗП поділяють на **статичні та динамічні**. Запам'ятовувальні елементи статичних ЗП являють собою біс-

табільні елементи і забезпечують зчитування інформації без її руйнування. В динамічних ЗП для зберігання інформації використовуються інерційні властивості реактивних елементів (конденсаторів), що потребує періодичної регенерації інформації.

Основними параметрами ЗП є: інформаційна ємність ( $M$ ) та швидкодія.

Інформаційна ємність характеризує кількість інформації, яка може зберігатися в пам'ятовувальному елементі, і визначається в бітах або кількості слів  $N$  із зазначенням їх розрядності  $n$ . Наприклад,  $1 \times 256$ ,  $4 \times 1024$ ,  $8 \times 1024$ . Швидкодія характеризується часом вибірки та циклом запису. Час вибірки  $t_e$  – інтервал часу між моментом подачі сигналу вибірки і появою інформації на виході мікросхеми ЗП. Цикл запису  $t_{ц.з.}$  – мінімально допустимий час між моментом подачі сигналу вибірки за запису і моментом початку наступної операції зчитування (запису). Часові діаграми роботи ЗП подано на рис. 4.56, б).

За структурою напівпровідникові ЗП (рис. 4.56, а) складаються з таких типових вузлів: накопичувача НК; дешифратора рядків та стовпців ДСХ, ДСУ; пристрою запису ПЗП; пристрою зчитування ПЗ; пристрою управління ПУ.

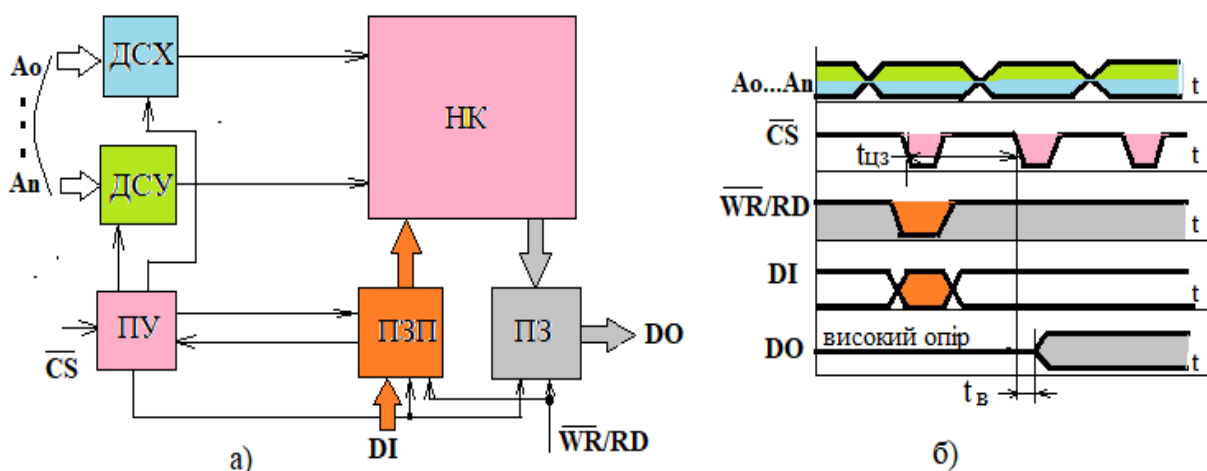
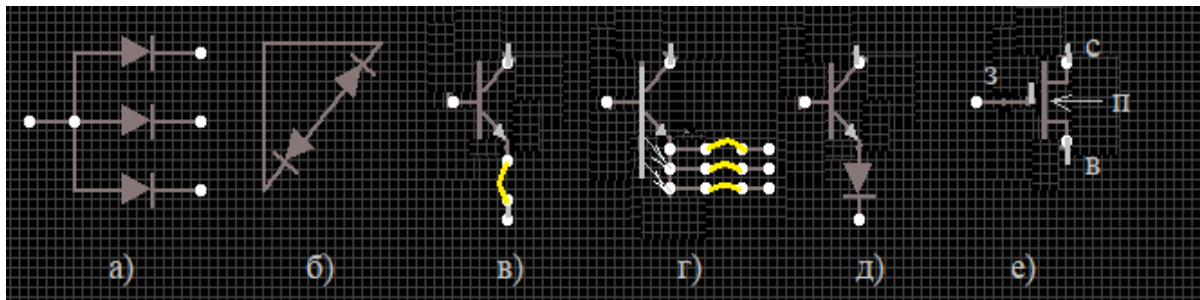


Рисунок 4.56 – Напівпровідникові запам'ятовувальні пристрої

Накопичувач являє собою матрицю запам'ятовувальних елементів, об'єднаних в рядки та стовпці через розв'язувальні ключові елементи, зв'язані дешифраторами.

Як запам'ятовувальні елементи використовують діоди, біполярні транзистори МДН-структури, аморфні напівпровідники та ін.

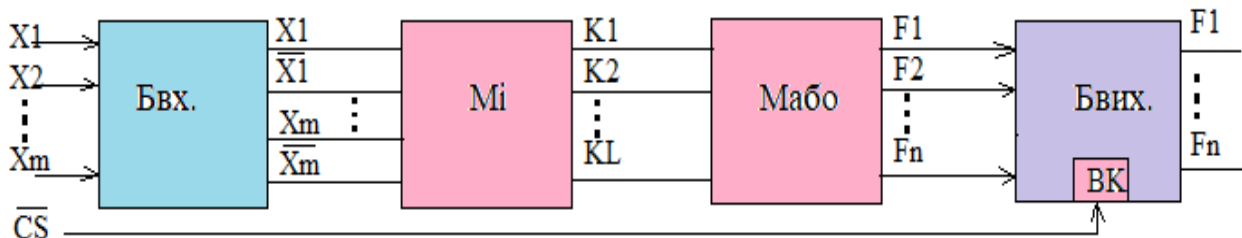
На рис. 4.57 зображено схеми основних запам'ятовувальних елементів (ЗЕ), на основі яких розробляються ПЗП та ППЗП.



**Рисунок 4.57** – Схеми основних запам'ятовувальних елементів

Для ПЗП з накопичуванням на ЗЕ (рис. 4.57, а), е) запис інформації відбувається двома способами: зміною конфігурації металізованої розводки (фотошаблон) або селективним покриттям контактних вікон під металізацію (лазерним променем). Для ППЗП ЗЕ (рис. 4.57, в), г) програмується перепалюванням плавких перемичок, а ЗЕ (рис. 4.57, б), д) програмується методом вибіркового руйнування діодів.

ППЗП відносяться до програмованих ІС двоступеневої структури, що складається з двох послідовних матриць. Матриця І жорстка, а матриця АБО програмована, а в випадку, коли обидві матриці програмовані, отримуємо **програмовану логічну матрицю**. Структура ПЛМ (рис. 4.58) складається з вхідних та вихідних буферних каскадів Бвх, Бвих і матриці елементів І та АБО ( $M_i$ ,  $M_{або}$ ). Вхідні буфери розвантажують вхідні кола і перетворюють однофазні вхідні сигнали в парафазні.



**Рисунок 4.58** – Структура ПЛМ

Вихідні буфери забезпечують необхідну навантажувальну здатність ПЛМ і стробують її за допомогою входу вибірки кристала ВК, сигнал на якому або дозволяє роботу ПЛМ або переводить виходи в стан «Вимкнено». Основними параметрами є кількість входів  $m$ , кількість перехідних кіл (термів)  $L$  та кількість виходів  $N$ . Структура матриці І та АБО складається з горизонтальних та вертикальних шин, у вузлах перетину яких знаходяться елементи зв'язку, які під час програмування вводяться або знищуються (рис. 4.59, а). Як елементи зв'язку можуть бути використані ЗЕ, наприклад, діоди в матриці І (рис. 4.59, б) і транзистори в матриці АБО (рис. 4.59, в).

ПЛМ широко використовуються, як і ППЗП, для реалізації перемикальних функцій  $F_n$ , перетворення кодів, так і в як керівна пам'ять ЕОМ з мікропроцесорним управлінням.

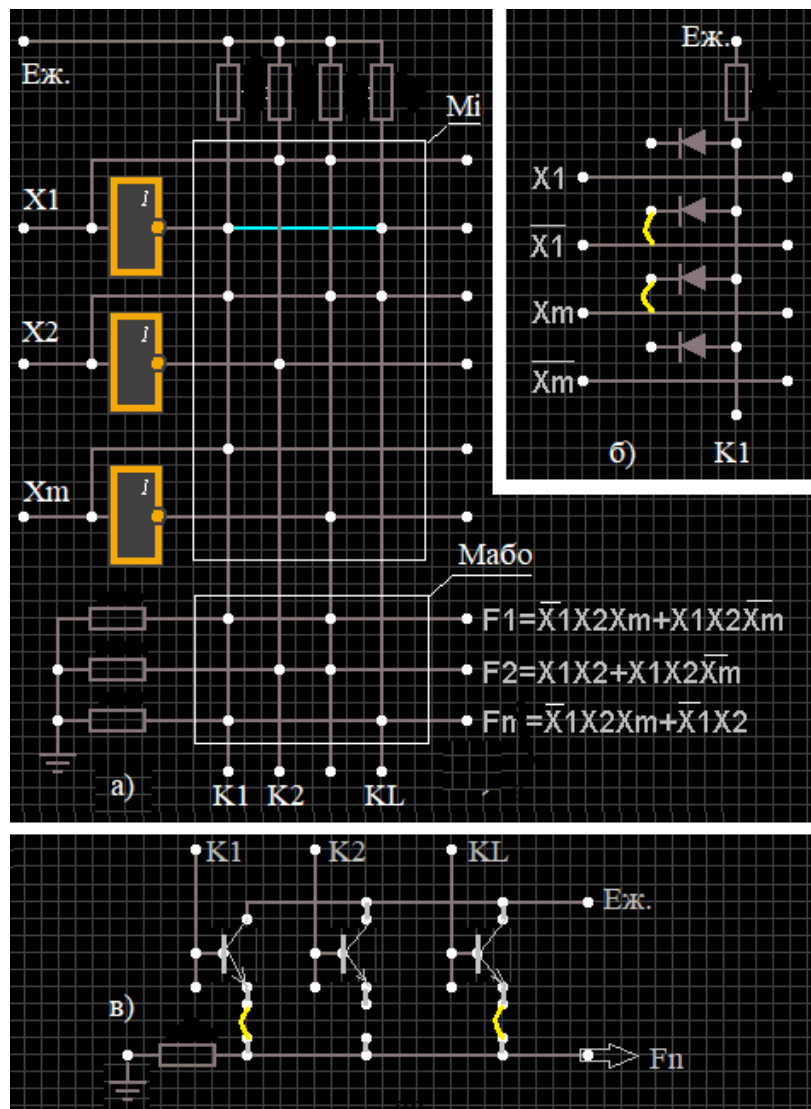


Рисунок 4.59 – Структура матриці І та АБО



## 5 КОМПОНЕНТИ ЕЛЕКТРОННИХ ПРИСТРОЇВ

### 5.1 Формувачі та генератори імпульсів

В системах автоматики потрібно, щоб робочі сигнали мали певну амплітуду, тривалість, форму. Форма використаних сигналів може бути різною: прямокутна, синусоїдна, пилкоподібна, гострокінцева тощо [23, 24].

В цифровій техніці, яка є основою більшості пристроїв систем автоматики, найчастіше користуються сигналами, які являють собою поодинокі імпульси прямокутної форми або послідовності таких імпульсів. Необхідно, щоб залежно від призначення, такі імпульси мали точно визначені параметри (рис. 5.1). До параметрів імпульсів належать:

1. Амплітуда  $A_m$  прямокутного імпульсу, яка характеризується найбільшим значенням напруги або струму імпульсу;
2. Тривалість  $t$  прямокутного імпульсу;
3. Період  $T$  прямокутного імпульсу (якщо діє послідовність імпульсів). Число імпульсів за одну секунду називають частотою повторення;
4. Коефіцієнт заповнення  $K = t/T$  – відношення тривалості імпульсу до його періоду. Обернену величину називають шпаруватістю:

$$C = 1/K = T/t. \quad (5.1)$$

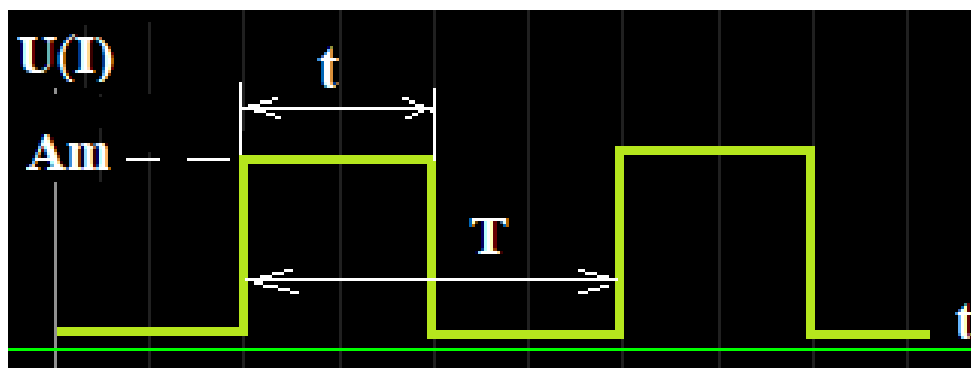


Рисунок 5.1 – Параметри імпульсів

За реальних умов отримати імпульс ідеальної прямокутної форми дуже важко. Імпульси, які виробляються в сучасних пристроях, близькі за формою до прямокутних (рис. 5.2). Для характеристики таких імпульсів вводять ще два параметри: тривалість фронту прямокутного імпульсу  $t_f$ , що характеризує проміжок часу, за який амплітуда імпульсу збільшується від  $0,1 A_m$  до  $0,9 A_m$ ; тривалість зрізу прямокутного імпульсу  $t_s$  – проміжок часу, за який амплітуда імпульсу зменшується від  $0,9 A_m$  до  $0,1 A_m$ . Під тривалістю прямокутного імпульсу  $\tau$  звичайно розуміють інтервал часу, починаючи з якого амплітуда сигналу перевищує половину висоти  $A_m$ .

Імпульсні сигнали можна одержати двома способами: генеруванням і формуванням. Під час генерування прямокутних імпульсів енергія джерела живлення перетворюється в енергію послідовності прямокутних імпульсів.

Під час формування прямокутних імпульсів на вхід спеціальних пристроїв, які називають формувачами, подається вхідний сигнал – імпульси певної форми (синусоїдні, прямокутні або інших форм), а на їх виході утворюється прямокутний імпульс із заданими параметрами.

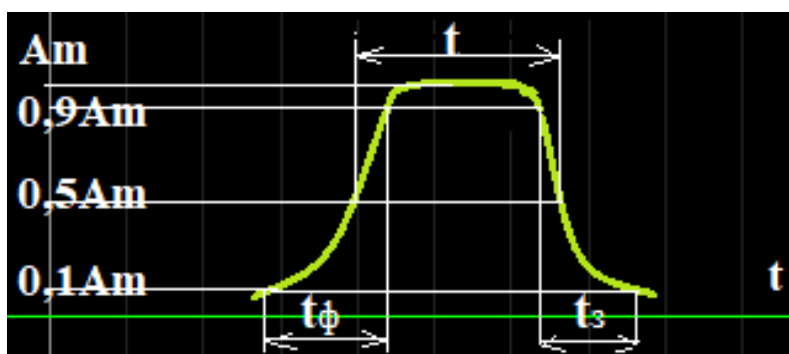


Рисунок 5.2 – Додаткові параметри імпульсів

Можливі й зворотні перетворення форми сигналу, за яких пристрої під дією прямокутних імпульсів формують синусоїдні коливання і т. ін.

Найчастіше в системах автоматики як формувачі застосовують одно-вібратори, схеми виділення перепадів з «0» в «1» і з «1» в «0».

### 5.1.1 Одновібратори

Одновібраторами називають пристрої, які під дією вхідного імпульсу формують вихідний імпульс певної тривалості. Вхідними звичайно є імпульси з електромеханічних або електронних ключів.

Для в'яснення принципу роботи одновібратора розглянемо процеси, які протікають в пристроях з перехідною ємністю. Як відомо, логічні елементи мають так зване порогове (критичне) значення напруги на вході елемента, за якого він входить в активну область переключення. У разі збільшення напруги на вході більше порогової величини, логічний елемент миттєво переходить у вихідний стан, який відповідає рівню логічної «1». Якщо напруга на вході елемента нижче порогової, він переходить у вихідний стан, який відповідає рівню логічного «0» на його виході. Для мікросхем TTL-структури порогове значення напруги на вході становить приблизно 1,2 В, для КМОН –  $U_{жс} / 2$ .

На рис. 5.3 зображено схему логічного елемента І-НЕ з перехідною ємністю (а) на вході і часові діаграми його роботи (б). У початковому стані на виході елемента рівень логічної «1». Стрибок напруги на вході переводить елемент із стану логічної «1» в нульовий стан через те, що під час подачі напруги на опорі R виникає стрибок напруги, який відповідає рівню логічної «1». У міру заряджання конденсатора С напруга на ньому збільшується, а на опорі R зменшується, і в той момент, коли напруга на опорі стане меншою за критичну, схема повертається у вихідний стан.

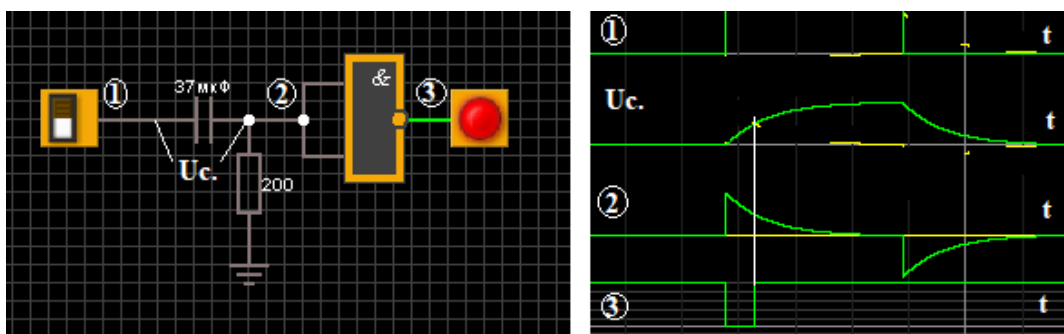


Рисунок 5.3 – Логічний елемент І-НЕ з перехідною ємністю

### 5.1.2 Одновібратори на основі ємнісного зв'язку

Робота одновібратора пояснюється на рис. 5.4. З часових діаграм видно, що у початковому стані на вході елемента DD1 – рівень логічної «1», на виході – рівень логічного «0». Вхід ключа 2 також має рівень логічного «0». (Для цього потрібно, щоб резистор R для мікросхем ТТЛ структури мав величину 500 Ом – 1,8 КОм, а для мікросхем КМОН структури –  $> 20$  кОм). Під час переходу елемента DD1 в стан логічної «1» виникає струм заряду конденсатора С, на опорі R виникає стрибок напруги і в проміжку часу від  $t_1$  до  $t_2$ , коли напруга на опорі перевищує критичну, напруга на вході елемента DD2 буде мати стан логічного «0» і повернеться в початковий стан після розряду конденсатора С або після переходу DD1 в стан логічного «0».

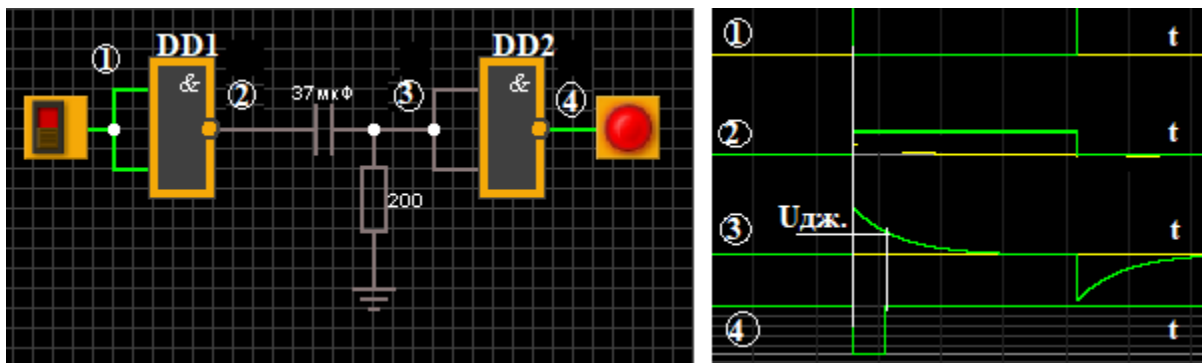


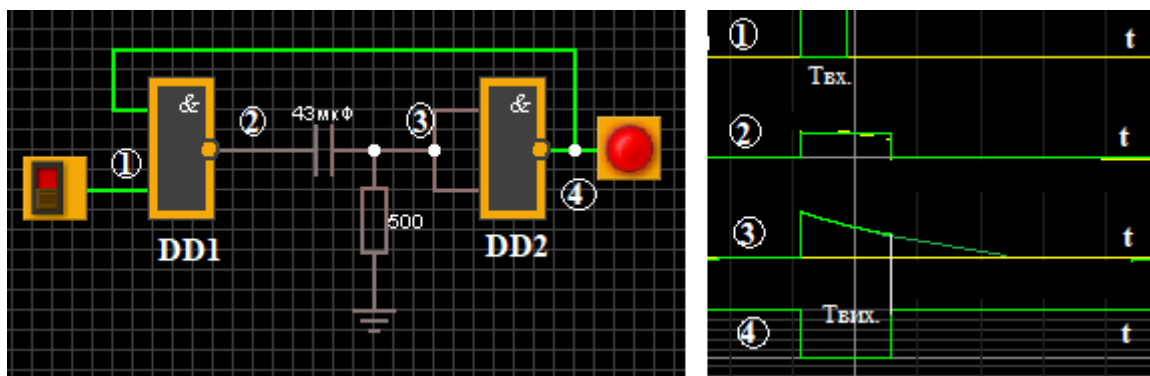
Рисунок 5.4 – Одновібратор на основі ємнісного зв'язку

Тривалість вихідного імпульсу в цій схемі  $\tau_{вих} \approx RC$  за умови  $\tau_{вх} > RC$  і  $\tau_{вих} = \tau_{вх}$ , якщо  $\tau_{вх} < RC$ .

### 5.1.3 Типові схеми одновібраторів

Нижче пропонуються схеми, які дозволяють, як зменшувати, так і збільшувати тривалості вихідних імпульсів. У схему (рис. 5.5) введено

від'ємний обернений зв'язок і елемент DD1 може змінити свій стан лише за зміни стану елемента DD2, внаслідок чого тривалість вихідного імпульсу цього одновібратора  $\tau_{вих} \approx RC$  і не залежить від тривалості вхідного імпульсу.

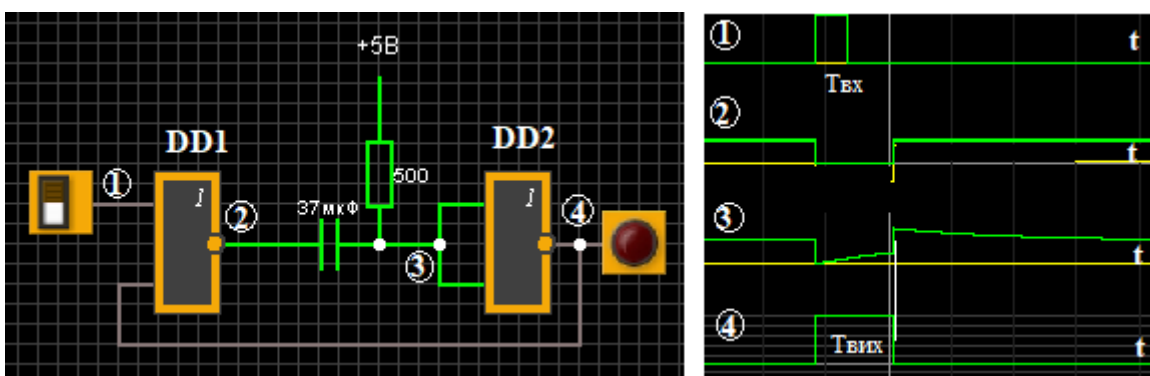


а) б)

**Рисунок 5.5** – Типовий одновібратор

Як видно з часових діаграм, одновібратор запускається від'ємним імпульсом, на виході також одержується від'ємний імпульс, що має вигляд перепаду з «1» в «0» певної тривалості, яка залежить від параметрів R і C.

Для того, щоб одержати одновібратор, який запускається додатними імпульсами і на виході також одержати додатний імпульс, потрібно на вході і виході одновібратора поставити по інвертору. Але у цьому разі кількість логічних елементів в схемі збільшується вдвічі. Більш доцільним для одержання такого одновібратора є застосування логічних елементів АБО-НЕ (рис. 5.6).



**Рисунок 5.6** – Одновібратор з додатними вхідним та вихідним імпульсами

У початковому стані на вході 1 елемента *DD1* рівень логічного «0». На вході елемента *DD2* рівень логічної «1», що задається резистором *R*. Тому на виході логічного елемента *DD2* рівень логічного «0». Потрібно відзначити, що напруга на ємності приблизно дорівнює нулю, оскільки з обох її сторін діє рівень логічної «1». При подачі на вхід 1 елемента *DD1* пускового імпульсу елемент *DD1* відкривається, напруга в точці 2 спадає до нуля. Виникає зарядний струм по колу: +*E*, *R*, *C*, заземлення. Але спочатку напруга на ємності дорівнює нулю і зі зростанням її заряду зростає за експонентою. В проміжок часу від  $t_1$  до  $t_2$  напруга на ємності (на вході 3 мікросхеми *DD2*) менша порогової, тому на виході *DD2* (інвертор) буде рівень логічної одиниці. Після того як напруга в точці 3 перевищить пороговий рівень і стане еквівалентною рівню логічної «1», елемент *DD2* знову перейде в початковий стан, за якого на його виході встановиться рівень логічного «0». Тривалість імпульсів одинвібратора –  $\tau_{\text{имп}} \approx 0,69RC$ .

Це співвідношення використовується для визначення тривалості імпульсу більшості одинвібраторів, дія яких основана на процесі перезаряду ємності. Наближеність формули пов'язана з розкидом значень порогового рівня переключення мікросхем.

Існує велика кількість схем одинвібраторів. Цікавою є схема одинвібратора, побудованого на застосуванні *RS*-тригера (рис. 5.7, а), робота якого пояснюється часовими діаграмами (рис. 5.7, б).

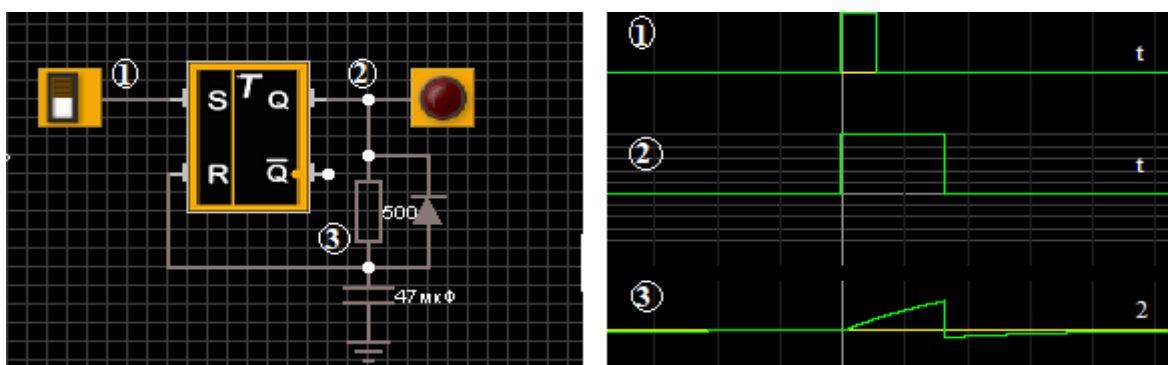
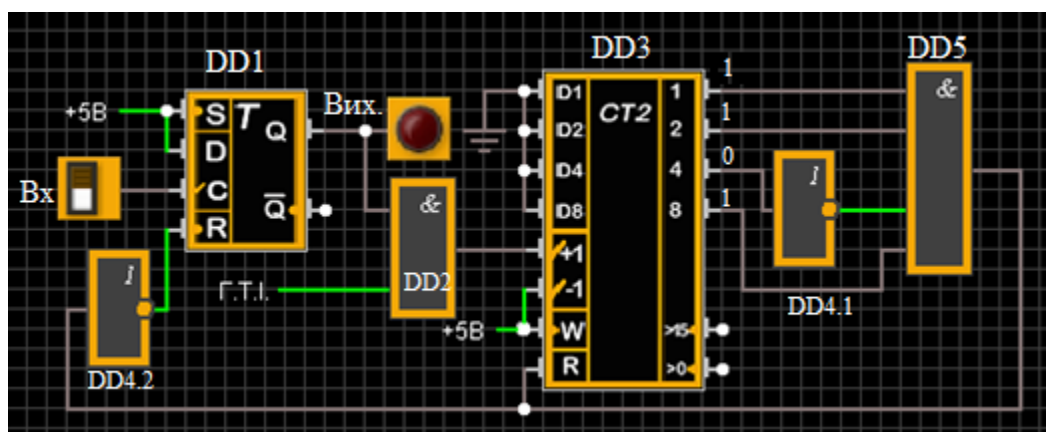


Рисунок 5.7 – Одинвібратор на основі *RS*-тригера

В системах автоматики часто застосовують одновібратори, в яких для одержання необхідної тривалості імпульсів використовують цифрові лічильники. Такі цифрові одновібратори використовують в тих випадках, коли висуваються високі вимоги до стабільності часових інтервалів вихідних імпульсів одновібраторів. В цьому випадку мінімальна тривалість імпульсу обмежується тільки швидкодією використовуваних елементів, а максимальна тривалість може бути довільною (на відміну від схем, які використовують RC-кола).

Принцип роботи цифрового одновібратора (рис. 5.8) оснований на включенні тригера вхідним сигналом і скиданні його через часовий інтервал, який визначається коефіцієнтом перерахунку лічильника (рис. 5.9). В початковому стані на прямому виході D-тригера рівень логічного «0», який закриває елемент DD2, і імпульси з постійно діючого генератора GN не проходять через елемент DD2 на лічильний вхід С лічильника DD3. Водночас на виході елемента DD5 – рівень логічного «0», який дає змогу тригеру DD1 зберігати нульовий стан. Після подачі на вхід одновібратора запускового імпульсу D-тригер переходить в одиничний стан, відкриває елемент DD2 і імпульси від генератора Г.Т.І. починають проходити на С-вхід лічильника.

В наведеній схемі тривалість імпульсу одновібратора дорівнює тривалості 10 періодів імпульсу генератора Г.Т.І.



### Рисунок 5.8 – Цифровий одновібратор

Після надходження на вхід С лічильника DD3 11-го імпульсу на виході елемента DD5 виникає рівень логічної «1», який за входами R скидає тригер DD1 і лічильник DD3 в початковий стан.

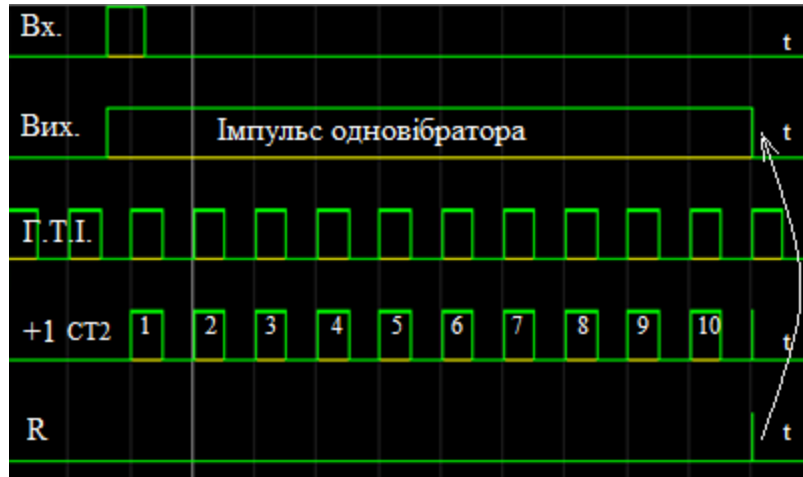


Рисунок 5.9 – Часові діаграми цифрового одновібратора

Загальним недоліком цифрових одновібраторів є випадкова похибка, пов'язана з довільністю фази задавального генератора в момент запуску схеми. Похибка зменшується з підвищенням частоти генератора і коефіцієнта перерахунку лічильника.

### 5.2 Схеми виділення перепадів

У системах автоматики досить часто застосовуються різновиди одновібраторів, які носять назву схеми перепадів імпульсів з «0» в «1» і з «1» в «0». В технічній літературі ці пристрої називають схемами виділення фронтів або «різницевими перетворювачами» (РП).

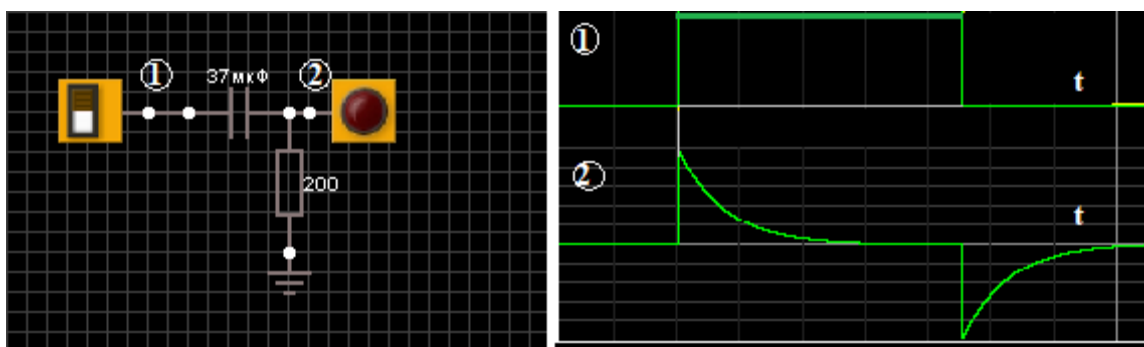
Такі пристрої призначені для утворення вихідного сигналу, який несе інформацію про зміну значення вхідного сигналу. На виході схем виділення перепадів формуються короткочасні імпульсні сигнали у відповідь на відповідний перепад напруги.



Існують різні схеми виділення перепадів. Частина з них базується на основі застосування диференційних та інтегровальних RC-кіл, друга частина основана на застосуванні деяких властивостей логічних елементів. Розглянемо принципи їх побудови.

### 5.2.1 Схеми виділення перепадів на основі диференційних кіл

Простими схемами виділення перепадів напруги є так звані диференційні кола, які дозволяють одержувати вихідні сигнали, амплітуда яких пропорційна крутизні вхідної напруги чи струму. Припустимо, що на вході кола, зображеного на рис. 5.10, діє імпульс напруги прямокутної форми з амплітудою  $U_{ВХ}$ . В цьому випадку в момент перепаду напруги з «0» в «1» на виході RC-кола виникає гострокінцевий імпульс, який спадає за експоненціальною кривою зі сталою часу RC. Цей імпульс має ту саму полярність, що і прямокутний вхідний імпульс. Після закінчення дії вхідного прямокутного імпульсу на виході кола з'явиться другий гострокінцевий імпульс, полярність якого буде протилежною полярності вхідного імпульсу.

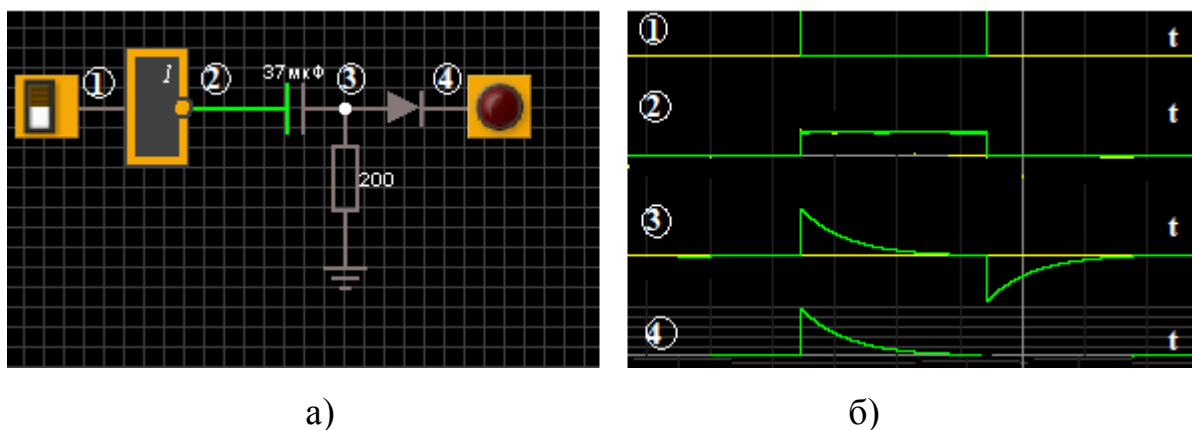


а) б)  
Рисунок 5.10 – Диференційне коло

Диференційні кола широко використовуються для одержання короткочасних імпульсів, які за часом відповідають перепаду з «0» в «1» або з «1» в «0».

Перепаду з «0» в «1» відповідає вихідний імпульс додатної полярності, а перепаду з «1» в «0» – вихідний імпульс від'ємної полярності.

Більшість сімейств інтегральних мікросхем є схемами «додатної логіки» і від імпульсів від'ємної полярності не запускаються. Тому, для одержання в схемі виділення перепаду з «1» в «0» імпульсу додатної полярності застосовують схему, зображену на рис. 5.11.



**Рисунок 5.11** – Схема виділення перепаду з «1» в «0» та часові діаграми

### **5.2.2 Схеми виділення перепадів на основі диференційних кіл і логічних елементів**

На рис. 5.12 та 5.13 наведено схеми виділення перепадів на основі диференційних кіл і логічних елементів.

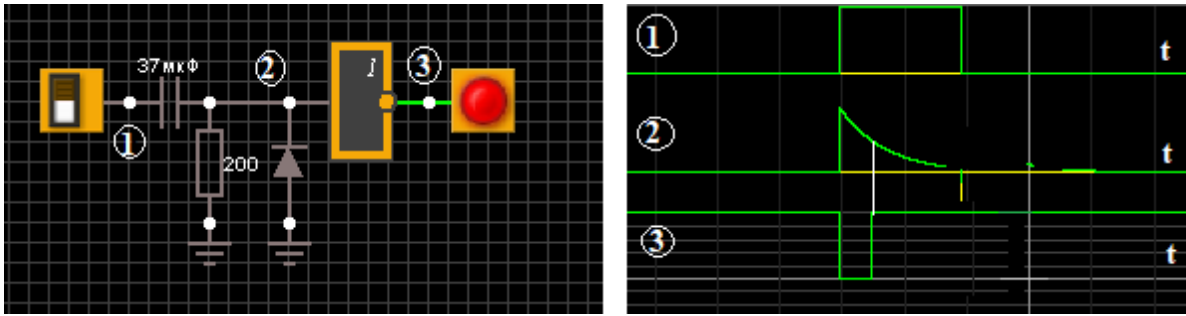


Рисунок 5.12 – Схема виділення перепаду з «0» в «1» та часові діаграми

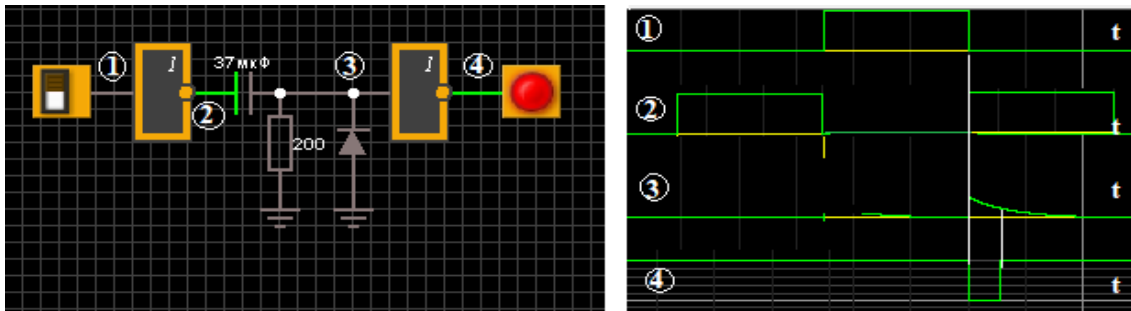


Рисунок 5.13 – Схема виділення перепаду з «1» в «0» та часові діаграми

### 5.2.3 Схеми виділення перепаду з «0» в «1» та з «1» в «0» на основі інтегрувальних кіл і логічних елементів

Якщо не висуваються високі вимоги до стабільності і тривалості вихідних імпульсів в схемах виділення перепадів з «0» в «1», то застосовують схеми на основі інтегрувальних RC-кіл. В такому випадку для розрахунку тривалості вихідних імпульсів використовують ті співвідношення, що і для одновібраторів (рис. 5.14–5.16).

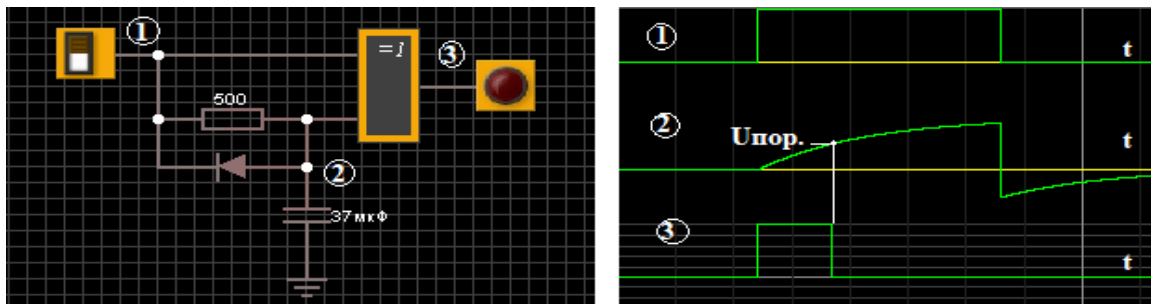
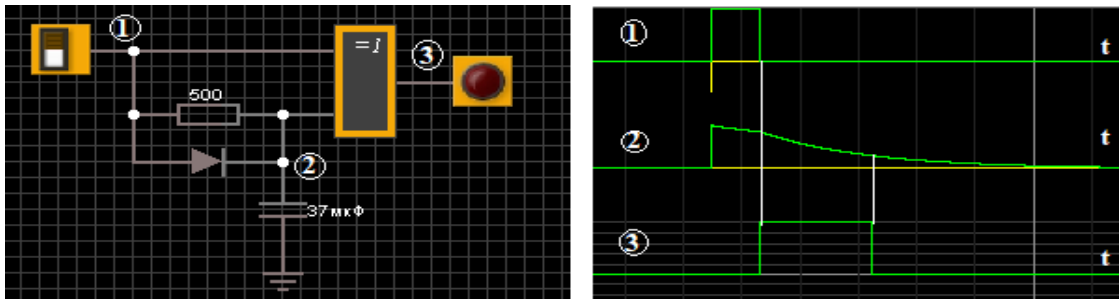


Рисунок 5.14 – Схема виділення перепаду з «0» в «1» та часові діаграми її роботи



**Рисунок 5.15** – Схема виділення перепаду з «1» в «0» та часові діаграми її роботи



**Рисунок 5.16** – Схема виділення перепаду з «0» в «1», з «1» в «0» та часові діаграми її роботи

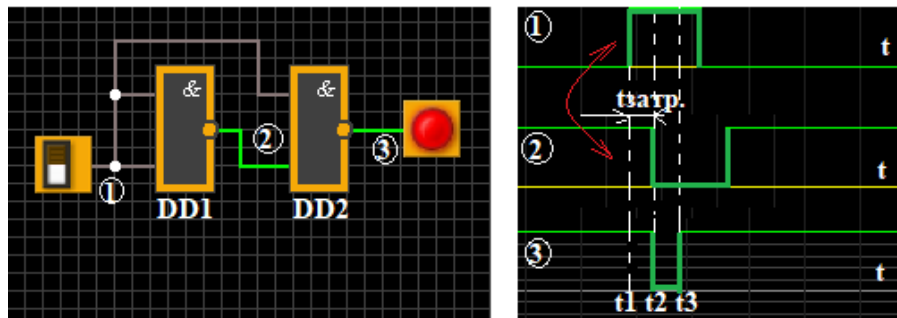
#### 5.2.4 Схеми виділення перепадів, які використовують властивість затримки вхідних сигналів логічними елементами

Ідея побудови таких схем базується на застосуванні спеціальних схем затримки вхідних сигналів. Найпростішими елементами затримки вхідних сигналів можуть слугувати логічні елементи ТТЛ або КМОН структур. Як відомо, логічний елемент переключається не одразу після подачі вхідного сигналу, а через деякий проміжок часу, який обумовлений перехідними процесами всередині самого елемента. Так середня затримка поширення сигналу для ТТЛ мікросхем становить 18-20 нс, а КМОН мікросхем – близько 200 нс.

Принцип дії таких схем перепаду пояснимо на прикладі схеми, зображеної на рис. 5.17. Після подачі вхідного імпульсу в момент  $t_1$  на вхід елемента DD1 на його виході виникне перепад напруги з «1» в «0» (точка 2) з затримкою  $\tau_{затр}$  одного елемента DD1. З моменту часу  $t_1$  на обох входах логічного елемента DD2 з'явиться логічна «1», але переключення еле-

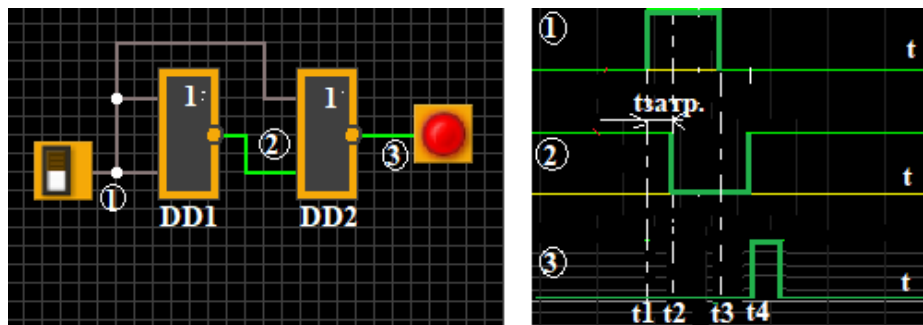
мента DD2 запізниться на час затримки  $\tau_{затр}$ , як зображено на часових діаграмах.

За необхідності збільшити тривалість вихідного імпульсу між точками 1 і 2 схеми (рис. 5.18) необхідно включити непарну кількість інверторів.



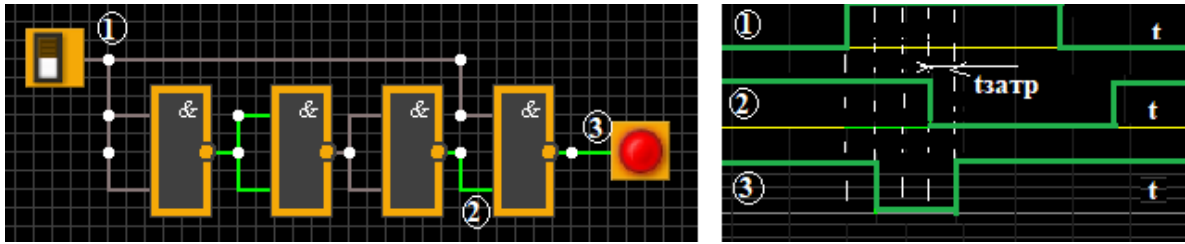
**Рисунок 5.17** – Схема виділення перепаду з «0» в «1» та часові діаграми її роботи

Схему виділення перепадів з «1» в «0» і часові діаграми її роботи зображено на рис. 5.18.

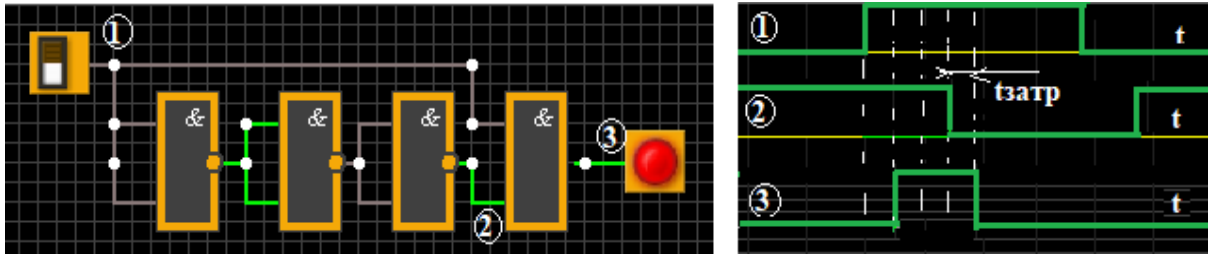


**Рисунок 5.18** – Схема виділення перепаду з «1» в «0» та часові діаграми її роботи

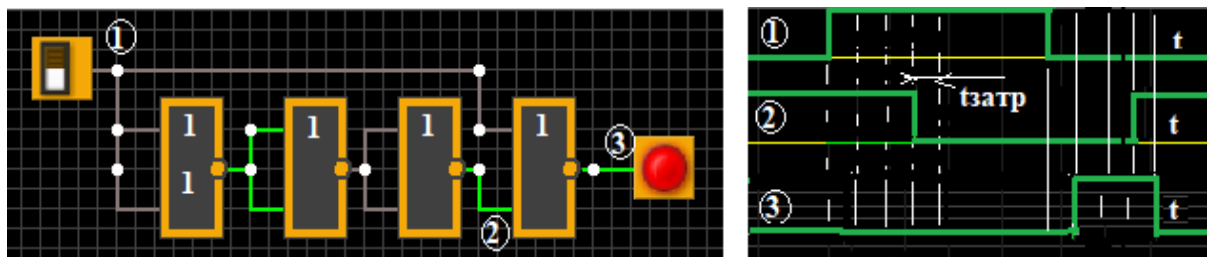
Через те, що на вході схем можуть існувати два види перепадів і на виході також можуть бути сформовані імпульси 2-х видів, можна побудувати чотири основні схеми виділення перепадів. Варіанти таких схем на логічних елементах подано на рис. 5.19 – 5.22.



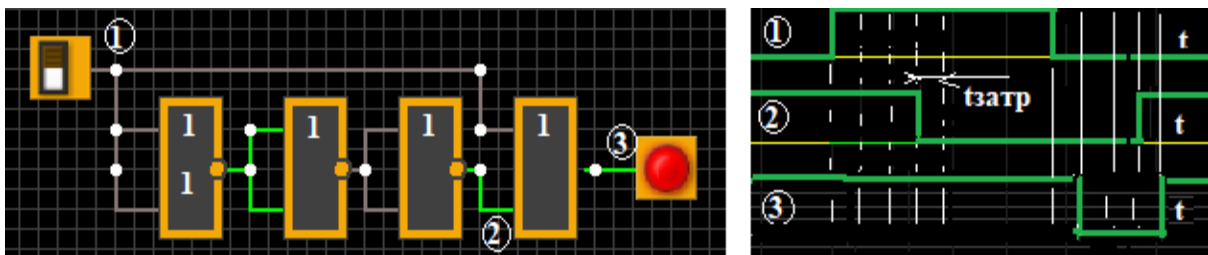
**Рисунок 5.19** – Схема виділення перепаду з «0» в «1» з вихідним імпульсом від’ємної полярності та часові діаграми її роботи



**Рисунок 5.20** – Схема виділення перепаду з «0» в «1» з вихідним імпульсом додатної полярності та часові діаграми її роботи



**Рисунок 5.21** – Схема виділення перепаду з «1» в «0» з вихідним імпульсом додатної полярності та часові діаграми її роботи



**Рисунок 5.22** – Схема виділення перепаду з «1» в «0» з вихідним імпульсом від’ємної полярності та часові діаграми її роботи

### 5.3 Генератори прямокутних імпульсів

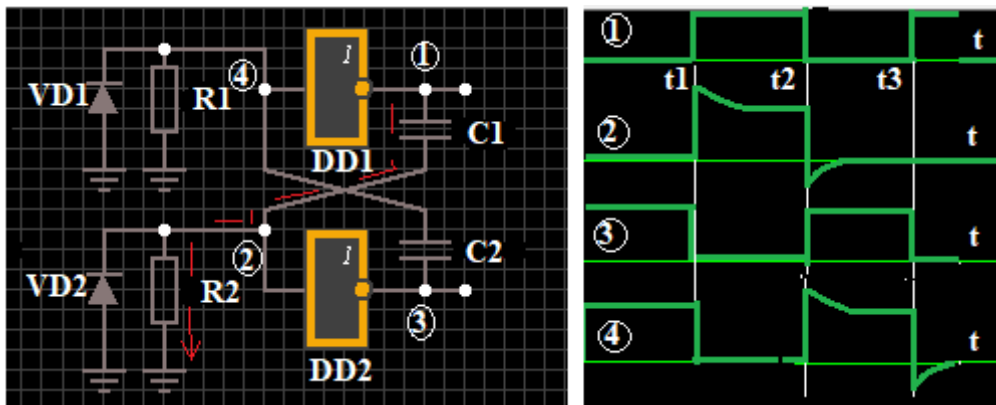
В техніці передачі інформації застосовується багато схем генераторів прямокутних імпульсів, виконаних на різній елементній базі. Найчастіше в сучасній техніці генератори прямокутних імпульсів виконують на інтегральних схемах – цифрових чи аналогових.

Робота більшості таких схем ґрунтується на періодичному заряджанні і розряджанні конденсаторів. Перемикають конденсатори із заряджання на розряджання так звані пускові пристрої. Такі пристрої перебувають у закритому стані поки напруга їх на вході не перевищує певного рівня. Якщо напруга на їх вході перевищить цей рівень, пристрій переходить у відкритий стан. Як пусковий пристрій, за застосування цифрових інтегральних мікросхем, використовують логічні елементи – інвертори.

#### 5.3.1 Мультивібратор

Як генератори прямокутних імпульсів дуже часто використовують мультивібратори. За своєю структурою, принципом роботи і характером роботи кола, що задає час, схема генератора загалом подібна до схеми такого мультивібратора на дискретних елементах.

Розглянемо принцип роботи мультивібратора, побудованого на логічних елементах (рис. 5.23). Припустимо, що інвертор DD1 закритий. На його виході встановлюється рівень логічної «1», конденсатор C1 заряджається вихідним струмом елемента DD1 по колу: вихід DD1 – ємність C1, резистор R2 – заземлення. На проміжку часу  $t_1 - t_2$ , доки напруга на резисторі R2 (вхід елемента DD2) перевищує пороговий рівень переключення елемента, він відкритий, на його виході логічний «0» і конденсатор C2 повністю розряджений через елемент DD2 і діод VD1.



**Рисунок 5.23** – Мультивібратор на логічних елементах

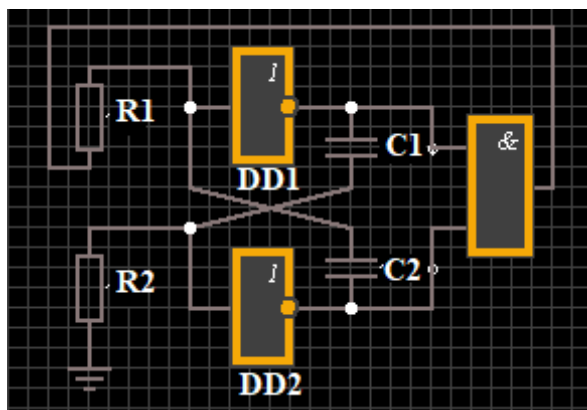
Із зростанням заряду конденсатора C1 його зарядний струм зменшується, зменшується додатна відносно землі напруга на резисторі R2 (вхід елемента DD2) і в той момент часу, коли вона буде дорівнювати пороговому значенню (момент часу  $t_2$ ), елемент DD2 починає закриватись, виникає регенеративний процес зміни струмів і напруг, який завершується повним закриттям DD2 і відкриттям DD1. Тепер на вході елемента DD2 встановлюється рівень логічної «1» і почне заряджатися конденсатор C2 по колу: вихід DD2, C2, резистор R1, заземлення. Конденсатор C1 розряджається по колу: відкритий елемент DD1, заземлення, діод VD2, C1.

Таким чином схема безперервно генерує прямокутні імпульси. Якщо вважати, що  $R1=R2=R3$ , а  $C1=C2=C$ , то частота коливань генератора визначається за формулою  $f = 1/1,4RC$ .

В наведеній на рис. 5.23 схемі може виникнути такий стан, коли під час підключення джерела живлення напруга живлення буде зростати доволі повільно за малих струмів і спад напруги ні на одному з резисторів R1 і R2 не перевищить порогового рівня переключення мікросхем  $U_{пор}$ . Тоді обидва елементи будуть закритими і автоколивань не буде. В цьому випадку необхідно подати запускарний імпульс від стороннього джерела на вхід одного з елементів для переведення цього елемента у відкритий стан. Таким чином наведена схема працює в режимі жорсткого самозбудження.

М'яке самозбудження забезпечується доповненням схеми елементом «І» (DD3), як показано на рис. 5.24. Якщо обидва елементи в початковий момент будуть закритими, то за рахунок зворотного зв'язку елемент DD1 відкриється і в мультивібраторі виникнуть автоколивання.





**Рисунок 5.24** – Схема мультивібратора на логічних елементах в режимі м'якого самозбудження

### 5.3.2 Генератори прямокутних імпульсів з одним RC колом

На практиці поширені схеми генераторів прямокутних імпульсів, в яких використовуються не два кола  $R_1C_1$  і  $R_2C_2$ , що задають час, а тільки одне коло RC. Схему такого генератора наведено на рис. 5.25. Розглянемо принцип його роботи. Припустимо, що інвертор DD1 закритий, в цьому випадку на його виході встановлюється рівень логічної «1». Конденсатор C починає заряджатись по колу: – вихід DD1 – резистор R – ємність C – відкритий інвертор DD2 – заземлення. Напряга на ємності збільшується за експоненціальним законом і прикладена до входу елемента DD1, резистор R2 під'єднаний додатною обкладинкою конденсатора C відносно землі. В момент  $t_2$  ця напруга досягає порогового рівня переключення елемента DD1 і він переходить в нульовий стан. В цей момент часу напруга на ємності дорівнює  $U_{дж} + U_{пор}$ , бо конденсатор C не може одразу змінити свій стан. На проміжку часу від  $t_2$  і  $t_3$  починається перезаряджання по колу: –вихід елемента DD2 – ємність C – резистор R1 – відкритий елемент DD1 – заземлення. Коли напруга на ємності досягає порогового рівня переключення елемента DD1, він закривається, на виході з'явиться стан логічної «1», і конденсатор C почне перезаряджатись. Але в момент  $t_3$  до початку перезаряджання ємності до входу елемента DD1 прикладено негативну на-

пругу на ємності, яка поступово зменшується внаслідок перезаряджання ємності на проміжку часу  $t_3 - t_4$ . Далі процес повторюється. Проміжок  $(t_1-t_2)$  – час заряджання ємності  $C1$  до  $U_{пор}$ ;  $(t_2-t_3)$  – час переключення елементів  $DD1$  і  $DD2$  і перезаряджання ємності  $C1$  до  $U_{пор}$ ;  $(t_3-t_4)$  – час переключення елементів  $DD1$  і  $DD2$  і перезаряджання ємності  $C1$  до  $U_{пор}$ .

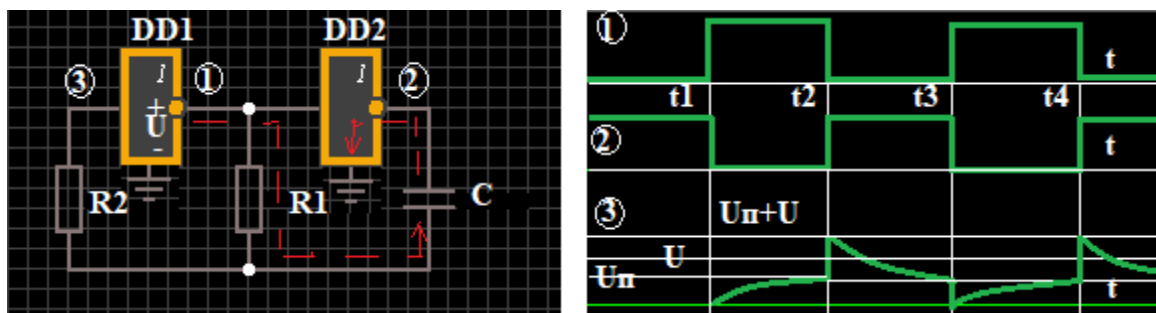


Рисунок 5.25 – Генератор з одним  $RC$  колом

### 5.3.3 Генератори прямокутних імпульсів на основі тригерів

Значне поширення одержали генератори на основі тригерів Шмітта. Тригером Шмітта називається пристрій, якій має різні рівні включення і виключення (пороги спрацьовування).

На рис. 5.26 наведено умовне позначення, передаточна характеристика (петля гістерезиса) і часові діаграми формування неінвертувальним тригером Шмітта вихідного сигналу  $U_{вих}$  з крутими фронтами з повільно змінюваною вхідною напругою  $U_i$ .

Вихідна напруга тригера  $U_{вих}$  стрибком змінюється з «0» на «1», якщо вихідна напруга досягне рівня  $U_{пвкл}$ , і стрибком змінюється з «1» на «0» за зміни вхідної напруги нижче  $U_{пвик}$ , тобто тригери Шмітта мають 2 ста-  
лих стани, але на відміну від звичайних тригерів мають один вхід, можуть управлятись як цифровими, так і аналоговими сигналами.

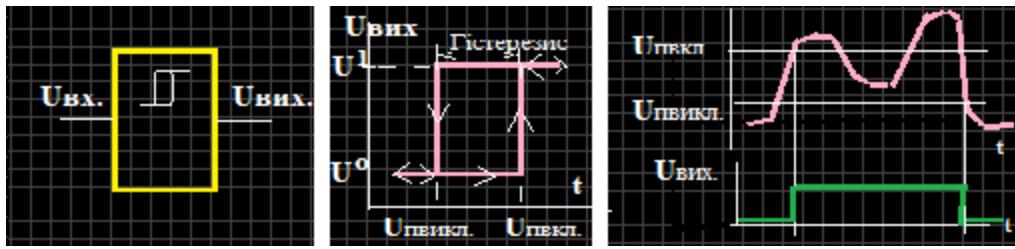


Рисунок 5.26 – Тригер Шмітта

Різниця рівнів  $U = U_{\text{пвкл}} - U_{\text{пвикл}}$  називається шириною петлі гістерезису. Тригери Шмітта часто використовують для формування прямокутних імпульсів, а також для фільтрації.

Розглянемо роботу автогенератора прямокутних імпульсів на базі інвертувального тригера Шмітта (рис. 5.27).

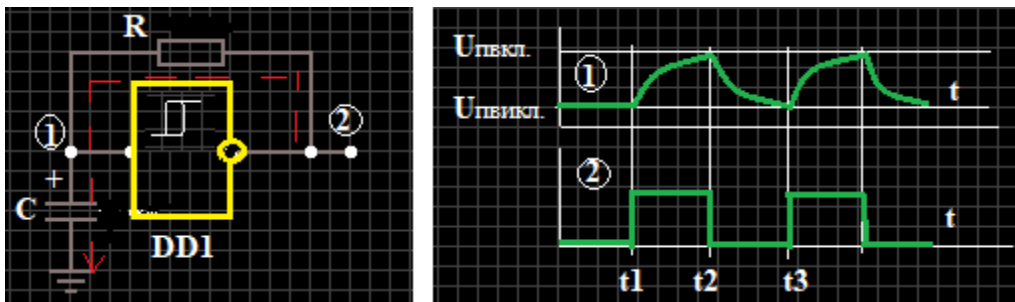


Рисунок 5.27 – Автогенератор на базі тригера Шмітта

Припустимо, що в момент часу  $t_1$  на виході тригера Шмітта рівень логічної «1». Конденсатор  $C$  заряджається по колу: –вихід тригера, –опір  $R$ , –ємність  $C$ , –заземлення. Напряга на виході конденсатора збільшується і коли вона досягне  $U_{\text{пвкл}}$ , тригер включається (переходить в одиничний стан і відразу інвертується в нульовий). Конденсатор почне розряджатись по колу: –верхня обкладинка конденсатора  $C$ , –опір  $R$ , –відкритий елемент  $DD1$ , –заземлення. Напряга на конденсаторі  $C$  зменшується до величини  $U_{\text{пвикл}}$  елемент  $DD1$  знову переходить в стан логічної «1» і процес повторюється.

### 5.3.4 Генератори прямокутних імпульсів на основі інтегральних ключів

Схему генератора прямокутних імпульсів з підвищеною навантажувальною здатністю наведено на рис. 5.28.

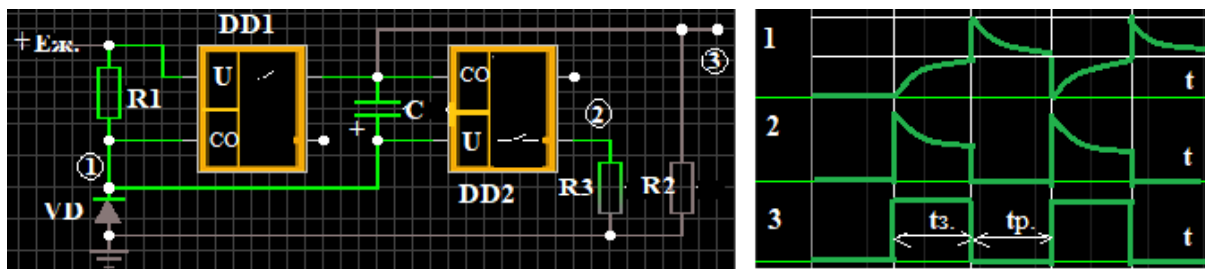


Рисунок 5.28 – Генератор з підвищеною навантажувальною здатністю

Схема працює таким чином. Після включення напруги обидва ключі розімкнені. Конденсатор С розряджений, починає протікати зарядний ток від джерела по колу: +E, резистор R1, конденсатор С, резистор R2, заземлення. Резистори вибрані так ( $R1 > R2$ ), щоб напруга на резисторі R2, яка управляє роботою ключа DD2, була меншою порогової і в подальшому зі зростанням заряду ємності С вона зменшувалася і дорівнювала 0.

В той самий час між точкою 1 і заземленням напруга, яка управляє ключом DD1, експоненціально збільшується і в деякий момент часу вже дорівнює порогу включення ключа DD1. Після його включення через резистор R2 пройде струм по колу: +E, резистор R2. Напруга на резисторі збільшується і вже дорівнює порогу включення ключа DD2. Він включається зразу ж після замкнення обох ключів, верхня обкладка конденсатора буде під'єднана до + джерела живлення. Заряд на ємності, який був накопичений, не може змінитись миттєво, тому напруга в точці 1 стрибком збільшується на величину  $E_{дж} + U_{порDD1}$ . Після цього напруга на ємності С починає зменшуватись зі сталою часу, яка дорівнює  $C1R1R3/R1+R3$ , і намагається досягти рівня напруги, який задається подільником напруги R1, R2. В про-

цесі перезаряджання ємності напруга на  $C$  зменшиться до порога виключення ключа DD1. Як результат – обидва ключі розімкнуться і знову почнеться процес заряджання конденсатора по колу:  $+E, R1, C, R2$  тощо.

Для захисту ключа DD2 від кидка напруги від'ємної полярності в схему вводиться діод VD2. Тривалість паузи між імпульсами регулюється за допомогою резистора R1.

#### 5.4 Схеми затримки імпульсів

У системах автоматики часто виникає потреба затримати вихідний імпульс на деякий час  $\tau$  відносно вхідного. Пристрої, які затримують вихідний імпульс відносно вхідного на деякий час, називають елементами затримки.

Найпростішими елементами затримки вхідних сигналів можуть слугувати логічні елементи TTL або КМОН структур. Як відомо, логічний елемент переключасться під дією вхідних прямокутних імпульсів не одразу, а через деякий проміжок часу, який обумовлений перехідними процесами всередині самого елемента. Середня затримка поширення сигналу для TTL мікросхем становить 18-20 нс, а для КМОН мікросхем – близько 200 нс. Умовне позначення елемента затримки зображено на рисунку 5.29.

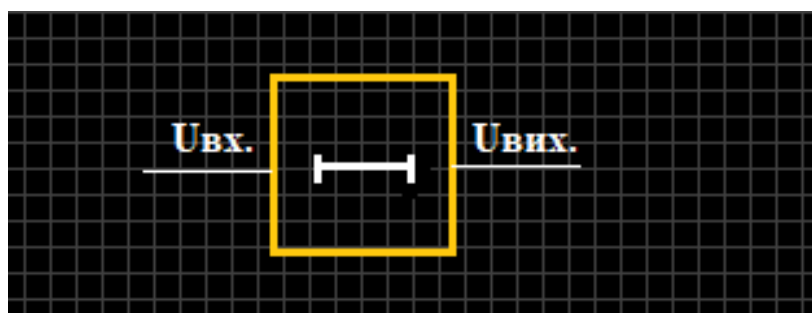


Рисунок 5.29 – Умовне позначення елемента затримки

Схему елемента затримки, яка не потребує застосування зовнішніх «навісних» елементів (резисторів, конденсаторів), та часові діаграми її роботи подано на рисунку 5.30.

Час затримки в таких схемах залежить від кількості послідовно з'єднаних елементів і визначається за формулою:

$$\tau_{\text{задод}\Sigma} = n \cdot \tau_1, \quad (5.2)$$

де  $n$  – кількість елементів (інверторів), які використовуються в схемі;

$\tau_1$  – час затримки одного елемента.



Рисунок 5.30 – Схема елемента затримки

Якщо необхідно значно збільшити час затримки, застосовують схему затримки, в якій використовують логічні елементи і RC-кола. Поширеною є схема затримки, зображена на рис. 5.31.

В початковий момент часу конденсатор  $C$  розряджений, на вході і виході DD1 рівень логічного нуля .



Рисунок 5.31 – Схема затримки сигналу на основі логічних елементів і RC-кіл

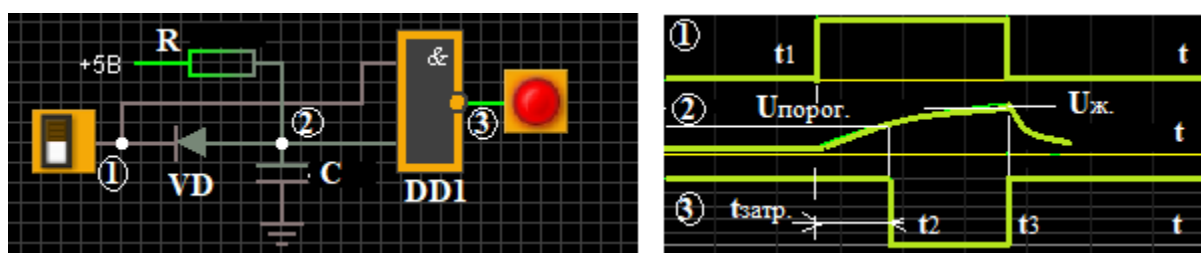
а) функціональна схема; б) часові діаграми роботи

За появи на вході схеми (момент  $t_1$ ) вхідного імпульсу конденсатор  $C$  починає заряджатись по колу:  $+U_{вх}$ , діод  $VD1$ , опір  $R$ , конденсатор  $C$ , заземлення. Як тільки напруга на ємності  $C$  досягне порогового значення переключення елемента, він переходить в стан логічної «1». У момент  $t_3$  після закінчення дії вхідного імпульсу конденсатор починає розряджатись по колу: верхня обкладка конденсатора  $C$ , опір  $R2$ , діод  $VD2$ , внутрішній опір джерела вхідного сигналу, заземлення, нижня обкладка конденсатора.

В такому випадку напруга на ємності зменшується і коли вона досягне порогового рівня напруги, елемент  $DD1$  знову переходить в попередній стан. Як видно з часових діаграм, наведена схема дає можливість встановлювати затримку переключення логічного елемента: резистором  $R1$  встановлюється затримка вхідного перепаду з «0» в «1», а резистором  $R2$  – затримка вихідного перепаду з «1» в «0» за сталої ємності.

Максимальний час затримки фронту і спаду імпульсу не може перевищувати 80 % від тривалості вхідного імпульсу.

Досить часто застосовують схему затримки фронту вхідного сигналу, зображену на рис. 5.32.



**Рисунок 5.32** – Схема елемента затримки з інвертованим вихідним сигналом

а) функціональна схема; б) часові діаграми роботи

Схема затримки працює таким чином. В початковий момент конденсатор  $C$  розряджений, на вході елемента І-НЕ логічний «0», на виході логі-

чна «1». За появи на вході елемента фронту вхідного імпульсу діод VD1 закривається і конденсатор С починає заряджатись по колу: +Еж , опір R, ємність С, заземлення.

В цьому випадку напруга на конденсаторі збільшується і коли вона досягне порогового рівня напруги переключення, елемент DD1 відкривається, на його виході з'явиться стан логічного «0». Цей стан буде зберігатись до спаду вхідного імпульсу (момент  $t_3$  на часовій діаграмі ). Після закінчення дії вхідного імпульсу вихідний стан логічного елемента перейде в попередній стан логічної «1». В цій схемі тривалість вихідного імпульсу не дорівнює тривалості вхідного, але час затримки вихідного імпульсу інвертованого відносно вхідного імпульсу:  $\tau_{затр.} = 1,5RC$ .

Існують і більш складні цифрові схеми затримки, які застосовують генератори прямокутних імпульсів, зсувні регістри і спеціальні схеми управління.

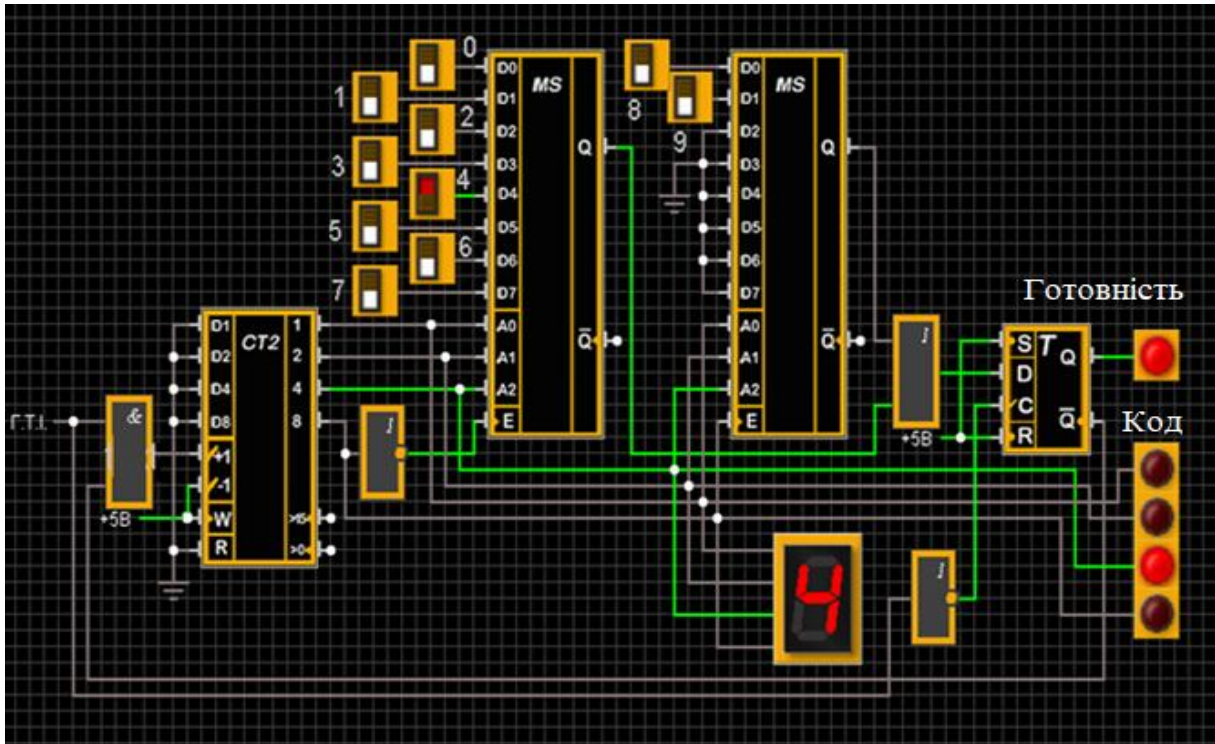
## 5.5 Формувачі кодових сигналів

Формування кодових сигналів виконується в кодувальних пристроях. Найбільше поширення отримали комбінаційні кодувальні пристрої та пристрої зі скануванням клавіатури. Перші розглянуто в розділі 4, далі зупинимось на кодувальних пристроях зі скануванням клавіатури, які порівняно з комбінаційними мають переваги: менші апаратні витрати, зменшення міжелементних зв'язків, наявність захисту від формування хибного коду за одночасного натискання декількох клавіш.

Кодувальний пристрій зі скануванням клавіатури (рис. 5.33) на 10 входів формує чотирирозрядний двійковий код і містить: блок сканування (послідовно ввімкнуті чотирирозрядний двійковий лічильник СТ2 і два восьмивходових мультиплектори MS), формувач сигналу «Готовність» на тригері Т і елементі АБО-НЕ. Термін «сканування клавіатури» передбачає



послідовне опитування станів всіх елементів. З появою сигналу «Готовність» призупиняється подача тактових імпульсів на лічильник СТ2, а стан лічильника відповідає значенню вихідного коду пристрою. З перемиканням клавіші пристрій повертається в вихідний стан.



**Рисунок 5.33** – Кодувальний пристрій зі скануванням клавіатури на 10 входів

Кодувальні пристрої зі скануванням матриці доцільно використовувати для пристроїв з розрядністю вихідного коду  $>5$  і кількістю клавіш введення  $\geq 16$ .

На рисунках 5.34, 5.35 наведено пристрої зі скануванням матриць  $4 \times 4$  і  $5 \times 5$  клавіш, відповідно.

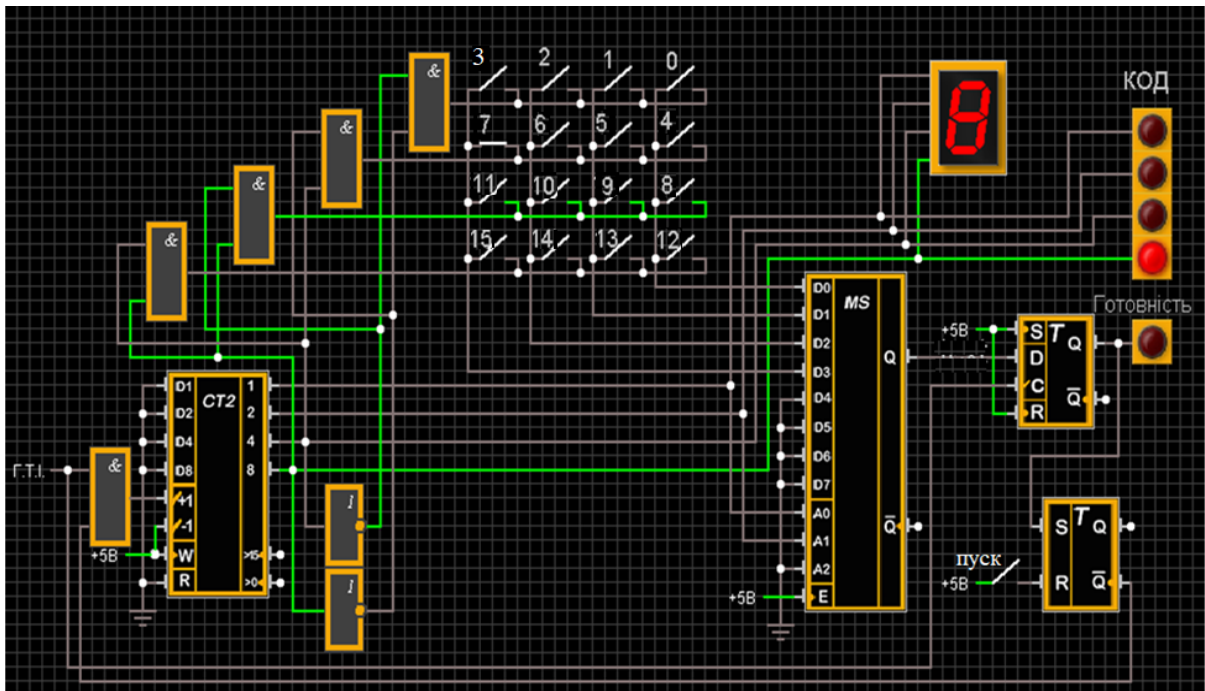


Рисунок 5.34 – Кодувальний пристрій зі скануванням матриці 4×4

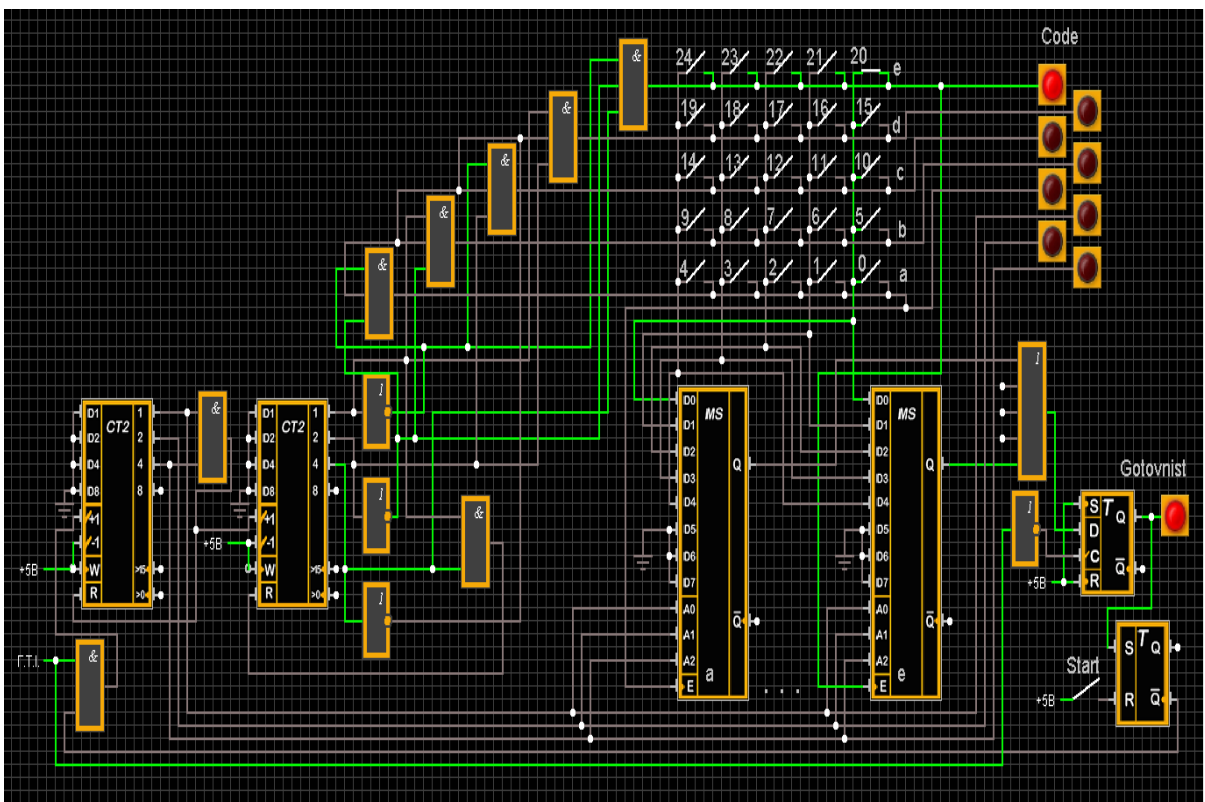


Рисунок 5.35 – Кодувальний пристрій зі скануванням матриці 5×5

## 6 ІНТЕГРАЛЬНИЙ ТАЙМЕР

Однією з найбільш широко застосовуваних простих аналого-цифрових інтегральних схем є інтегральний таймер типу КР1006ВИ1 (закордонні аналоги SE555, NE555) [8].

**Головне призначення** – генерація імпульсів як малої, так і великої тривалості (від мікросекунд до 1 години). До появи цієї ІС інтервали схеми генерувалися за допомогою різноманітних релаксаційних схем та інтеграторів. Спеціалізована ІС дозволила стандартизувати і спростити ці дуже поширені вузли.

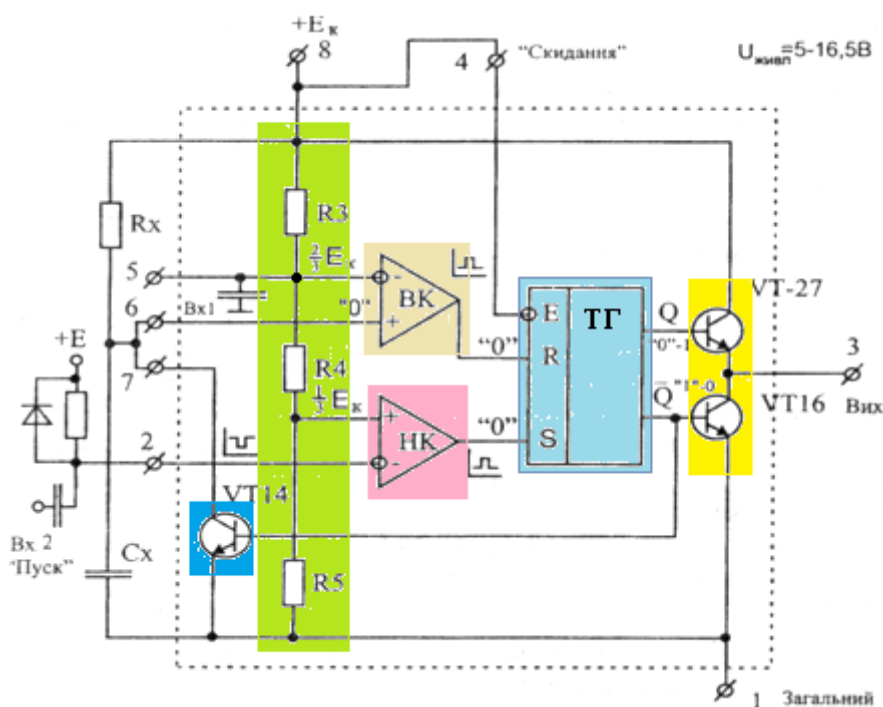
### 6.1 Робота таймера в режимі одновібратора

На рис. 6.1 зображено одновібратор на основі таймера КР1006ВИ1. До схеми залучено два зовнішні елементи  $R_x$ ,  $C_x$ , що задають час. У схемі чотири головних вузли: два компаратори – верхній (ВК) і нижній (НК), тригер пам'яті (ТГ) і розрядний транзистор VT14.

На опорні входи компараторів подаються потенціали від подільника напруги (три однакових опори  $R_{3-5}$ ). Нормальний стан VT14 – насичений (при цьому конденсатор  $C_x$  замкнений на землю). Це означає, що вихідний – початковий стан тригера нульовий, тобто на виході Q – рівень логічного нуля, а на виході  $\bar{Q}$  – рівень логічної одиниці, який відчиняє транзистори VT16, VT14 (на виході 3 – нуль) і (на виході 7 – теж нуль).

Якщо на вхід 2 нижнього компаратора подати від'ємний імпульс запуску і потенціал цього входу стане меншим напруги порога  $+E_k/3$ , компаратор, а за ним і тригер, переключується, на виході Q виникає додатний, а на виході  $\bar{Q}$  – від'ємний перепад (з 1 до 0). Цим стрибком транзистори VT14 і VT16 закриваються, обкладки  $C_x$  розмикаються, конденсатор починає заряджатися через резистор  $R_x$  від джерела живлення  $+E_k$ . Потенціал

на конденсаторі підвищується. Коли він перевищить напругу  $+E_k \cdot 2/3$  (порог спрацювання ВК), верхній компаратор переключиться і приведе тригер до вихідного стану. У цей момент VT14 відчиняється додатним перепадом і  $C_x$  із великою швидкістю розряджається на землю через його колектор-емітер. На цьому цикл роботи таймера закінчується. Він триває після імпульсу запуску на протязі часу  $T = 1,1R_x C_x$ .



**Рисунок 6.1** – Одновібратор на основі таймера КР1006ВІ1

Для скидання таймера, тобто для встановлення на його виході низької напруги, незалежно від напруги на виходах 2 і 6, використовується вихід 4 (скидання). Якщо напруга на цьому виводі менше 0,4 В (логічний «0»), напруга на виводі 3 дорівнює 0,1 В. Якщо напруга більше 1 В на виводі 4 – коло скидання включене і не впливає на роботу таймера.

Допоміжний вивід 7 являє собою відкритий колектор VT14. Цей вивід звичайно використовується для організації зворотного зв'язку з виходу на входи таймера.

Припустима зміна напруги на виводах 2, 4, 6 (стоп) і 7 (коло розряду) лежить у межах 0-16,5 В. Вивід 5 (контроль подільника) дозволяє додатко-

во управляти роботою таймера, змінюючи граничні напруги компараторів за постійної напруги живлення. Рекомендується шунтувати цей вивід конденсатором ємністю  $\approx 0,01$  мкФ, щоб уникнути впливу зовнішніх перешкод і пульсацій напруги живлення на точність роботи таймера.

Внутрішні компаратори таймера не рівносильні за своїм впливом на RC-тригер. Компаратор НК (нижній) має пріоритет під час встановлення стану тригера. Компаратор ВК (верхній) може управляти тригером тільки тоді, коли на вхід 2 подано високу напругу.

## 6.2 Робота таймера в режимі генератора прямокутних імпульсів

Генератор прямокутних імпульсів на основі таймера КР1006ВИ1 зображено на рис. 6.2.

Припустимо, що в момент часу  $t = 0$  починається стадія заряджання конденсатора  $C$  через резистори  $R_1$  та  $R_t$ . Вихідний стан :  $Q = 1$ ,  $\bar{Q} = 0$ . На виході ВК буде «0», а на виході НК буде «1», що підтримує стан заряду конденсатора. Як тільки напруга на конденсаторі стане вище опорної на НК, але менше опорної ВК, напруга на виході НК перейде в «0». Водночас на обох виходах компараторів будуть нулі. Тригер залишиться в попередньому стані.

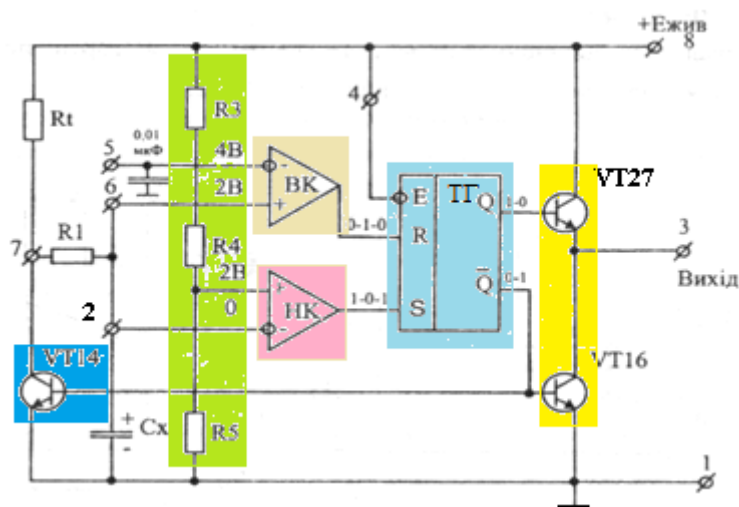
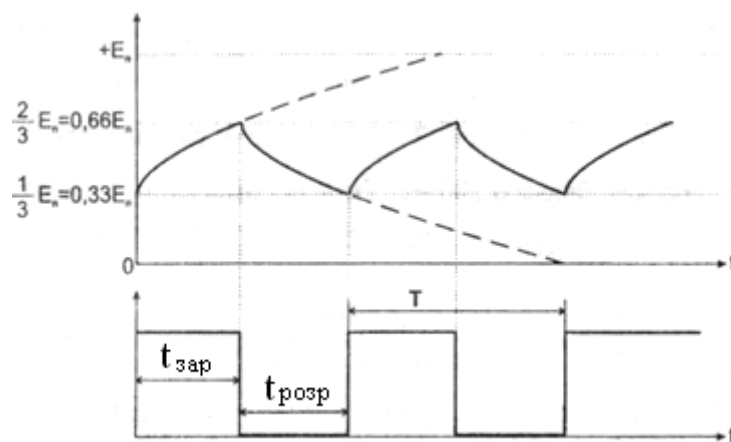


Рисунок 6.2 – Генератор на основі таймера КР1006ВИ1

Як тільки конденсатор зарядиться до напруги, більшої  $U_{он}$  ВК, він перейде до стану «1» і переключить тригер в нульовий стан (рис. 6.3). Відкриються два транзистори VT14 та VT16, і конденсатор  $C_1$  почне розряджатися по колу: верхня обкладка –  $R_1$ , емітер-колектор VT14 – заземлення.

Як тільки напруга на ємності стане меншою за  $U_{он}$  НК, тригер переключиться в одиничний стан і знову почнеться заряджання конденсатора.

$$\text{Період коливань } T = t_{\text{зар}} + t_{\text{розр}} \approx 0,7(R_t + 2R_1)C.$$



**Рисунок 6.3** – Часові діаграми роботи автогенератора

## 7 ЗВОРОТНИЙ ЗВ'ЯЗОК ТА ОПЕРАЦІЙНІ ПІДСИЛЮВАЧІ

Поняття «зворотний зв'язок» (ЗЗ) відноситься до числа поширених, воно давно вийшло за рамки вузької області техніки і вживається зараз в широкому значенні. В системах управління зворотний зв'язок використовується для порівняння вихідного сигналу з заданим значенням і виконання відповідної корекції. В ролі «системи» може виступати що завгодно, наприклад, процес управління автомобілем, що рухається по дорозі – за вихідними даними (положенням машини та її швидкістю) слідкує водій, який порівнює їх з очікуваними значеннями і відповідно корегує вхідні дані (за допомогою керма, перемикача швидкості, гальм).

В системі підсилювача вихідний сигнал має бути кратним вхідному, тому в підсилювачі зі зворотним зв'язком вхідний сигнал порівнюється з певною частиною вихідного сигналу [2, 8, 22, 27]. Розглянемо декілька прикладів використання ЗЗ в операційних підсилювачах.

Операційний підсилювач (ОП) – це диференціальний підсилювач постійного струму з високим коефіцієнтом підсилення і несиметричним виходом. Прообразом ОП може слугувати класичний диференціальний підсилювач з двома входами і несиметричним виходом; правда, потрібно зазначити, що реальні операційні підсилювачі мають значно вищі коефіцієнти підсилення (зазвичай порядку  $10^5$ - $10^6$ ) і менші вихідні імпеданси, а також допускають зміну вихідного сигналу майже в повному діапазоні напруги живлення (зазвичай використовують розщеплені джерела живлення  $\pm 15$  В). Умовне позначення ОП наведено на рис. 7.1.

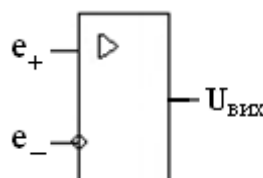


Рисунок 7.1 – Умовне позначення ОП

Один з входів ОП називається інвертувальним (-), який позначено кружком, а другий – неінвертувальним (+). Входи працюють таким чином: вихідний сигнал змінюється в додатному напрямі, коли потенціал на вході (+) стає більшим, ніж потенціал на вході (-), і навпаки.

Різницю напруг на входах ОП ( $e^+ - e^-$ ) називають **диференційним** (різницеvim) вхідним сигналом ОП, а півсуму цих сигналів  $(e^+ + e^-)/2$  – **синфазним** вхідним сигналом. Диференційна вхідна напруга, за якої вихідна напруга ОП дорівнює нулю, називається **напругою зміщення**.

Поведінку операційного підсилювача, охопленого петлею зворотного зв'язку, визначають основні правила:

I. Вихід операційного підсилювача прагне до того, щоб різниця напруги між його входами дорівнювала нулю.

II. Входи операційного підсилювача струм не споживають.

Ці правила створюють достатню основу для розгляду схем на операційних підсилювачах.

## 7.1 Інвертувальний підсилювач

Проведемо аналіз схеми, поданої на рис. 7.2.

1. Потенціал точки В дорівнює потенціалу «землі», отже, відповідно до правила I, потенціал точки А також дорівнює потенціалу «землі».

2. Це означає, що: а) спад напруги на резисторі  $R_2$  дорівнює  $U_{\text{вих}}$ ,

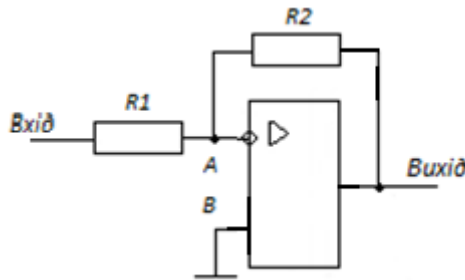
б) спад напруги на резисторі  $R_1$  дорівнює  $U_{\text{вх}}$ .

3. Скориставшись правилом II, отримаємо  $U_{\text{вих}}/R_2 = - U_{\text{вх}}/R_1$ , або **коефіцієнт підсилення за напругою  $K = U_{\text{вих}}/U_{\text{вх}} = - R_2/R_1$** .

Найчастіше точку В краще заземлити через резистор. Отже, аналіз схеми на ОП виявився навіть занадто простим. Але він не дозволяє судити про те, що насправді відбувається в схемі. Для того, щоб зрозуміти як пра-



цює зворотний зв'язок, уявімо собі, що на вхід подано деякий рівень напруги = 1 В.



**Рисунок 7.2** – Інвертувальний підсилювач

Для конкретизації допустимо, що резистор  $R_1$  має опір 10 кОм, а резистор  $R_2$  – 100 кОм. Тепер уявімо собі, що напруга на виході вирішила вийти з-під контролю і стала дорівнювати 0 В. Що станеться? Резистори  $R_1$  і  $R_2$  утворюють подільник напруги, за допомогою якого потенціал інвертувального входу підтримується 0,91 В. Операційний підсилювач фіксує незгодженість за входами, і напруга на його виході починає зменшуватися. Зміна триває до тих пір, поки вихідна напруга не досягне значення -10 В, в цей момент потенціали входів ОП стануть однаковими і дорівнюватимуть потенціалу «землі».

Аналогічно, якщо напруга на виході почне зменшуватися далі, стане меншою -10 В, то потенціал на вході інвертується, буде меншим потенціалу землі, внаслідок чого вихідна напруга почне зростати.

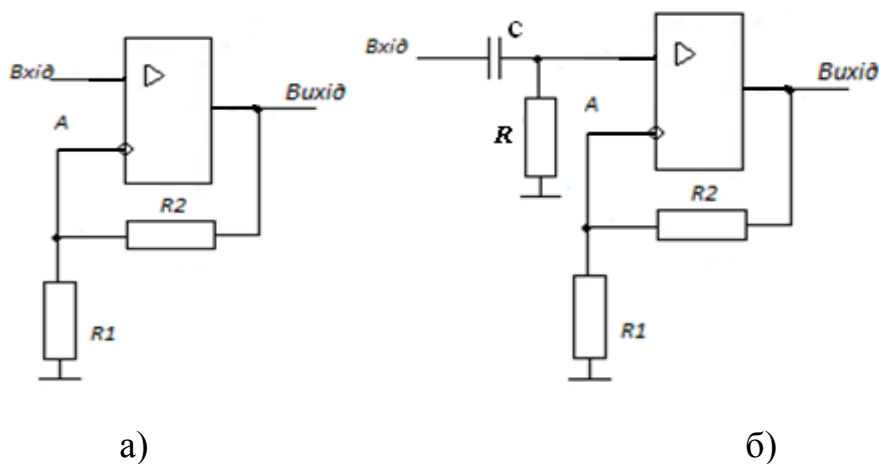
Недолік цієї схеми полягає в тому, що вона має малий вхідний імпеданс, особливо для підсилювачів з великим коефіцієнтом підсилення за напругою (за замкнутого кола ЗЗ), в яких резистор  $R_1$  (як правило, буває невеликим). Цей недолік усувається за допомогою використання схеми, поданої на рис. 7.3.

## 7.2 Неінвертувальний підсилювач

Розглянемо схему на рис. 7.3, а). Аналіз її також вкрай простий:

$$U_A = U_{ex}.$$

Напруга  $U_A$  знімається з дільника напруги:  $U_A = U_{вх} \cdot R_1 / (R_1 + R_2)$ .  
 Якщо  $U_A = U_{вх}$ , то коефіцієнт підсилення  $U_{вх} / U_{вх} = 1 + R_2 / R_1$ .



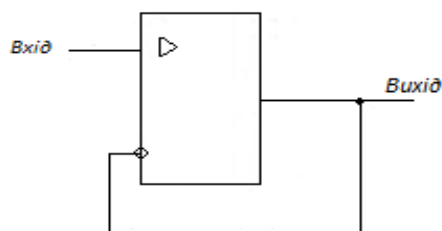
**Рисунок 7.3** – Неінвертувальний підсилювач

Вхідний імпеданс цього підсилювача нескінченний, становить принаймні декілька сотень мегаомів, вихідний імпеданс, як і в попередньому випадку, дорівнює часткам ома. Як і у випадку з інвертувальним підсилювачем, поведінка схеми за зміни напруги на входах аналогічна.

Ця схема також є підсилювачем постійного струму. Якщо джерело сигналу і підсилювач пов'язані між собою за змінним струмом, то для вхідного струму (дуже невеликого за величиною) потрібно передбачити заземлення, як показано на рис. 7.3, б).

### 7.3 Повторювач

На рис. 7.4 подано повторювач на основі операційного підсилювача.



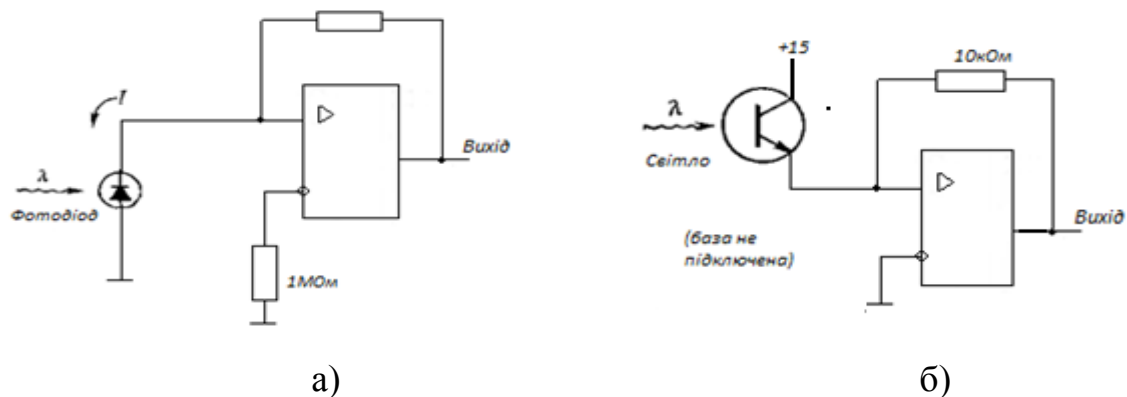
**Рисунок 7.4** – Повторювач

Він являє собою неінвертувальний підсилювач, в якому опір резистора  $R_1$  дорівнює нескінченності, а опір резистора  $R_2$  – нулю (коефіцієнт підсилення дорівнює 1).

Підсилювач з одиничним коефіцієнтом підсилення називають іноді буфером, оскільки він має ізолювальні властивості (великий вхідний опір і малий вихідний).

#### 7.4 Перетворювач струму на напругу

Найпростіший перетворювач струму на напругу – це резистор. Однак, у нього є недолік, який полягає в тому, що для джерела вхідного сигналу вхідний опір такого перетворювача не дорівнює нулю; цей недолік може виявитися дуже серйозним, якщо пристрій, що забезпечує вхідний струм, має дуже малий вихідний робочий діапазон або не може забезпечити сталість струму у разі зміни вихідної напруги. Прикладом може слугувати діодний фотоелемент (фотодіод) або сонячна батарея (рис. 7.5, а).



**Рисунок 7.5** – Перетворювачі струму на напругу

У таку схему часто включають фотопомножувачі і фототранзистори (обидва елементи під дією світла починають споживати струм від позитивного джерела живлення) (рис. 7.5, б).

## 7.5 Диференційний підсилювач

На рис. 7.6 подано схему диференційного підсилювача, коефіцієнт підсилення якого дорівнює  $R_1/R_2$ .

Часто на практиці необхідно ввести в вихідний сигнал диференційного підсилювача постійну складову. Це можна реалізувати шляхом під'єднання джерела зміщення до інвертувального входу ОП.

Якщо вхідний сигнал змінюється в межах  $(-U_2$  до  $+U_2)$  та  $E_{зм.} = -U_1$ , то вихідний сигнал буде змінюватись від 0 до  $\kappa \cdot U_2$ , де коефіцієнт підсилення  $\kappa$  визначається відношенням резисторів  $R_2$  до  $R_1$ .

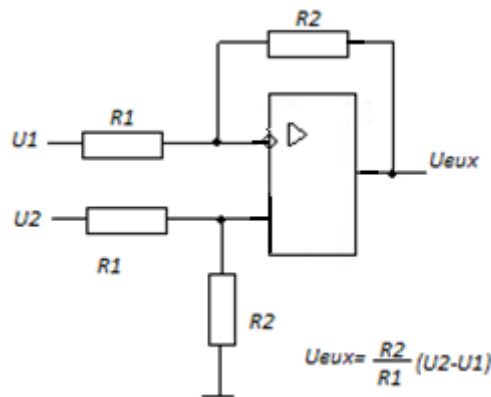


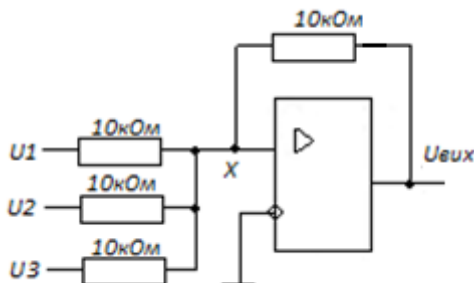
Рисунок 7.6 – Диференційний підсилювач

## 7.6 Підсумовувальний підсилювач

Схема, показана на рис. 7.7, є одним із варіантів інвертувального підсилювача. Точка «х» має потенційний нуль, тому вхідний струм дорівнює  $U_1/R + U_2/R + U_3/R$ , звідки  $U_{вих} = - (U_1 + U_2 + U_3)$ .

Зверніть увагу, що вхідні сигнали можуть бути як позитивними, так і негативними. Крім того, вхідні резистори не обов'язково мають бути однаковими. Якщо вони неоднакові, то отримаємо зважену суму. Наприклад, схема може мати чотири входи, на кожному з яких напруга дорівнює +1 В або 0 В; входи являють собою двійкові значення: 1, 2, 4 і 8. Якщо викорис-

товувати резистори з опором 10, 5, 2,5 і 1,25 кОм, то вихідна напруга (у вольтах) буде пропорційна двійковому числу, яке задано на вході. Цю схему неважко розширити до декількох цифр. Описаний метод подання чисел лежить в основі цифро-аналогового перетворення, правда, на вході перетворювача зазвичай використовують іншу схему (резистивну сітку  $R-2R$ ).

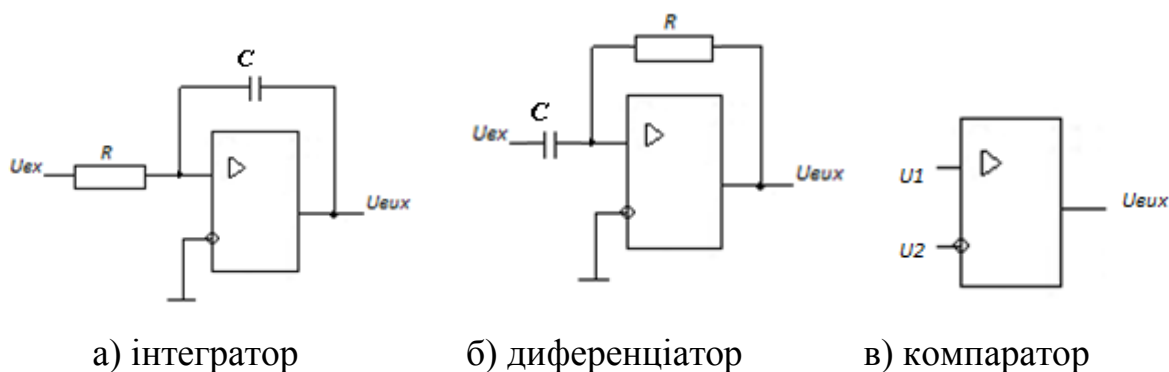


**Рисунок 7.7** – Підсумовувальний підсилювач

## 7.7 Інтегратори

На основі операційних підсилювачів можна будувати майже ідеальні інтегратори, на які не поширюється обмеження  $U_{вих} \ll U_{ех}$ . На рис. 7.8 показано таку схему. Вхідний струм  $U_{ех}/R$  протікає через конденсатор  $C$ . Через те, що інвертувальний вхід має потенційне заземлення, вихідна напруга визначається таким чином:

$$U_{ех}/R = -C(d U_{вих}/dt) \text{ або } U_{вих} = -1/RC \int U_{ех} dt + const.$$



а) інтегратор

б) диференціатор

в) компаратор

**Рисунок 7.8** – Схеми включення ОП

Безумовно, вхідним сигналом може бути і струм. В цьому випадку резистор не потрібен.

## 7.8 Диференціатори

Диференціатори подібні інтеграторам, в них тільки міняються місцями резистор  $R$  і конденсатор  $C$  (див. рис. 7.8, б).

Інвертувальний вхід ОП заземлений, тому зміна вхідної напруги з деякою швидкістю викликає появу струму  $I=C(dU_{ex}/dt)$  і, відповідно, вихідної напруги  $U_{вих} = -RC(d U_{ex}/dt)$ .

## 7.9 Компаратори

Найпростішим компаратором (перетворювачем неперервного сигналу в дискретний) є диференційний підсилювач (див. рис. 7.8, в). Напруга на виході компаратора може знаходитись на одному з двох фіксованих рівнів: на верхньому, якщо напруга на його неінвертувальному вході більша за напругу на інвертувальному вході, і на нижньому – за протилежного співвідношення цих напруг. Хоча як компаратор часто використовують звичайний операційний підсилювач, промисловість випускає спеціальні інтегральні схеми компараторів. Компаратори перемикаються значно швидше, ніж ОП, а вихідна напруга компаратора змінюється в межах, що дозволяє безпосередньо здійснювати управління логічними інтегральними схемами.

## 7.10 Розрахунок кіл, які містять ОП, за допомогою графів

Порівняно з традиційними методами розрахунку електричних кіл, графи дозволяють більш наочно продемонструвати взаємний вплив різноманітних змінних [7]. Потрібно відзначити, що існують різноманітні типи графів. Зокрема, узагальнений сигнальний граф, який можна будувати, виходячи безпосередньо з аналізованої схеми, складається з вузлів (вершин) і напрямлених гілок. Його особливістю є наявність зважених вузлів, які позначаються колом із зазначенням невідомого всередині. Вузли графа, які не мають вхідних гілок, називаються витокami (незваженими вузлами), позначаються точками без зазначення ваги.

Часто під час розрахунку електричних кіл ОП вважають ідеальним. Граф такого ОП наведено на рис. 7.9.

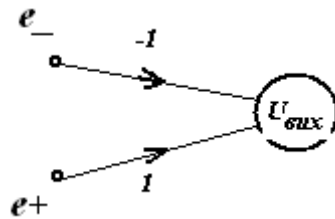


Рисунок 7.9 – Граф ідеального ОП

**Приклад побудови графа.** Необхідно визначити залежність  $U_{вх}$  від  $U_{вх}$  для кола, схему якого наведено на рис. 7.10, а, за умови, що ОП можна вважати ідеальним. Граф цієї схеми наведено на рис. 7.10, б). Необхідно відмітити схожість схеми і графа.

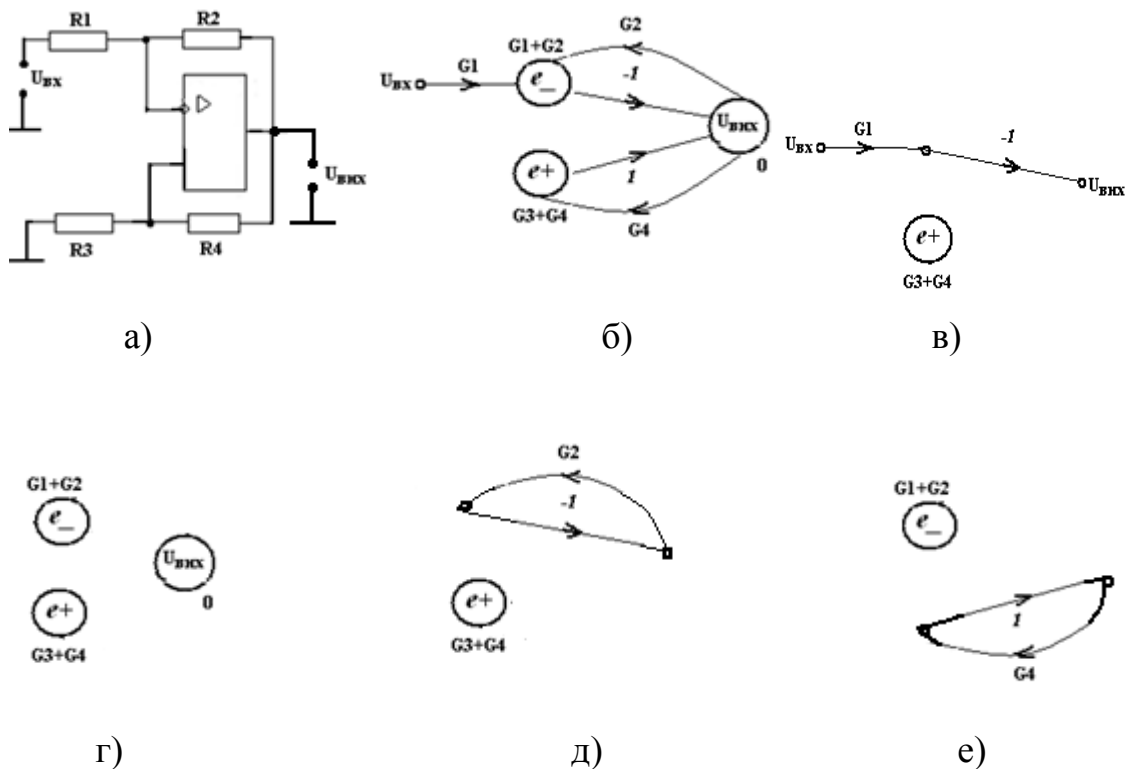


Рисунок 7.10 – Приклад розрахунку активного кола за допомогою графа

**Розв'язання графа.** Невідомий параметр  $X_g = U_{вх}$ , який відповідає одному із зважених вузлів графа, визначається у вигляді лінійної комбінації всіх  $n$  відомих параметрів  $a_k$  незважених вузлів (витоків):

$$X_g = \sum_{k=1}^n W_{kg} \cdot a_k. \quad (7.1)$$

Коефіцієнт  $W_{kg}$  визначається за формулою Мезона:

$$W_{kg} = \sum_{i=1}^m P_i \cdot \frac{\Delta_i}{\Delta}, \quad (7.2)$$

де  $P_i$  – коефіцієнт передачі  $i$ -го шляху від вузла  $a_k$  до вузла  $X_g$ ;

$m$  – загальна кількість таких шляхів;

$\Delta_i$  – визначник частини графа, який не торкається  $i$ -го шляху;

$\Delta$  – визначник повного графа.

**Шлях** – це послідовність однонаправлених гілок. Шлях не може проходити двічі через один і той самий вузол. Коефіцієнт передавання шляху дорівнює добутку коефіцієнтів передавання гілок, які входять до нього. Замкнений шлях називається **контуром**. Контур, в який входить лише одна гілка, носить назву **петлі**. Петлю, яка охоплює деякий вузол узагальненого графа, можна виключити, зменшивши вагу вузла на коефіцієнт її передавання.

Частина графа, яка не торкається  $i$ -го шляху, може бути отримана виключенням із графа всіх вузлів, через які проходить цей шлях, а також всіх гілок, які входять в ці вузли і виходять з них.

Визначник графа  $\Delta$  дорівнює сумі визначників  $\delta_j$  всіх елементарних графів, які входять в нього:  $\Delta = \sum \delta_j$ .

**Елементарний граф** – це сукупність контурів та зважених вузлів, які не торкаються один одного і через які не проходять ці контури. Контури вважаються недоторканими, якщо вони не мають загальних вузлів.

Визначник елементарного графа  $\delta_j$  обчислюється як добуток ваг, які входять до його вузлів, і взятих з протилежним знаком коефіцієнтів пере-



дачі контурів. Якщо під час знаходження визначника  $\Delta_i$ , який відповідає  $i$ -му шляху  $P_i$ , з'ясується, що цей шлях проходить через всі зважені вузли графа, то вважається, що  $\Delta_i = 1$ .

**Приклад рішення** розглянемо відносно графа (див. рис. 7.10, б): знайдемо напругу  $U_{вих}$ . Граф в цьому випадку містить тільки один незважений вузол  $U_{вх}$ . Тому сума в формулі (7.1) буде містити єдиний доданок  $U_{вих} = W * U_{вх}$ . Під час знаходження коефіцієнта  $W$  враховуємо, що від вузла  $U_{вх}$  до вузла  $U_{вих}$  веде єдиний шлях і складається з двох гілок з коефіцієнтами передавання  $G_1$  та  $-1$  (див. рис. 7.10, в). Відповідно коефіцієнт передавання цього шляху визначається рівністю  $P_1 = G_1 * (-1)$ . Якщо виключити з вихідного графа (див. рис. 7.10, б) всі вузли, через які проходить цей шлях ( $U_{вх}$ ,  $e^-$ ,  $U_{вих}$ ), а також всі гілки, які входять в ці вузли або виходять з них, то залишиться лише один зважений вузол  $e^+$  (див. рис. 7.10, в). Таким чином, відповідний визначник цього шляху буде дорівнювати вазі цього вузла:  $\Delta_1 = G_3 + G_4$ .

Для знаходження визначника  $\Delta$  повного вихідного графа (див. рис. 7.10, б) виділимо всі елементарні графи, які містяться в ньому. Ці елементарні графи наведено на рис. 7.10, г), д), е). Перший з них (див. рис. 7.10, г) складається з трьох зважених вузлів, а його визначник дорівнює добутку ваг цих вузлів  $\delta_1 = (G_1 + G_2) * (G_3 + G_4) * 0$ . Другий і третій графи (див. рис. 7.10, д), е) містять по одному контуру та одному зваженому вузлу. Їх визначники можна знайти як добутки взятого з протилежним знаком коефіцієнта передавання контуру і ваги вузла:  $\delta_2 = -(-) G_2 * (G_3 + G_4)$ ;  $\delta_3 = -1 * G_4 * (G_1 + G_2)$ .

Скориставшись формулою Мезона (7.2), враховуючи, що  $G_k = 1/R_k$ , остаточно отримаємо:

$$\frac{U_{вих}}{U_{вх}} = \frac{P_1 \cdot \Delta_1}{\delta_1 + \delta_2 + \delta_3} = \frac{-R_2 / R_1}{1 - \frac{\left(\frac{R_2}{R_1} + 1\right)}{\left(\frac{R_3}{R_4} + 1\right)}}$$

## 8 ПЕРЕТВОРЮВАЧІ АНАЛОГОВИХ СИГНАЛІВ

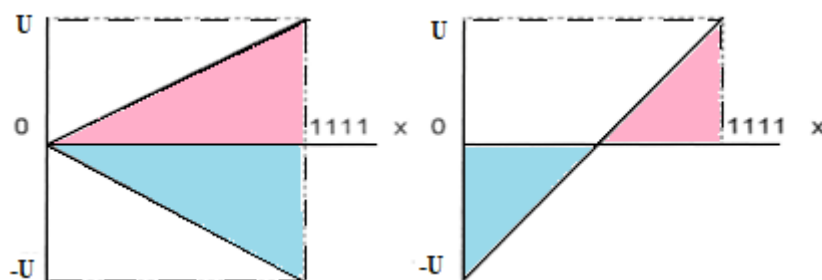
Крім чисто «цифрового» сполучення, часто потрібно перетворити аналоговий сигнал в число, пропорційне амплітуді сигналу і навпаки. Це відіграє важливу роль у тих випадках, коли комп'ютер чи процесор реєструє або контролює хід експерименту чи технологічного процесу або коли цифрова техніка використовується для виконання традиційної аналогової роботи. Аналого-цифрове перетворення (АЦП) використовується в галузях, де для забезпечення перешкодостійкого і шумозахищеного передавання аналогова інформація перетворюється на проміжну цифрову форму (наприклад, «цифрова звукотехніка» або імпульсно-кодова модуляція). Це потрібно в різноманітних вимірювальних засобах (цифрових універсальних вимірювальних приладах, осцилографах з цифровою пам'яттю та інших), а також в пристроях генерації та обробки сигналів таких, як цифрові синтезатори коливань і пристрої шифрування даних [8, 26, 28].

ЦАП – пристрій, який створює на виході аналоговий сигнал (струм та напругу), пропорційний вхідному сигналу. Водночас значення вихідного сигналу залежить від опорної напруги, що визначає повну шкалу вихідного сигналу. Якщо замість опорної напруги використати будь-який аналоговий сигнал, то вихідний сигнал ЦАП буде пропорційний добутку вхідних цифрових та аналогових сигналів.

В АЦП цифровий код на виході визначається відношенням перетворювального вхідного аналогового сигналу до опорного сигналу, що відповідає повній шкалі. Якщо опорний сигнал змінюється за будь-яким законом, то цифровий сигнал на виході АЦП буде пропорційний відношенню двох аналогових (вхідного та опорного) сигналів. В цьому випадку АЦП можна розглядати як вимірювач відношень або подільник напруги з цифровим виходом.

Залежно від галузі застосування на вході ЦАП або виході АЦП можуть бути або однополярні цифрові коди, або біполярні. До перших відно-

сяться прямий двійковий та двійково-десятковий коди, до других – двійковий код зі зміщенням. В стандартному двійковому коді старший розряд має вагу  $2^{-1} = 1/2$  від значення повної шкали (рис. 8.1). Розряд, що йде за старшим, має вагу  $2^{-2} = 1/4$  і так далі до молодшого розряду з вагою  $1/2^m$ , де  $m$  – число розрядів перетворювача.



**Рисунок 8.1** – Графіки відповідності цифрових кодів та аналогових напруг

Сума всіх розрядів визначає значення повної шкали перетворювача. Двійковий код зі зміщенням відрізняється від прямого тим, що нуль двійкового числа та нуль аналогової величини не збігаються, як в стандартному двійковому коді, а зміщені таким чином, що в старшому розряді встановлюється «0» для всіх від'ємних та «1» для всіх додатних величин. Тому старший розряд визначає полярність цифрового коду.

З рис. 8.1 видно, що прямий код дає можливість використовувати в два рази більшу роздільність порівняно зі зміщеним.

**Основними параметрами**, що характеризують ЦАП та АЦП є:

**Статичні характеристики:** нелінійність, монотонність, коефіцієнт перетворення, абсолютна та відносна похибки, зміщення нуля, роздільна здатність.

**Динамічні характеристики:** час встановлення, час перетворення.

Роздільна здатність визначає число дискретних значень вихідного сигналу перетворювача, що становлять його межі перетворення. Може виражатись у відсотках або в частках до повної шкали. Дванадцятирозрядний АЦП має роздільну здатність  $1/4096$  або  $0,0245\%$  повної шкали.

Нелінійність характеризується відхиленням значень реальної характеристики перетворювача від прямої. Перетворювач вважається лінійним, якщо його максимальна похибка лінійності не перевищує половини молодшого розряду перетворювача.

Монотонність перетворювача означає, що за кожного приросту вхідного сигналу відбувається приріст вихідного сигналу – перша похідна від неперервної функції вихід-вхід має бути меншою нуля.

Коефіцієнт перетворення – це відношення приросту вихідного сигналу до приросту вхідного сигналу, який визначає кут відхилення характеристики. Для ідеального ЦАП відхилення характеристики має бути таким, щоб за ввімкнення усіх розрядів вихідна напруга перетворювача була меншою за опорну напругу на величину молодшого розряду.

Ступінь відхилення реального значення коефіцієнта перетворення від розрахункового характеризується абсолютною похибкою, під якою розуміють різницю між номінальним значенням напруги повної шкали перетворювача та фактичним його значенням.

Похибка нуля (зміщення) для ЦАП – це вихідна напруга ЦАП з нульовим вхідним кодом, а для АЦП – середнє значення вхідної напруги АЦП, яке необхідне для отримання нульового коду на його виході. Час встановлення вихідного сигналу ЦАП є важливим динамічним параметром та визначається як інтервал часу, впродовж якого вихідний аналоговий сигнал ЦАП за зміни кодової комбінації на його цифрових входах досягає свого встановленого значення, що не перевищує граничної похибки.

Розглянуті характеристики допомагають вибрати тип перетворювача для конкретного застосування в системах та пристроях, що розробляються. Практичну реалізацію багаторозрядних схем АЦП та ЦАП раціонально здійснювати на основі мікросхем, які містять основні блоки перетворювачів в одному корпусі.

## 9 СИМУЛЯТОР ЕЛЕКТРИЧНИХ СХЕМ

Комп'ютерна програма Sky Simulator є освітнім інструментом для розробки і моделювання електричних схем та для проведення лабораторного практикуму.

Графічний інтерфейс та панель інструментів дозволяють складати схеми в онлайн-режимі, тобто «на льоту», без необхідності вимкнення або увімкнення електричної схеми.

Програма має базовий набір аналогових та цифрових компонентів, які дозволяють складати практично всі необхідні для навчального процесу схеми.

Завдяки осцилографу можна відслідковувати та аналізувати стани схеми у необхідних місцях, а також спостерігати за перехідними процесами завдяки можливості зміни швидкості симуляції.

Однією з ключових особливостей програми є можливість спостерігати за рухом струму та за навантаженням на компонентах та вузлах схеми.

### 9.1 Інтерфейс програми

Інтерфейс програми складається з таких панелей (рис. 9.1):

- 1 – Меню;
- 2 – Панель інструментів;
- 3 – Панель електричних компонентів;
- 4 – Панель налаштування симуляції;
- 5 – Панель електричної схеми;
- 6 – Панель осцилографа.

Опис пунктів та функцій меню програми наведено в табл. 9.1.

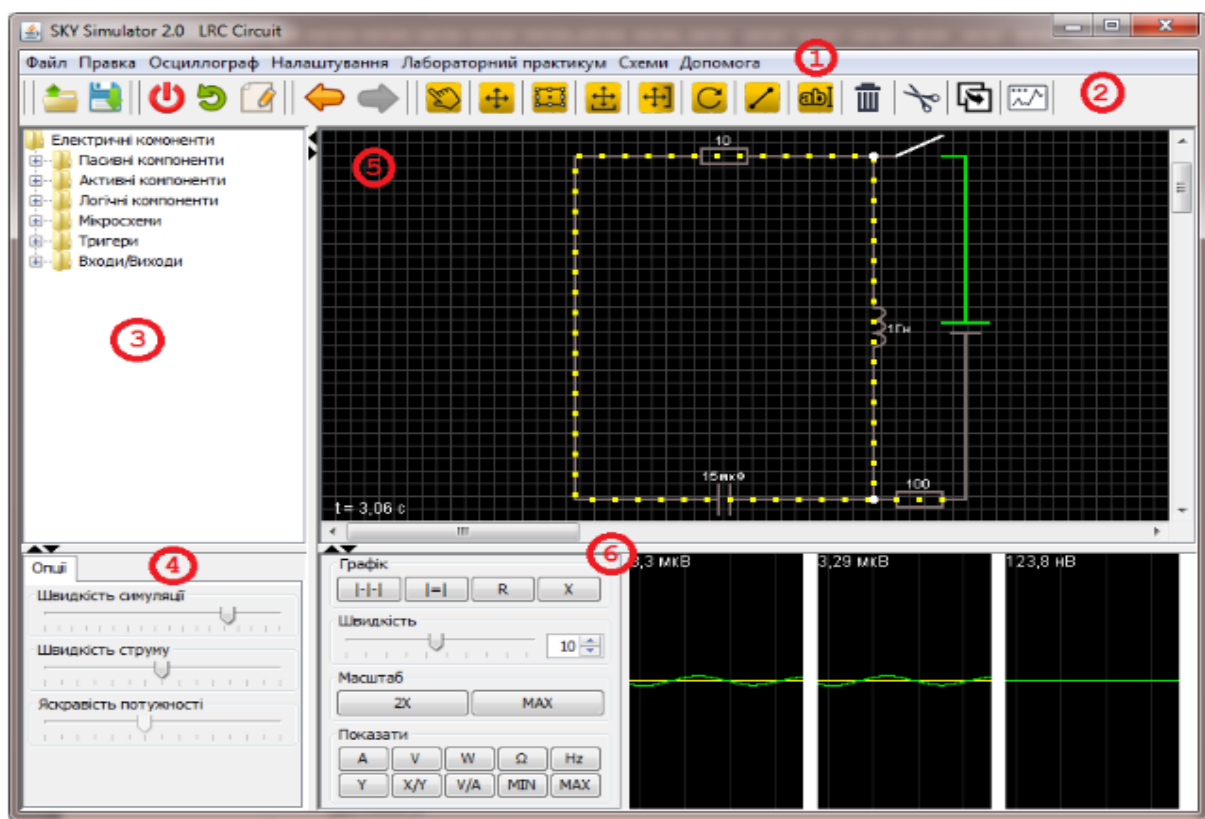
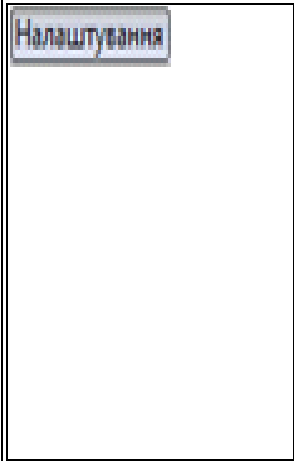
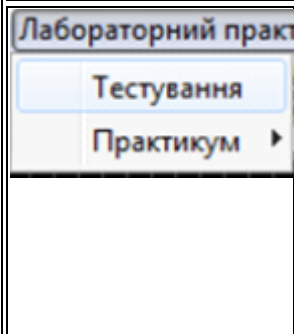
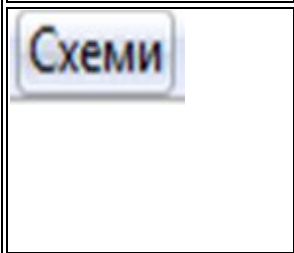
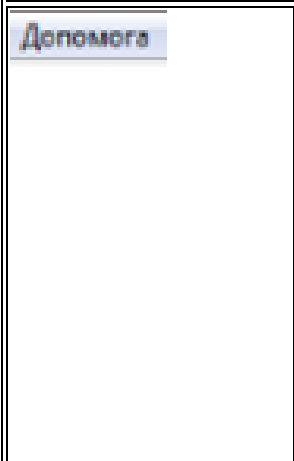


Рисунок 9.1 – Інтерфейс програми

Таблиця 9.1 – Функції меню програми

Позначення	Пояснення
	Меню => Файл – За цього пункту меню програми можна відкривати, зберігати електричні схеми та виходити з програми
	Меню => Правка – За допомогою цього пункту меню можна відмінити, повторювати операції, які були зроблені на панелі електричної схеми (5). А також вирізати, копіювати, вставляти та виділяти будь-які електричні компоненти, додані на панель електричної схеми (5)
 Об'єднати Роз'єднати	Меню => Осциллограф – За допомогою цього пункту меню можна об'єднувати графіки кожного каналу осцилографа (6) в один, і навпаки – роз'єднувати їх

## Продовження таблиці 9.1

	<p>Меню =&gt; Налаштування – За допомогою цього пункту меню можна налаштовувати відображення фону панелі електричної схеми (5) та електричних компонентів, які додані до неї. Пункт «Інші налаштування» показує додаткові параметри схеми на панелі налаштування симуляції (4). Деталі налаштування симуляції описано нижче</p>
	<p>Меню =&gt; Лабораторний практикум – У цьому меню можна відкрити вікно тестування та пройти необхідний тест. Підменю «Практикум» завантажується динамічно з папки програми – «SkySimulator\docs\lab\» і відображає структуру її файлів</p>
	<p>Меню =&gt; Схеми – Це динамічне меню, яке завантажується автоматично з папки «SkySimulator\circuits\» і налаштовується за допомогою конфігураційного файлу «SkySimulator\config\setuplist.txt»</p>
	<p>Меню =&gt; Допомога – У цьому пункті меню можна подивитись поточну версію програми, дату останнього оновлення та наявність нових оновлень. Підменю «Довідка» завантажується динамічно з папки «SkySimulator\docs\help\» і містить інформацію з описом програми, інструкцією з користування нею та налаштуваннями</p>





### Панель інструментів

Панель інструментів (рис. 9.2) використовується для спрощення та прискорення користування програмою. Вона складається з чотирьох частин (табл. 9.2 та 9.3).









**Рисунок 9.2** – Панель інструментів

**Таблиця 9.2** – Опис частин панелі інструментів







Частина	Пояснення
	відповідає за відкриття та збереження схеми (див. «Меню => Файл»)
	для призупинення, перезавантаження, очищення схеми
	для відміни або повторення змін, які відбулись на панелі електричної схеми (5)
	використовується для керування електричними компонентами

**Таблиця 9.3** – Частина меню для роботи з електричними компонентами

Позначення	Пояснення
	переміщує виділений(і) компонент(и)
	пересуває полотно всієї схеми разом з її компонентами
	виділяє компоненти на схемі
	зсуває усі компоненти вверх чи вниз по вертикалі
	зсуває усі компоненти вліво чи вправо по горизонталі
	повертає виділений компонент на необхідну кількість градусів чи змінює його розміри (для деяких компонентів є неможливим, наприклад, для тригерів і мікросхем)



### Продовження таблиці 9.3

	з'єднує дві точки на схемі електричним провідником
	додає написи на схему (формат тексту налаштовується у вкладці «Параметри»)
	видаляє виділений(і) компонент(и) зі схеми (див. «Меню => Правка»)
	вирізає виділений(і) компонент(и) зі схеми (див. «Меню => Правка»)
	копіює виділений(і) компонент(и) зі схеми (див. «Меню => Правка»)
	відкріплює або закріплює панель осцилографа (б) на головному вікні

### Панель інструментів

Усі електричні компоненти знаходяться на панелі (3).

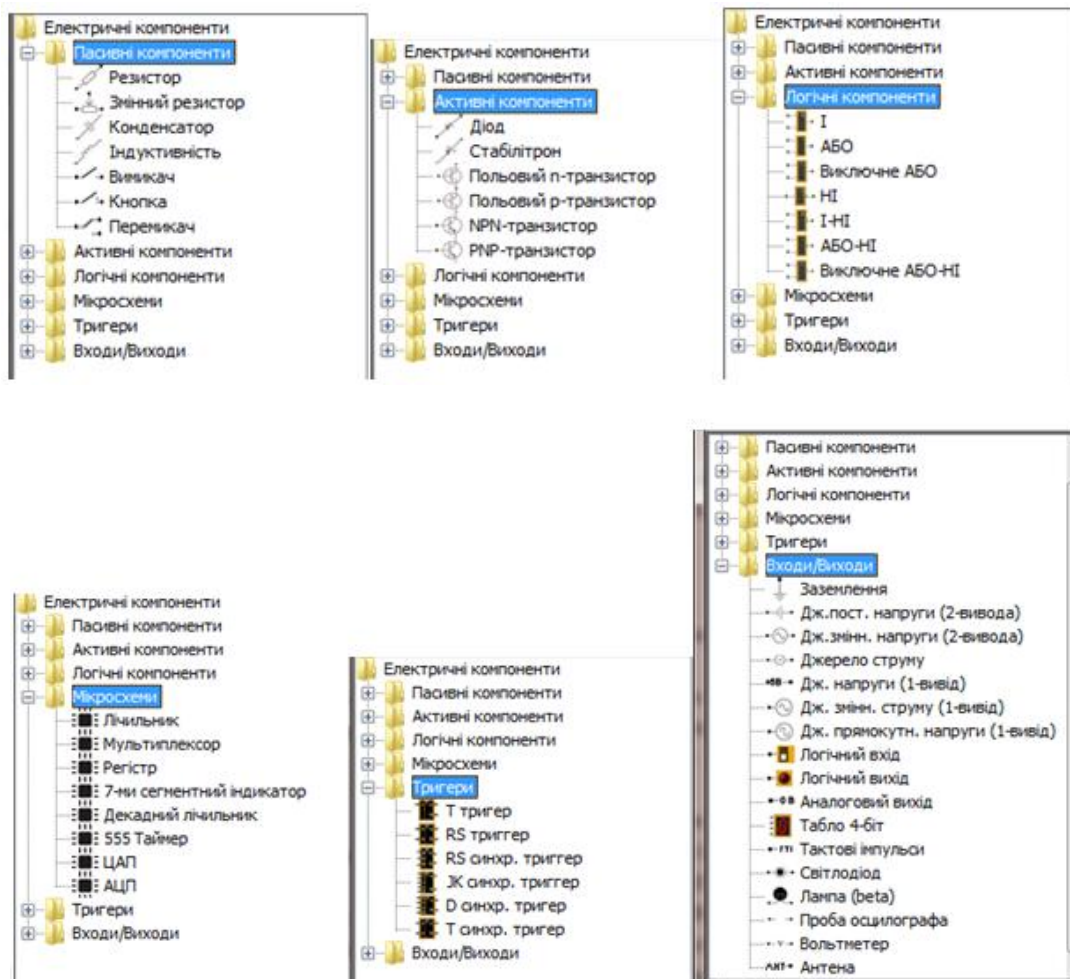
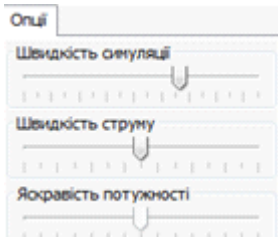


Рисунок 9.3 – Електричні компоненти

## Панель налаштування симуляції



На цій панелі є три слайдери:

- швидкість симуляції;
- швидкість струму;
- яскравість потужності.

Швидкість симуляції – налаштовує швидкість симуляції або, іншими словами, уповільнює чи пришвидшує час на схемі. Зміни можна спостерігати на таймері, який виділено зеленим кольором на рисунку 9.4.

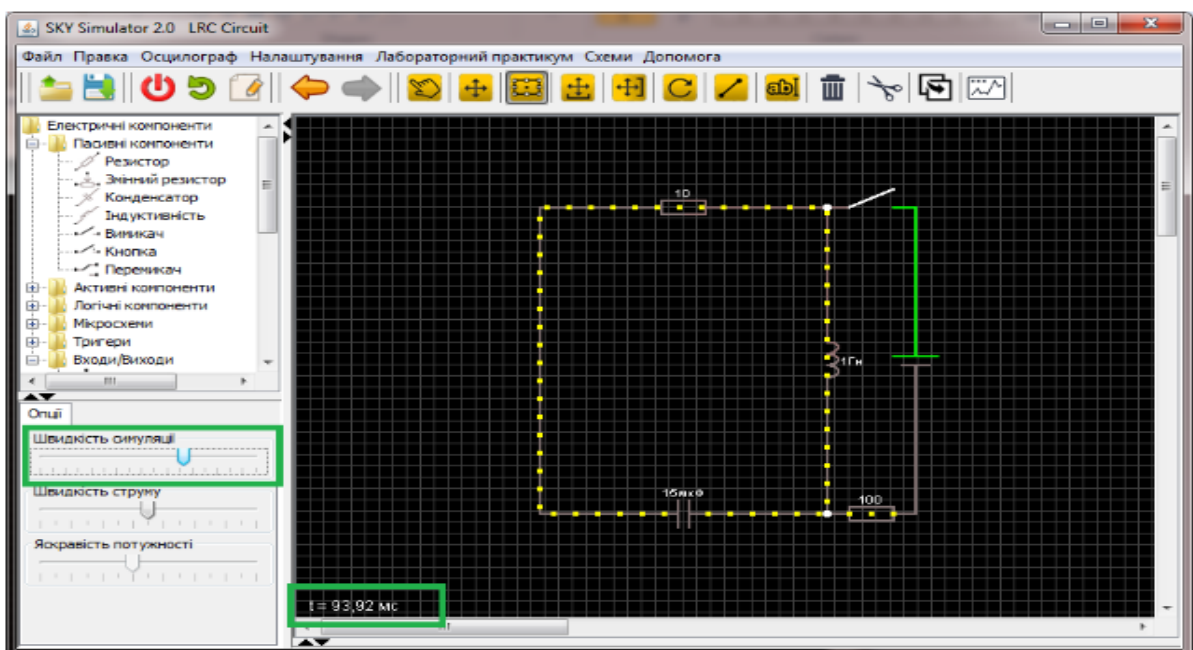


Рисунок 9.4 – Швидкість симуляції

Швидкість струму (рис 9.5) налаштовує швидкість переміщення візуальних частинок (жовтих квадратиків) на провіднику, по якому тече струм.

Яскравість потужності працює, коли ввімкнена функція «Показувати потужність» в «Меню => Налаштування». У крайньому правому положенні слайдера усі електричні компоненти, які навантажені, будуть світитись найяскравіше (рис. 9.6), а у крайньому лівому положенні – ледь підсвічуватися (рис. 9.7) .

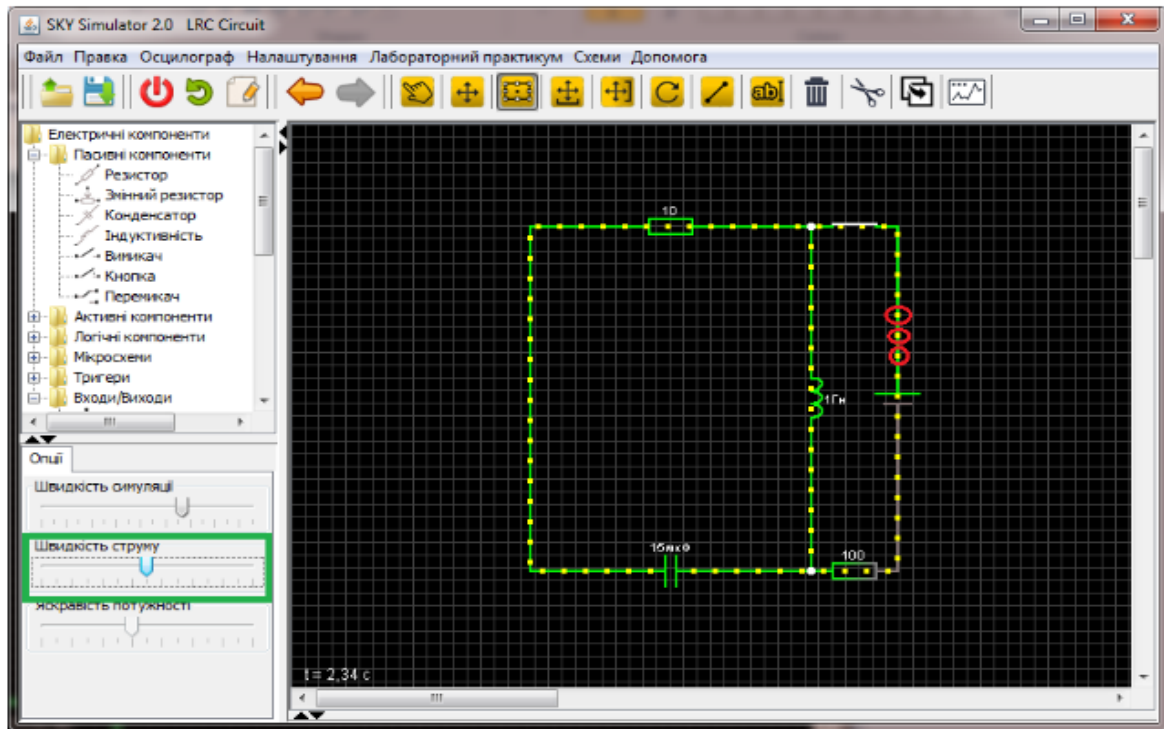


Рисунок 9.5 – Швидкість струму

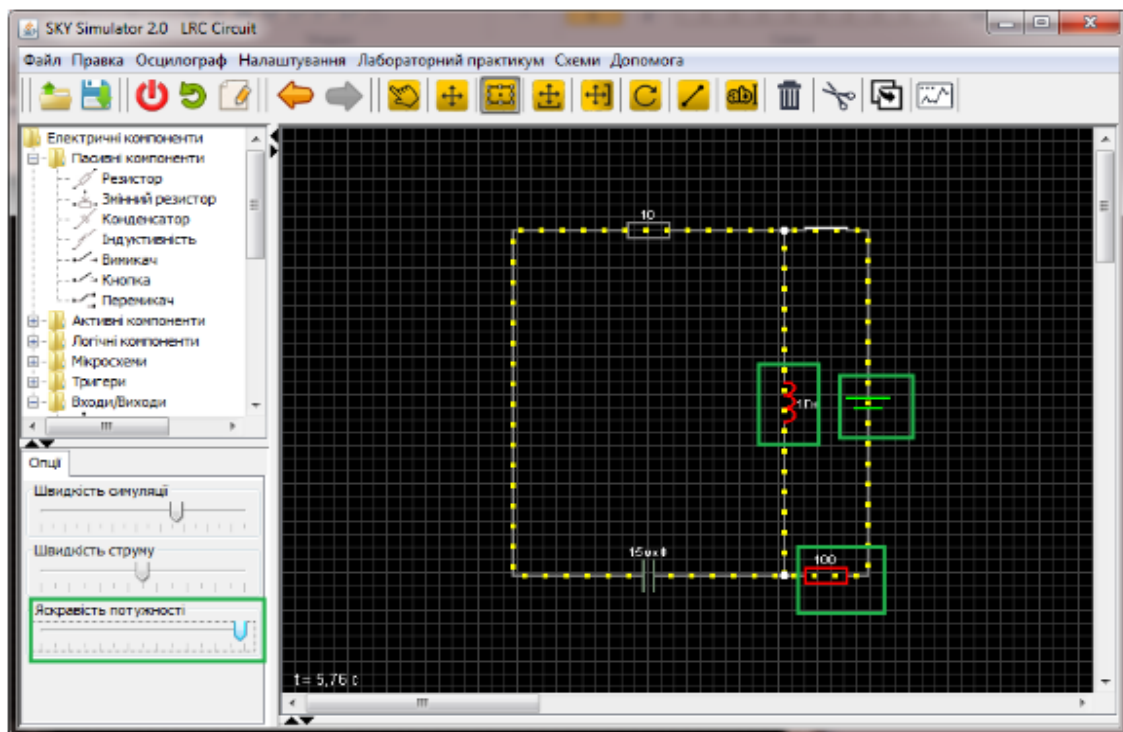


Рисунок 9.6 – Яскравість потужності (максимум)

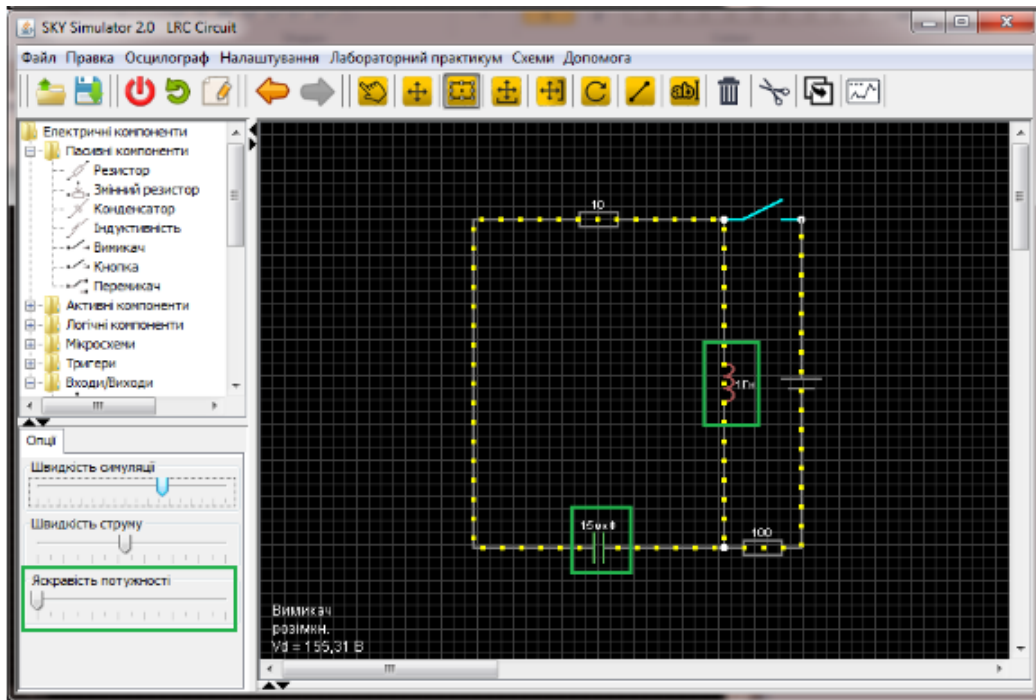


Рисунок 9.7 – Яскравість потужності (мінімум)

### Панель електричної схеми

Це головна панель програми, на якій складається електрична схема. За замовчуванням ця панель чорного кольору і розграфлена в клітинку. Через «Меню => Налаштування» можна змінювати її відображення, власне самих елементів, які на ній розміщені, вмикаючи чи вимикаючи певні функції відображення (рис. 9.8).

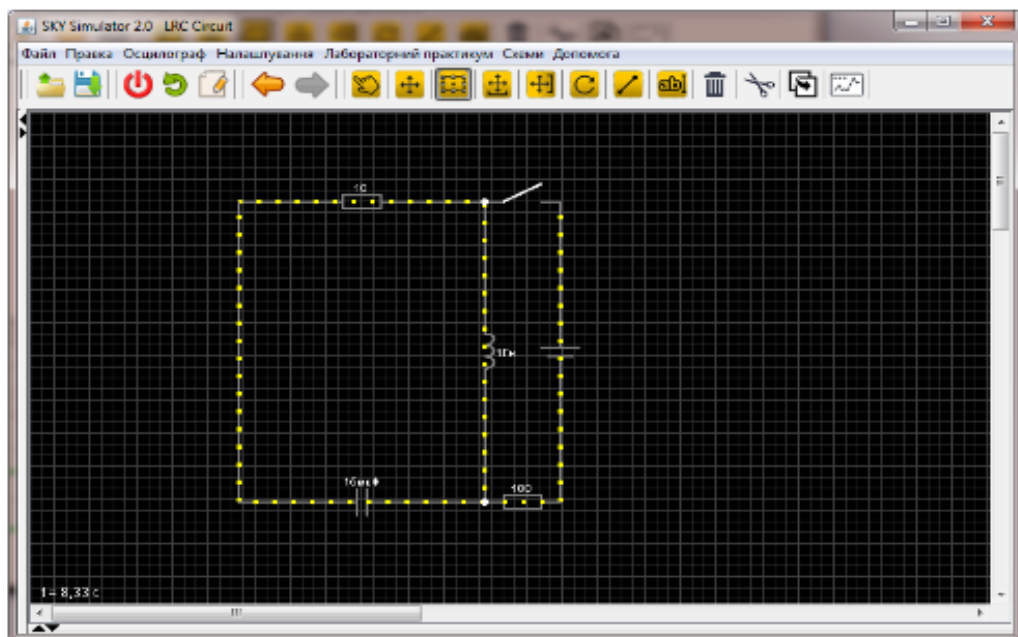


Рисунок 9.8 – Панель електричної схеми

Наприклад, для друку схеми на принтері можна скористатись налаштуваннями з рис. 9.9.

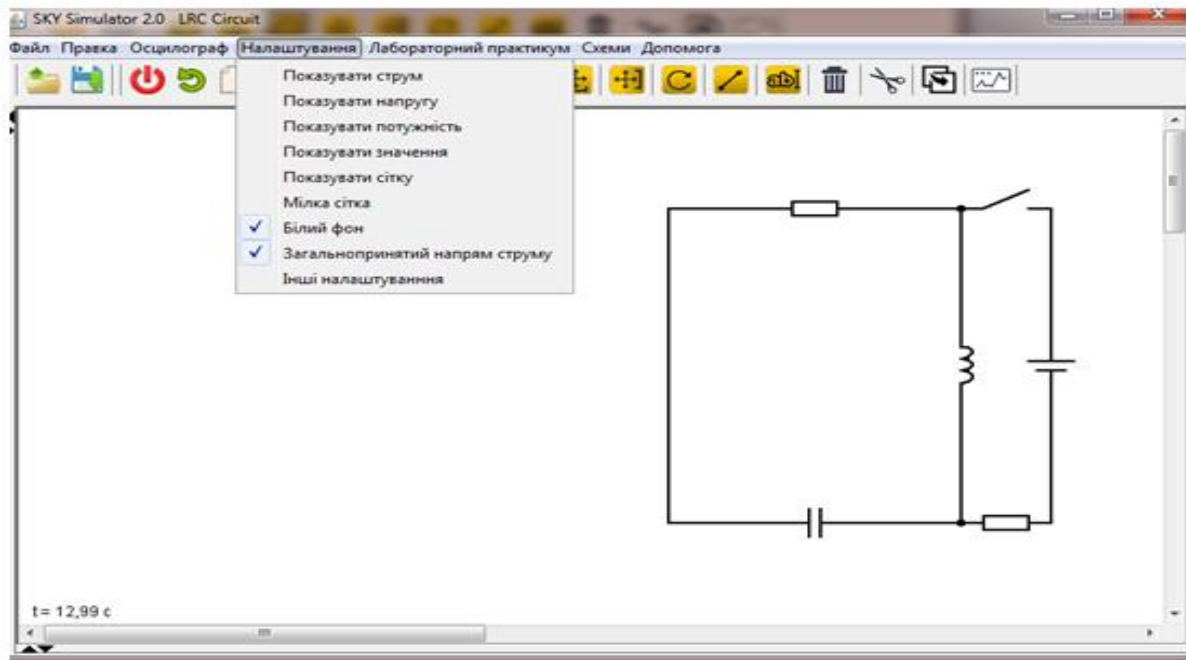


Рисунок 9.9 – Налаштування для друку

### Панель осцилографа

Осцилограф призначений для спостереження за станами електричних компонентів та сигналами на схемі (рис. 9.10). Він складається з двох частин, перша з яких описана в табл. 9.4.

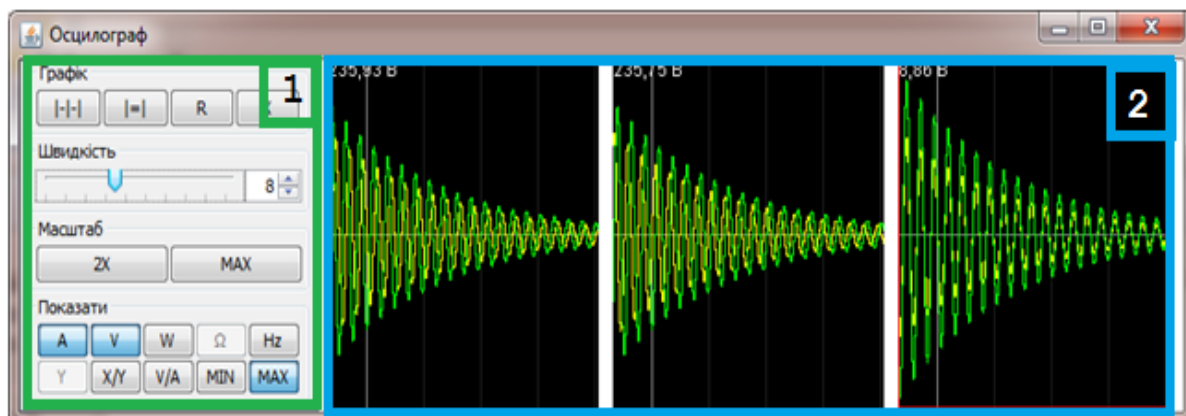











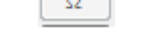

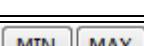


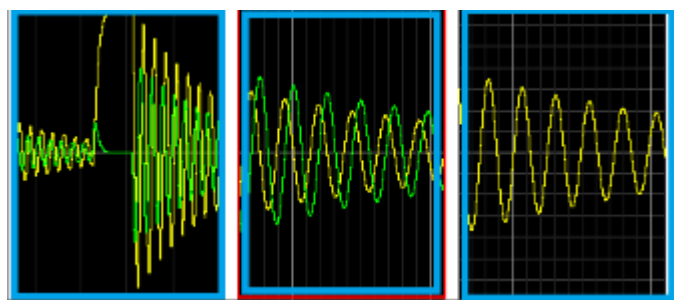
Рисунок 9.10 – Осцилограф

**Таблиця 9.4 – Панель для налаштування**

Позначення	Пояснення
	кнопка роз'єднання двох каналів
	кнопка об'єднання двох каналів
	кнопка очищення графіка
	кнопки закриття каналу та від'єднання електричного компонента від осцилографа
	слайдер, який збільшує/зменшує швидкість відображення одного сегменту графіка каналу осцилографа
	масштабування графіка каналу осцилографа. «2X» – збільшує графік в 2 рази, якщо можливо; «MAX» – поступово збільшує графік до макс. розмірів
	кнопка для відображення струму на графіку(жовтим кольором)
	кнопка для відображення напруги на графіку(зеленим кольором)
	кнопка для відображення потужності на графіку(білим кольором)
	кнопка для відображення опору на графіку (білим кольором)
	кнопка для показу частоти сигналу на графіку
	кнопка показу від'ємного та додатного максимального значення сигналу на графіку
	кнопка для відображення відношення напруги до струму(по осі Y– струм, по X – напруга)
	кнопки для відображення відношення між двома сигналами на пробах осцилографа

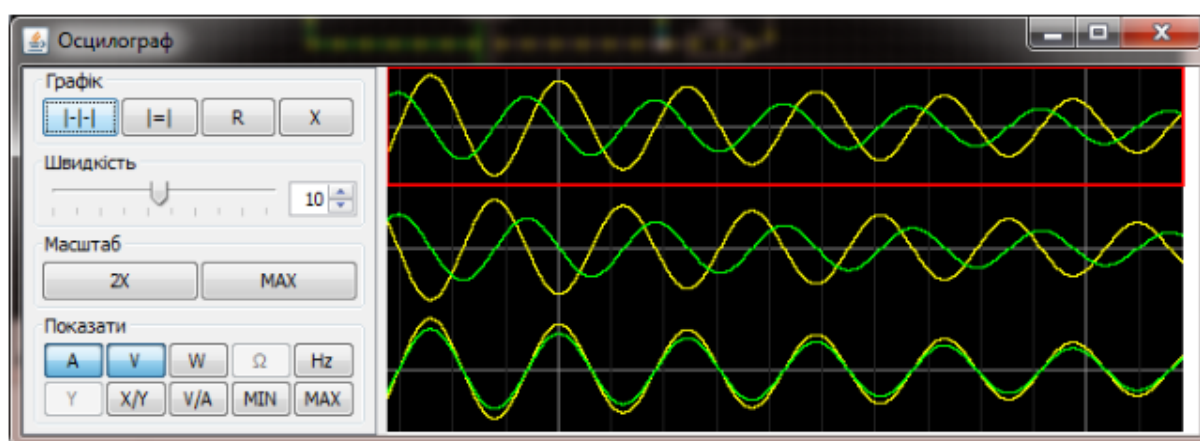
**2 – панель** для графічного відображення сигналів на підключених каналах осцилографа. Максимум можна підключити до 20 каналів.

Для того, щоб налаштувати відображення сигналу на окремому каналі, потрібно натиснути двічі лівою кнопкою миші на потрібному каналі, після чого він виділиться червоним кольором по краях (рис. 9.11).



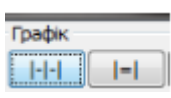
**Рисунок 9.11** – Графіки 3-х каналів осцилографа

Для того, щоб відображати сигнали кількох графіків відносно однієї осі Y потрібно вибрати Меню => Осцилограф => Об'єднати канали. Відповідно для роз'єднання їх – Меню => Осцилограф => Роз'єднати канали (рис. 9.12).



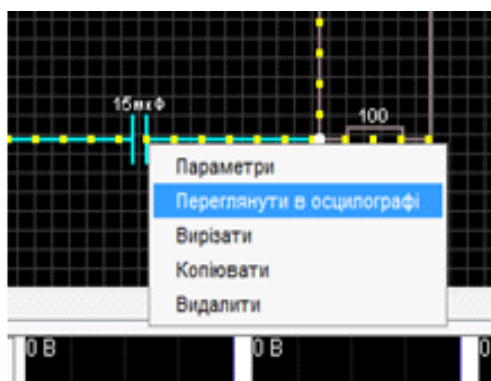
**Рисунок 9.12** – Сигнали кількох графіків на одній осі

Щоб об'єднати/роз'єднати лише декілька каналів, наприклад два, не-



обхідно скористатись кнопками , виділивши потрібний канал.

Після натиснення кнопки «Об'єднати» до виділеного каналу приєднається ще один, що знаходився ліворуч від нього.

Для того, щоб почати спостереження за певним електричним компонентом, наприклад конденсатором, потрібно навести курсор миші на потрібний компонент, натиснути праву кнопку миші і у висхідному меню обрати «Переглянути в осцилографі» (рис. 9.13). Після чого компонент автоматично підключиться до осцилографа.



**Рисунок 9.13** – Спостереження за електричним компонентом

Далі можна приступити до налаштування відображення сигналу. За допомогою проби осцилографа («Панель компонентів = > Входи/Виходи») можна побудувати графік залежності між сигналами на кожній з проб. Для цього потрібно приєднати на схемі декілька проб, потім підключити одну з них до осцилографа. Потім на осцилографі потрібно натиснути на , а кнопкою  переключатись між іншими пробами на схемі (рис. 9.14).

#### **Гарячі клавіші:**

Ctrl+O – відкрити файл;

Ctrl+S – зберегти файл;

Ctrl+Alt+S – зберегти файл як;

Ctrl+E – вийти з програми;

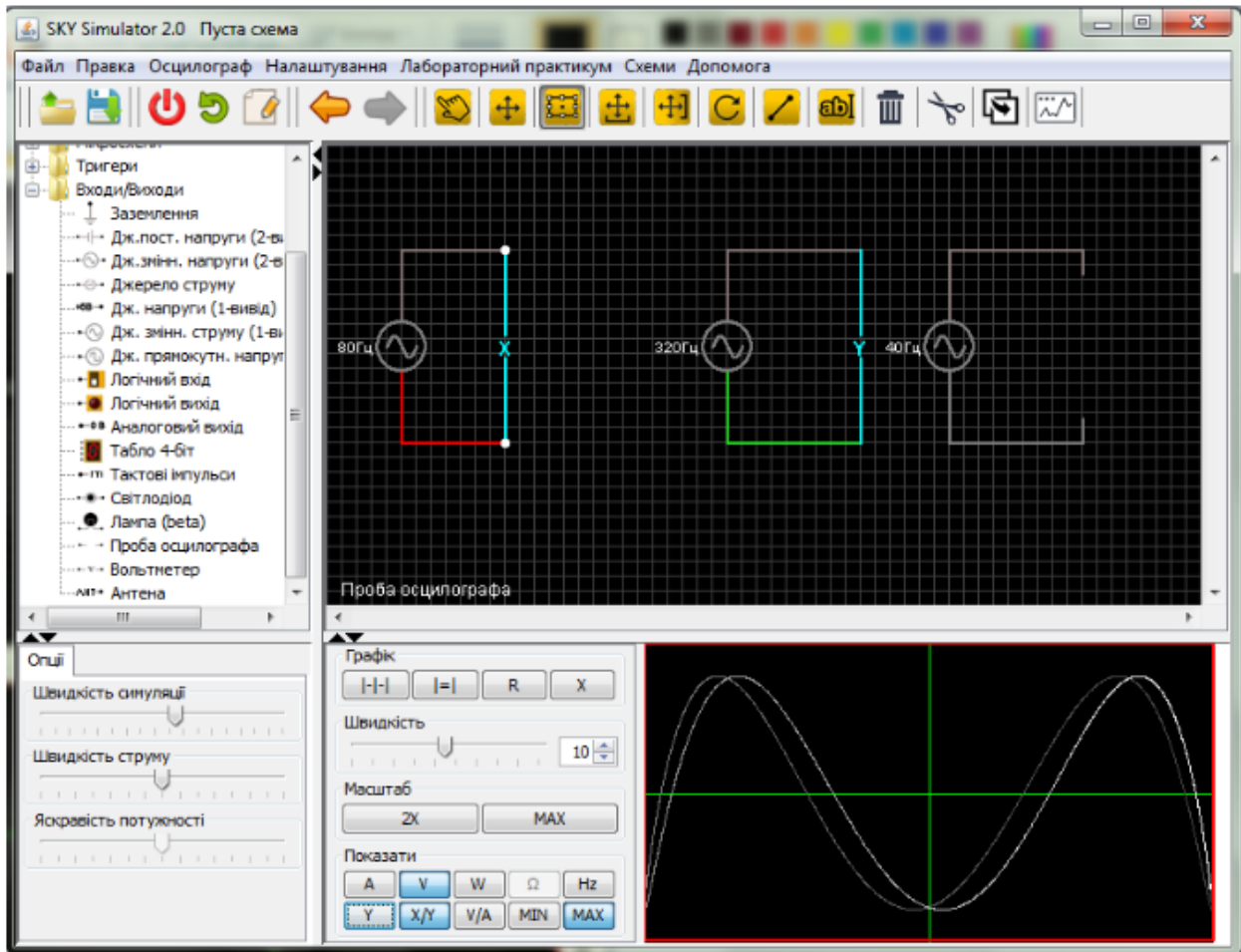
Ctrl+Z – відмінити дію на панелі складання схеми;



Ctrl+Shift+Z – повторити дію на панелі складання схеми;

Ctrl+X – вирізати електричний компонент зі схеми;

Ctrl+C – скопіювати електричний компонент зі схеми;



**Рисунок 9.14** – Налаштування відображення сигналу

Ctrl+V – вставити електричний компонент на схему;

Ctrl+A – виділити все на панелі складання схеми;

Ctrl+drag – поворот, розтягнення/звуження компонента на схемі;

Alt+drag – переміщення полотна панелі складання схеми;

Shift+drag – виділення компонентів на схемі;

Alt+A – відкриття інформації про програму;

Shift+right-drag – зсув компонентів на схемі по вертикалі;

Ctrl+right-drag – зсув компонентів на схемі по горизонталі;

w – додати провідник на схему;  
r – додати резистор на схему;  
t – додати текстовий напис на схему;  
i – додати логічний вхід на схему;  
o – додати логічний вихід на схему;  
s – додати вимикач на схему;  
S – додати перемикач на схему;  
d – додати діод на схему;  
g – додати заземлення на схему;  
c – додати конденсатор на схему;  
v – додати 2-контактне джерело постійної напруги на схему;  
V – додати одноконтактне джерело постійної напруги на схему.

## 9.2 Користування програмою

Дозволяє переглядати, змінювати та встановлювати параметри компонентів схеми, переміщувати, з'єднувати з іншими, змінювати їхні розміри та параметри. Проводити налаштування, перевірку роботоздатності та збереження схеми лабораторного практикуму.

### Параметри електричних компонентів

Кожен компонент має свої параметри, наприклад: опір, ємність, напруга, частота, кількість входів, синхронізація за фронтом та інші. Деякі компоненти можуть не мати параметрів. Для того щоб переглянути параметри компонента потрібно натиснути на нього два рази лівою кнопкою миші або один раз правою кнопкою миші та у висхідному меню обрати пункт «Параметри» (рис. 9.15). Після чого на панелі налаштування симуляції(4) відкриється друга вкладка «Параметри». Параметри можна змінювати «на льоту» під час роботи схеми. Однак, коли вкладка «Параметри»

відкрита, на панелі електричної схеми (5) не можна додавати інші компоненти або редагувати, виділяти існуючі чи виконувати інші дії з ними.

Після налаштування компонента на вкладці «Параметри» потрібно натиснути на кнопку «Примінити», а потім «ОК», після чого вкладка автоматично закриється і панель електричної схеми (5) стане доступною.

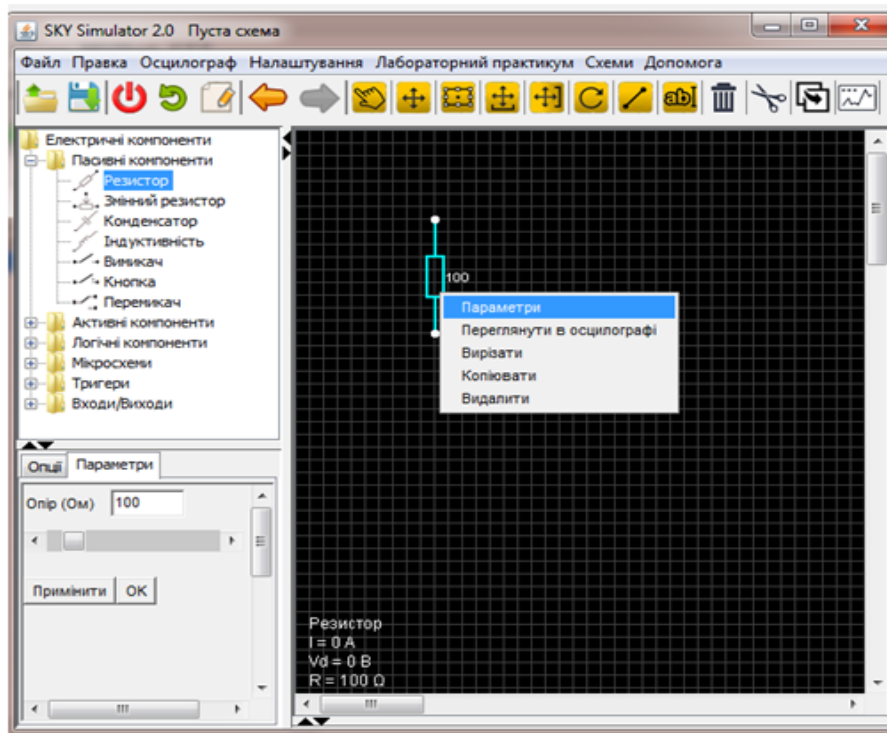


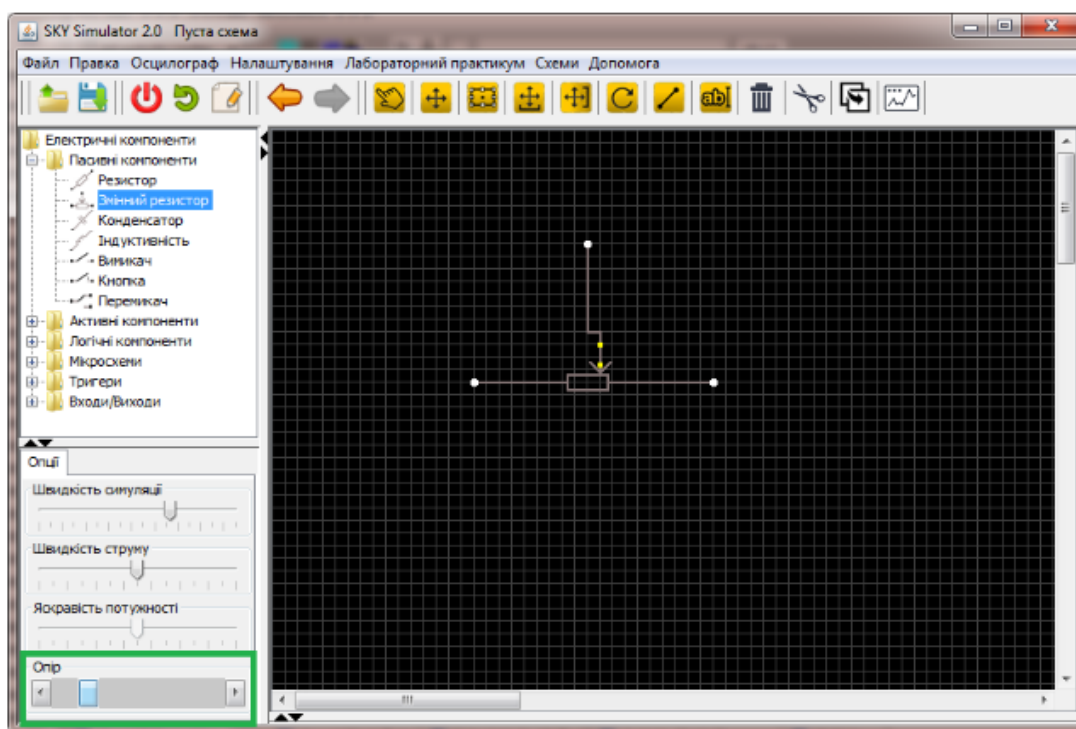
Рисунок 9.15 – Параметри компонентів

### Керування електричними компонентами

Кожен доданий до схеми компонент можна переміщувати, з'єднувати з іншими, змінювати його розміри та параметри. Наприклад, у синхронних тригерів можна змінювати тип синхронізації (за фронтом чи за спадом), у деяких інших компонентів можна змінювати сторону виведення контактів для зручності їх використання.

На електричному провіднику, який з'єднує декілька компонентів, можна ввімкнути функцію показу струму, що протікає через нього. У змінного резистора можна змінювати положення його плаваючого контакту. Для цього на ньому потрібно двічі натиснути лівою кнопкою миші. І на

панелі симуляції буде доступний повзунок (виділений зеленим, рис. 9.16), яким можна буде змінювати положення плаваючого контакту.



**Рисунок 9.16** – Керування електричними компонентами

У компонента «Логічний вхід» в параметрах можна ввімкнути функцію самоповернення, після чого він буде працювати в режимі кнопки. У кожного логічного компонента в параметрах можна змінювати кількість входів. Це допоможе мінімізувати схему.

### **Налаштування схеми**

Під час роботи зі схемою одним із важливих параметрів її налаштування є «Швидкість симуляції». Вона впливає на відображення сигналів як на компонентах схеми, так і в осцилографі. За допомогою зміни цього параметра можна спостерігати перехідні процеси на схемі, послідовність переключень компонентів логічних схем. Також корисною буде зміна швидкості анімації переміщення струму за допомогою параметра «Швидкість струму». Наприклад, якщо у схемі протікають дуже низькі струми, потріб-

но пересувати слайдер «Швидкість струму» поступово в праву сторону. І навпаки, якщо у схемі протікають дуже високі струми, потрібно переміщувати слайдер вліво, поки анімація руху струму на провідниках стане чітко видимою.

Для того, щоб побачити величину струму, яка протікає через провідник, потрібно відкрити його параметри і обрати «Показувати струм». Якщо потрібно дізнатись величину напруги на компоненті, то потрібно підключити паралельно до нього вольтметр (Електричні компоненти => Входи/Виходи => Вольтметр). Величини цих та інших параметрів (частоти, тривалості, опору, потужності) можна побачити на графіках осцилографа, додавши необхідний компонент до нього (рис. 9.17).

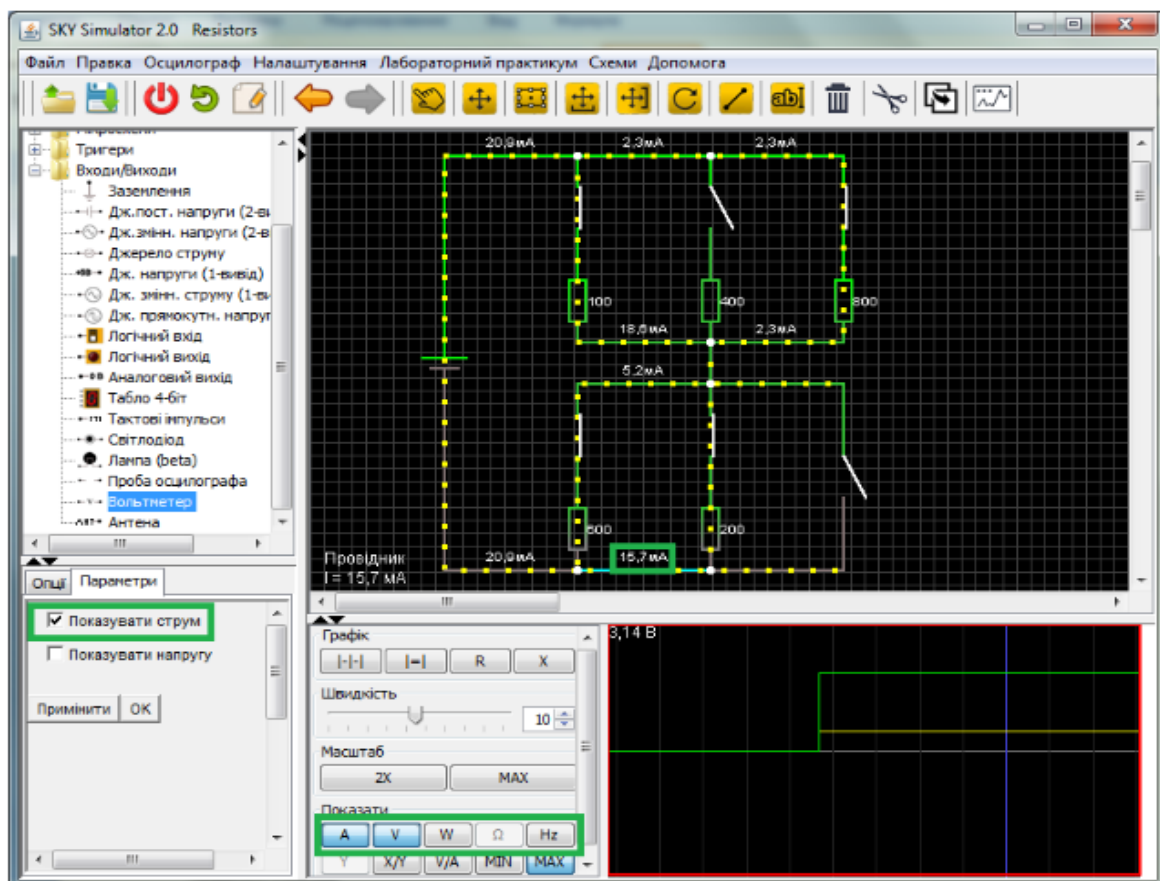


Рисунок 9.17 – Налаштування схеми

## Робота зі схемою

Перед початком створення/редагування схеми можна очистити робоче поле за допомогою кнопки «Очистити схему» на панелі інструментів або відкрити існуючу схему за допомогою «Меню => Відкрити», або кнопки «Відкрити схему» на панелі інструментів (рис. 9.18).

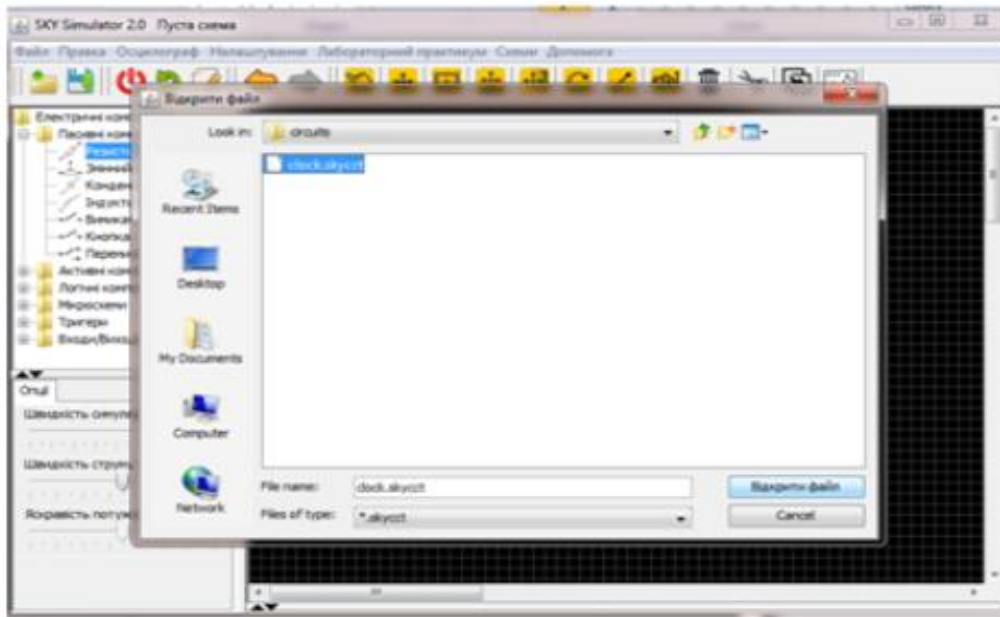


Рисунок 9.18 – Відкриття схеми

## Додання компонентів

Для того щоб додати компонент до схеми, потрібно (рис. 9.19):

1. Обрати його на панелі електричних компонентів (3) лівою кнопкою миші.
2. Після цього потрібно навести курсором миші на панель схеми, натиснути і утримувати ліву кнопку миші.
3. Провести курсор вправо. Після того як компонент з'явився, не відпускаючи ліву кнопку миші, можна змінювати положення компонента відносно першої точки, переміщуючи курсор у необхідному напрямку.
4. Потім можна відпустити ліву кнопку миші та, за необхідності, додати інший компонент.

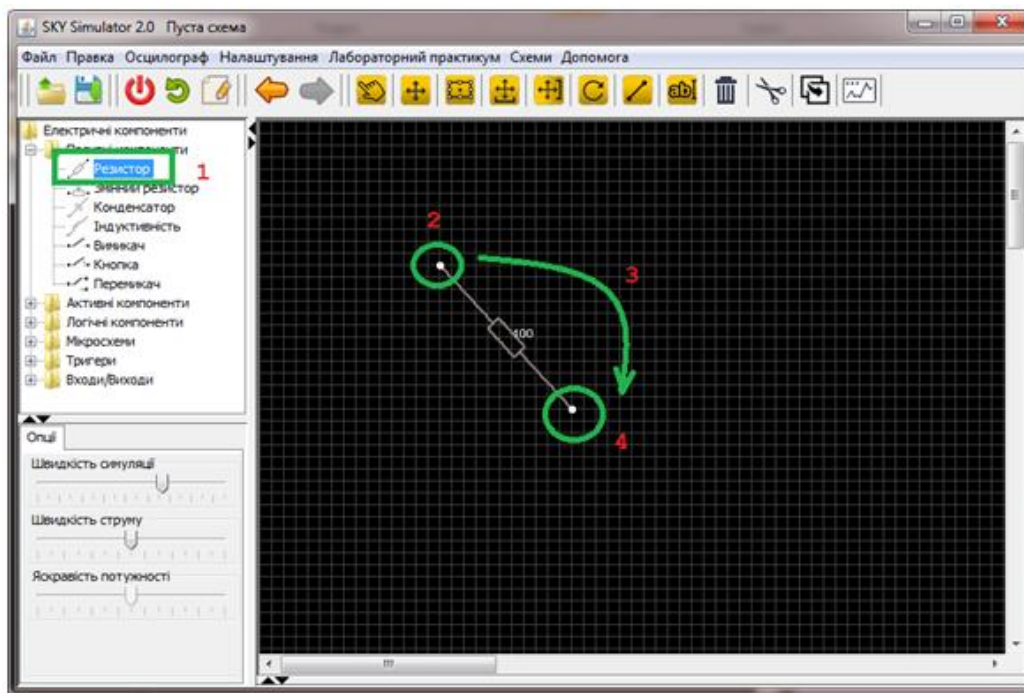


Рисунок 9.19 – Додання компонентів до схеми

### Видалення компонентів

Для того, щоб видалити компонент (рис. 9.20), потрібно натиснути на ньому правою кнопкою миші та у висхідному меню натиснути «Видалити» або виділити компонент та видалити його за допомогою панелі інструментів.

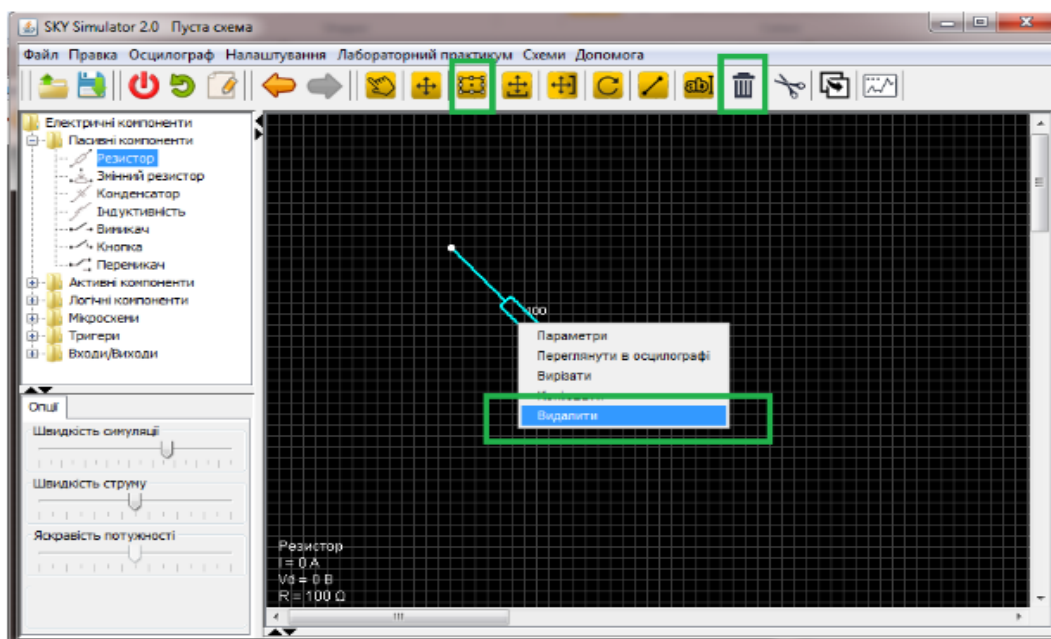


Рисунок 9.20 – Видалення компонентів зі схеми

## Керування кількома компонентами

Коли є необхідність створити декілька однакових блоків, наприклад, три електричних кола з джерелом живлення, вимикачем, і лампою накаливання, можна спочатку створити один блок, потім його виділити, скопіювати за допомогою кнопок на панелі інструментів та вставити «Меню => Правка => Вставити». Скопійований блок з'явиться поруч з основним. Потім його можна перемістити у потрібне місце на схемі (рис. 9.21).

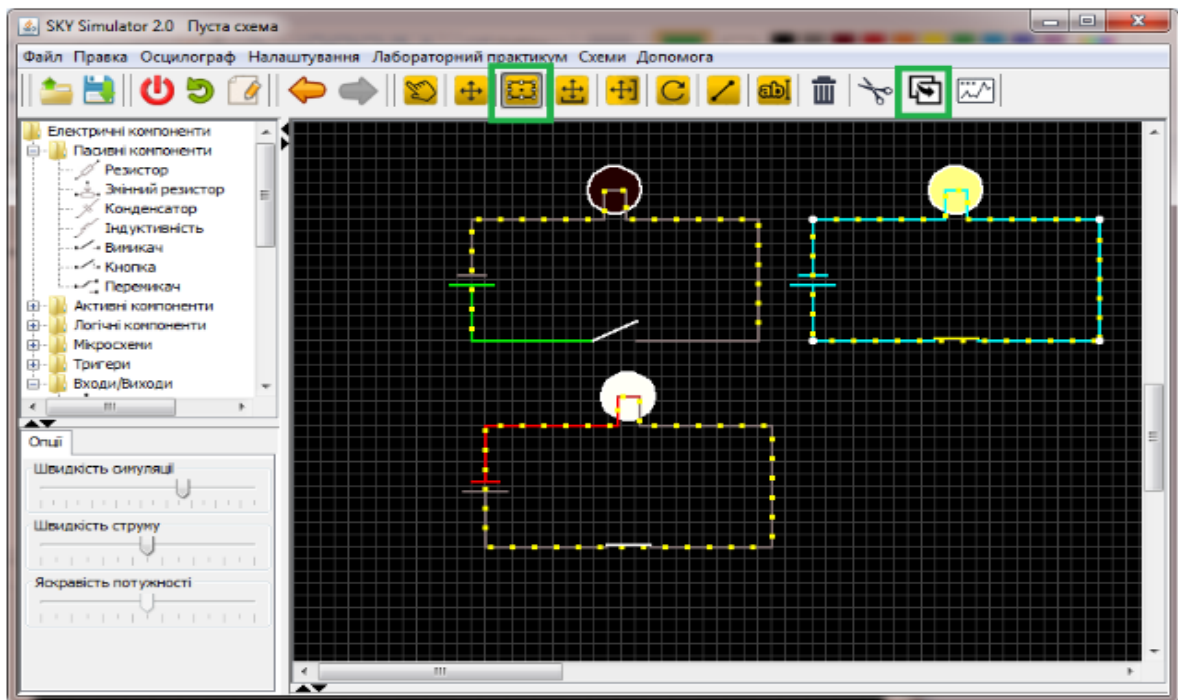


Рисунок 9.21 – Керування кількома компонентами

## Збереження схеми

Для збереження схеми потрібно обрати «Меню => Файл => Зберегти як» – якщо це новостворена схема або «Меню => Файл => Зберегти» – якщо існуюча схема була відкрита для редагування. Також можна скористатись кнопкою «Зберегти схему» на панелі інструментів, яка автоматично вибере необхідну дію збереження. Усі схеми будуть зберігатись з розширенням «\*.skusct» за замовчуванням (рис. 9.22).



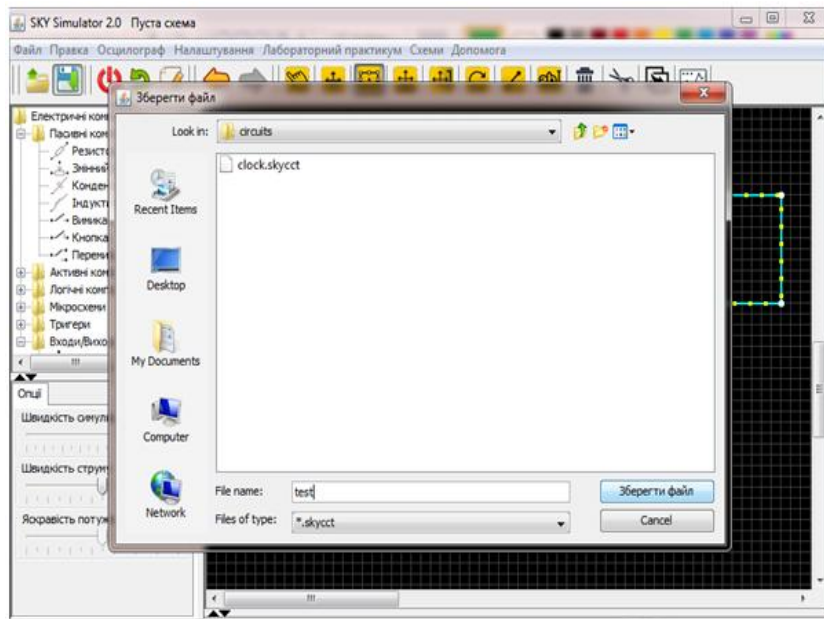


Рисунок 9.22 – Збереження схеми

### 9.3 Лабораторний практикум

У підменю «Практикум» можуть бути пункти червоного кольору. Це означає, що для відкриття практичного завдання до лабораторної роботи «Резистори», спочатку потрібно буде пройти тест. Такий тест буде автоматично відкритий під час обрання червоного пункту меню, після успішного проходження (більше 60 % – мінімальна оцінка за шкалою ECTS – E) якого буде відкрите вікно з практичним завданням. Такий тест потрібно пройти тільки один раз, після чого елемент меню стане звичайного, сірого, кольору (рис. 9.23).

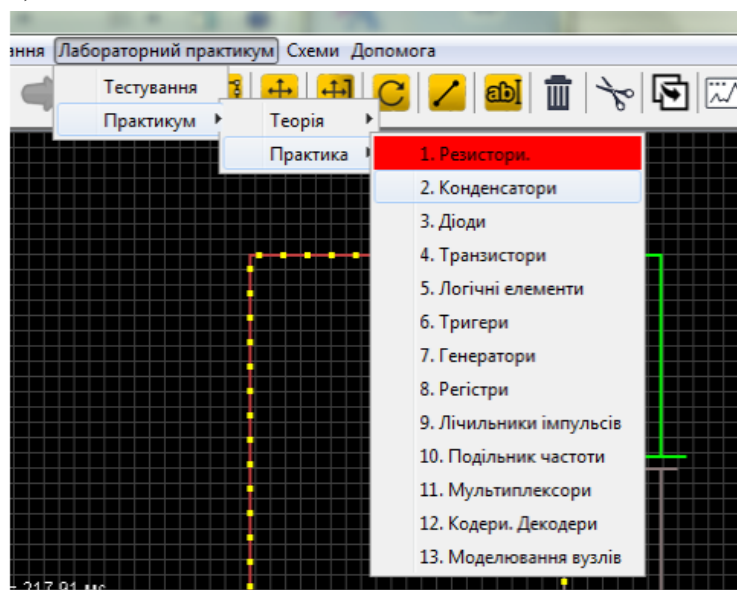


Рисунок 9.23 – Лабораторний практикум

## СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Матвієнко М. П. Основи електроніки: підручник. К. : Ліра – К, 2017. 360 с.
2. Paul Horowitz, Winfield Hill. The Art of Electronics. : Cambridge University Press, 2015. 1220 p. ISBN-10: 9780521809269
3. Белоголовский М. А. Мемристор – новий нанорозмірний елемент електронної схемотехніки. *Вісник НАН України*, 2014. № 2. С. 32–39.
4. Рябенський В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка : навчальний посібник. К. : Новий світ-2000, 2020. 736 с.
5. Електротехніка та основи електроніки: підручник / Гуржій А. М., Мещанінов С. К., Нельга А. Т., Співак В. М. К. : Літера ЛТД, 2020. 288 с.
6. Победаш К. К. Комп'ютерна електроніка : навчальний посібник. К. : КПІ ім. Ігоря Сікорського, 2019. 364 с. URL: [https://ela.kpi.ua/bitstream/123456\\_789/27548/1/Komp\\_elektronika.pdf](https://ela.kpi.ua/bitstream/123456_789/27548/1/Komp_elektronika.pdf). (дата звернення 12.02.23)
7. Каргополова Н. П., Ткачук А. Г. Електротехніка та електромеханіка. Частина 1. Електротехніка : навчальний посібник. Житомир : ЖДТУ, 2018. 333 с.
8. Комп'ютерна електроніка : навчальний посібник / Кривогубченко С. Г., Іванов Ю. Ю., Кривогубченко Д. С. та ін. Вінниця : ВНТУ, 2018. 120 с.
9. Тарарака В. Д. Архітектура комп'ютерних систем : навчальний посібник. Житомир : ЖДТУ, 2018. 383 с.
10. Антоненко О. В., Бардус І. О. Архітектура комп'ютера та конфігурування комп'ютерних систем : навчальний посібник. Бердянськ : БДПУ, 2018. 292 с.
11. Основи інформатики та технологій програмування : навчальний посібник / Рогоза М. Є., Рамазанов С. К., Велігура А. В., Танченко С. М. Луганськ : СНУ ім. В. Даля, 2012. 568 с.
12. Тарарака В. Д. Прикладна теорія цифрових автоматів : навчальний посібник. Житомир : ЖДТУ, 2019. 183 с.
13. Бевз О. М., Кривогубченко С. Г., Кулик А. Я. Системи та мережі передавання даних : навчальний посібник. Вінниця : ВНТУ, 2008. 219 с.
14. Курко А. М., Решетник В. Я. Введення в теорію інформації : посібник. Тернопіль : ТНТУ ім. Івана Пулюя, 2017. 108 с.
15. Арифметичні основи проектування мікропроцесорних систем : навчальний посібник / Кветний Р. Н. та ін. Вінниця : ВНТУ, 2017. 111 с.

16. Кулик А. Я., Кривоугбченко С. Г. Теорія інформації і кодування : навчальний посібник. Вінниця : ВНТУ, 2008. 145 с.
17. Функціональні перетворювачі систем автоматики і управління : навчальний посібник / Кривоугбченко С. Г., Кулик А. Я., Компанець М. М., Хомчук А. Ф. Вінниця : ВНТУ, 2011. 185 с.
18. Рябенький В. М. Схемотехніка : підручник. Київ : КПІ, 2016. 399 с.
19. Схемотехніка електронних систем. Книга 2. Цифрова схемотехніка : підручник / В. І. Бойко та ін. 2-ге вид., допов. і переробл. К. : Вища школа, 2004. 423 с.
20. Комп'ютерна схемотехніка : підручник / Азаров О. Д., Гарнага В. А., Клятченко Я. М., Тарасенко В. П. Вінниця : ВНТУ, 2018. 230 с.
21. Теоретичні основи електротехніки : підручник / Карпов Ю. О., Качив С. Ш., Кухарчук В. В., Ведміцький Ю. Г.; під ред. проф. Ю. О. Карпова. Вінниця : ВНТУ, 2011. 377 с.
22. Седов С. О. Оброблення сигналів на базі операційних підсилювачів. Схемотехніка. Розрахунки : навчальний посібник. К. : КПІ ім. Ігоря Сікорського, 2017. 132 с.
23. Каганюк О. К. Комп'ютерна схемотехніка : навчальний посібник. Луцьк : РРВ ЛНТУ, 2016. 236 с.
24. Хаїмзон І. Я. Техніка передачі інформації. Функціональні вузли та схеми : навчальний посібник. Вінниця : ВДТУ, 2000. 143 с.
25. Воробйова О. М., Іванченко В. Д. Основи схемотехніки : підручник. Одеса : Фенікс, 2009. 388 с.
26. Задерейко О. В. Цифрова схемотехніка : підручник. Суми : СДУ, 2016. 200 с.
27. Гриненко В. В. Пристрої аналогової електроніки : конспект лекцій. Суми : СДУ, 2015. 272 с.
28. Основи техніки передавання інформації : підручник / Кветний Р. Н., Компанець М. М., Кривоугбченко С. Г., Кулик А. Я. Вінниця : УНІВЕРСУМ-Вінниця, 2002. 358 с.

*Електронне навчальне видання  
комбінованого використання  
Можна використовувати в локальному та мережному режимах*

**Сергій Григорович Кривогубченко,  
Юрій Юрійович Іванов,  
Костянтин Вячеславович Овчинников**

# **Основи електроніки та МП техніки**

Навчальний посібник

Рукопис оформив *Ю. Іванов*

Редактор *Т. Старічек*

Оригінал-макет підготувала *Т. Старічек*

Підписано до видання 24.07.2023 р.  
Гарнітура Times New Roman.  
Зам. № P2023-090.

Видавець та виготовлювач  
Вінницький національний технічний університет,  
Редакційно-видавничий відділ.  
ВНТУ, ГНК, к. 114.  
Хмельницьке шосе, 95, м. Вінниця, 21021.  
Тел. (0432) 65-18-06.  
**press.vntu.edu.ua;**  
*E-mail: irvc.ed.vntu@gmail.com.*  
Свідоцтво суб'єкта видавничої справи  
серія ДК № 3516 від 01.07.2009 р.