

О. Д. Азаров, О. Я. Стахов, М. Р. Обертюх

**ВИСОКОПРОДУКТИВНІ АЦП
КОМБІНОВАНОГО ВРІВНОВАЖЕННЯ
ІЗ ВАГОВОЮ НАДЛИШКОВІСТЮ**

Міністерство освіти і науки України
Вінницький національний технічний університет

О. Д. Азаров, О. Я. Стахов, М. Р. Обертюх

**ВИСОКОПРОДУКТИВНІ АЦП
КОМБІНОВАНОГО ВРІВНОВАЖЕННЯ
ІЗ ВАГОВОЮ НАДЛИШКОВІСТЮ**

Монографія

Вінниця
ВНТУ
2023

УДК 621.3
А35

Рекомендовано до друку Вченою радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 4 від 29 листопада 2022 року)

Рецензенти:

Р. М. Квєтний, доктор технічних наук, професор

А. Я. Кулик, доктор технічних наук, професор

Азаров, О. Д.

А35 Високопродуктивні АЦП комбінованого врівноваження із ваговою надлишковістю : монографія / О. Д. Азаров, О. Я. Стахов, М. Р. Обертюх. – Вінниця : ВНТУ, 2023. – 130 с.

ISBN 978-966-641-920-3

Побудова багаторозрядних швидкодіючих АЦП порозрядного врівноваження з ваговою надлишковістю є складною задачею. Великі можливості покращення динамічних характеристик перетворювачів відкриваються поєднанням методів порозрядного кодування і безпосереднього зчитування. Побудова таких високопродуктивних комбінованих перетворювачів є надзвичайно важливою для створення ефективних багато-розрядних швидкодіючих АЦ-систем, що і зумовлює актуальність наукових досліджень, виконаних у цій роботі.

УДК 621.3

ISBN 978-966-641-920-3

© О. Д. Азаров, О. Я. Стахов, М. Р. Обертюх, 2023

ЗМІСТ

ВСТУП.....	7
РОЗДІЛ 1 ОГЛЯД ІСНУЮЧИХ МЕТОДІВ І ЗАСОБІВ ПІДВИЩЕННЯ ПРОДУКТИВНОСТІ БАГАТОРОЗРЯДНИХ АНАЛОГО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ	9
1.1 Огляд існуючих методів підвищення швидкодії багаторозрядних АЦП із застосуванням інформаційної та структурної надлишковості	9
1.2 Методи підвищення точності засобів слідкувального АЦ перетворення з ваговою надлишковістю	15
1.3 Методи побудови аналого-цифрових перетворювачів комбінованого врівноваження	24
РОЗДІЛ 2 МЕТОД ПОБУДОВИ І ЗАСОБИ ВИСОКОПРОДУКТИВНОГО ПОРОЗРЯДНО-СЛІДКУВАЛЬНОГО АЦ-ПЕРЕТВОРЕННЯ З ВАГОВОЮ НАДЛИШКОВІСТЮ	41
2.1 Метод побудови високопродуктивного порозрядно- слідкувального АЦП із ваговою надлишковістю.	41
2.2 Вибір базової системи числення для АЦП та ЦАП із ваговою надлишковістю.	48
2.3 Моделі АЧХ і ФЧХ широкосмугових двотактних підсилювачів постійного струму для високопродуктивних АЦП	59
РОЗДІЛ 3 МЕТОДИ СХЕМНО-ФУНКЦІОНАЛЬНОЇ ОРГАНІЗАЦІЇ ВИСОКОЛІНІЙНИХ АНАЛОГОВИХ ПРИСТРОЇВ ДЛЯ АЦ І ЦА- СИСТЕМ НА БАЗІ ДВОТАКТНИХ СТРУКТУР	66
3.1 Методи схемної організації високолінійних буферних пристроїв на базі двотактних структур.....	66
3.2 Методи побудови високолінійних двотактних буферних пристроїв напруги з параметричною компенсацією зсуву нуля.....	74
3.3 Методи функціональної організації багатоканальної швидкодійної АЦ-ЦА-системи на базі високолінійних перетворювачів струм-струм	80

РОЗДІЛ 4 РЕКОМЕНДАЦІЇ ЩОДО ПРОЄКТУВАННЯ АНАЛОГОВИХ ВУЗЛІВ ДЛЯ ВИСОКОПРОДУКТИВНИХ ПОРОЗРЯДНО - СЛІДКУВАЛЬНИХ АЦП ІЗ ВАГОВОЮ НАДЛИШКОВІСТЮ ТА АЦ-СИСТЕМ.....	93
4.1 Система цифрової реєстрації аналогових сигналів із підвищеною стабільністю метрологічних характеристик	93
4.2 Високошвидкісний буферний пристрій на базі двотактного підсилювача струму	104
4.3 Двотактний підсилювач постійного струму з низьким температурним дрейфом на базі перетворювачів струм-струм	113
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ.....	121

ПЕРЕЛІК УМОВНИХ СКОРОЧЕНЬ

- АК – аналоговий комутатор
- АЦ – аналого-цифровий
- АЦЗ – апарат цифрового запису
- АЦМЗ – апарат цифрового магнітного запису
- БАН – блок автокоригування нуля
- БК – блок керування
- БН – буфер напруги
- БНЗ – блок напруг зміщення
- БПВ–ЦАП – блок порозрядного врівноваження та цифро-аналогового перетворювання
- ВДК – вхідний двотактний каскад
- ВС – відбивач струму
- ДВК – двотактний вихідний каскад
- ДВС – двонаправлений відбивач струму
- ДЗС – джерело зарядного струму
- ДППС – двотактний підсилювач постійного струму
- ЗЗ – зворотний зв’язок
- ІВС – інформаційно-вимірювальна система
- К – комутатор
- КЛ – ключовий елемент
- КГС – керований генератор струму
- КЗЗ – канал зворотного зв’язку
- КНС – коефіцієнт нелінійних спотворень
- КС – компенсатор струму
- ОП – операційний підсилювач
- ПВЗ – пристрій вибірки зберігання
- ПКН – перетворювач код-напруга
- ПКС – перетворювач код-струм

ПНН – перетворювач напруга-напруга

ПНС – перетворювач напруга-струм

ППК – проміжний підсилювальний каскад

ППС – підсилювач постійного струму

ПСН – перетворювач струм-напруга

ПСС – перетворювач струм-струм

ПФІ – перетворювач форми інформації

ПФР – підсилювач-фазорозщеплювач

РПН – реєстр послідовного наближення

СК – струмовий конвеєр

СЦОП – спеціалізований цифровий обчислювальний пристрій

СЦР – система цифрової реєстрації

СЧ – системи числення

СЧВН – системи числення з ваговою надлишковістю

ТДОН – термостатоване джерело опорної напруги

ТДОС – термостатоване джерело опорного струму

ХП – характеристика перетворення

ВСТУП

Аналого-цифрові та цифро-аналогові перетворювачі утворюють групу перетворювачів форми інформації, які набули широкого поширення в різних галузях людської діяльності. Базовими параметрами, що характеризують продуктивність ПФІ, є число розрядів та кількість перетворень за секунду. З цієї точки зору найвищу продуктивність має АЦП зчитування, оскільки в ньому весь діапазон вхідного сигналу (n -розрядів) перетворюється на код всього за один такт. Таким чином, цей АЦП має найвищу швидкодію і, відповідно, мінімальний час перетворення. Водночас, спроба збільшити кількість розрядів при такому методі перетворення призводить до різкого зростання кількості обладнання і споживаної потужності. Варто зазначити, що досить поширеним у техніці перетворення форми інформації є АЦП порозрядного врівноваження. Проте, він дозволяє отримати результат кодування за n -тактів і тому істотно поступається АЦП зчитування.

Оцінювання продуктивності ПФІ є нестандартною задачею. Методи оцінювання залежать від засобу та способу використання, під який проводиться вибір ПФІ. Вирішенням питання підвищення продуктивності та швидкодії перетворювачів форми інформації займалися наукові школи О. Д. Азарова [1–7], А. І. Кондалєва [8–11], П. П. Орнатського [12, 13], Б. Й. Швецького [14]. Варто відзначити, що покращенням метрологічних характеристик ПФІ, а також систем, до яких вони входять, займалися Ю. М. Туз [15], Є. Т. Володарський [16–18]. Загальні принципи побудови та покращення характеристик АЦП досліджували В. Б. Смолів, Е. І. Гітис [19–21] та ін. Крім того, питаннями покращення характеристик порозрядних АЦП займалися відомі закордонні науковці, зокрема: F. Goodenough, W. Kester, Z. Boyacioglu, S. Soclof, M. Rizenman, J. Brubaker, Rudy J. van de Plassche, Hans J. Schouwenaars, S. Tan, D. L. Watson, S. Sehat, P. R. Gray, Jiangpeng Wang, Wing-Shan Tam, Chi-Wah Kok, Kong-Pang Pun, A. B. Grebene, M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, H. Wenske, T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, N. Takai, T. Sundström, L. Ricci [22–39].

В останні десятиліття з'явився інтерес до АЦП із ваговою надлишковістю, що, порівняно з АЦП загального призначення, мають додаткові апаратні витрати на побудову ЦАП, схеми порівняння, блока керування та перетворювача кодів, проте спрощується схема для самокалібрування.

Варто зазначити, що побудова багаторозрядних (12–18 двійкових розрядів) швидкодіючих аналого-цифрових перетворювачів порозрядного врівноваження з ваговою надлишковістю є досить складною задачею. Це пов'язано з тим, що вага молодшого розряду такого АЦП повинна бути досить малою. До того ж, значний вплив на їх роботу мають динамічні похибки першого та другого роду, а також шуми [1–7].

Великі можливості покращення динамічних характеристик перетворювачів відкриваються при поєднанні методів порозрядного кодування і безпосереднього зчитування [1]. Причому, як правило, цифри перших розрядів вихідної величини визначаються способом безпосереднього зчитування, а цифри останніх розрядів – способом порозрядного кодування. Пояснюється це тим, що перетворювач із безпосереднім зчитуванням, який містить велику кількість компараторів, будується простіше для сигналів великих рівнів, які мають місце в перших тактах кодування. Спосіб порозрядного перетворення забезпечує потрібні характеристики і досить просто реалізується у пристроях із різними класами точності і діапазонами зміни вхідної величини. Тому він забезпечує прості рішення, правда, за рахунок подовження часу перетворення при визначенні кодів останніх розрядів, коли застосування способу безпосереднього зчитування призвело б до значного ускладнення схеми через необхідність застосування високочутливих і стабільних компараторів.

Побудова таких високопродуктивних комбінованих перетворювачів є надзвичайно важливою для створення ефективних багаторозрядних швидкодіючих АЦ-систем, разом із тим, вона є мало вивченою та в інформаційних джерелах висвітлена слабко, що і зумовлює актуальність наукових досліджень, виконаних у цій роботі.

РОЗДІЛ 1

ОГЛЯД ІСНУЮЧИХ МЕТОДІВ ПІДВИЩЕННЯ ПРОДУКТИВНОСТІ БАГАТОРОЗРЯДНИХ АНАЛОГО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ

1.1 Огляд існуючих методів підвищення швидкодії багаторозрядних АЦП із застосуванням інформаційної та структурної надлишковості

Підвищення продуктивності багаторозрядних аналого-цифрових перетворювачів забезпечується комплексним підходом у напрямках зростання як швидкодії, так і точності.

Залежно від потрібної швидкодії і точності використовуються різні підходи щодо побудови СП. Проблема досягнення високої точності аналого-цифрового перетворення з приведеною відносною похибкою не більше 0,05% і роздільністю не менше 12 розрядів успішно вирішується для АЦП інтегруючого типу. Проте недоліком таких пристроїв традиційно є низька частота відліків ($f_{\text{відл}}$), що, як правило, не перевищує десятки і сотні Гц [30]. Для одержання більш високої швидкості перетворення використовуються АЦП порозрядного врівноваження і паралельно-последовні АЦП. При цьому перші мають середню ($f_{\text{відл}} = 10^0 - 10^2$ кГц), а другі – високу швидкодію ($f_{\text{відл}} = 10^1 - 10^4$ кГц). Зі збільшенням швидкодії виникає проблема збереження низького рівня похибок зазначених пристроїв. Причому необхідно відзначити, що на шляху досягнення високої точності за рахунок удосконалювання характеристик елементної бази стоять фундаментальні обмеження, зумовлені як можливостями технології виготовлення, так і властивостями застосовуваних матеріалів. Притаманні перетворювачам інформації середньої і високої швидкодії відхилення ваг розрядів від потрібних значень часто-густо коригуються в процесі виробництва шляхом лазерного припасування номіналів резисторів або конденсаторів ЦАП паралельної дії, які є складовою частиною цих АЦП. При цьому потрібне збільшення площі внутрікристалльних компонентів і кристала в цілому, а

також виникає проблема видалення матеріалів кристала в ході припасування. Ці процеси порушують структуру матеріалів компонентів і зменшують не тільки тимчасову стабільність елементів, наприклад, резисторів, але і температурну стабільність усієї схеми [28]. Зазначений підхід створює серйозні труднощі одержання точності, що відповідає більш, ніж 12-бітній роздільності [31].

У більшості випадків традиційне поліпшення одного показника, наприклад, точності, призводило до погіршення швидкодії. Зменшення кількості обладнання, спрощення пристрою погіршувало точність або швидкодію і т. п. Водночас уведення в розроблювані пристрої надлишковості у вигляді НПСЧ дозволяє в певній мірі вирішувати проблеми комплексного удосконалювання одночасно декількох характеристик аналого-цифрового перетворення. Такий підхід дає можливість при подовженні розрядної сітки пристрою (це призводить, зокрема, до збільшення кількості тактів при порозрядному врівноважуванні) з одного боку, підвищувати точність АЦП середньої і високої швидкодії, реалізованих на грубих аналогових вузлах, а з іншого боку, підвищувати швидкодію високоточних АЦП, що використовують аналогову елементну базу середньої швидкодії.

Підвищення швидкодії багаторозрядних АЦП досягається двома шляхами. Перший орієнтується на використання більш досконалої елементної бази. Другий шлях пов'язано з уведенням у проєктовані пристрої надлишковості. Причому «найстарішим» підходом у цьому напрямку є використання структурної надлишковості. Суть його насамперед відображається паралельно-послідовним принципом перетворення. Структурну схему двоступеневого паралельно-послідовного АЦП зображено на рис. 1.1 а). Тут: АЦП1 – перетворювач аналог-код з розрядністю n' ; АЦП2 – із розрядністю n'' ; ЦАП – високоточний перетворювач із розрядністю n' ; ДП – диференціальний підсилювач різниці $\Delta A = A_{\text{вх}} - A_{\text{к}}$; СМ – суматор; БК – блок керування, що забезпечує функціонування пристрою. Принцип дії АЦП є таким.

Вхідний сигнал $A_{\text{вх}}$ на першому такті перетворюється в код A в АЦП1 (першого ступеня). Різниця сигналів ΔA на другому такті підсилюється ДП і надходить на вхід АЦП2 (другого ступеня), на виході якого формується код B . Коди A та B подаються на вхід СМ, на виході якого з'являється сума $C := A + B$. У такий спосіб результат перетворення $A_{\text{вх}}$, формується за два такти у вигляді коду C як сума кодів A (старші розряди) і B (молодші розряди).

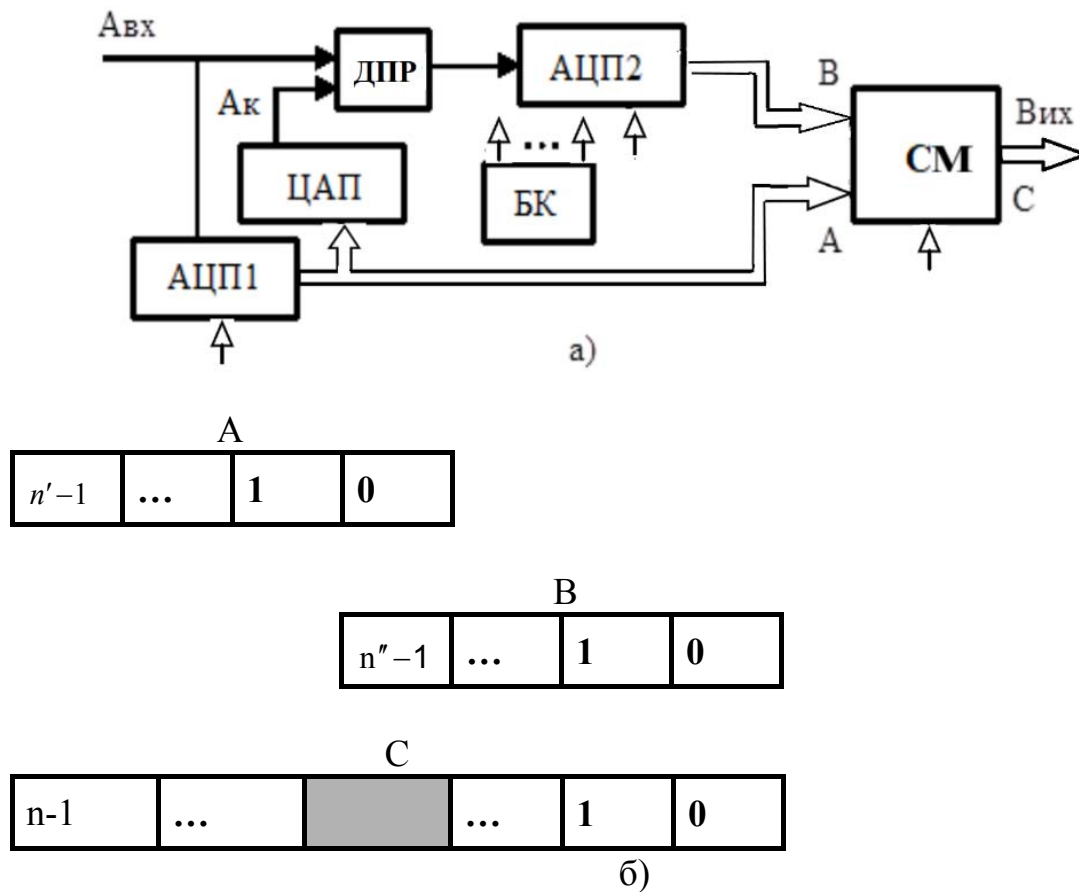


Рисунок 1.1 – Двоступінчастий паралельно-послідовний АЦП:
а) структурна схема; б) метод формування результату

Варто відзначити, що безпосереднім стикуванням вихідних кодів не можна одержати точність, що відповідає $n=n'+n''$ -розрядам. Це пов'язано з тим, що ΔA складається не тільки із залишку невірної частини $A_{вх}$, але і похибки, що виникають через неідеальність АЦП1 і ДП. Тому для формування правильного результату (рис. 1.1, б) застосовується метод перекриття шкал [27, 32]. Для корекції ЦАП, статична похибка якого повинна відповідати n -розрядному перетворенню, може застосовуватися допоміжний ЦАП і ПЗП з таблицею поправок, а також ОЗП і мікропроцесор [33]. Паралельно-послідовний принцип використовується при 12-14 розрядному аналого-цифровому кодуванні з частотою відліків 1-20 мГц. Недолік його полягає в ускладненні схеми аналогової частини, значних апаратних витратах, високому енергоспоживанні і низькій завадостійкості. Певним компромісом у цьому плані можуть служити структури паралельно-послідовних АЦП із числом ступенів врівноваження більше двох, розроблених у науковій школі професора О. Д. Азарова [1, 6]. У середині 80-х років широко почав застосовуватися метод перетворення, заснований на введенні інформаційної надлишковості і відомий як сігма-

дельта дискретизація з частотою, що істотно перевищує частоту за Котельниковим (Найквистом) [23–25].

Наприкінці 70-х і в 80-х роках для підвищення швидкодії при порозрядному аналого-цифровому перетворенні починають застосовуватися надлишкові позиційні системи числення. Першим серійним виробом, що використовує цей підхід, був 14-розрядний АЦП ICL 7115 фірми Intersil [34]. Структурну схему такого пристрою, виготовленого за КМОН-технології, наведено на рис. 1.2.

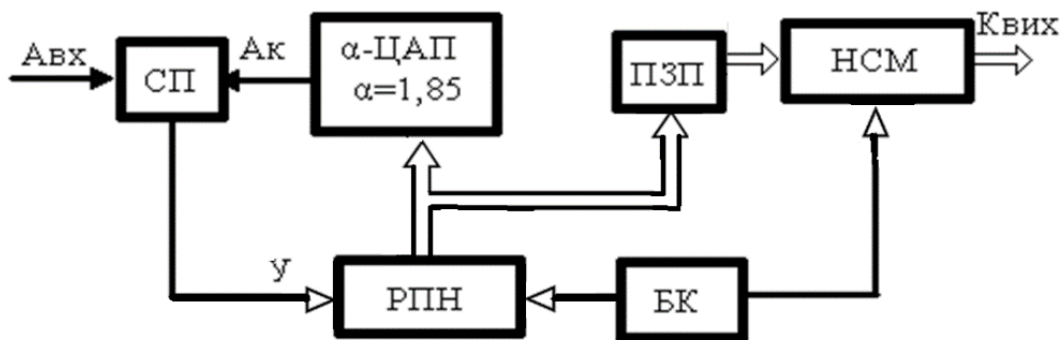


Рисунок 1.2 – Структурна схема швидкодіючого програмно-каліброваного АЦП ICL 7115

Тут: СП – схема порівняння, РПН-регістр послідовного наближення, НСМ – нагромаджуючий суматор, БК – блок керування. Особливістю такого програмно-каліброваного АЦП є застосування надлишкового (відносно двійкового) 17-розрядного ЦАП з відношенням ваг $\alpha=1,85$. Це дозволило здійснювати автоматичну компенсацію динамічних похибок, що виникають у процесі врівноваження, і досягти часу перетворення ≤ 40 мкс.

Діапазон перетворення ICL 7115 на 18% більше, ніж для двійкового при значно меншій точності виготовлення резисторів ЦАП. Відхилення ваг розрядів від ідеальних значень визначаються після виготовлення кристалу і штучного його старіння, а потім у вигляді двійкових еквівалентів заносяться в ПЗП. Вихідний 14-розрядний двійковий код $K_{вих}$ по мірі врівноваження послідовно формується в НСМ. Цифровий еквівалент вхідного коду $K_{вих}$ відображає компенсуючу величину A_k , значення якої пропорційне:

$$K_{вих} = \sum_0^{n-1} a_i K_i,$$

де $a_i \in \{0,1\}$ – двійковий коефіцієнт i -го розряду надлишкового ЦАП; K_i – цифровий двійковий еквівалент реальної ваги i -го-розряду.

Проте виграш по швидкодії, що досягається в цьому випадку, є невисоким (біля двох разів) унаслідок низького рівня надлишковості, що вводить. Крім того, програмне калібрування ваг розрядів, коди яких занесено в ПЗП, є неефективним під час змінення умов зовнішнього середовища, оскільки це призводить до зміни ваг розрядів.

У Вінницькому національному технічному університеті під керівництвом О. Д. Азарова розроблено і впроваджено високоточні самокалібровані швидкодіючі АЦП на основі НПСЧ [1, 2]. При цьому слід зауважити, що «повільнодіючі» самокалібровані АЦП на основі НПСЧ можна перетворити на «швидкодіючі» шляхом незначного ускладнення цифрової частини [2].

Структурна схема швидкодіючого самокаліброваного АЦП на основі знакорозрядної НПСЧ, що наведена на рис. 1.3, містить два цифро-аналогових перетворювачі: додатний (ЦАП «+») і від'ємний (ЦАП «-»); реєстри послідовного наближення РПН1 та РПН2, суматор аналогових сигналів (Σ), цифровий обчислювальний пристрій (ЦОП), блок пам'яті (БП), схему порівняння (СП) і блок керування (БК). АЦП працює в двох режимах: самокалібрування й основного перетворення.

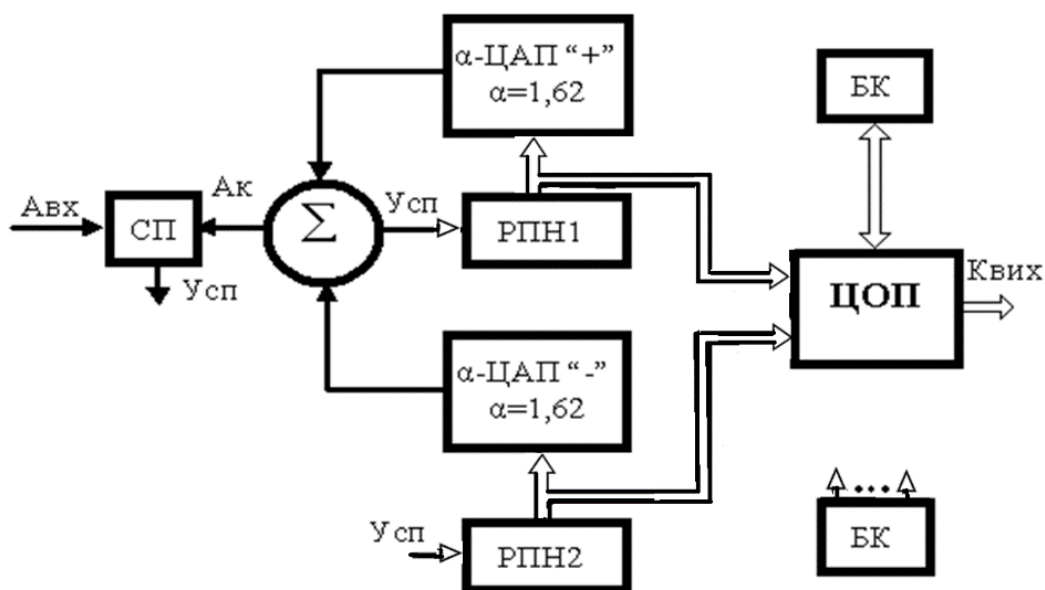


Рисунок 1.3 – Структурна схема швидкодіючого самокаліброваного АЦП на основі НПСЧ (1, -1)

У процесі самокалібрування визначаються коди реальних ваг розрядів ЦАП «+», ЦАП «-» і $\Delta A_{зм}$, що фіксуються в БП. У режимі основного перетворення прискорене аналого-цифрове врівноваження здійснюється за рахунок автокомпенсації динамічних похибок. При цьому

мінімальна припустима тривалість такту перетворення визначається рівнем надлишковості використовуваної НПСЧ. У розроблених пристроях відношення ваг розрядів НПСЧ $\alpha \approx 1,62$ (золота пропорція), що дозволяє підвищити швидкодію в порівнянні з двійковим АЦП у 5-8 разів. Структурна схема швидкодіючого самокаліброваного АЦП на основі НПСЧ (0,1), яку наведено на рис. 1.4, містить: аналоговий комутатор (АК), блок допоміжних сигналів (БДС), блок елементів АБО, регістр зсуву та ін. [2].

У режимі самокалібрування визначаються коди реальних ваг розрядів α -ЦАП і $\Delta A_{зм}$. Причому значення додаткових аналогових сигналів, що формуються БДС, можуть задаватися з низькою точністю. Прискорене врівноважування здійснюється з використанням на кожному l -му такті аналогових сигналів, що форсують і генеруються молодшими ($i < l$) розрядами ЦАП. У разі перетворення вимірювальних сигналів у схеми вводиться прецизійне джерело опорної напруги (струму), за допомогою якого коригується масштабний коефіцієнт M .

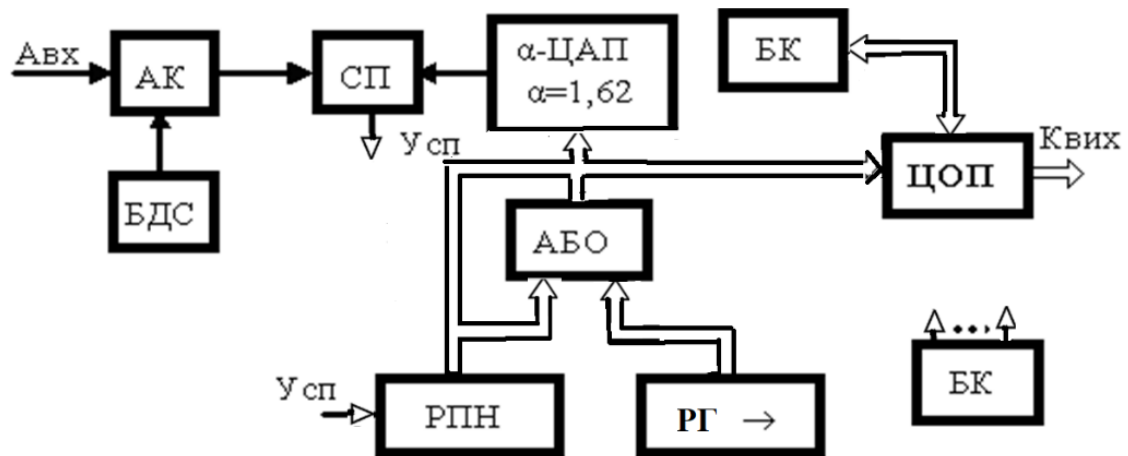


Рисунок 1.4 – Структурна схема швидкодіючого самокаліброваного АЦП на основі НПСЧ (0, 1)

Варто зазначити, що введення інформаційної надлишковості у формі НПСЧ, дозволяє організувати процедуру самокалібрування і компенсації динамічних похибок ваг розрядів АЦП і використовувати ці принципи для побудови високоточних швидкодіючих перетворювачів аналог-код, точнісні характеристики яких не погіршуються під час зміння умов зовнішнього середовища і функціонуванні протягом тривалих проміжків часу [1, 2, 57 – 59].

У теперішній час для розробки масових закордонних АЦП порозрядного кодування для цифрових аудіо-систем широко застосовується технологія комутованих конденсаторів [35–37, 60]. У таких схемах широко

застосовується цифрова корекція ємнісного ЦАП і зсуву нуля [38–39]. Під керівництвом О. Д. Азарова також розроблено структури самокаліброваних АЦП як на резистивних ЦАП, так і на комутованих конденсаторах [6, 61, 62], у т.ч. підвищеної швидкодії. Застосування НПСЧ у таких ПП, побудованих на неточних елементах, дозволяє підвищувати і точність, і швидкодію. Проте розвиток такого напрямку в Україні стримується невідповідністю технологічної бази. Для підвищення швидкості порозрядного аналого-цифрового врівноваження застосовуються також структурні і схемні методи [3, 4].

Проте недоліком їх є обмежені можливості, тому що відсутня, зокрема, можливість під час врівноваження, компенсації змінення вхідного сигналу.

1.2 Методи підвищення точності аналого-цифрових перетворювачів слідкувального типу із ваговою надлишковістю

Основними джерелами статичних похибок багаторозрядних АЦП слідкувального типу є відхилення параметрів аналогових елементів від своїх номінальних значень (головним чином параметрів ЦАП). Це пов'язано з фундаментальними обмеженнями на завдання їхніх параметрів, недосконалістю технології виготовлення та впливом природних чинників у процесі експлуатації, зокрема: зміна температури навколишнього середовища, старіння елементів аналогових вузлів, впливом радіації тощо. При цьому варто відмітити, що всі багаторозрядні (14 і більше двійкових розрядів) ЦАП без вживання спеціальних заходів, по суті, є неточними, оскільки їхня кінцева похибка перетворення не відповідає заявленій роздільній здатності [58].

Традиційно в АЦП різноманітних типів, зокрема, порозрядного наближення, послідовно-паралельних АЦП для підвищення точності, у тому числі лінійності ХП, використовують різноманітні методи калібрування та коригування [2]. Водночас перенесення вказаних підходів на АЦП слідкувального типу, що побудований на неточних елементах, зокрема, неточному ЦАП, є недоцільним. Це пояснюється тим, що в АЦП слідкувального типу на основі двійкової системи числення процедуру коригування похибок ХП необхідно проводити на кожному такті перетворення, а це значно знижує швидкість перетворення [2]. Це призвело до поступового витіснення двійкових АЦП слідкувального типу

пристроями з кращими параметрами (АЦП послідовного наближення, сигма-дельта АЦП). Разом із тим, побудова багаторозрядних АЦП слідкувального типу на основі неточного ЦАП із ВН дозволяє значно підвищити точність такого перетворювача за рахунок використання самокалібрування (СК). Варто зазначити, що ЦАП із ВН має нерозривну ХП (у випадку, якщо допуск не виходить за визначені межі [2]), а це надає можливість використання оригінальних методів формування нерозривної компенсувальної аналогової величини в АЦП слідкувального типу на основі СЧВН і, як наслідок, отримання високолінійної ХП. При цьому наявність ВН в рамках ПФІ істотно змінює характер перетворювальної шкали порівняно із двійковою СЧ. На рис. 1.5 наведено діаграми формування перетворювальних шкал для розрядних сіток ЦАП на основі двійкової СЧ і СЧ із базисом Фібоначчі ($p = 1$) [4].

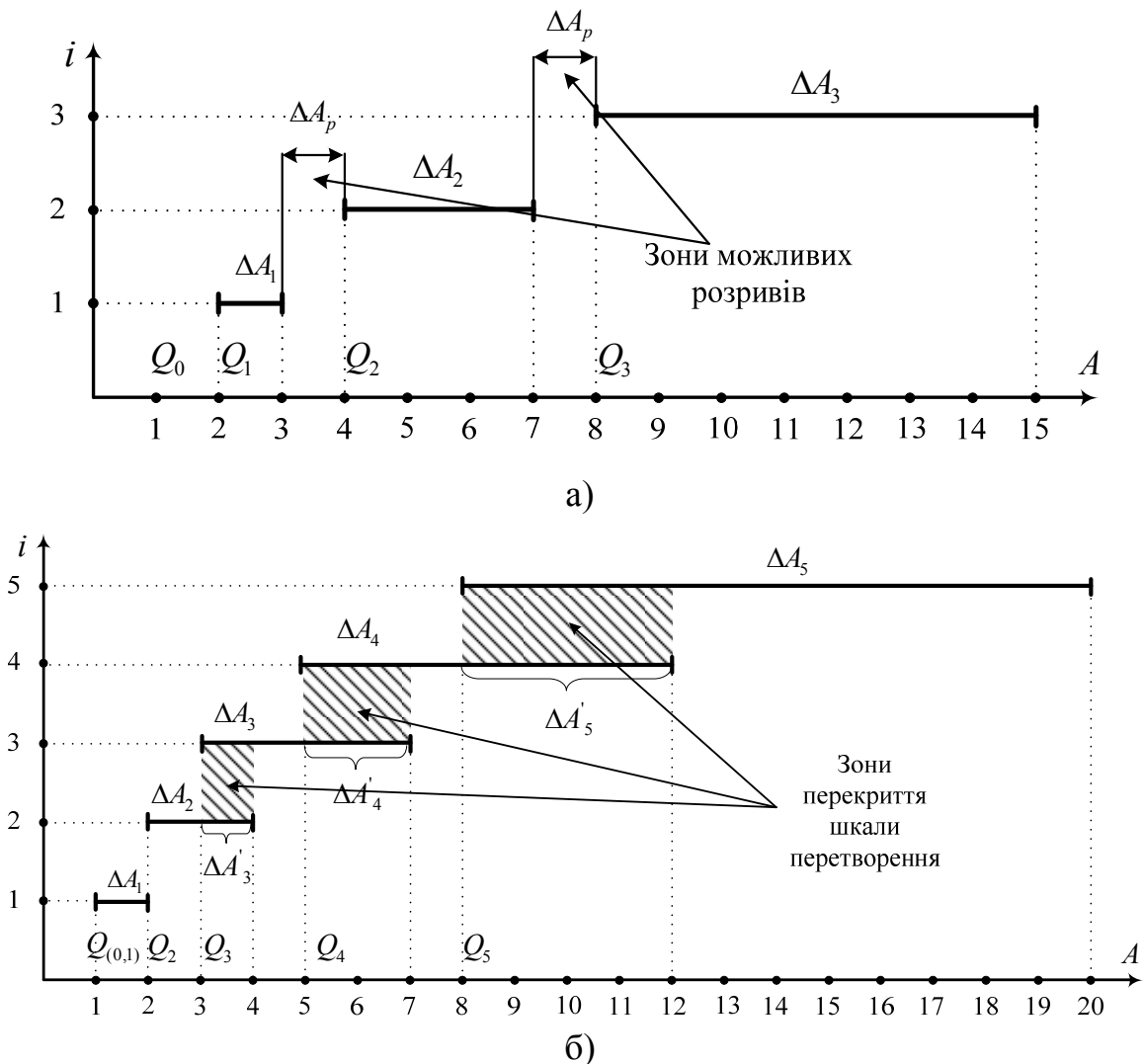


Рисунок 1.5 – Перетворювальні шкали:
а) двійкової СЧ; б) СЧВН на базі ряду Фібоначчі

Тут $\Delta A_i = \sum_{j=0}^{i-1} Q_j$ – діапазон перетворювальної шкали для i -го розряду;

$\Delta A'_i = \sum_{j=0}^{i-1} Q_j - Q_i = \Delta \tilde{Q}_i$ – ширина зони перекриття або абсолютна вагова

надлишковість для i -го розряду. Так, у випадку двійкової СЧ перекриття відсутні. Це виникає внаслідок її нульової ВН. При цьому зони можливих розривів шкали перетворення на рис. 1.5 позначено як ΔA_p . У випадку СЧВН із базисом Фібоначчі ($p = 1$) для $i = 3, 4, 5$, відповідно, мають місце зони перекриття шкали перетворення: $\Delta A'_3 = 1$; $\Delta A'_4 = 2$; $\Delta A'_5 = 4$ [4].

Саме ця особливість є аргументом того, що у випадку побудови ЦАП на основі СЧВН є можливість використання принципово нових процедур генерування компенсувального сигналу (A_K) в АЦП слідкувального типу, що забезпечують високу лінійність ХП вказаного ПФІ. Так, генерування компенсувального сигналу пристроєм, у якому застосовується метод підвищення лінійності характеристики перетворення багаторозрядних АЦП слідкувального типу з ВН, що базується на самокалібруванні з використанням табл. 1.1 [4] перетворення «цифровий еквівалент–робочий код», умовно можна розділити на декілька етапів.

Таблиця 1.1 – Таблиця перетворення $K_{BX} \rightarrow N_P$

i	K_{BXi}	N_{Pi}
0	00000000	00000000000
1	00000001	00000000001
2	00000010	00000000010
3	00000011	00000000100
4	00000100	00000000101
5	00000101	00000001000
6	00000110	00000001010
...

Першим етапом є самокалібрування ваг розрядів ЦАП із ВН, що входить до складу АЦП із перериванням процедури основного

перетворення. При цьому здійснюється обчислення коригувальних поправок або коригованих значень «неточних» розрядів [58].

Результатом виконання процедури самокалібрування, блок-схему алгоритму якої показано на рис. 1.6, є збережені в пам'яті цифрові еквіваленти реальних ваг розрядів ЦАП.

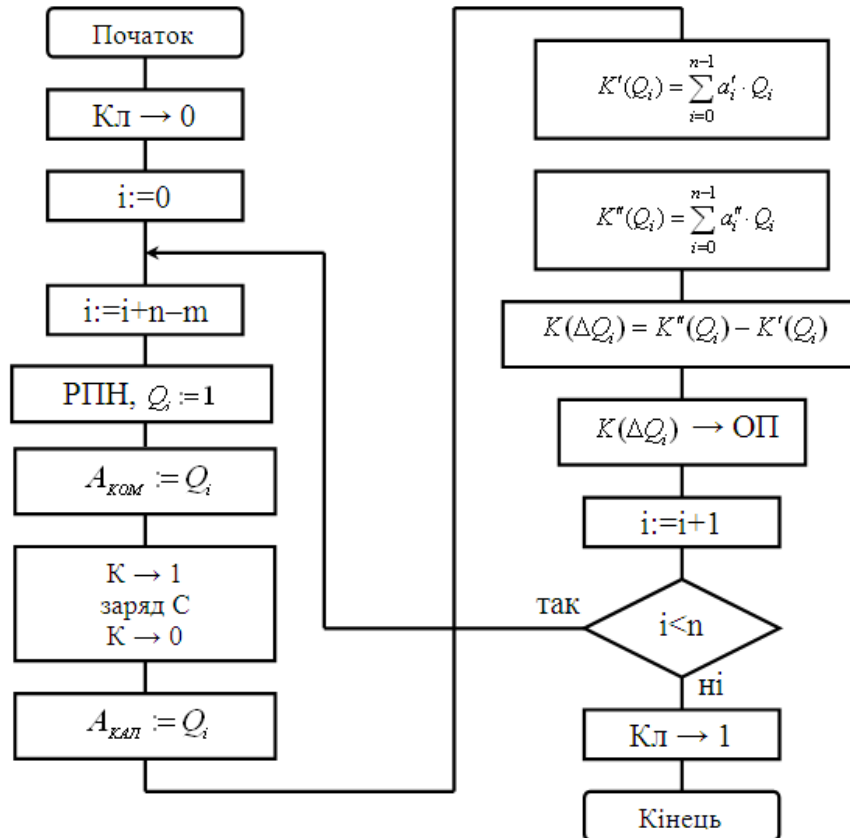


Рисунок 1.6 – Блок-схема алгоритму самокалібрування

Для генерування A_K в АЦП слідкувального типу із ВН, згідно з таким методом, використовується таблиця перетворення «цифровий еквівалент–робочий код» ($K_{BX} \rightarrow N_P$). Вказана таблиця являє собою сукупність пар кодових слів у двійковій СЧ (K_{BX}) та відповідних їм КК у СЧВН (N_P). Для складання вказаної таблиці використовується лічильник у двійковій СЧ та перетворювач «цифровий еквівалент – робочий код» [4].

Для пояснення суті таблиці перетворення $K_{BX} \rightarrow N_P$ розглянемо узагальнену операторну схему АЦ-перетворення з ВН, що може бути представлена таким чином:

$$A_{BX} \rightarrow A_K \rightarrow N_P \rightarrow K_{ВНХ}(A_K), \quad (1.1)$$

де A_{BX} – це вхідний аналоговий сигнал; A_K – компенсувальний аналоговий сигнал, причому $A_K = \sum_0^{n_\alpha-1} a_i Q_i$; $N_P \in \{a_{n_\alpha-1}, \dots, a_1, a_0\}$ – робочий код; $K_{BIX}(A_K)$ – цифровий еквівалент компенсувального аналогового сигналу, що визначається як

$$K_{BIX} = \sum_0^{n_\alpha-1} a_i K(Q_i), \quad (1.2)$$

де $K(Q_i)$ – цифровий еквівалент двійкового коду реальної ваги i -го розряду ПФІ.

Граф-схему алгоритму формування таблиці перетворення $K_{BX} \rightarrow N_P$ наведено на рис. 1.7 [4]. Приклад вказаної таблиці для 11-розрядного АЦП слідкувального типу на основі СЧВН із основою СЧ $\alpha = 1,618$ наведено у табл. 1.1.

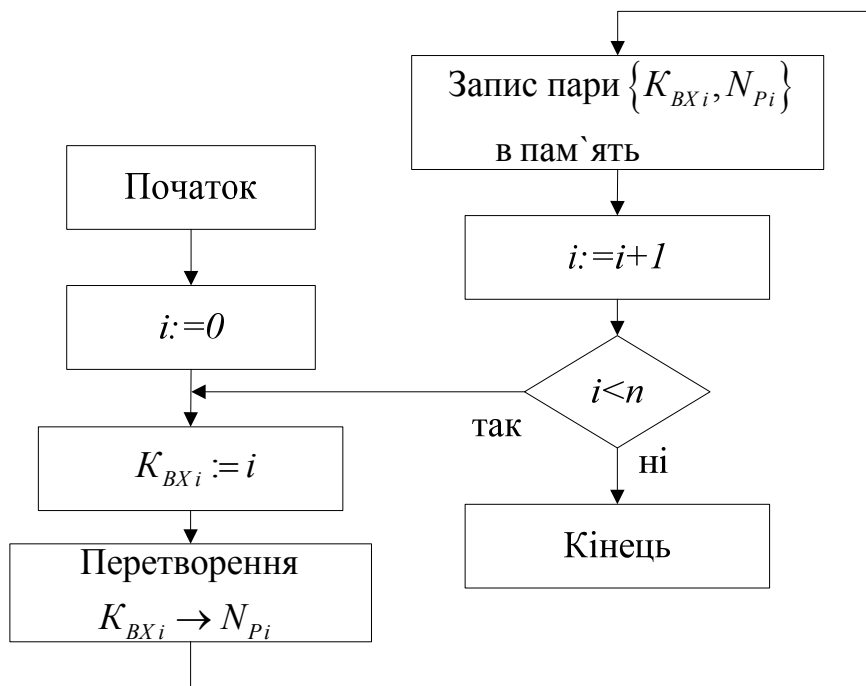


Рисунок 1.7 – Граф-схема алгоритму формування таблиці перетворення $K_{BX} \rightarrow N_P$

Іншим методом генерування високолінійного компенсувального аналогового сигналу на базі ЦАП із ВН є такий, що базується на самокалібруванні з використанням межових КК.

У цьому випадку процедура підвищення лінійності стрибкоподібної ХП АЦП слідкувального типу з ВН зводиться до пошуку межових (сусідніх) кодових комбінацій (КК) в ПФІ вказаного типу.

Межеві КК – це такі коди (N_i' та N_i''), аналогові еквіваленти яких відрізняються не більше ніж на значення одного молодшого кванта ПФІ. Наявність вказаних КК пояснюється властивістю багатозначності зображення величин у СЧВН [2].

Для межових КК виконується така рівність:

$$A_i'' = A_i', \quad (1.3)$$

де A_i'' – аналоговий еквівалент коду N_i'' , причому $A_i'' = \sum a_i'' \cdot Q_i$,

де a_i'' – розрядні коефіцієнти коду N_i'' ;

Q_i – ваги розрядів ПФІ; A_i' – аналоговий еквівалент коду N_i' , причому

$$A_i' = \sum a_i' \cdot Q_i, \quad (1.4)$$

де a_i' – розрядні коефіцієнти коду N_i' .

В основу методу підвищення лінійності ХП АЦП слідкувального типу з ВН за допомогою межових КК також покладено принцип умовного розбиття розрядної сітки перетворювача на групу «неточних» m старших розрядів і «точних» $(n-m)$ молодших (рис. 1.8) [1, 2].

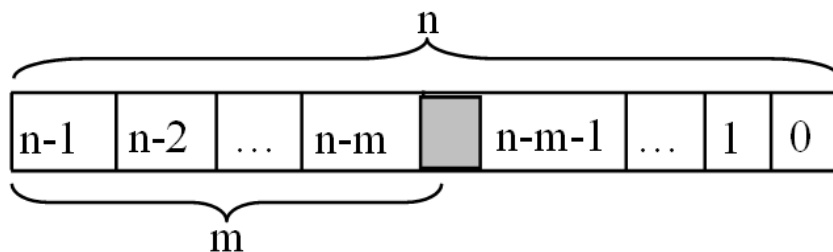


Рисунок 1.8 – Модель розрядної сітки ЦАП у режимі цифрового самокалібрування

Належність до «точних» молодших розрядів вибирається з умови, що їх абсолютні відхилення не перевищують половини молодшого значимого кванта. При цьому межеві КК шукаються тільки для групи «неточних» розрядів.

Пошук межових КК для кожного «неточного» i -го розряду здійснюється з використанням алгоритму порозрядного наближення [2]. При цьому виконується двократно врівноваження допоміжного сигналу $A_{калі}$ із вмиканням і без вмикання i -го розряду.

Результатом подвійного врівноваження кожного «неточного» i -го розряду є межові комбінації вигляду, наведеного в табл. 1.2. Тут A_i є аналоговим еквівалентом відповідної межевої комбінації.

Таблиця 1.2 – Межові КК

Q_i	128,86	75,00	46,78	29,60	17,50	10,50	6,98	4,00	2,71	1,64	1,00	A_i
N'_i	0	0	0	1	0	0	0	0	0	0	0	29,60
N''_i	0	0	0	0	1	1	0	0	0	0	1	29,00

Алгоритм пошуку межових КК зображено на рис. 1.9. Варто зазначити, що результати пошуку межових КК можуть багатократно використовуватися у процесі основного перетворення, аж поки не виникне потреба здійснювати повторну процедуру.

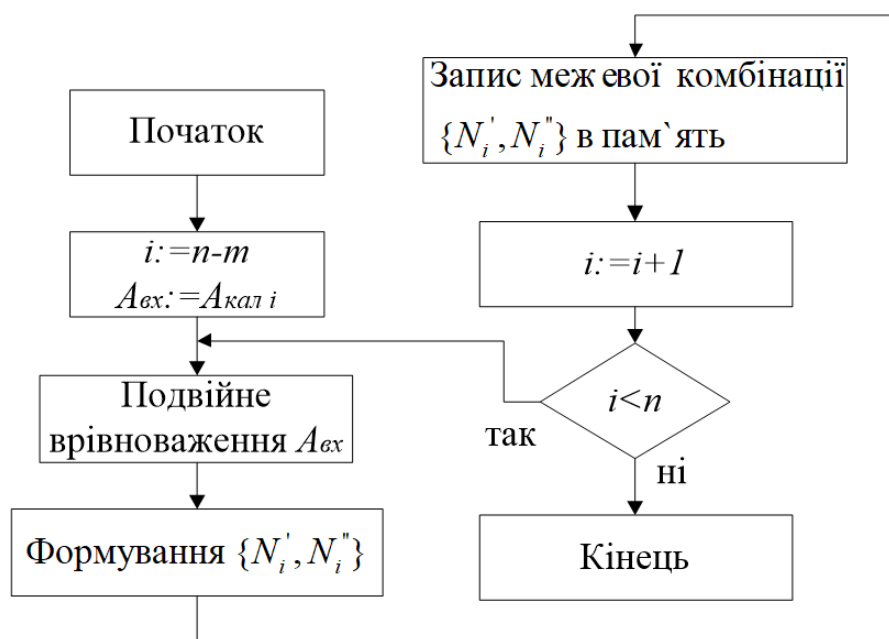


Рисунок 1.9 – Алгоритм пошуку межових КК де $Rg.N$ – код в регістрі лічильного пристрою АЦП слідкувального типу.

Причому, критерієм для проведення чергової процедури пошуку межових КК слугує рівень зміни ваг розрядів ПФІ, що, у свою чергу, залежать від змінення параметрів навколишнього середовища або часу старіння.

Під час формування A_K в АЦП слідкувального типу кодові комбінації в лічильному пристрої постійно змінюються. При цьому, згідно із запропонованим методом підвищення лінійності за допомогою межових КК правило лічби (зміни КК у реєстрі Rg лічильного пристрою) у ПФІ задається таким виразом [4]:

$$Rg.N = \begin{cases} N'_i, & \text{якщо } Rg.N := N_i''; \\ N_i'', & \text{якщо } Rg.N := N'_i, \end{cases} \quad (1.5)$$

На рис. 1.10 наведено графічне зображення процедури підвищення лінійності або лінеаризації стрибкоподібної ХП 11-розрядного ЦАП із ВН на основі СЧВН із $\alpha = 1,618$ зі значними відхиленнями ваг розрядів від їх номінальних значень на основі запропонованого методу [4].

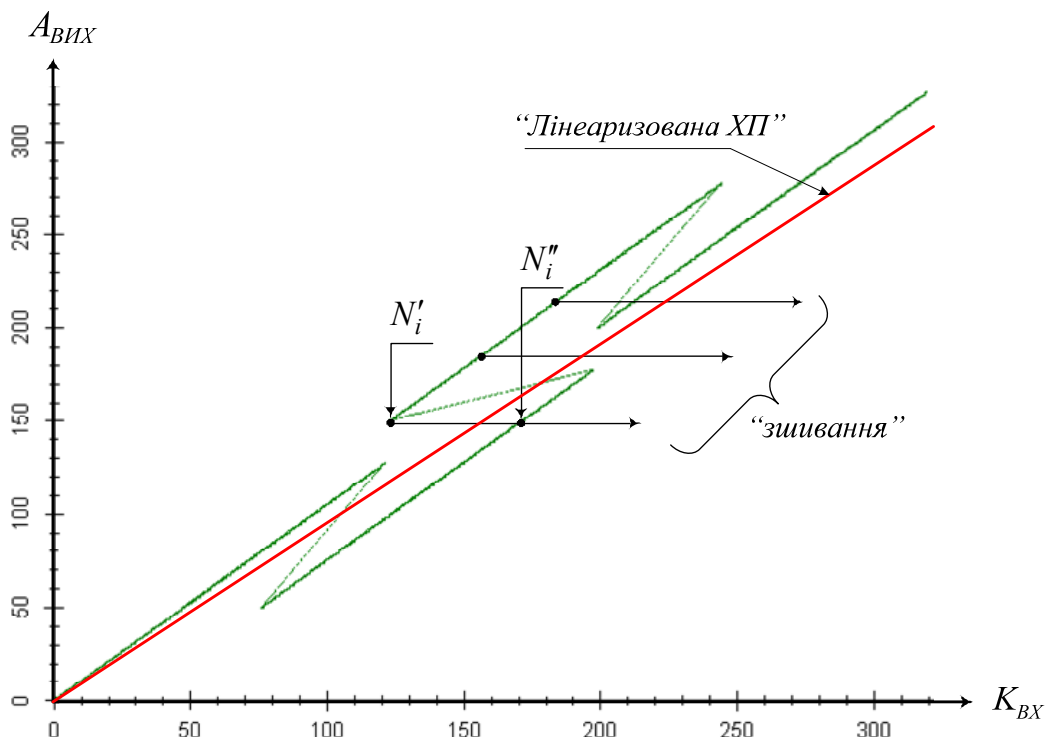


Рисунок 1.10 – Графік лінеаризації стрибкоподібної ХП неточного ЦАП із ВН

Варто вказати, що при цьому ваги розрядів ЦАП мають значення, наведені в табл. 1.3, а графік ХП ЦАП із ВН будується шляхом послідовного перебору всіх можливих КК таким чином, як це зображено в табл. 1.4 [4].

Таблиця 1.3 – Цифрові еквіваленти реальних ваг розрядів ЦАП із ВН

№ розряду	10	9	8	7	6	5	4	3	2	1	0
$K(Q_i)$	128,86	75,00	46,78	28,94	17,50	11,00	6,98	4,00	2,71	1,64	1,00

Таблиця 1.4 – Кодові комбінації ХП ЦАП із ВН

№ КК	a_{10}	a_9	a_8	a_7	a_6	a_5	a_4	a_3	a_2	a_1	a_0	K_{BX}	$A_{ВИХ}$
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1	1	0,99
...
1023	0	1	1	1	1	1	1	1	1	1	1	197,35	195,66
1024	1	0	0	0	0	0	0	0	0	0	0	122,96	128,86
...
2046	1	1	1	1	1	1	1	1	1	1	0	319,32	323,53
2047	1	1	1	1	1	1	1	1	1	1	1	320,32	324,52

Використання СЧВН та СК в АЦП слідкувального типу дає можливість значно покращити точнісні та вартісні характеристики таких перетворювачів. Структури багаторозрядних АЦП слідкувального типу із ВН, що використовують вищеописані методи підвищення лінійності характеристики перетворення, показано на рис. 1.11) [4, 52].

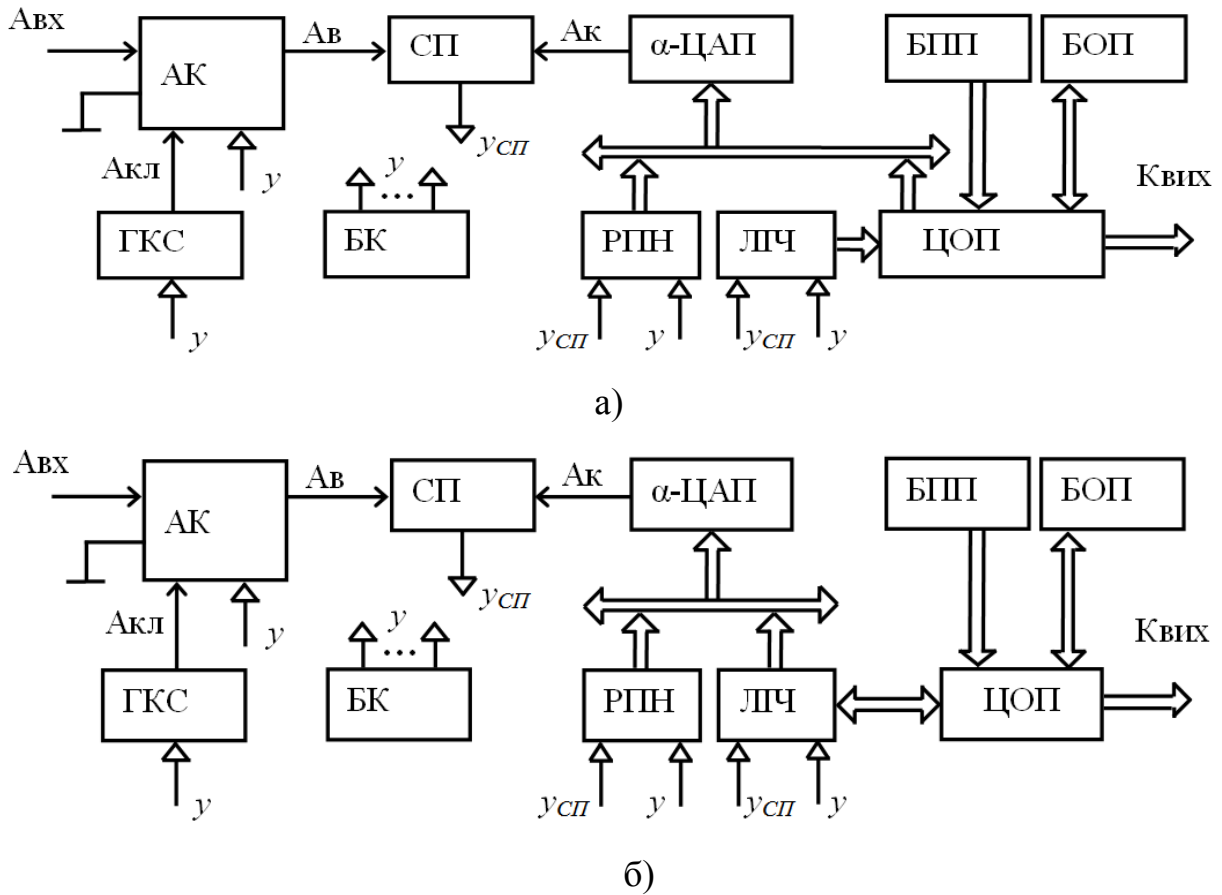


Рисунок 1.11 – АЦП слідкувального типу з ВН, що використовують методи підвищення лінійності ХП на основі:
 а) таблиці перетворення $K_{BX} \rightarrow N_p$; б) межевих КК

1.3 Методи побудови АЦП комбінованого врівноваження

Комбінування різних методів перетворення проводиться з метою покращення основних характеристик процесу перетворення, спрощення електричної схеми та конструкції перетворювача. Розрізняють два види комбінованих методів [40, 56]:

- 1) методи, засновані на реалізації одного з відомих алгоритмів перетворення;
- 2) методи, засновані на реалізації двох відомих алгоритмів перетворення або більше.

Розглянемо існуючі методи перетворення першого виду.

Метод аналого-цифрового перетворення з безпосереднім зчитуванням через складність конструкції перетворювача застосовується, як правило, при невеликому числі рівнів квантування, що не перевищує 16-64 (4-6 двійковий розрядів). Однак схема може бути виконана з використанням перетворювача з безпосереднім зчитуванням, у якій граничне число рівнів квантування істотно перевищує цю величину і обмежується тільки стабільністю елементів, що складають схему. У цьому випадку перетворення з безпосереднім зчитуванням використовується для знаходження чисел цілих груп двійкових розрядів або цифр розрядів з більшими основами системи числення, ніж два. Схема такого перетворювача показана на рис. 1.12 [56].

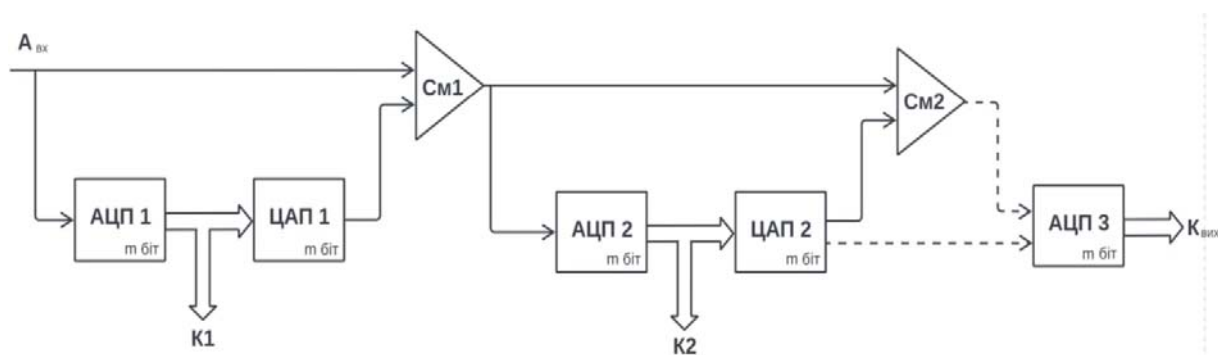


Рисунок 1.12 – АЦП паралельно-последовательного взвешивания разрядного типа

Перетворювач містить кілька наборів компараторів і кілька цифро-аналогових перетворювачів. За допомогою першого набору, що складається з m компараторів, весь діапазон зміни вхідної величини ділиться на $(m + 1)$ піддіапазонів і визначається, у межах якого з піддіапазону знаходиться вхідна величина X . За допомогою другого набору компараторів знайдений піддіапазон розбивається на більш дрібні піддіапазони, серед яких знову визначається той, в межах якого знаходиться вхідна величина, і так далі. При цьому число спрацювання в кожній з груп компараторів, представлене одиничним кодом, визначає цифру одного або декількох розрядів вихідної величини. Найбільш просто результат перетворення може бути представлений в позиційній системі числення з основою, рівною $(m + 1)$, коли число спрацювання в кожній з груп компараторів визначає цифру a_j відповідного розряду.

За допомогою декодувального пристрою запис з основою системи числення $m+1$ може бути перетворена в запис із системи числення будь-

якою основою. Якщо величина $m+1$ кратна цілим ступенями числа 2, то результат перетворення може бути легко представлений двійковим кодом, так як кожна з цифр a_j в цьому випадку відповідає цілому числу розрядів коду вихідної величини в двійковій системі числення.

Для знаходження кожного з піддіапазонів із вихідної величини віднімається величина, що формується за допомогою схем цифро-аналогового перетворення, у яких використовується джерело опорної напруги X_0 того ж знака, що і в ланцюгах зсуву на входах компараторів. Якщо операція віднімання виконується за допомогою пасивного суматора аналогових сигналів, то компаратори у всіх групах (наборах) мають одну і ту ж і, притому, максимальну роздільну здатність, яка визначається мінімальним рівнем квантування.

Можлива побудова перетворювача, коли послаблюються вимоги до компаратора, що входять до складу другого і всіх наступних наборів. Для цього замість пасивного суматора необхідно використовувати підсумовуючий підсилювач постійного струму (на рис. 1.12 показаний штриховою лінією), який підсилює сигнали, що прогресивно зменшуються, на входах окремих груп компараторів до значень, близьких до верхньої межі діапазону зміни вхідної величини. За рахунок цього знижуються вимоги до точності рівнів спрацьовування і роздільної здатності компараторів у всіх групах, що слідує за першою, внаслідок чого ці елементи перетворювача можуть будуватися по простішим, економнішим і водночас більш швидкодіючим схемам.

У перетворювачі, схема якого наведена на рис. 1.12, зазвичай спостерігається такий недолік, як неоднозначність результату. Неоднозначність у цій схемі спостерігається під час перехідних процесів у компараторах, цифро-аналоговому перетворювачі і інших елементах і може призводити до неправильним визначенням всіх цифр вихідної величини за винятком цифри a_1 . З цієї причини схема може бути використана лише у випадках візуальної індикації результату, коли похибка неоднозначності практично не виявляється через інерційність самого пристрою індикації або сприйняття оператором показів пристрою. Однак при цьому не реалізується головна якість схеми – її висока швидкодія.

Визначення похибки неоднозначності можливо при послідовному визначенні значень цифр a_j , – через інтервали, рівні часу встановлення перехідних процесів у окремих вузлах схеми. Для цього перетворювач ЦАП повинен бути забезпечений схемою запам'ятовування, у яку

результат заноситься по команді, що надходить із блока управління в момент завершення перехідних процесів на виході попереднього ЦАП. Такий порядок виконання операцій відкриває можливості використання тільки одного набору компараторів для знаходження всіх цифр числа, для чого цей набір включається на виході однієї загальної схеми підсумовування аналогових сигналів, як це показано на рис. 1.13 [63].

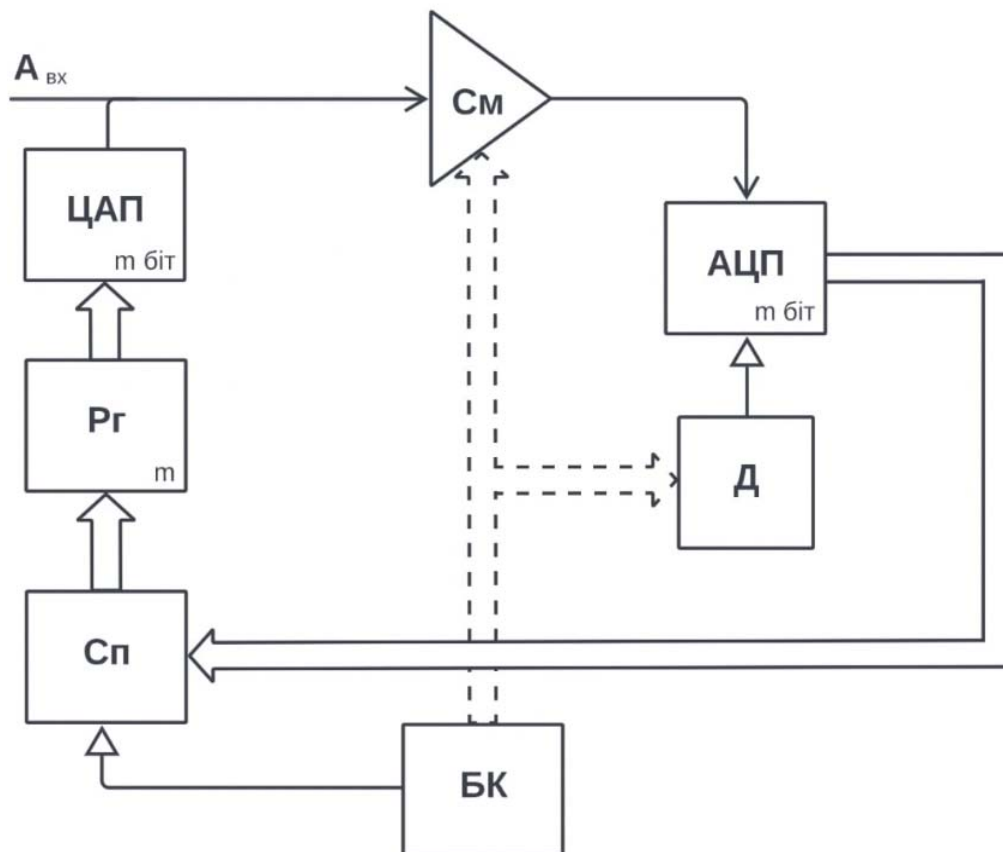


Рисунок 1.13 – АЦП паралельно-послідовного врівноваження замкнутого типу з безпосереднім зчитуванням

При цьому, по суті, виходить один із варіантів порозрядного кодування, коли в кожному такті роботи визначається цифра одного розряду вихідної величини, представлені в системі числення з основою $(m+1)$. Віднімання аналогових сигналів при визначенні кожного нового піддіапазону здійснюється за допомогою одного загального суматора СМ, на який надходить вхідний сигнал X і сигнал із виходу цифро-аналогового перетворювача.

Зміна рівнів спрацьовування компараторів при розподілі кожного нового піддіапазону на $(m+1)$ відрізків виконується по сигналу, який

формується в кожному такті роботи блоком управління БУ. Ці сигнали управляють дільником напруги D , через який опорна напруга X_0 подається на вхідні подільники компараторів. Поділ на піддіпазони і вибір піддіпазону, відповідного за рівнем величини вхідного сигналу, можна здійснювати і не змінюючи рівня спрацьовування компараторів. Для цього, як і в схемі на рис. 1.12, застосовують підсилювач різницевого струму, коефіцієнт передавання якого змінюється в кожному такті так, що на перетворювач із безпосереднім зчитуванням у кожному такті роботи надходить сигнал, максимальне значення якого в точності відповідає шкалі перетворювача з безпосереднім зчитуванням. Коефіцієнт передачі підсилювача регулюється за допомогою сигналів, що надходять від блоку управління. Цими ж сигналами управляються схеми збігу на входах запам'ятовуючого регістра R_g , через який значення цифр a_j , в кожному такті роботи, передаються на відповідні елементи пам'яті цього регістра.

Розглянута схема на відміну від схеми, наведеної на рис. 1.12, є схемою замкненого типу, у якій існує негативний зворотний зв'язок із виходу на вхід схеми. Корисною особливістю схем із негативним зворотним зв'язком є можливість використання грубо-точного способу виконання операцій, коли наближено певні значення цифр разрядів числа поступово уточнюються в наступних тактах кодування. При цьому відкриваються подальші можливості спрощення окремих вузлів за рахунок зниження вимог до їхньої точності з одночасним поліпшенням, за рахунок цього, їхніх динамічних характеристик.

Перетворювач з грубо-точним виконанням операцій може бути побудований за схемою, показаною на рис. 1.13, з деякими доповненнями в частині компараторів. Проте, недоліком такої схеми перетворення є те, що в першому такті роботи, коли відсутній сигнал похибки, додаткові компаратори не використовуються.

Практична реалізація схеми, для якої справедливий такий підхід, має низку проблем, таких, наприклад, як відмінність основ систем числення, прийнятих для різних тактів перетворення, а також необхідність змінювати структурну схему приладу після закінчення першого такту роботи.

Розглянемо схему перетворювача, у якому є можливість виправлення результату, отриманого в попередньому такті, або, як його називають інакше, перетворювача з грубо-точним виконанням операцій. При розгляді схеми виберемо найбільш економічний варіант, коли в першому такті ефективно використовуються всі m компараторів.

Функціональну схему перетворювача наведено на рис. 1.14 [63].

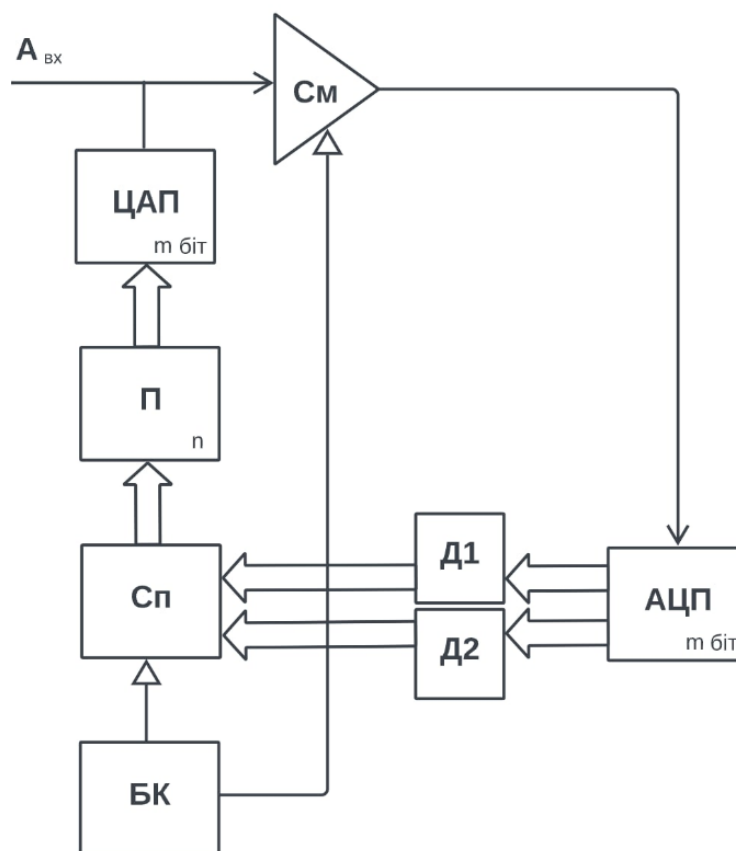


Рисунок 1.14 – АЦП комбінованого врівноваження з поєднанням способу послідовних наближень

Вона, як і схема на рис. 1.12, містить масштабуючий підсилювач $У$, перетворювач із безпосереднім зчитуванням, який складається з m компараторів, елементів пам'яті $П_1$, ЦАП і блока управління БК.

У першому такті роботи визначається і запам'ятовується значення першої цифри a_j , для чого вихідні сигнали всіх компараторів надходять через схему збігу $Сп_2$ відкрити сигналом із першого виходу БУ, на елемент пам'яті $П_1$. Перед запам'ятовуванням коду цього сигналу, його перетворюють за допомогою дешифратора $Дш_2$, переходячи від одиничного коду до будь-якого іншого, більш економічного. У другому і всіх наступних тактах визначаються і запам'ятовуються значення цифр a_j , і похибки визначення цифр a_{j-1} , якщо вони перевищують поріг спрацьовування $(m-1)$ -го компаратора.

Якщо похибка не перевищує цю величину, то результат a_j зчитується з перших m -а компараторів і через схеми $Сп_4$ і $Сп_2$ надходить на відповідний елемент пам'яті. Якщо похибка перевищує це значення, то

результат a_j зчитується з наступних $(\alpha - 1)$ компараторів і надходить на той же елемент пам'яті через схеми збігу Cn_3 .

Схеми Cn_3 управляються по другим входах сигналом із виходу $(m+1-\alpha)$ -го компаратора, а схеми Cn_4 – інвертованим вихідним сигналом цього ж компаратора. У разі одиничного сигналу на виході компаратора з номером $(m+1)$, вноситься також поправка в знайдене раніше значення цифри a_{j-1} , для чого до змісту схеми пам'яті Π_{i-1} додається одиниця сигналом, що надходять через одну зі схем збігу Cn_1 . Схеми пам'яті виконуються у вигляді регістра-лічильника. У кожному такті роботи сигналом із виходу блоку управління БУ відкриваються схеми Cn_1 і Cn_2 на лічильному і одиничних входах тільки одного елемента Π_i . Цим же сигналом із виходу блоку управління встановлюється необхідне значення коефіцієнта передачі підсилювача постійного струму U в кожному такті роботи, як в схемі рис. 1.12.

Комбінований перетворювач першого роду на основі перетворювача з безпосереднім зчитуванням забезпечує економну побудову схеми за рахунок деякого погіршення її швидкодії. Комбіновані перетворювачі першого роду, побудовані на основі використання інших методів, забезпечують, як правило, скорочення часу перетворення за рахунок деякого ускладнення схеми. При цьому найбільший ефект дає комбінована побудова при використанні методів порозрядного кодування або динамічної компенсації.

Комбінована схема на основі перетворювача з динамічною компенсацією будується за тією ж функціональною схемою, що і комбінований перетворювач з безпосереднім зчитуванням. Вона може бути виконана, наприклад, шляхом заміни набору компараторів в перетворювачі (див. рис. 1.13) малоразрядним перетворювачем із динамічної компенсацією.

Комбіновані методи першого роду, які використовуються в перетворювачах слідкувального типу, забезпечують не тільки скорочення часу перетворення повноразрядних сигналів, але і поліпшують динамічні характеристики в режимі стеження за рахунок збільшення методичної похибки дискретності (збільшується рівень квантування) або динамічної інструментальної похибки (збільшується частота генератора тактових імпульсів).

Комбіновані методи перетворення другого роду оснований на використанні різних способів перетворення, таких як порозрядне кодування, метод безпосереднього зчитування, метод динамічної

компенсації, метод слідкувального перетворення. В даний час ключові елементи для комутації аналогових сигналів, особливо діодні, мають час встановлення, порівняний з роздільною здатністю лічильників імпульсів і тим більше з часом спрацьовування компараторів, що становлять основу перетворювачів із динамічної компенсацією. Тому, якщо метою комбінування різних методів перетворення є підвищення пропускну здатності перетворювача, а не економічність його побудови, то спосіб порозрядного або слідкувального кодування і, природно, безпосереднього зчитування має безперечні переваги перед методом динамічної компенсації.

Таким чином, із можливих варіантів побудови комбінованих схем доцільно обмежитися комбінаціями, що включають способи порозрядного кодування, слідкувального перетворення і безпосереднього зчитування.

Кращі результати дає поєднання способів слідкувального перетворення і порозрядного кодування або безпосереднього зчитування. Спосіб слідкувального перетворення використовується тільки для визначення цифр старших розрядів, а для знаходження чисел молодших розрядів вихідної величини використовується спосіб безпосереднього зчитування або порозрядного кодування. Таке поєднання призводить до побудови так званої схеми слідкувального перетворення з багаторозрядними прирощуваннями, яка має низку переваг у порівнянні з кожним із способів окремо, що використовуються при її побудові. Операції порозрядного перетворення або безпосереднього зчитування в цьому випадку проводяться не з повними значеннями вхідних величин, а з їхніми приростами, за рахунок чого знижуються вимоги до точності виконання цих операцій і скорочується час їх виконання. Час перетворення в таких схемах можна порівняти з часом перетворення в пристроях із безпосереднім зчитуванням. При слідкувальному перетворенні гранична швидкість зміни вхідної величини обмежена добутком максимальної частоти квантування на мінімальний рівень дискретизації. Причому спроби збільшити допустиму швидкість зміни вхідної величини за рахунок збільшення окремих співмножників цього добутку призводять до збільшення методичної похибки дискретності або динамічної похибки перетворення. Перетворення на основі способу багаторозрядних приростів дозволяє збільшити граничну швидкість зміни вхідної величини V за рахунок збільшення рівня квантування з подальшим перетворенням сигналу, що характеризує методичну похибку, наприклад, способом безпосереднього зчитування або будь-яким іншим. Схема комбінованого перетворювача показано на рис. 1.15 [63].

Перетворювач містить такі вузли: регістр R_r , у якому зберігається попереднє значення вихідної величини Y_{i-1} ; цифро-аналоговий перетворювач; схему сумування $S_{ма}$ аналогових сигналів, на виході якої утворюється різниця $\Delta X = X - X_i$; аналого-цифровий перетворювач різниці АЦПР, який служить для перетворення величини різниці ΔX в цифровий код; суматор цифрових сигналів СМЦ, за допомогою якого обчислюється нове значення вихідної величини Y_i , тактовий генератор імпульсів, що слідує із частотою f_0 . Нове значення вихідної величини Y_i утворюється шляхом підсумовування вмісту регістра R_r з вихідною величиною перетворювача АЦПР ΔY_i , причому, отриманий результат знову надсилається в регістр R_r , в результаті чого встановлюється рівність значень X і X_i з точністю, яка визначається повною похибкою перетворення.

Таким чином, метод перетворення з використанням багаторозрядних збільшень має переваги перед іншими методами не тільки в режимі слідкувального перетворення, але і в режимі перетворення сигналів довільних значень.

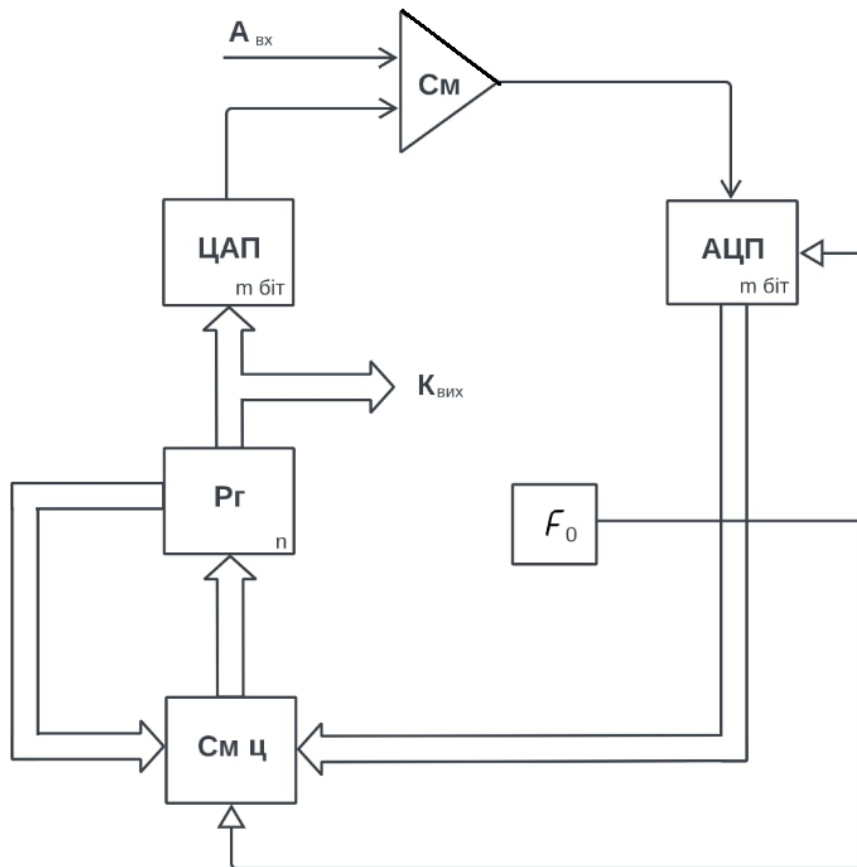


Рисунок 1.15 – АЦП слідкувального перетворення зі старших розрядів

Водночас, розглянута схема досить складна, так як у ній використовується повнорозрядний суматор цифрових сигналів. Спрощений варіант схеми наведено на рис. 1.16 [63].

У схемі код старших розрядів Y^* зчитується з неповнорозрядного регістра $R_{Г1}$, а код молодших розрядів ΔY — з вихідних шин перетворювача різниці АЦПР. Таким чином, результат у цифровій формі визначається шляхом підсумовування цих двох складових: $Y = Y^* + \Delta Y$.

Наступна операція, яка повинна виконуватися в цій схемі після підсумовування кодів, — операція формування так званого сигналу стеження. Сигнал стеження формується відповідно до наступного правила: вміст регістра $R_{Г1}$ в будь-якому такті роботи повинен змінюватися на одиницю, якщо при цій зміні зменшується величина ΔX . Для наведеної схеми ця операція повинна виконуватися, якщо цифра старшого розряду вихідної величини перетворювача АЦПР дорівнює одиниці. Сигнал стеження формується за допомогою схеми збігу $C_{п1}$, на один вхід якої надходить сигнал із виходу старшого розряду перетворювача АЦП,

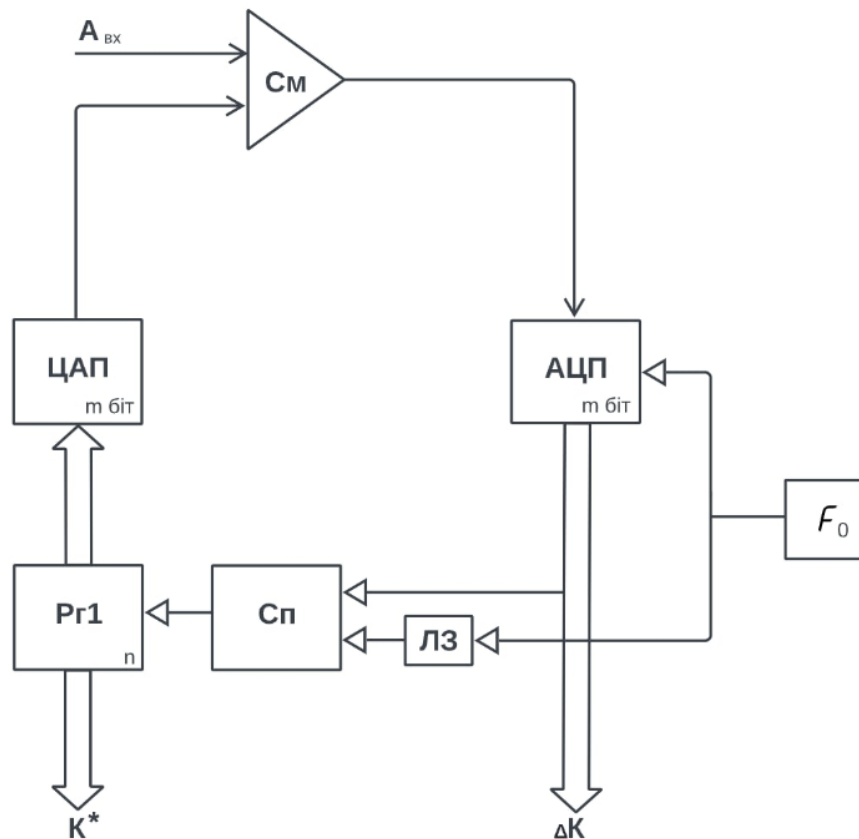


Рисунок 1.16 – Спрощений варіант АЦП слідкувального врівноваження зі старших розрядів

а на іншій – сигнал генератора тактової частоти f_0 , затриманий на час перетворення T_n і на час зчитування результату. Таким чином, результат на виході схеми зберігається протягом дуже короткого проміжку часу, що визначається моментами закінчення перетворення в перетворювачі АЦП і формування імпульсу стеження. Для виконання операції зміни вмісту регістра $R_{Г1}$ на одиницю останній побудований за схемою лічильника. На рис. 1.16 позначений повнорозрядний регістр $R_{Г1}$, що входить до складу перетворювача, схему якого наведено на рис. 1.15.

До основних переваг комбінованого перетворювача з багаторозрядних приростами можна віднести підвищення допустимої швидкості перетворення сигналу та скорочення часу перетворення довільних значень сигналів [63]. Також слід додати економічність побудови на його основі багатоканальних пристроїв перетворення. При використанні методу слідкувального перетворення багатоканальні пристрої представляють собою системи, що складаються з паралельно діючих автономних перетворювачів. Метод із багаторозрядними приростами спрощує побудову таких систем, по-перше, за рахунок того, що замість реверсивних лічильників при виконанні системи за схемою рис. 1.15 в окремих каналах застосовуються запам'ятовуючі регістри, які до того ж мають скорочене число розрядів. У такій схемі багатоканального перетворення потрібен тільки один реверсивний лічильник. Він використовується для підсумовування сигналів Y^* та ΔY . Малорозрядний перетворювач різницевих сигналів АЦПР при цьому може один обслуговувати всі канали, для чого необхідно, щоб сигнали ΔX окремих каналів по черзі підключалися до його входу. Комутатор цих сигналів, так само як і перетворювач приростів, має невисоку точність, за рахунок чого підвищується його швидкодія.

Варто зазначити ще одну можливість використання перетворювача з багаторозрядними приростами. Його вихідний сигнал може бути представлений не тільки двома цифровими величинами — кодом старших і кодом молодших розрядів, але також і комбінованої величиною $Y = Y_{ц} + Y_{а}$, цифрова частина якої $Y_{ц}$ дорівнює коду старших розрядів, а аналогова частина $Y_{а}$ дорівнює значенню ΔX , який визначається з раніше наведеного рівняння $\Delta X = X - X_1$. Значення ΔX в розглянутих схемах формується на виході пристрою підсумовування аналогових сигналів СМа, яким зазвичай є широкосмуговий операційний підсилювач постійного струму.

У перетворювачах із багаторозрядних приростами точне цифрове значення величини приросту може бути отримано, якщо остання не

виходить за межі робочого діапазону перетворювача приростів. В іншому випадку на виході цього перетворювача формується величина, рівна верхньому або нижньому значенню цього діапазону, яка і визначає граничну швидкість зміни вхідного сигналу в режимі стеження або час виходу в режим слідкувального перетворення при ступінчастій зміні вхідної величини.

Подальші можливості поліпшення характеристик перетворювача слідкувального типу реалізуються при зміні алгоритму роботи перетворювача в залежності від величини сигналу неузгодження.

Однією з таких можливостей є побудова, так званого перетворювача з паралельно-послідовним врівноваженням. У цьому перетворювачі, як і в перетворювачі одноктактної дії, є набір компараторів, за допомогою яких здійснюється приблизна оцінка величини неузгодженості між вхідною X і врівноважувальною X_1 величинами. Після проведеної оцінки сигнал X_1 змінюється на величину, близьку до значення $X - X_1$, після чого оцінюється нове, зменшене значення різниці $X - X_1$ і необхідна зміна сигналу X_1 і т. п.

Схему перетворювача показано на рис. 1.17 [63].

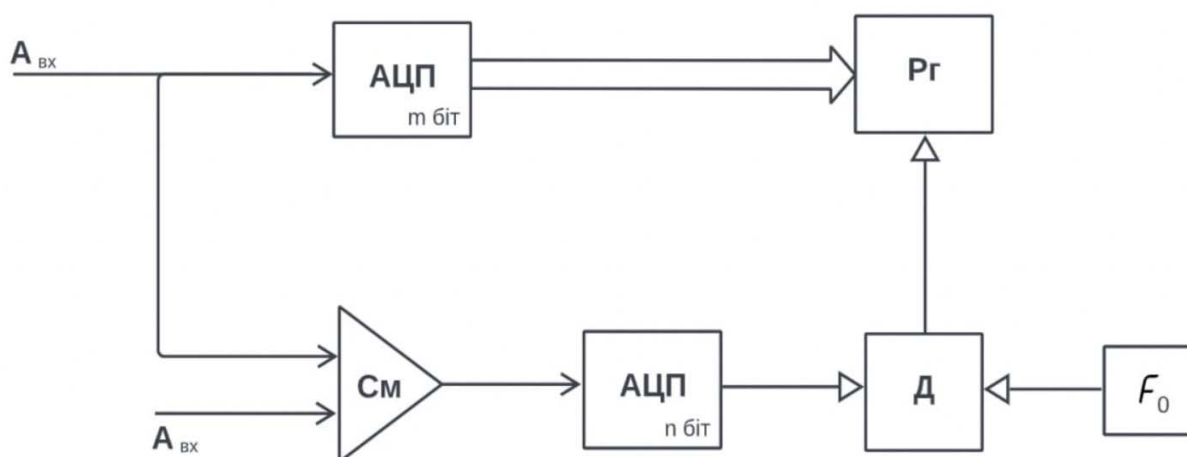


Рисунок 1.17 – Перетворювач із паралельно-послідовним врівноваженням

Крім набору компараторів, перетворювач містить цифро-аналоговий перетворювач, запам'ятовуючий регістр, що виконаний за схемою лічильника, і суматор аналогових сигналів СМа. Задовільний результат із точки зору підвищення динамічних характеристик забезпечується, якщо число компараторів рівно N – числу двійкових розрядів у коді вихідної величини. Залежно від величини неузгодженості одночасно можуть

спрацьовувати кілька компараторів. Сигнали з виходів компараторів надходять на рахункові входи тригерів запам'ятовувального регістра-лічильника через схему дешифратора. Дешифратор пропускає сигнали тільки з виходу того компаратора з числа, що спрацювали, у якого поріг спрацьовування має більше значення. Дешифратор практично являє собою перетворювач звичайного одиничного коду в позиційний код.

Перетворювач може працювати в режимі одиночного перетворення або в режимі стеження за умов, що змінюються сигналом. У першому випадку процес перетворення припиняється, як тільки різниця між вхідним і врівноваженим сигналами зробиться менше встановленого рівня. Мінімальна величина цього рівня визначається порогом спрацьовування першого компаратора. На відміну від простого перетворювача порозрядного кодування час перетворення в цій схемі є величиною змінною, що залежить від вхідного сигналу. Це скорочує середню тривалість перетворення і призводить до істотного зменшення часу перетворення в багатоканальних пристроях.

У режимі стежить перетворення змінною величиною є похибка квантування, яка залежить від швидкості зміни вхідної величини.

У цьому граничному випадку схема являє собою однорозрядний перетворювач і може працювати в такому режимі не більше одного такту. Такий режим роботи спостерігається, наприклад, при перетворенні імпульсних сигналів.

Щоб забезпечити режим стеження в схемі, необхідно перетворювати як позитивні, так і негативні сигнали неузгодженості, які утворюються на виході суматора аналогових величин. Для цього в перетворювачі повинен бути передбачений ще один набір компараторів, зміщення на які надходить від джерела опорної напруги протилежної полярності – X_0 . Наявність другого набору компараторів відкриває нові можливості. Якщо при одному наборі в кожному такті роботи величина можливого неузгодженості $X-X_1$ зменшується принаймні в 2 рази, то при наявності двох наборів компараторів ця величина може зменшуватися в 4 рази і більше. Для цього необхідно, щоб довільно взятий компаратор спрацював тільки в разі, якщо в результаті цього спрацьовування величина різниці $X-X_1$ зменшується за абсолютним значенням.

Схема паралельно-послідовного перетворювача, вихідна величина якого представлена чотирирозрядним двійковим числом, наведена на рис. 1.18.

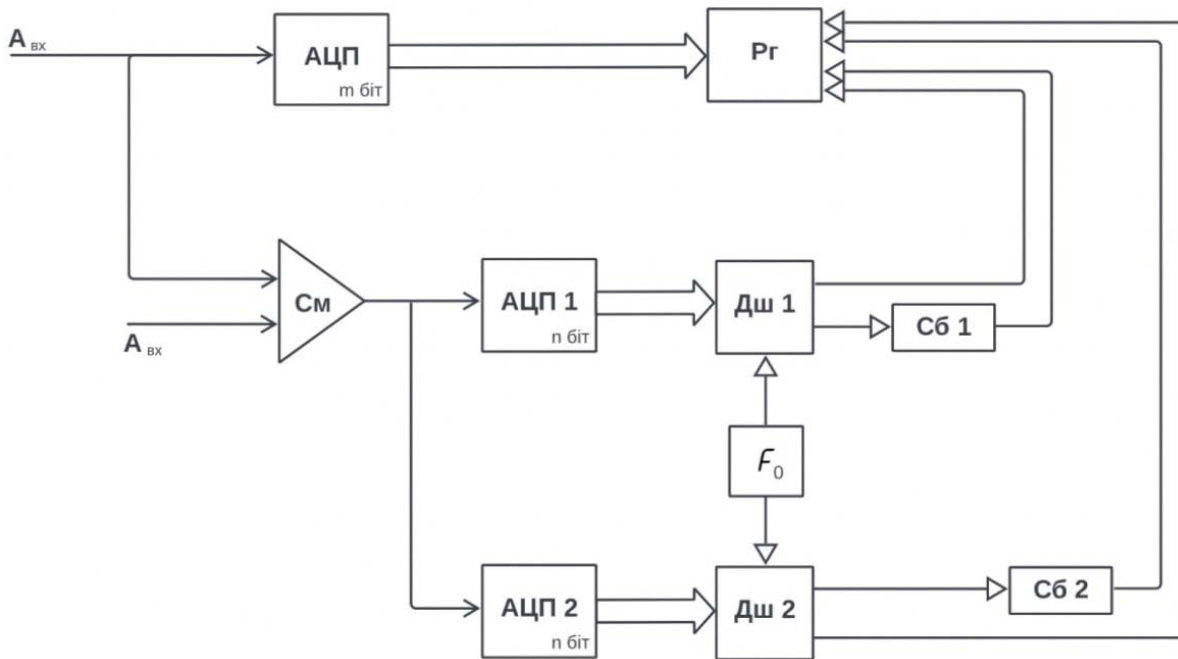


Рисунок 1.18 – АЦП паралельно-послідовного слідкувального
врівноваження знакозмінних сигналів

Вона містить два набори компараторів, цифро-аналоговий перетворювач, реверсивний лічильник РСч. Шини додавання і віднімання лічильника збуджуються сигналами з виходів збиральних схем Сб1 і Сб2, на входи котрих надходять сигналами з виходів дешифраторів Дш1 і Дш2. Дешифратори перетворюють звичайний одиничний код, що утворюється на виходах компараторів, в позиційний одиничний код. Через збиральні схеми Сб3 керуючі імпульси, сформовані на виходах схем ДШ1, Дш 2, надходять на лічильні входи відповідних тригерів лічильника.

Напруга на виході цифро-аналогового перетворювача встановлюється в кінці останнього такту роботи. У разі, якщо в цей момент не буде досягнуто рівність величин X і X_1 , наприклад, через зміну вхідного сигналу або перешкод випадкового характеру, то процес кодування може бути продовжений. Так само, як і при способі послідовних наближень, урівноваження будь-якого сигналу може здійснюватися кількома шляхами, а не одним, як при простому порозрядному кодуванні, що призводить до покращення завадостійкості і динамічних характеристик перетворювача.

Комбінування способу слідкувального перетворення з перетворенням за способом порозрядного кодування або безпосереднього зчитування, як впливає з викладеного вище, забезпечує зменшення часу перетворення

перетворювача слідкувального типу і збільшення допустимої швидкості зміни вхідного сигналу.

При зворотній послідовності, коли спочатку виконуються операції порозрядного перетворення або перетворення безпосереднім зчитуванням, покращення динамічних властивостей спостерігається тільки для порозрядного перетворення, так як спосіб із безпосереднім зчитуванням сам забезпечує потрібні динамічні дані, проте, за обмеженої кількості рівнів квантування. Під час роботи комбінованого перетворювача такого типу спочатку виконуються всі або майже всі такти порозрядного кодування, а потім здійснюється слідкувальне перетворення. Практично перетворювач являє собою пристрій зі змінною структурою, у якому може бути обраний будь-який спосіб урівноваження, або в залежності від характеру зміни величини, що перетворюється, або по команді, що надходить ззовні, причому в перетворювачі максимально використовуються елементи, загальні для приладів порозрядного і слідкувального кодування.

Прикладами, при яких бажано змінювати спосіб урівноваження, можуть служити деякі види багатоточкових вимірювань, коли в окремих каналах вимірювання необхідно отримати ряд результатів через мінімальні інтервали часу. Така схема може мати як змінну, так і постійну, фіксовану структуру. В останньому випадку завжди після порозрядного кодування виконується кілька тактів слідкувального перетворення. Схема характерна тим, що за рахунок деякого подовження часу порозрядного кодування, в ній вдається підвищити припустиму швидкість зміни вхідної величини до значень, близьких до отримуваних тільки при слідкувальному перетворенні.

Схема пристрою, у якому перетворення виконується по розглянутому комбінованого способу, наведена на рис. 1.19. Порозрядне кодування виконується за допомогою блоку управління БУ, вихідні сигнали якого надходять на відповідні входи тригерів запам'ятовувального регістра Рг-Сч, який виконаний за схемою реверсивного лічильника. Останнім вихідним сигналом блоку управління перекидається тригер Тг, який готує пристрій до роботи в режимі слідкувального перетворення. Шини додавання і віднімання реверсивного лічильника при цьому збуджуються сигналами компаратора з парафазним виходом. Сигнали тактової частоти формуються при повторному запуску блоку управління. Імпульси блоку управління через збірку Сб1, що має k входів, надходять на схему збігу Сн2, яка в режимі слідкувального перетворювача відмикається по другого входу сигналом з одиничного виходу тригера Тг.

Сигнал із нульового виходу цього тригера замикає схеми $Cn1$, через які сигнали з виходів блоку управління надходять на тригери, що запам'ятовувального регістру під час порозрядного кодування. Число тактів слідкувального перетворення при такій побудові схеми може бути вибрано будь-яким у межах від 0 до оптимального значення N .

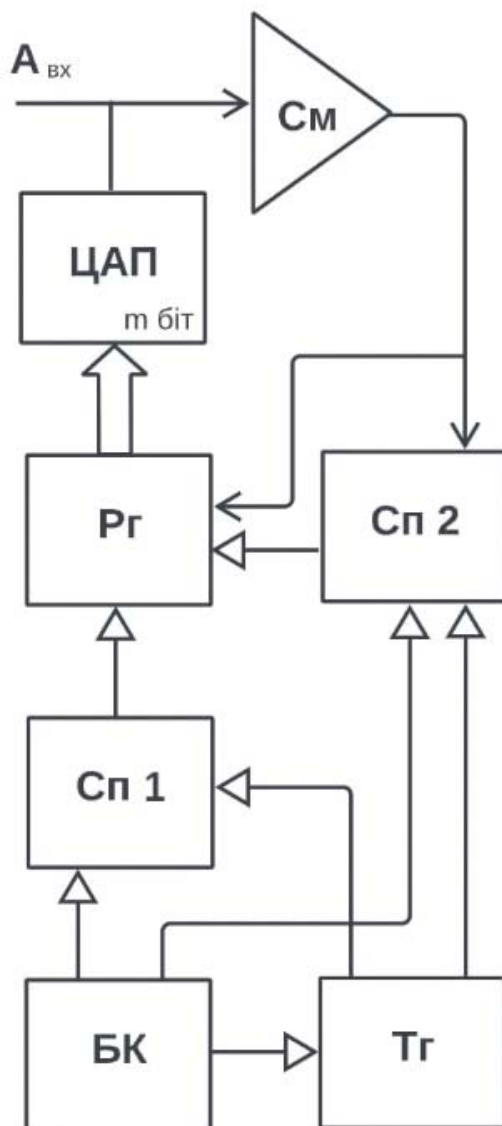


Рисунок 1.19 – АЦП, побудований на основі поєднання методів порозрядного і слідкувального кодування

Великі можливості поліпшення динамічних характеристик перетворювачів відкриваються при поєднанні методів порозрядного кодування і безпосереднього зчитування. Причому, як правило, цифри перших розрядів вихідної величини визначаються способом безпосереднього зчитування, а цифри останніх розрядів – способом

порозрядного кодування. Пояснюється це тим, що перетворювачі з безпосереднім зчитуванням, що містять велике число компараторів, будуються простіше для сигналів великих рівнів, які мають місце в перших тактах кодування. Спосіб порозрядного перетворення забезпечує хороші характеристики і досить просто реалізується в пристроях із різними класами точності і діапазонами зміни вхідної величини. Тому він забезпечує прості рішення, правда, за рахунок подовження часу перетворення при визначенні цифр останніх розрядів, коли застосування способу безпосереднього зчитування призвело б до значного ускладнення схеми через необхідність застосування високочутливих і стабільних компараторів. Такі комбіновані перетворювачі будуються за підходом, розглянутим у схемі, наведено на рис. 1.14, де як перетворювач різницевого сигналу, протягом останніх тактів роботи замість перетворювача з безпосереднім зчитуванням, застосовується малорозрядний перетворювач порозрядного кодування, що виконується зазвичай за схемою послідовних наближень або з якоюсь іншою схемою, що забезпечує виправлення похибки, яка виникає в перших тактах роботи та здійснюється за способом безпосереднього зчитування.

РОЗДІЛ 2

МЕТОД ПІДВИЩЕННЯ ПРОДУКТИВНОСТІ БАГАТОРОЗРЯДНИХ АНАЛОГО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ

2.1 Метод високопродуктивного АЦП порозрядно-слідкувального врівноваження з ваговою надлишковістю

АЦП широко використовуються в інформаційно-вимірювальних системах та системах збирання й обробки аналогових і цифрових сигналів. Найбільш відомими і розповсюдженими є АЦП порозрядного кодування, які побудовані з використанням традиційної двійкової системи числення [25]. Зауважимо, що для того, щоб досягнути вищої продуктивності цих АЦП, необхідно компенсувати динамічні похибки [64]. Перспективним підходом для розв'язання такої задачі є застосування СЧВН [1, 2, 57]. Серед вказаних похибок важливою складовою є динамічна похибка другого роду, яка з'являється при зміні вхідного аналогового сигналу під час АЦ-перетворення. Сутність цієї похибки визначається тим, що точне оцінювання результату є можливим у разі того, що протягом його формування аналоговий сигнал змінюється менше, ніж на вагу молодшого розряду. У спеціальній літературі по досліджуваній темі [65] розроблено підхід до компенсування динамічної похибки другого роду в порозрядних АЦП із ваговою надлишковістю. Описаний підхід дозволяє практично на порядок підвищити швидкодію такого АЦП по відношенню до АЦП у двійковій системі числення. При порозрядному перетворенні отримання одного цифрового відліку у n -розрядному АЦП відбувається за n тактів врівноваження. Протягом даного часу аналоговий сигнал не повинен значно змінюватися, оскільки це збільшує динамічну похибку другого роду.

Використання слідкувального АЦП можливо лише в тому випадку, якщо вхідний сигнал протягом такту врівноваження змінюється не більше, ніж на величину, що відповідає одиниці молодшого розряду коду [4]. Тобто, коли виконується співвідношення:

$$|A(t + \Delta t) - A(t)| < A_1,$$

де $A(t)$ – значення аналогового сигналу на вході АЦП у момент часу t ;

Δt – час, витрачений на один такт АЦ-перетворення;

A_1 – значення аналогового сигналу, що відповідає одиниці молодшого розряду коду.

У випадку, якщо наведена вище умова виконується, результатом аналого-цифрового перетворення сигналу $A(t + \Delta t)$ буде код $C(t + \Delta t)$, значення якого визначається через значення попереднього коду $C(t)$ за таким виразом [40]:

$$C(t + \Delta t) = \begin{cases} C(t), & \text{якщо } |A(t + \Delta t) - A(t)| < U_{on} \cdot w^{-(n-1)}; \\ C(t) + 1, & \text{якщо } |A(t + \Delta t) - A(t)| \geq U_{on} \cdot w^{-(n-1)}; \\ C(t) - 1, & \text{якщо } |A(t + \Delta t) - A(t)| \leq -U_{on} \cdot w^{-(n-1)}. \end{cases}$$

Це означає, що наступний код можна отримати відніманням або додаванням одиниці до попереднього коду. Відомо АЦП слідкувального типу, у яких використовують для перетворення не регістр послідовного наближення, а реверсивний лічильник. У таких АЦП врівноважування відбувається за один такт лічби, який витрачається на віднімання чи додавання одиниці. Це дозволяє значно підвищити швидкодію аналого-цифрового перетворення для тих сигналів, що протягом часу Δt змінюються не більше, ніж на одиницю молодшого розряду.

Отже, перевага АЦП слідкувального типу полягає в більш високій швидкості перетворення за рахунок використання реверсивних лічильників, тобто у зменшенні часу перетворення Δt . За цей час аналоговий сигнал зазнає незначної зміни, тому час на його врівноважування буде значно меншим ніж той, що затрачено на зміну стану лічильника, оскільки в лічильнику при цьому відбувається розповсюдження перенесення. Таким чином, підвищення швидкодії реверсивного лічильника у складі слідкувального АЦП дозволить у цілому підвищити його швидкодію. Це обґрунтовує важливість підвищення швидкодії лічильників, що працюють у складі аналого-цифрових перетворювачів, оскільки дозволяє суттєво зменшити час Δt перетворення одного відліку, протягом якого повинно виконуватися обмеження на швидкість зміни аналогового сигналу. Зменшення часу перетворення одного відліку дозволяє здійснювати слідкувальне АЦ-перетворення для сигналів більш високої частоти і таким чином розширити галузі використання слідкувальних АЦП.

Відомо наукові праці, у яких опубліковано основи теорії систем числення з ваговою надлишковістю (СЧВН) [2, 7], призначених для побудови на їхній основі високоефективних цифро-аналогових і аналого-цифрових перетворювачів. Також відомо публікації з ряду практичних реалізацій АЦП і ЦАП у цих системах числення. Крім того, запропоновано принципи, методи і пристрої для повнофункціональної побітової арифметики в АМ-системах числення, які є підмножиною СЧВН [66, 67]. На основі запропонованого підходу до виконання арифметичних операцій розроблено методи швидкої лічби у СЧВН.

Опубліковано наукові праці, у яких запропоновано варіанти практичної реалізації швидкодіючих лічильників у таких системах числення, що можуть використовуватися в аналого-цифрових перетворювачах слідкувального типу [4, 40]. Розгляд та аналіз вищезгаданих публікацій створює передумови для розробки порозрядно-слідкувальних АЦП із використанням швидкодіючих лічильників у системах числення з ваговою надлишковістю. У підрозділі розглядається метод побудови високопродуктивного АЦП порозрядно-слідкувального врівноваження з ваговою надлишковістю у системі числення на основі 1-послідовності Фібоначчі, що має можливість переходу до режиму порозрядного перетворення при значному зміні амплітуди вхідного сигналу [40].

Запропонований метод використовує системи числення з ваговою надлишковістю як для перетворення аналогових сигналів, так і для цифрової обробки їх кодів. При організації перетворення за даним методом у процесі кодування аналогового сигналу спочатку встановлюється режим порозрядного врівноваження, який потрібен для швидкого виходу на режим слідкувального врівноваження. У подальшому встановлюється режим слідкувального врівноваження, при якому використовується швидкодіючий лічильник. У разі значної зміни аналогового сигналу знову здійснюється короткочасний перехід до порозрядного врівноваження, після чого знову за можливості встановлюється слідкувальний режим. Залежно від режиму перетворення по-різному формується вихідний код $S_{вих}$. У режимі порозрядного врівноваження він дорівнює коду в регістрі порозрядного наближення $S_{вих} = C_p$. У режимі слідкувального врівноваження код на виході АЦП визначається станом швидкодіючого лічильника $S_{вих} = C_l$. На рис. 2.1 показано послідовність зміни режимів порозрядно-слідкувального АЦП у процесі кодування аналогового сигналу, який може зазнавати різких змін амплітуди [40].

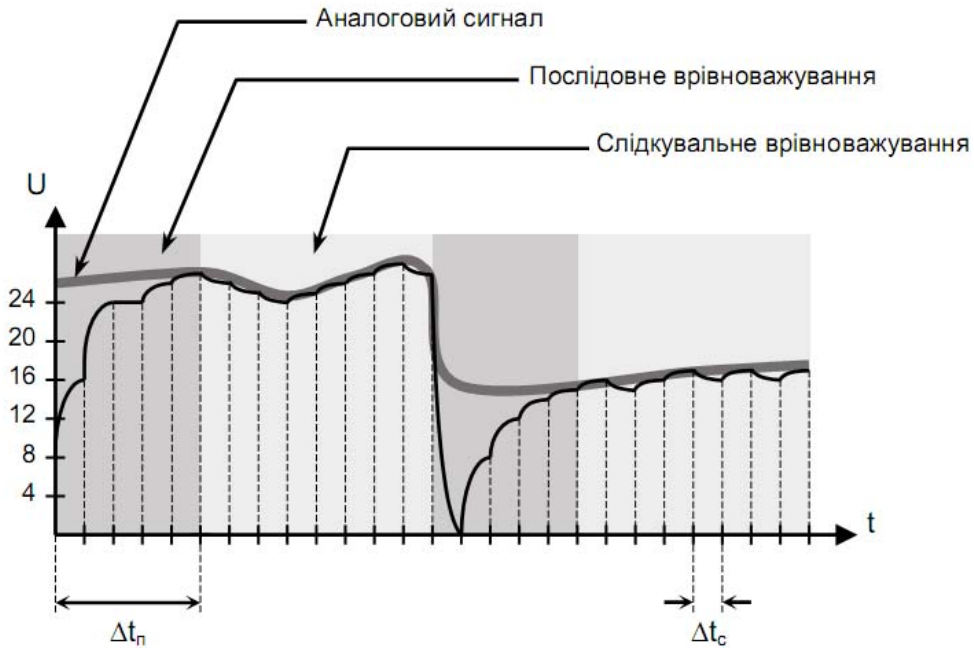


Рисунок 2.1 – Графік 5-розрядного порозрядно-слідкувального АЦ-перетворення

Якщо відбувається перехід із режиму порозрядного наближення у слідкувальний режим, то код реєстра послідовного наближення переписується в реверсивний лічильник. Отже, режим порозрядного врівноваження фактично слугує для швидкого виходу на режим слідкувального перетворення. Схема структурної організації порозрядно-слідкувального АЦП зображена на рис. 2.2 [40].

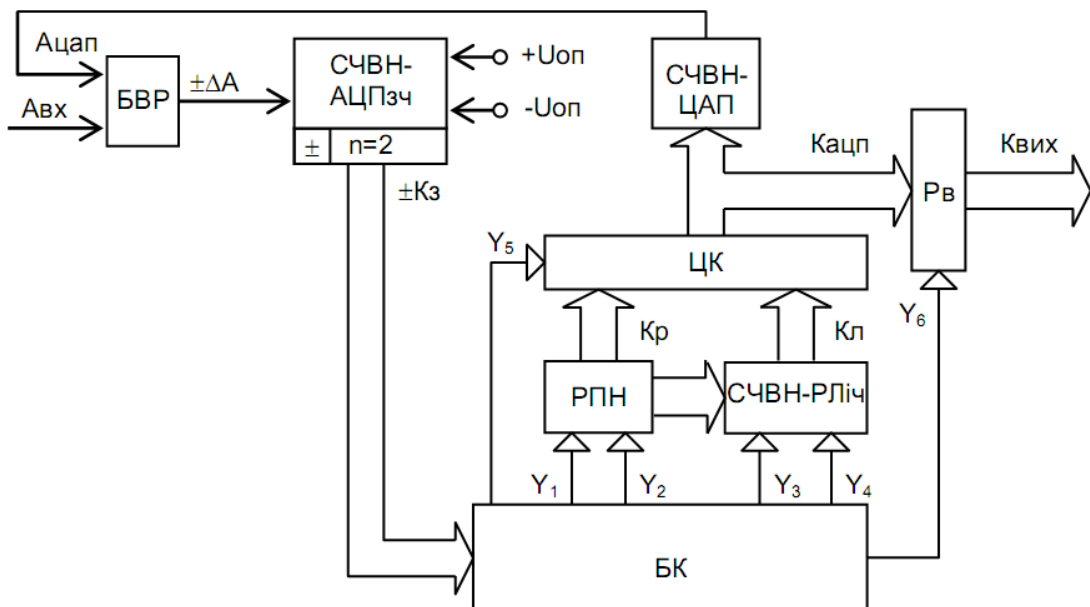


Рисунок 2.2 – Структурна організація порозрядно-слідкувального АЦП у СЧВН

Представлений на рис. 2.2 АЦП містить БК – блок керування, БВР – блок визначення різниці аналогових сигналів, ЦАП у СЧВН, СЧВН-АЦПзч – АЦП зчитування у СЧВН на два розряди, РПН – реєстр послідовного наближення, СЧВН-РЛіч – реверсивний лічильник у СЧВН, цифровий комутатор ЦК та вихідний реєстр Рв.

Використання СЧВН при побудові АЦП дозволяє навіть при відхиленні ваг розрядів у припустимому діапазоні коректно виконувати кодування аналогових сигналів, чого не може забезпечити АЦП на основі класичної двійкової системи числення. Це можна показати за допомогою так званої характеристики перетворення ЦАП у структурі АЦП, що являє собою графік, по осі абсцис якого розташовані коди в порядку зростання їхніх значень у двійковій системі числення, а по осі ординат розташовані значення цих кодів у відповідній системі числення. Характеристика перетворення наглядно демонструє можливість кодування аналогових сигналів для різних систем числення при зміні ваг розрядів. У деякій системі числення можливо коректне представлення аналогового сигналу в певному діапазоні значень, якщо на характеристиці перетворення кожному значенню на осі ординат можна поставити у відповідність хоча б одне значення на осі абсцис. На рис. 2.3 представлено характеристики перетворення двійкового ЦАП [40].

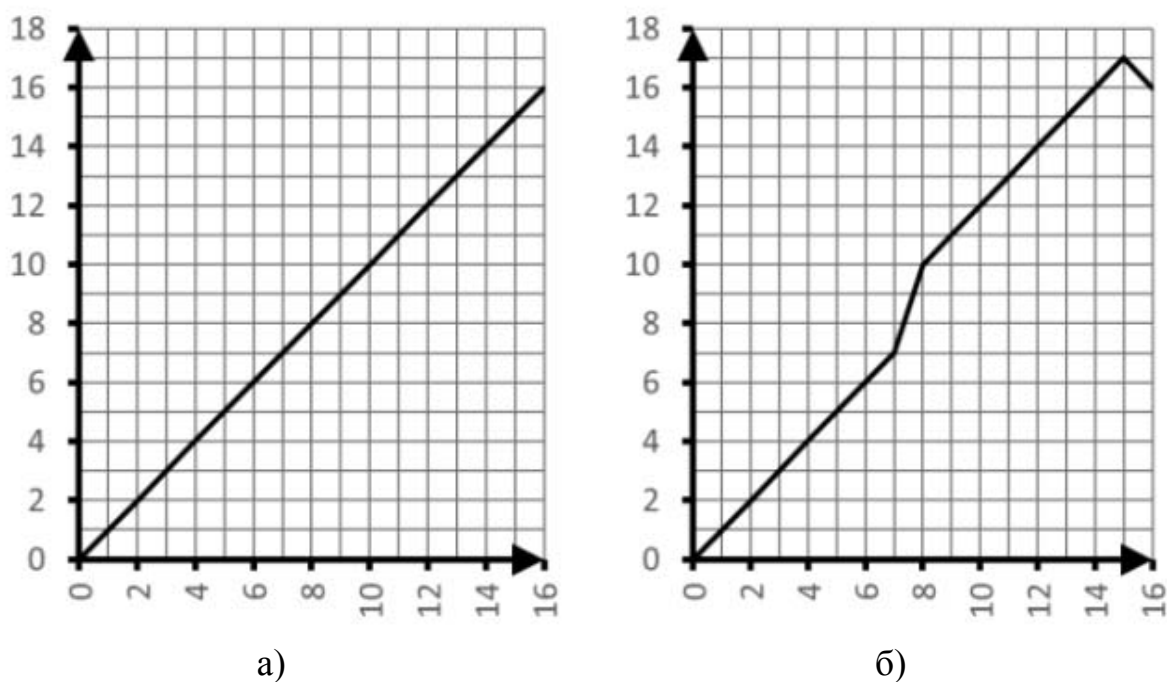


Рисунок 2.3 – Характеристика перетворення двійкового ЦАП:

а) з ідеальними вагами розрядів;

б) при відхиленні ваги 3-го розряду на +2

На рис. 2.3 а) зображено характеристику з ідеальними вагами розрядів. На рис. 2.3 б) зображена характеристика перетворення двійкового ЦАП, у якого 3-й розряд має вагу не 8, а 10. Із рис. 2.3 видно, що для значень аналогової величини 8 і 9 у даному випадку не існує відповідних кодових комбінацій.

На рис. 2.4 представлено характеристики перетворення фібоначчівського ЦАП [40]. На рис. 2.4 а) зображено характеристику з ідеальними вагами розрядів. На рис. 2.4 б) зображена характеристика перетворення фібоначчівського ЦАП, у якого 3-й розряд має вагу не 5, а 7. Із рис. 2.4 видно, що для кожного значення аналогової величини в даному випадку існує хоча б одна відповідна кодова комбінація.

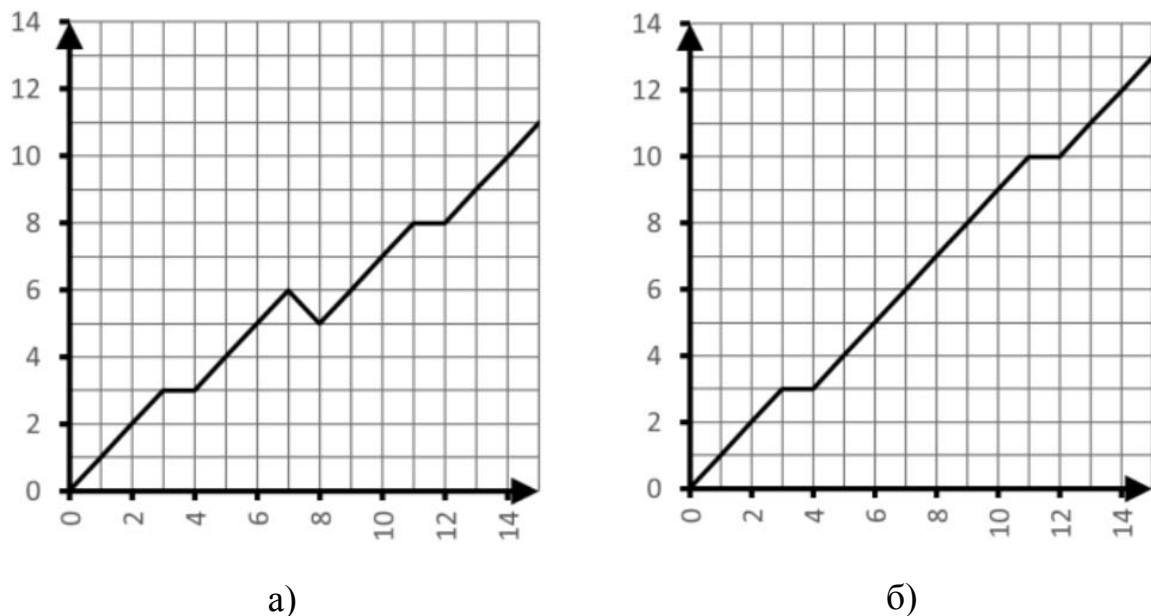


Рисунок 2.4 – Характеристика перетворення СЧВН-ЦАП: а) з ідеальними вагами розрядів; б) при відхиленні ваги 3-го розряду на +2

Отже, відхилення ваг розрядів у ЦАП з ваговою надлишковістю в певних межах не призводить до неможливості його роботи у складі АЦП, у той час, коли будь-яке відхилення ваг двійкового ЦАП робить неможливим його використання для аналого-цифрового перетворення сигналів.

Розглянемо основні аспекти роботи запропонованого порозрядно-слідкувального АЦП на основі СЧВН. При поданні на вхід АЦП аналогового сигналу $A_{вх}$ він поступає на вхід блока визначення різниці. БВР встановлює на своєму виході аналоговий сигнал $\pm \Delta A$, який дорівнює різниці аналогових сигналів $A_{вх}$ і $A_{цап}$. СЧВН-ЦАП призначений для перетворення в аналоговий сигнал $A_{цап}$ коду, який поступає з виходу цифрового комутатора. БК отримує з СЧВН-АЦПзч код $\pm K_3$ сигналу $\pm \Delta A$ і

встановлює на своєму виході керуючі сигнали Y_1 - Y_5 . РПН встановлює СЧВН-код K_r амплітуди аналогового сигналу $A_{вх}$ у режимі послідовного наближення. СЧВН-РЛіч формує СЧВН-код K_l амплітуди аналогового сигналу $A_{вх}$ у слідкувальному режимі. ЦК перемикає на свій вихід K_r або K_l і формує вихідний код $K_{вих}$, який поступає на вхід Рв. Граф-схему роботи блоку керування представлено на рис. 2.5 [56].

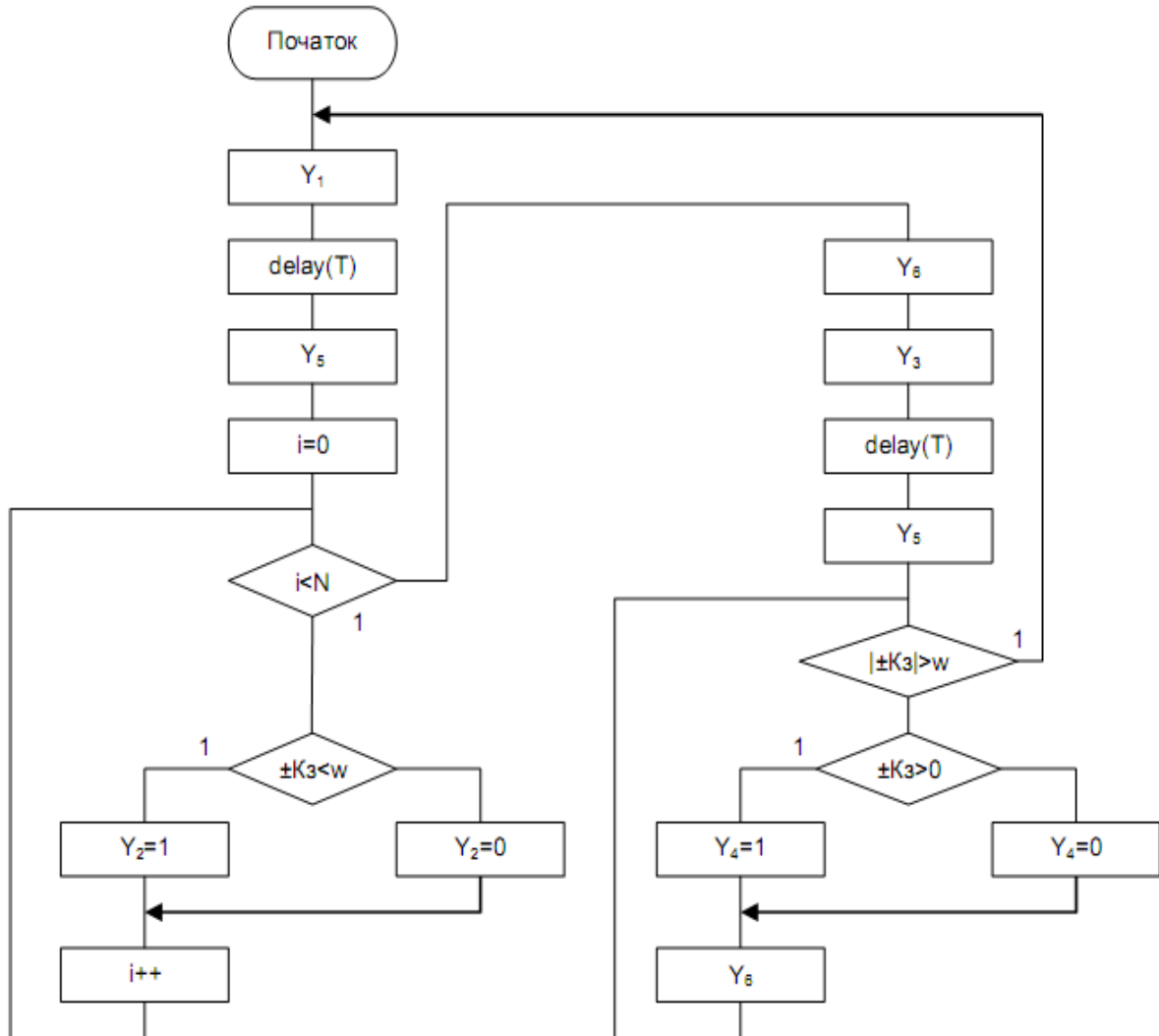


Рисунок 2.5 – Граф-схема алгоритму роботи БК

Порозрядно-слідкувальний АЦП, схема якого представлена на рис. 2.2, працює в такий спосіб. БК генерує керуючі сигнали відповідності до алгоритму, що зображено на рис. 2.5. Одразу після вмикання АЦП він генерує сигнал Y_1 , який встановлює в нуль розряди регістра послідовного наближення. Після цього ним генерується керуючий сигнал Y_5 , який поступає на вхід ЦК і переводить його в режим комутації на свій вихід коду K_r з виходу РПН. РПН, починаючи зі старших, встановлює свої розряди в 0 або в 1 в залежності від керуючого

сигналу Y_2 , який формується блоком керування і залежить від коду $\pm K_3$, що надходить із виходу СЧВН-АЦПзч. Після завершення циклу послідовного перетворення АЦП переходить у режим слідкувального перетворення. При цьому за допомогою керуючого сигналу Y_3 відбувається запис коду з виходу РПН у СЧВН-РЛіч. Одночасно керуючий сигнал Y_5 встановлюється в одиничне значення і перемикає ЦК у режим комутації коду з виходу СЧВН-РЛіч на вхід СЧВН-ЦАП і на вхід Рв. Тобто, у режимі слідкувального врівноваження $K_{\text{вих}} = K_{\text{л}}$. Якщо у цьому режимі амплітуда вхідного сигналу $A_{\text{вх}}$ значно змінюється, то БК знову переходить у режим порозрядного врівноваження.

Таким чином, у запропонованому АЦП встановлення режиму порозрядного врівноваження на початку роботи і у випадку значної зміни амплітуди вхідного сигналу дозволяє набагато швидше виходити на слідкувальний режим. Якщо у цих випадках використовувати лічильник, то для виходу на слідкувальний режим потрібно буде приблизно α^n тактів (де α – це співвідношення між вагами сусідніх розрядів системи числення з ваговою надлишковістю, n – розрядність аналого-цифрового перетворювача). Введення режиму порозрядного врівноваження дозволяє виходити на режим слідкувального врівноважування всього за n – тактів. У режимі послідовного перетворення використання СЧВН в АЦП дозволяє на порядок підвищити його швидкодію за рахунок компенсації динамічної похибки другого роду. Використання швидкодіючого СЧВН-лічильника дозволяє підвищити швидкість слідкувального врівноваження приблизно в n разів порівняно із слідкувальним АЦП у класичній двійковій системі числення.

2.2 Вибір базової системи числення для АЦП та ЦАП із ваговою надлишковістю

Відомо, що застосування вагової надлишковості в ЦАП, що самоколібрується, дозволяє істотно знизити вимоги до точності формування ваг розрядів, зокрема у багаторозрядних перетворювачах код-струм і відмовитися від лазерного припасування номіналів резисторів матриць [52]. Безумовно це спрощує технологію їх виготовлення і знижує вартість мікросхем. Відомо також, що побудова АЦП порозрядного врівноваження на базі таких ЦАП додатково дає можливість істотно (на порядок і більше) збільшити швидкодію за рахунок значного скорочення тривалості тактів врівноваження [52].

Варто зазначити, що покращення згаданих характеристик істотно залежить від рівня вагової надлишковості системи числення, що використовується у вказаних перетворювачах інформації. Причому в АЦП меншу частину цієї надлишковості доцільно витратити на зниження вимог до технології виготовлення ЦАП, зокрема на коригування статистичних похибок, а більшу частину – на компенсацію динамічних похибок I і II роду для підвищення швидкодії [46, 64]. Треба сказати, що вибір системи числення в цьому плані є ключовим. Для зручності, зокрема технологічності побудови АЦП та ЦАП, вона в першу чергу повинна бути позиційною, що забезпечить регулярність структури [4, 52]. Крім того потрібно, щоб основа системи числення α (відношення ваг сусідніх розрядів)

$$\alpha = \frac{Q_i}{Q_{i-1}},$$

де $Q_i = \alpha^i \cdot Q_0$ – вага i -го розряду;

$Q_0 = 1$ – вага молодшого нульового розряду – була постійним числом. Це дає змогу мати постійне співвідношення між вагами розрядів, зокрема розрядними струмами або напругами, що у свою чергу забезпечує регулярність схем резистивних або конденсаторних матриць ЦАП. Ще однією вимогою під час побудови ЦАП є мінімізація кількості номіналів розрядних резисторів або конденсаторів залежно від способу його реалізації [57]. Вищезгадане потребує комплексного підходу під час вибору системи числення (СЧ) або розрахунку основи СЧ [2, 46, 65]. При цьому, незважаючи на наявність певної науково-технічної літератури з цього напрямку, питання системного вибору СЧ, а також розрахунку основи системи числення окремо не розглядалося, проте це розглянуто автором у праці [46, 56].

У позиційних системах числення дійсне число точно зображується [1, 46] у вигляді

$$D = \sum_{i=-\infty}^{n-1} a_i \cdot \alpha^i, \quad (2.1)$$

де a_i – розрядні коефіцієнти, $a_i \in \{0, 1\}; \{\bar{1}, 1\}; \{\bar{1}, 0, 1\}$ – двійкова цифра в i -му розряді (розрядний коефіцієнт);

α – основа системи числення;

i – номер розряду.

У системах числення з природним базисом (набір ваг розрядів) α є постійним числом на відмінну від штучного базису, де значення α може змінюватися від розряду до розряду [1, 68].

Оскільки така форма зображення вимагає використання нескінченно довгої розрядної сітки, то для АЦП і ЦАП вона є нереальною. При цьому доцільно перейти від дійсних чисел до натуральних. У роботі [69] показано, що, якщо α є дробовим ірраціональним числом, наприклад, «золотою» p -пропорцією, то будь-яке натуральне число зображується у вигляді:

$$N = \sum_{i=-n}^{n-1} a_i \cdot \alpha_p^i, \quad (2.2)$$

де $\alpha_p^i = \alpha_p^{i-1} + \alpha_p^{i-p-1}$ – i -й степінь золотої p -пропорції.

Варто звернути увагу на те, що в такій СЧ кожен наступний член ряду (вага i -го розряду) дорівнює сумі ваг сусіднього розряду і того, що стоїть через p . Такий рекурентний зв'язок дозволяє мінімізувати в ЦАП значення номіналів елементів (резисторів або конденсаторів), що задають розрядні струми або напруги отримувати шляхом їх паралельного або послідовного з'єднання, що зручно під час мікроелектронної реалізації [70, 71].

Значення «золотої» p -пропорції [72, 73] розраховується як дійсний додатній корінь полінома

$$x^{p+1} - x^p - 1 = 0. \quad (2.3)$$

Розглянемо вигляд поліному для деяких конкретних p та обчислимо відповідні α , у формі дійсних додатних коренів, тобто $\alpha > 0$ (розрахунки виконано за допомогою інтегрованого пакету математичного програмного забезпеченні Mathcad 15). Так,

при $p = 0$ має місце поліном $x^1 - x^0 - 1 = 0 \Rightarrow x = 1$,

при $p = 1$, отримаємо $x^2 - x - 1 = 0$,

$$p = 2, x^3 - x^2 - 1 = 0,$$

$$p = 3, x^4 - x^3 - 1 = 0,$$

$$p = 4, x^5 - x^4 - 1 = 0,$$

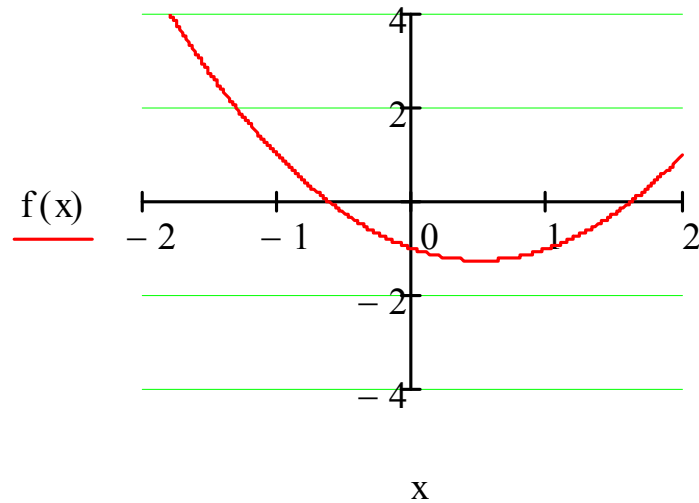
.....

при $p = k$, $x^{k+1} - x^k - 1 = 0$.

У середовищі Mathcad маємо:

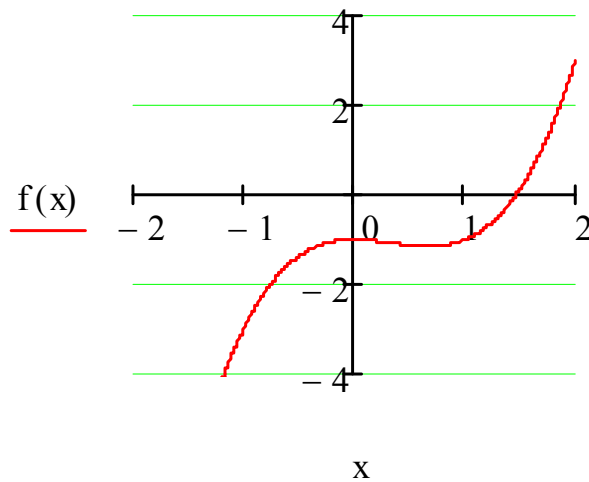
$$f(x) := x^2 - x - 1$$

$$\text{polyroots}(y) = \begin{pmatrix} -0.618 \\ 1.618 \end{pmatrix}$$



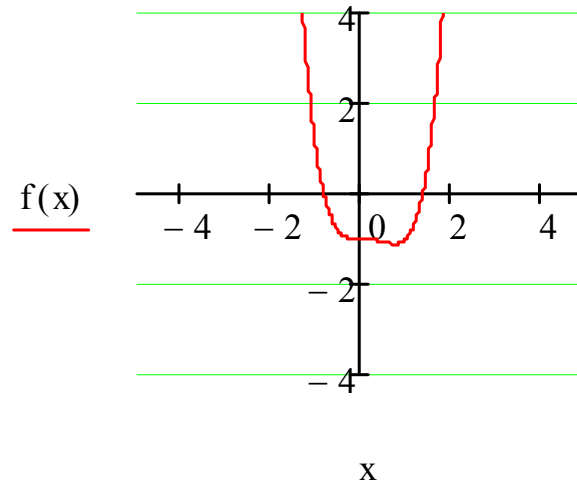
$$f(x) := x^3 - x^2 - 1$$

$$\text{polyroots}(y) = \begin{pmatrix} -0.233 + 0.793i \\ -0.233 - 0.793i \\ 1.466 \end{pmatrix}$$



$$f(x) := x^4 - x^3 - 1$$

$$\text{polyroots}(y) = \begin{pmatrix} -0.819 \\ 0.219 + 0.914i \\ 0.219 - 0.914i \\ 1.38 \end{pmatrix}$$



Окремі значення α_p для СЧ золотої p -пропорції зведено до табл. 2.1.

Таблиця 2.1 – Значення α_p для СЧ золотої p -пропорції

p	0	1	2	3	4	5	6	...	∞
α_p	2	1,618	1,466	1,380	1,324	1,285	1,256	...	1

Крім «золотих» p -пропорцій, надлишковими також є «золоті» s -пропорції. У «золотих» s -пропорціях кожний i -й член є сумою попередніх членів $i-1, i-2, \dots, i-s$. У «золотих» s -пропорціях дійсні додатні значення α_s розраховуються як корінь із полінома:

$$x^{s+1} - \sum_0^s x^i = 0. \quad (2.4)$$

Так при $s = 0$ має місце рівність $x - 1 = 0$,

$$s = 1, x^2 - x - 1 = 0,$$

$$s = 2, x^3 - x^2 - x - 1 = 0,$$

$$s = 3, x^4 - x^3 - x^2 - x - 1 = 0,$$

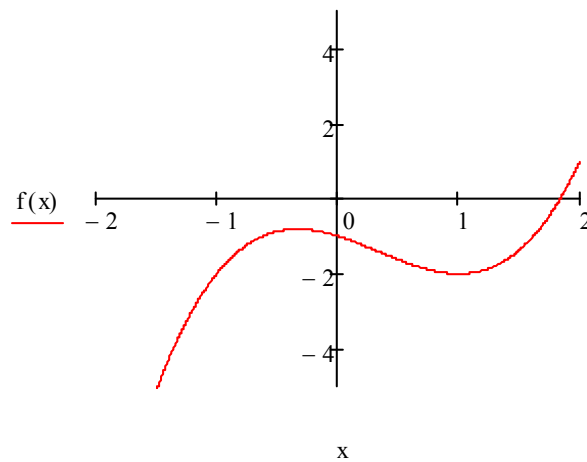
.....
при $s = n, x^{n+1} - x^n - \dots - x^1 - 1 = 0$.

Для окремих s обчислимо значення α_s .

У середовищі Mathcad маємо:

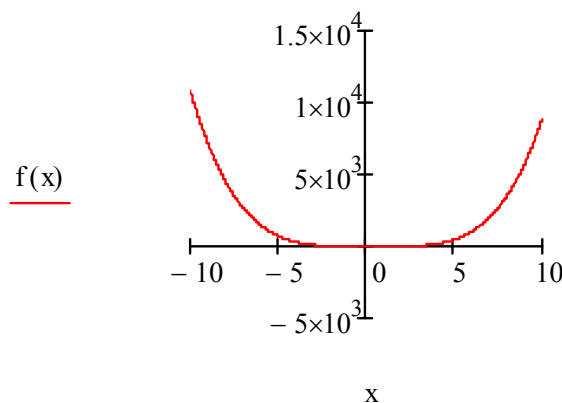
$$f(x) := x^3 - x^2 - x - 1$$

$$\text{polyroots}(y) = \begin{pmatrix} -0.42 + 0.606i \\ -0.42 - 0.606i \\ 1.839 \end{pmatrix}$$



$$f(x) := x^4 - x^3 - x^2 - x - 1$$

$$\text{polyroots}(y) = \begin{pmatrix} -0.775 \\ -0.076 - 0.815i \\ -0.076 + 0.815i \\ 1.928 \end{pmatrix}$$



Окремі значення α_s також зведено до табл. 2.2.

Таблиця 2.2 – Значення α_s для СЧ «золотої» s -пропорції

s	1	2	3	4	5	6	...	∞
α_s	1,618	1,839	1,928	1,966	1,984	1,992	...	2

Варто зазначити, що значення «золотих» s -пропорцій є продовженням числового ряду від 1,618 до 2,00.

Водночас, крім «золотих» p -пропорцій та s -пропорцій додатково можна застосувати «золоті» s - p -пропорції. У таких пропорціях s – число сусідніх ваг розрядів після $(i-1)$ -го, ($s = 2, 3, 4, \dots, n$); p – відстань між групою s розрядів і старшим із молодших розрядів.

Розглянемо поліном при $s = 2$ для деяких конкретних p .

При $p = 0$ має місце поліном $x^3 - x^2 - x - 1 = 0$,

$$p = 1, \quad x^4 - x^3 - x^2 - 1 = 0,$$

$$p = 2, \quad x^5 - x^4 - x^3 - 1 = 0,$$

$$p = 3, \quad x^6 - x^5 - x^4 - 1 = 0,$$

.....

при $p = l$ має місце поліном $x^{l+3} - x^{l+2} - x^{l+1} - 1 = 0$.

У «золотих» s - p -пропорціях дійсні додатні значення α_s розраховуються з полінома:

$$\sum_{p+1}^{s+p+1} x^i - 1 = 0. \quad (2.5)$$

При цьому, зокрема, для $s=2$ окремі значення α_{s-p} зведено до табл. 2.3.

Таблиця 2.3 – Значення α_{s-p} для СЧ «золотої» s - p пропорції ($s=2$)

p	0	1	2	3	4	5	6	...	∞
α_{s-p}	1,8393	1,7549	1,7049	1,6737	1,6536	1,6407	1,6324	...	1

При цьому, зокрема, для $s=3$ окремі значення α_{s-p} зведено до табл. 2.4.

Таблиця 2.4 – Значення α_{s-p} для СЧ золотої s - p пропорції ($s=3$)

P	0	1	2	3	4	5	6	...	∞
α_{s-p}	1,9276	1,88852	1,8668	1,85455	1,84772	1,84392	1,84182	...	1

Варто звернути увагу, що вказані СЧ мають природну надлишковість і задовольняють вимозі:

$$\alpha^i < \sum_0^{i-1} \alpha^j. \quad (2.6)$$

Для i -го розряду абсолютна ВН задається виразом:

$$\Delta \tilde{Q}_i = \sum_{j=0}^{i-1} Q_j - Q_i. \quad (2.7)$$

Відносна ВН розглядається як відношення абсолютної ВН до суми всіх ваг розрядів з 0-го по i -й та оцінюється з виразу:

$$\delta Q_i^* = \frac{\sum_{j=0}^{i-1} \alpha^j - \alpha^i}{\sum_{j=0}^i \alpha^j}. \quad (2.8)$$

Для його спрощення виконаємо перетворення:

$$\begin{aligned} \sum_{j=0}^{i-1} \alpha^j &= \alpha^{i-1} + \alpha^{i-2} + \alpha^{i-3} + \dots + \alpha^0 = \alpha^{i-1} \cdot \frac{1 - \left(\frac{1}{\alpha}\right)^i}{1 - \frac{1}{\alpha}} = \\ &= \alpha^{i-1} \cdot \frac{\alpha^i - 1}{\alpha^i} \cdot \frac{\alpha}{\alpha - 1} = \frac{\alpha^i - 1}{\alpha - 1}. \end{aligned}$$

Отже,

$$\delta Q_i^* = \frac{\frac{\alpha^i - 1}{\alpha - 1} - \alpha^i}{\frac{\alpha^{i+1} - 1}{\alpha - 1}} = \frac{\alpha^i - 1 - \alpha^{i+1} + \alpha^i}{\alpha - 1} \cdot \frac{\alpha - 1}{\alpha^{i+1} - 1} = \frac{2\alpha^i - \alpha^{i+1} - 1}{\alpha^{i+1} - 1}.$$

Оскільки $\alpha - const$, то можна вважати, що:

$$\delta Q_i^* = \frac{2 - \alpha}{\alpha} \quad (2.9)$$

Саме таке значення ВН варто приймати для оцінювання можливості коригування статистичних похибок у процесі самокалібрування.

Відносна похибка ВН, приведена до i -го розряду, розраховується у вигляді:

$$\begin{aligned} \delta Q_i^{**} &= \frac{\sum_{j=0}^{i-1} \alpha^j - \alpha^i}{\alpha^i} = \sum_{j=0}^{i-1} \alpha^{j-i} - 1 = \alpha^{-1} + \alpha^{-2} + \alpha^{-3} + \dots + \alpha^{-i} - 1 = \\ &= \alpha^{-1} \cdot \frac{1 - \left(\frac{1}{\alpha}\right)^i}{1 - \frac{1}{\alpha}} - 1 = \frac{\alpha^i - 1}{\alpha^i(\alpha - 1)} - 1 = \frac{1}{\alpha - 1} - \frac{\alpha^{-i}}{\alpha - 1} - 1. \end{aligned}$$

Для окремих p у рамках «золотих» p -пропорцій відносна ВН відповідає значенням (табл. 2.5).

Таблиця 2.5 – Значення вагової надлишковості для СЧ «золотих» p -пропорцій

p	0	1	2	3	4	5	6	...	∞
α_p	2	1,618	1,466	1,380	1,324	1,285	1,256	...	1
$\delta Q_p^*(\%)$	0	23,61	36,43	44,93	51,06	55,64	59,24	...	1
$\delta Q_p^{**}(\%)$	0	61,81	114,59	163,16	208,64	250,88	290,62	...	∞

Для окремих s у рамках «золотих» s -пропорцій відносна ВН відповідає значенням (табл. 2.6).

Таблиця 2.6 – Значення вагової надлишковості для СЧ «золотих» s -пропорцій

S	1	2	3	4	5	6	...	∞
α_s	1,618	1,839	1,928	1,966	1,984	1,992	...	2
$\delta Q_s^*(\%)$	23,61	8,75	3,73	1,73	0,81	0,4	...	0
$\delta Q_s^{**}(\%)$	61,81	19,19	7,76	3,52	1,63	0,8	...	0

Із зростанням i останній член швидко зменшується, тому можна вважати:

$$\delta Q_i^{**} = \frac{1}{\alpha - 1} - 1 = \frac{2 - \alpha}{\alpha - 1}. \quad (2.10)$$

Цей показник характеризує рівень ВН. Вона застосовується для розрахунку динамічних характеристик у процесі прискореного порозрядного аналого-цифрового перетворення [2].

Розв'язуючи зворотню задачу, знайдемо значення основи системи числення α для заданих δQ_i^* та δQ_i^{**} :

$$\alpha = \frac{2}{\delta Q_i^* + 1}, \quad (2.11)$$

$$\alpha = \frac{2 + \delta Q_i^{**}}{1 + \delta Q_i^{**}}. \quad (2.12)$$

для «золотих» s - p пропорцій при $s=2$ маємо (табл. 2.7).

Таблиця 2.7 – Значення вагової надлишковості для СЧ «золотих» s - p пропорцій ($s=2$)

p	0	1	2	3	4	5	6	...	∞
α_{s-p}	1,8393	1,7549	1,7049	1,6737	1,6536	1,6407	1,6324	...	1
$\delta Q_l^*(\%)$	8,74	13,97	17,31	19,5	20,95	21,9	22,52	...	∞
$\delta Q_l^{**}(\%)$	19,15	32,47	41,86	48,43	53	56,08	58,13	...	∞

Для «золотої» s - p пропорцій при $s=3$ маємо (табл. 2.8).

Таблиця 2.8 – Значення вагової надлишковості для СЧ «золотих» s - p пропорцій ($s=3$)

p	0	1	2	3	4	5	6	...	∞
α_{s-p}	1,928	1,8885	1,8668	1,85455	1,84772	1,84392	1,8418	...	1
$\delta Q_l^*(\%)$	3,76	5,9	7,14	7,84	8,24	8,46	8,59	...	∞
$\delta Q_l^{**}(\%)$	7,81	12,55	15,37	17,02	17,96	18,49	18,79	...	∞

ВН дає можливість усувати розриви в характеристиці перетворень. Застосування СЧ із ВН можна продемонструвати на прикладі резистивних матриць, що входять до складу ЦАП [57]. Вихідний сигнал цього перетворювача код-струм (ПКС) задається вхідним кодом:

$$I_{\text{вих}} = I \cdot \sum_{i=0}^{n-1} a_i \cdot \alpha^{i-(n-1)}, \quad (2.13)$$

де α_i – розрядні коефіцієнти K_{ex} ;

$I = U_{\text{on}}/R$ – струм старшого ($n-1$)-го розряду, який для схеми (рис. 2.6 б))

$$U_{\text{on}} \text{ і } \frac{\alpha}{\alpha-1} \cdot R.$$

На рис. 2.6 а) наведено схему n -розрядного перетворювача код-струм (ПКС) на основі резистивної матриці драбинкового типу в інверсному вмиканні з $\alpha=1,839$ для $s=2$.

$$\frac{\alpha}{\alpha-1} R = 2,192R; (\alpha-1)R = 0,839R; \alpha R = 1,839R,$$

де R – базовий номінал матриці;

K_i – i -й ключовий елемент;

$a_i \in \{0,1\}$ – розрядні коефіцієнти.

Схема із рис. 2.6 а) містить резистивну матрицю з номіналами $(\alpha-1)R$, $\frac{\alpha}{\alpha-1}R$ та αR , а також джерело опорної напруги $U_{оп}$ та ключові елементи $K - K_{n-1}$.

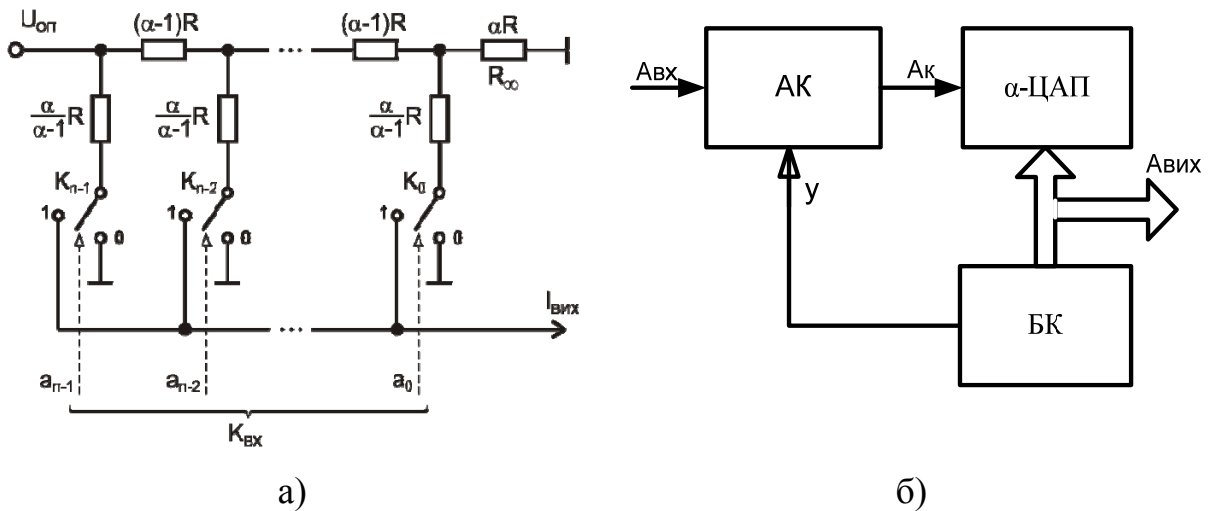


Рисунок 2.6 – Схеми: а) перетворювача код-струм на базі резистивної матриці з інверсним вмиканням; б) узагальненої структурної схеми АЦП

Під час послідовної подачі K_{ex} формується така відповідність перетворення $K_{ex} \rightarrow A_{вих}(I_{ex})$. АЦП містить СП – схему порівняння аналогових сигналів; α -ЦАП – цифроаналоговий перетворювач на основі СЧ із ВН; БК – блок керування.

У процесі аналого-цифрового перетворювання вхідний аналоговий сигнал подається на перший вхід α -ЦАП. За командою БК, α -ЦАП генерує компенсуючий сигнал, який поступає на другий вхід СП і врівноважує $Авх$. У процес перетворювання на виході перетворення формується код $K_{вих}$, який є цифровим еквівалентом вхідного сигналу $Авх$ у формі:

$$K_{вих} = a_{n-1}, a_{n-2}, \dots, a_1, a_0,$$

де $a_i \in \{0,1\}$ розрядні коефіцієнти коду, що сформований на вході α -ЦАП [74, 75]. Над розрядами кодів чисел у даній системі можна виконувати операції згорнення і розгорнення. Згорнення полягає в заміні нуля в i -му і одиниць у $(i-1)$ -му, $(i-2)$ -му та $(i-3)$ -му розрядах їхніми інверсіями. Розгорнення – операція, зворотна згорненню [75]. Зображення початкового відрізка натуральних чисел у «золотій» системі числення зручно здійснювати за допомогою операцій згорнення ($\uparrow\uparrow\uparrow$) і розгорнення ($\downarrow\downarrow\downarrow$), зокрема у вигляді (табл. 2.9).

2.3 Моделі АЧХ і ФЧХ широкосмугових двотактних підсилювачів постійного струму для високопродуктивних АЦП

Під час проектування високопродуктивних аналого-цифрових перетворювачів порозрядно-слідкувального врівноваження з ваговою надлишковістю очевидним є те, що їх доцільно розглядати, як сукупність аналогових та цифрових вузлів, характеристики яких задають параметри системи в цілому [42].

Таблиця 2.9 – Коди початкового ряду чисел для «золотої» s -пропорції для $\alpha=1,839$, $s=2$

№ розряда	6	5	4	3	2	1	0	-1	-2	-3	-4	-5	-6	
Ваги розрядів	α^6	α^5	α^4	α^3	α^2	α^1	α^0	α^{-1}	α^{-2}	α^{-3}	α^{-4}	α^{-5}	α^{-6}	
Цифровий еквівалент	0	0	0	0	0	0	0	0	0	0	0	0	0	
	1	0	0	0	0	0	0	1	0	0	0	0	0	0
		0	0	0	0	0	0	0	1	1	1	0	0	0
	2	0	0	0	0	0	0	1	1	1	1	0	0	0
		0	0	0	0	0	1	0	0	0	1	0	0	0
	3	0	0	0	0	0	1	1	0	0	1	0	0	0
		0	0	0	0	0	1	1	0	0	0	1	1	1
		0	0	0	0	0	1	0	1	1	1	1	1	1
	4	0	0	0	0	0	1	1	1	1	1	1	1	1
		0	0	0	0	1	0	0	0	1	1	1	1	1
		0	0	0	0	1	0	0	1	0	0	0	1	1
	5	0	0	0	0	1	0	1	1	0	0	0	1	1

Водночас, варто відзначити, що такі АЦП є основними аналого-цифровими блоками багаторозрядних аналого-цифрових систем та структурних схем апаратної частини вимірювальних каналів. А тому, ґрунтуючись на класифікації аналогових пристроїв АЦП, що використовуються для побудови багаторозрядних аналого-цифрових систем за функціональ-

ною ознакою, можна виділити такі аналого-цифрові пристрої: підсилювачі, вхідні буфери напруги, перетворювачі струм-струм, перетворювачі струм-напруга, перетворювачі напруга-напруга, вихідні буфери для ЦАП.

Зазначені пристрої відрізняються методами перетворення сигналів, що дозволяє провести роздільний аналіз їхніх похибок, а також розробити узагальнені критерії оптимального проектування. Тим самим можна сформулювати вихідні дані для синтезу і дослідження структурних і схемних рішень аналогових пристроїв.

Всі багаторозрядні аналого-цифрові системи, а також АЦ перетворювачі містять у своїй структурі ті чи інші аналогові вузли, від характеристик яких у значній мірі залежать вихідні статичні і динамічні характеристики систем та перетворювачів у цілому. Водночас високі показники точності можуть бути досягнуті лише при низькому рівні некоригованих похибок аналогових пристроїв, що входять до складу цих систем, які, у свою чергу, можуть бути досягнуті структурним і схемотехнічним шляхом.

Відомо, що на базі підсилювачів можна реалізувати усі необхідні аналогові вузли такі як: буфери напруги, нормуючі підсилювачі, перетворювачі струм-напруга і напруга-струм, підсилювачі різниці та ін. [10, 24]. Найкращі показники для побудови високолінійних аналогових пристроїв мають ДППС із розділеними каналами підсилення, які дозволяють достатньо зменшити рівень некоригованих похибок. Водночас, побудова таких ДППС потребує точного завдання струму робочої точки [76].

Узагальнена структурна схема ДППС може мати вигляд, як показано на рис. 2.7.

Принципову ДППС наведено на рис. 2.8, який захищено патентом України [47]. Підсилювач містить вхідний двотактний каскад (ВДК), який побудовано на транзисторах VT4, VT5, які ввімкнено за схемою загальна база (ЗБ). Робоча точка цього каскаду задається джерелами струмів I1 та I2, а також транзисторами VT1, VT2, VT3, VT6. Для завдання режиму по постійному струму транзисторів VT11, VT13 першого підсилювального каскаду (ПК1) і VT11, VT13 другого підсилювального каскаду (ПК2), транзистори яких ввімкнено за схемою загальний колектор (ЗК), використовується двонаправлений відбивач струму (ДВС), який побудовано на транзисторах VT8, VT9, VT15, VT16 та компенсатори струму (КС), які побудовано на транзисторах VT7, VT14 та VT10, VT17 відповідно. Транзистори VT19, VT21, VT23, VT24 та VT20, VT22, VT25, VT26 утворюють складені відбивачі Уїлсона і, водночас, утворюють двотактний вихідний каскад (ДВК).

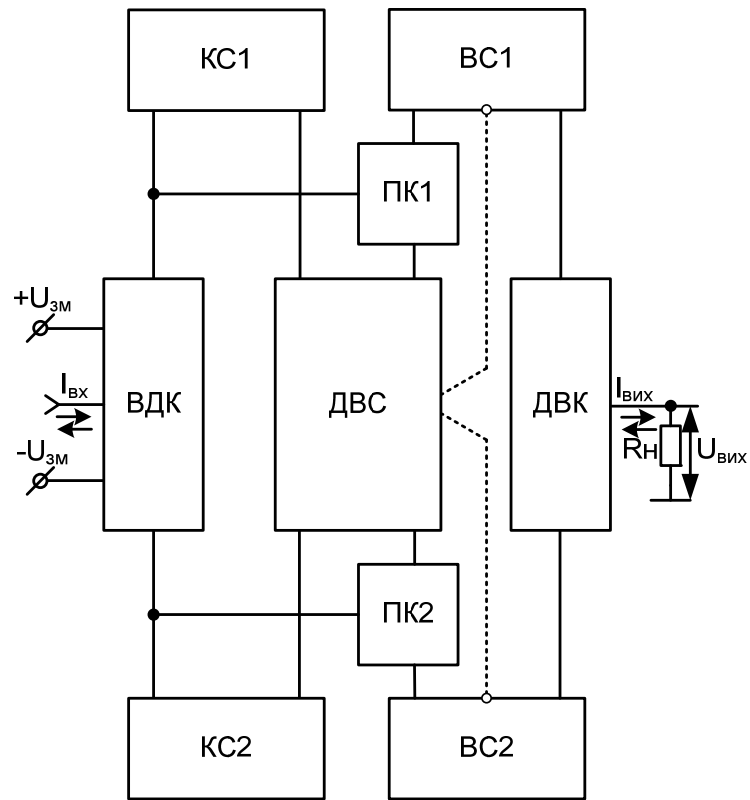


Рисунок 2.7 – Узагальнена структурна схема ДПДС

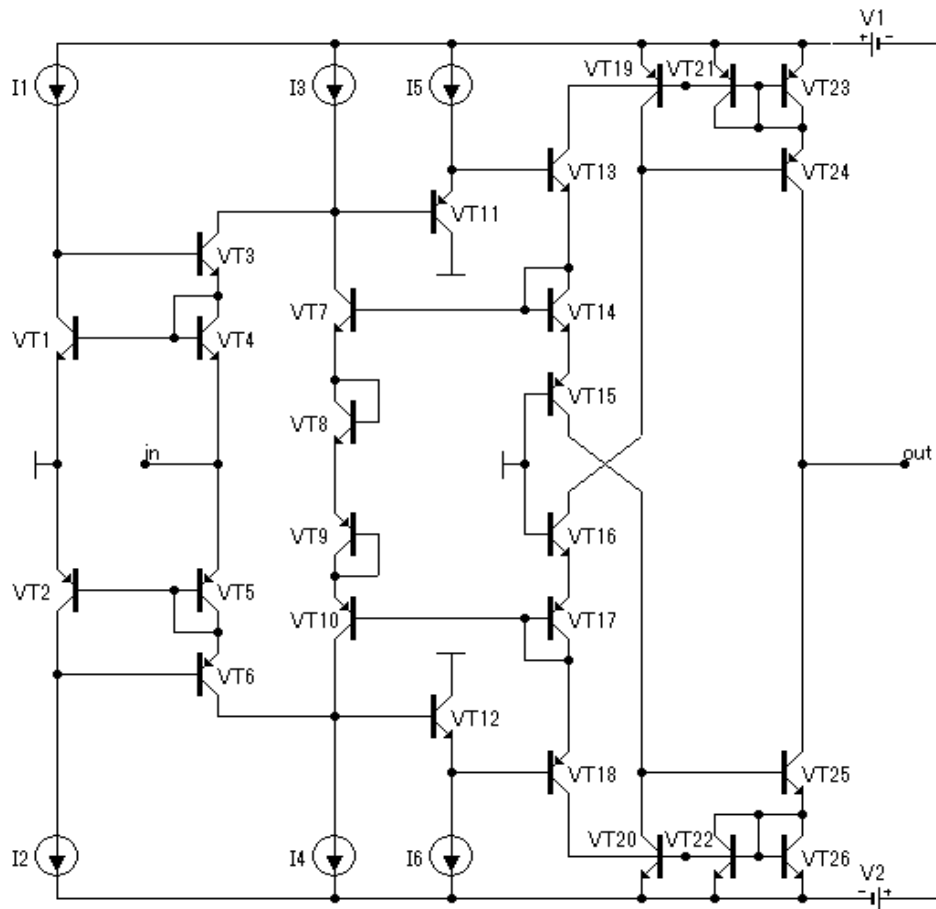


Рисунок 2.8 – Принципова схема ДПДС

Існуючі методи оцінки АЧХ і ФЧХ базуються на використанні схем заміщення каскадів ЗБ, ЗЕ, ЗК, на основі яких можна скласти малосигнальну схему заміщення для ДППС. Проте, проводити аналіз вказаних характеристик у рамках математичної моделі схеми ДППС за загальним методом Кірхгофа досить складно, оскільки необхідно скласти систему рівнянь більш як із 20-ти рівнянь, причому, для обчислення визначників відповідних матриць необхідні значні обчислювальні ресурси (визначник складається з $n!$ доданків, де n – кількість рівнянь, при $n=20$ кількість доданків $\approx 2,4 \cdot 10^{18}$ [7]). Доцільнішим є опис моделей АЧХ і ФЧХ ДППС на запропонованому підході, який можна пояснити так, що загальний коефіцієнт підсилення можна розглядати як вектор $\vec{K}_i(f)$, що визначається як сума векторів $\vec{K}'_i(f), \vec{K}''_i(f)$ верхнього і нижнього каналів підсилення відповідно [77]. Для знаходження сумарного $\vec{K}_i(f)$ використовуємо теорему косинусів:

$$K_i(f) = \sqrt{K_{i1}^2(f) + K_{i2}^2(f) - 2 \cdot K_{i1}^2(f) \cdot K_{i2}^2(f) \cos \left[\left[180 - \Delta\varphi \right] \cdot \frac{\pi}{180} \right]}. \quad (2.14)$$

Щоб визначити кут $\varphi'(f)$, необхідно застосувати теорему синусів при цьому:

$$\varphi'(f) = \frac{180}{\pi} \cdot \frac{K_{i1} \cdot \sin \left[\Delta\varphi(f) \cdot \frac{180}{\pi} \right]}{\sqrt{K_{i1}^2(f) + K_{i2}^2(f) - 2 \cdot K_{i1}^2(f) \cdot K_{i2}^2(f) \cos \left[\left(180 - \Delta\varphi(f) \right) \cdot \frac{\pi}{180} \right]}}. \quad (2.15)$$

Графічну інтерпретацію коефіцієнтів передачі ДППС показано на рис. 2.9 [2].

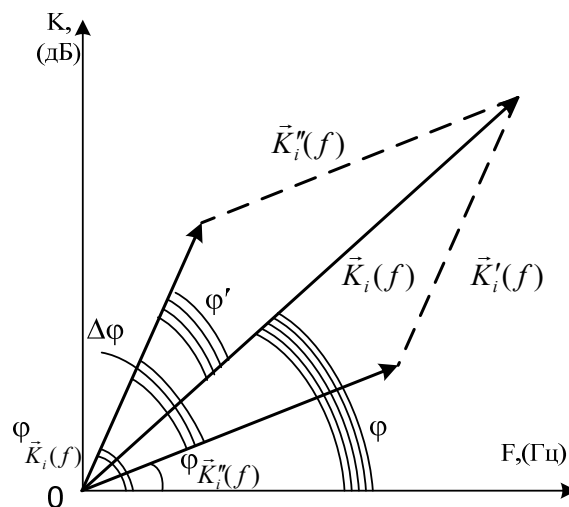


Рисунок 2.9 – Графічна інтерпретація векторної діаграми коефіцієнтів передачі ДППС

У свою чергу K'_i, K''_i визначаються у вигляді:

При цьому коефіцієнти підсилення по каналах визначаються:

$$\begin{aligned} K'_i &= K'_{i_{вх}} \cdot K'_{ПР} \cdot K'_{i_{вих}}, \\ K''_i &= K''_{i_{вх}} \cdot K''_{ПР} \cdot K''_{i_{вих}}, \end{aligned} \quad (2.16)$$

де $K'_{i_{вх}}, K''_{i_{вх}}$ – коефіцієнти підсилення по струму ВДК відповідно по верхньому і нижньому каналах;

$K'_{ПР}, K''_{ПР}$ – коефіцієнт підсилення по струму ПК;

$K'_{i_{вих}}, K''_{i_{вих}}$ – коефіцієнт підсилення по струму відбивачів Уїлсона по верхньому і нижньому каналах відповідно.

Для проведення подальшого аналізу математичної моделі АЧХ і ФЧХ скористаємося спрощеними формулами коефіцієнтів передавання транзисторних каскадів [42] для АЧХ та ФЧХ відповідно:

$$\begin{aligned} k_i(f) &= \frac{\alpha}{\sqrt{1 + \left(\frac{f}{f_p}\right)^2}}, \\ \varphi(f) &= \arctg\left(\frac{f}{f_p}\right) + \varphi_c, \end{aligned} \quad (2.17)$$

де f_p – частота полюсу на рівні «-3 дБ»;

$\varphi_c = \arctg\left(\frac{f}{f_{\max}}\right)$ – додатковий фазовий зсув;

$f_{\max} = \sqrt{\frac{f_t}{8\pi \cdot C_{bc} \cdot r_b}}$ – максимальна частота генерування [42] транзистора;

f_{\max} – гранична частота транзистора на рівні 0 дБ для каскаду загальний емітер (ЗЕ).

Враховуючи схеми вмикання транзисторів у ВДК ДППС із загальною базою та враховуючи (4) для схеми ЗБ, запишемо:

$$K'_{i_{ex}} = K_{i_{T3}}(f) = K'_{i_{3B}} = \frac{\alpha_{n-p-n}}{\sqrt{1 + \left(\frac{f}{f_{p_{T3}}}\right)^2}}; \quad (2.18)$$

$$K''_{i_{ex}} = K_{i_{T4}}(f) = K''_{i_{3B}} = \frac{\alpha_{p-n-p}}{\sqrt{1 + \left(\frac{f}{f_{p_{T6}}}\right)^2}},$$

де $f_{p_{T3}}$ та $f_{p_{T6}}$ – полюси транзисторів VT3 та VT6.

Враховуючи схеми каскадного вмикання транзисторів у ППК ДППС із загальним колектором (2.16) для схеми ЗК запишемо

$$K_{i_{T11}}(f) = K'_{i_{3K}} = \frac{\beta_{p-n-p}}{\sqrt{1 + \left(\frac{f}{f_{p_{T11}}}\right)^2}}; \quad K_{i_{T13}}(f) = K''_{i_{3K}} = \frac{\beta_{n-p-n}}{\sqrt{1 + \left(\frac{f}{f_{p_{T13}}}\right)^2}};$$

$$K_{i_{T12}}(f) = K'_{i_{3K}} = \frac{\beta_{n-p-n}}{\sqrt{1 + \left(\frac{f}{f_{p_{T12}}}\right)^2}}; \quad K_{i_{T18}}(f) = K''_{i_{3K}} = \frac{\beta_{p-n-p}}{\sqrt{1 + \left(\frac{f}{f_{p_{T18}}}\right)^2}}, \quad (2.19)$$

де $f_{p_{T11}}, f_{p_{T12}}, f_{p_{T13}}, f_{p_{T18}}$ – полюси АЧХ транзисторів VT11, VT12, VT13, VT18 відповідно.

При цьому:

$$K'_{ПП} = K_{i_{T11}}(f) \cdot K_{i_{T13}}(f); \quad (2.20)$$

$$K''_{ПП} = K_{i_{T12}}(f) \cdot K_{i_{T18}}(f),$$

Враховуючи (2.18), (2.19), (2.20) і те, що ДВК побудовано на відбивачах Уілсона (при цьому $K'_{i_{вих}} \approx K''_{i_{вих}} \approx 2$) та підставивши в (2.16), отримаємо коефіцієнти передачі по верхньому і нижньому каналах підсилення:

$$K_i'(f) = \frac{\alpha_{n-p-n}}{\sqrt{1 + \left(\frac{f}{f_{pT3}}\right)^2}} \cdot \frac{\beta_{p-n-p}}{\sqrt{1 + \left(\frac{f}{f_{pT11}}\right)^2}} \cdot \frac{\beta_{n-p-n}}{\sqrt{1 + \left(\frac{f}{f_{pT13}}\right)^2}} \cdot 2;$$

(2.21)

$$K_i''(f) = \frac{\alpha_{p-n-p}}{\sqrt{1 + \left(\frac{f}{f_{pT6}}\right)^2}} \cdot \frac{\beta_{n-p-n}}{\sqrt{1 + \left(\frac{f}{f_{pT12}}\right)^2}} \cdot \frac{\beta_{p-n-p}}{\sqrt{1 + \left(\frac{f}{f_{pT18}}\right)^2}} \cdot 2,$$

За допомогою виразів (2.1), (2.15) та (2.21) можна визначити значення загального коефіцієнта підсилення та його фазову характеристику. Для перевірки адекватності запропонованих моделей АЧХ і ФЧХ використовуємо моделювання у програмному середовищі MicroCap та MathCAD. Для цього використовуємо отримані аналітичні співвідношення та електричну схему, яку наведено на рис. 2.8 [42]. Моделюючи схеми за допомогою програми MicroCap, отримуємо збіжність результатів аналізу аналітичних рівнянь АЧХ і ФЧХ та електричної принципової схеми. Графіки АЧХ і ФЧХ наведено на рис. 2.10.

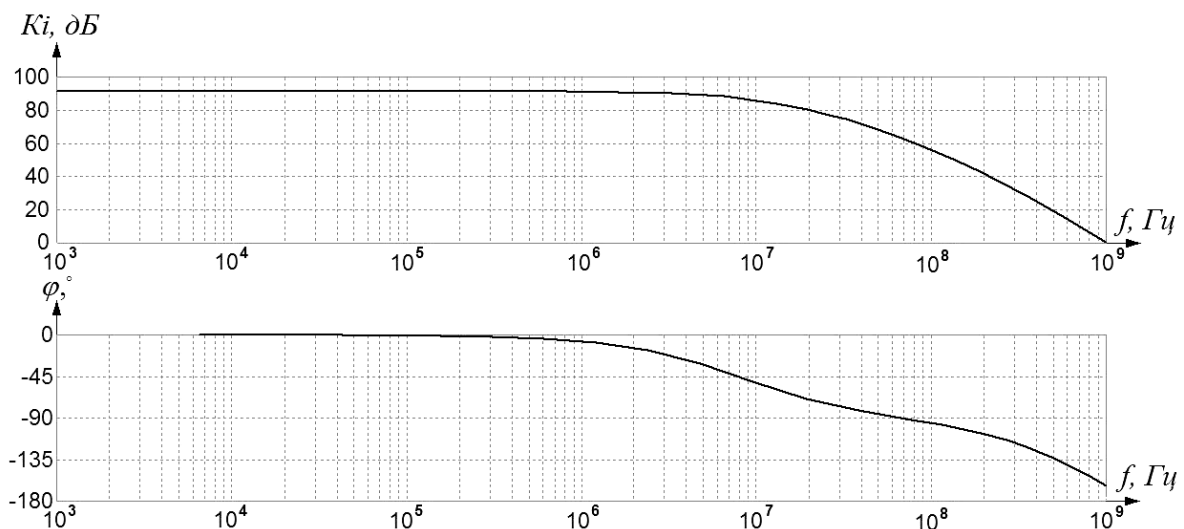


Рисунок 2.10 – Результати моделювання АЧХ і ФЧХ ДППС

РОЗДІЛ 3

МЕТОДИ СХЕМНО-ФУНКЦІОНАЛЬНОЇ ОРГАНІЗАЦІЇ ВИСОКОЛІНІЙНИХ АНАЛОГОВИХ ПРИСТРОЇВ ДЛЯ АНАЛОГО- ЦИФРОВИХ СИСТЕМ НА БАЗІ ДВОТАКТНИХ СТРУКТУР

3.1 Методи схемної організації високолінійних буферних пристроїв на базі двотактних структур

Буферні пристрої є аналоговими вузлами, що використовуються в багатьох електронних пристроях, зокрема, багаторозрядних системних АЦП і ЦАП, які, у свою чергу, входять до складу високоточних інформаційно-вимірювальних систем [44, 78]. Буферні пристрої по суті є підсилювачами потужності та призначені для узгодження опору генератора сигналу з опором навантаження [43]. При цьому буфер напруги (БН) виступає в ролі трансформатора опорів із високим вхідним та низьким вихідним опором. Коефіцієнт передачі по напрузі БН дорівнює одиниці. Струм, який видається БН у навантаження, може бути набагато більший, ніж вхідний. Такі буферні пристрої називають повторювачами напруги [2]. Буфер струму (БС), навпаки, має низький вхідний та високий вихідний опори. Коефіцієнт передачі по струму БС, як правило, дорівнює одиниці і не залежить від опору навантаження.

Відомо багато різновидів прецизійних буферних пристроїв, як за схемотехнічною організацією, так і за призначенням. Найпоширенішою є побудова буферних пристроїв на базі операційних підсилювачів [45, 79]. Проте, такий підхід обмежує їх швидкодію.

У теперішній час особливу увагу привертають двотактні схеми буферних пристроїв. Вони здатні забезпечувати високу лінійність передатної характеристики і потрібну швидкодію [79, 80]. При цьому варто відзначити, що відомі схемотехнічні рішення буферних пристроїв за двотактною структурою, що забезпечують високу швидкодію і незначну нелінійність, є незбалансованими, мають велику похибку зсуву нуля і високий температурний дрейф. Відомо також, що статичні похибки БН у першу чергу визначаються лінійністю вольт-амперних характеристик транзисторів [81], на яких вони побудовані. Для досягнення високих динамічних характеристик БН треба максимально використовувати принцип перетворення і підсилення струмів. Це зумовлено тим, що більша

частина паразитних параметрів інтегральних схем являє собою ємності [2, 34, 44]. Тому, якщо за носій сигналу вибрати струм, а не напругу, то можна уникнути прикладення великих приростів напруг до паразитних ємностей. Варто також зазначити, що навіть тоді, коли треба здійснювати підсилення напруг, доцільно напругу вхідного сигналу перетворювати на струм, потім підсилити його, а на виході схем струм знову перетворювати на напругу. При цьому біполярний транзистор можна з успіхом використовувати аж до граничної частоти.

БН на основі двотактних симетричних структур повинен забезпечити можливість функціонування в режимі, коли вхідна ($U_{вх}$) і вихідна ($U_{вих}$) напруги є двополярними, а вихідний струм $I_{вих}$ може як втікати, так і витікати в навантаження. Традиційно таким вимогам задовольняє схема, побудована на базі операційного підсилювача, проте вона не може забезпечити високої швидкодії, коли $\pm U_{вх}$ змінюється стрибкоподібно. Це пов'язано з тим, що вхідний диференційний каскад ОП при цьому виходить з лінійного режиму і потрібен час на відновлення балансу між входом і виходом. Також такий підхід не забезпечує необхідної навантажувальної здатності.

Запропоновано інший підхід до побудови буферних пристроїв, який дозволяє підвищити навантажувальну здатність зі збереженням заданої лінійності на основі двотактних симетричних структур [44]. Узагальнену структуру такого буферного пристрою наведено на рис. 3.1.

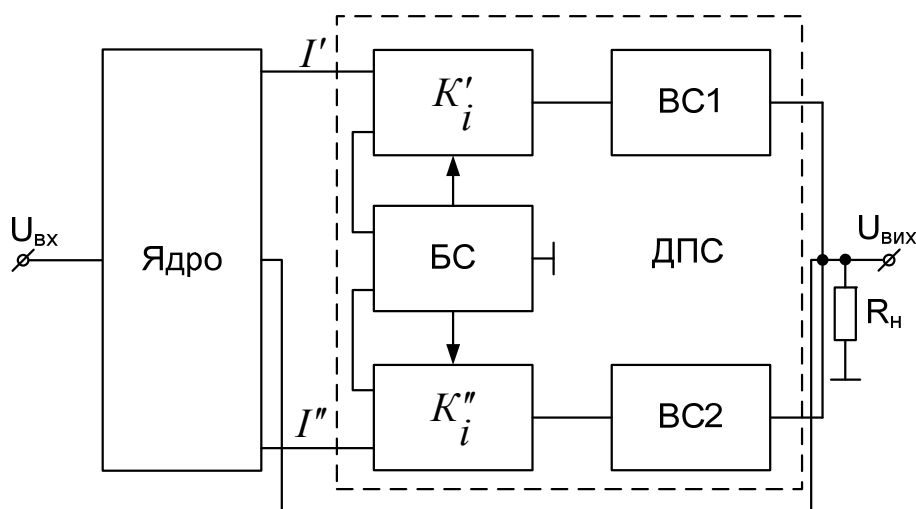


Рисунок 3.1 – Структурно-функціональна організація швидкодіючого буферного пристрою на базі двотактного підсилювача струму

Він складається із підсилювальних каскадів K'_i і K''_i , схеми балансування (СБ) та відбивачів струму ВС1 і ВС2. СБ дозволяє отримати пропорційну залежність між підсумковими коефіцієнтами передачі і вирівнюванням їх значення у діапазоні сигналу. Умовою самобалансування є виконання рівності: $\frac{I'}{I_p} = \frac{I''}{I''}$, де I_p – струм робочої точки. При цьому: $K'_i = K''_i$.

Введення двотактного підсилювача струму (ДПС) у коло зворотного зв'язку схеми, а саме між ядром і навантаженням, дозволяє зменшити вихідний опір до рівня:

$$r_{вих} = \frac{r_e}{K_i},$$

де K_i – загальний коефіцієнт підсилення ДПС, що визначається, як

$$K_i = \frac{2 \cdot K'_i \cdot K''_i}{K'_i + K''_i}.$$

Особливу увагу варто приділити ядру схеми, що також будується за двотактною структурою. Можна вказати декілька підходів щодо побудови БН на базі двотактних симетричних структур. Одним із таких є схема, яку показано на рис. 3.2 а), прототип якої описано в [79].

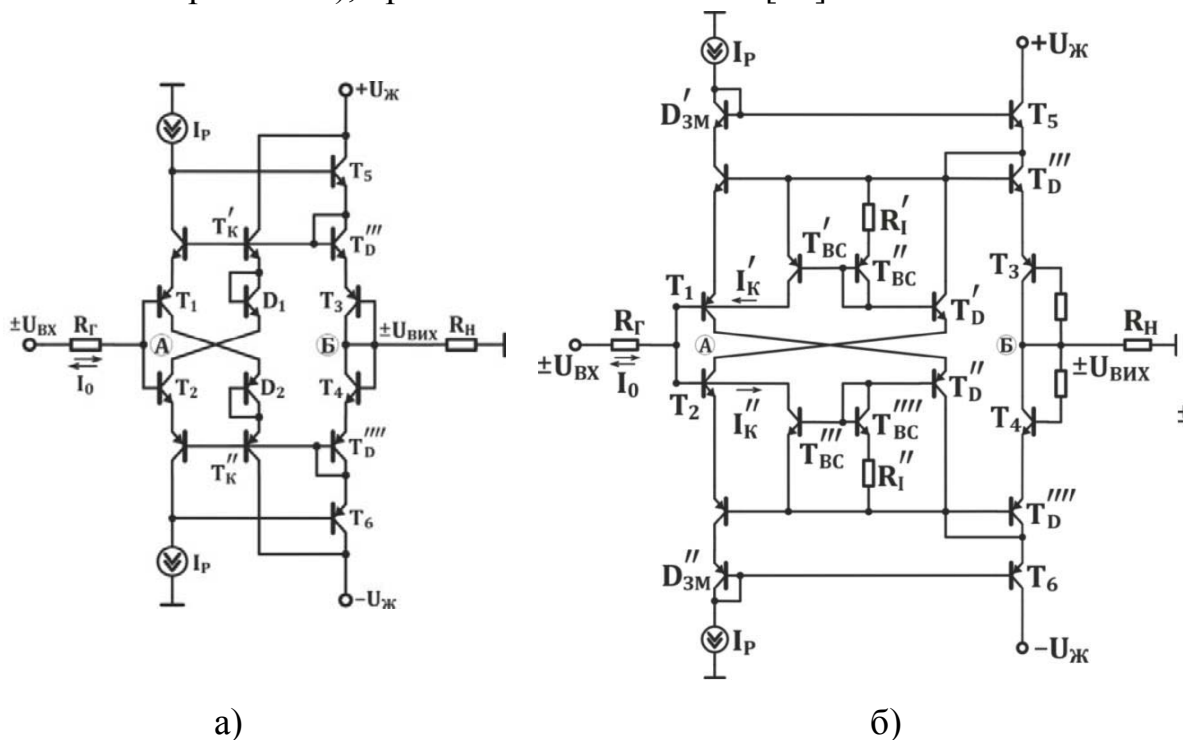


Рисунок 3.2 – Ядра двотактних БН: а) без компенсації $I_{зс0}$;

б) із компенсацією $I_{зс0}$

Вона додатково містить вхідний двотактний каскад на транзисторах Т1 і Т2, а також вихідний каскад на транзисторах Т3 і Т4. Крім того, у схему додатково уведено T'_K і T''_K і діоди зміщення D1 і D2 для блокування зміни колекторних напруг колектор-емітер Т1 і Т2, а також симетрування їх робочих точок відносно Т3 і Т4. Оцінимо статичні характеристики цього БН. Зазначимо, що оскільки у схему додатково введено підсилювальні транзистори Т1 і Т2, то вхідний опір збільшиться. Його значення буде дорівнювати:

$$r_{вх} = R_H \cdot K_i,$$

де, із врахуванням [43, 44], маємо:

$$K_i = \frac{2 \cdot (\beta' \cdot \beta'') \cdot (\beta' \cdot \beta'')}{\beta' \cdot \beta'' + \beta' \cdot \beta''} = \beta' \cdot \beta'',$$

де β', β'' – малосигнальні коефіцієнти підсилення струму $n-p-n$ і $p-n-p$ транзисторів відповідно.

Вихідний опір можна визначити як

$$r_{вих} = r_e + \frac{r_{б3} + r_{б4}}{K_i},$$

де $r_e = \frac{\varphi_T}{I_e}$ – малосигнальний опір емітерних переходів Т3 і Т4;

φ_T – термопотенціал;

$r_{б3}, r_{б4}$ – опори базових переходів, при $I_p = 1 \text{ мА}$, $r_{вих} \approx 30 \text{ Ом}$.

Варто зазначити, що істотним недоліком схеми є наявність постійного струму зсуву нуля $I_{зс0}$, який виникає внаслідок різниці (у 1,5–2 рази) статичних коефіцієнтів передачі β', β'' вхідних транзисторів Т1 і Т2. Падіння напруги на R_T внаслідок протікання цього струму призведе до появи додаткової методичної похибки зсуву нуля. Істотно (на два порядки) зменшити значення I_0 можна шляхом компенсації базових струмів Т1 і Т2, що реалізовано у схемі БН, наведеної на рис. 3.2 б). Вона додатково містить два генератори компенсуючих струмів I'_K і I''_K , давачами яких є транзистори T'_D і T''_D . Бази цих транзисторів підключено до давачів струмів, побудованих на транзисторах T'_{BC} , T''_{BC} і T'''_{BC} , T''''_{BC} відповідно. Резистори R'_1 і R''_1 слугують для тонкого налаштування значень I'_K і I''_K . Значення I_0 буде наближатися до нуля за умови досягнення рівності:

$$I_{B1} + I'_K = I_{B2} + I''_K,$$

що можна реалізувати підбором значень R'_1 і R''_1 . При цьому варто зазначити, що один із цих резисторів можна взагалі не використовувати. Резистори в базах транзисторів Т3 і Т4 забезпечують коригування зсуву нуля по напрузі. Конденсатори C'_K і C''_K призначені для забезпечення стійкості роботи схеми в діапазоні частот вхідного сигналу.

Для визначення вхідного опору цього БН відзначимо, що у вхідних колах схеми діє додатній двоконтурний зворотній зв'язок за струмом, який істотно збільшує значення r_{BX} порівняно зі схемою, наведеною на рис. 1 а). Згідно з теорією зворотних зв'язків [82] опір у точці А можна визначити у формі:

$$r = \frac{r_{BX}^*}{1 - \frac{1}{2} \cdot \chi_1 - \frac{1}{2} \cdot \chi_2},$$

де r_{BX}^* – значення вхідного опору без впливу зворотних зв'язків;

χ_1, χ_2 – глибини зворотних зв'язків відповідно у першому і другому контурах. Перший контур складається з транзисторів T_1 і T''_D і другого відбивача струму на транзисторах T'''_{BC} і T''''_{BC} , а другий – із транзисторів T_2 і T'_D і першого відбивача струму на транзисторах T'_{BC} і T''_{BC} . Зазначимо, що вхідний струм I_{BX} у точці А у малосигнальному режимі розгалужується навпіл, що і обґрунтовує появу коефіцієнтів $1/2$ перед χ_1, χ_2 . При цьому:

$$\chi_1 = \frac{\Delta I_{BX}}{\Delta I''_K}.$$

Обходячи нижній вхідний контур, маємо малосигнальне співвідношення:

$$\Delta I''_K = \Delta I''_{BD} \cdot K''_{ПВС} = \frac{\Delta I''_{ED}}{1 + \beta''_D} \cdot K''_{ПВС} = \frac{\Delta I''_{B1} \cdot \beta_1}{1 + \beta''_D} \cdot K''_{ПВС} = \frac{\Delta I''_{BX} \cdot \beta_1}{1 + \beta''_D} \cdot K''_{ПВС}.$$

Підставляючи отримане значення $\Delta I''_K$ у вираз для χ_1 і враховуючи, що транзистори T_1 і T''_D , реалізовані в інтегральному виконанні і мають однакові β_1 і β''_D , тобто $\Delta I''_{BD} = \Delta I''_{B1}$, маємо:

$$\chi_1 = \frac{1}{K''_{ПВС}} \approx 1,$$

де $K''_{ПВС}$ – коефіцієнт передавання струму ВС2.

$$\text{Аналогічно можна показати, що і } \chi_2 = \frac{1}{K'_{ПВС}} \approx 1.$$

Таким чином, знаменник у формулі для $r_{ВХ}$ може мати досить низьке значення. При цьому, регулюючи $K'_{ПВС}$ і $K''_{ПВС}$ шляхом підбору резисторів R'_I і R''_I , теоретично можна зробити $r_{ВХ}$ нескінченно великим, а вхідний струм $I_{ВХ}$ наблизити до нуля.

Оцінимо навантажувальну здатність розглянутих ядер БН, яку можна визначити через вихідний опір $r_{вих}$, який можна представити у вигляді функції $r_{вих} = f(I_P, R_I)$. Це обумовлене тим, що рівень робочого струму I_P задає малосигнальні опори вихідних діодів, реалізованих на транзисторах Т3 і Т4. До цього треба додати, що внаслідок невисокого внутрішнього коефіцієнта підсилення струму K_I , який задається підсилювальними транзисторами Т1 і Т2, значення власного опору генератора вхідної напруги також впливатиме на навантажувальну здатність. Беручи до уваги, що Т3 і Т4 у діодному вмиканні включено на паралельну роботу, остаточно можемо записати:

$$r_{вих} = r'_D \parallel r''_D + \frac{R_I}{K_I},$$

де $r'_D = r'_E + \frac{r_{Б3}}{\beta_3}$ і $r''_D = r''_E + \frac{r_{Б4}}{\beta_4}$ – малосигнальні опори емітерних переходів Т3 і Т4;

$r_{Б3}$ і $r_{Б4}$ – опори базових переходів,

$$K_I = \frac{2 \cdot (\beta' \cdot \beta'')}{\beta' + \beta''} \text{ – малосигнальні коефіцієнти підсилення струму.}$$

Підставляючи значення r'_D, r''_D, K_I у вихідний вираз, остаточно отримаємо

$$r_{вих} = r_E \cdot \frac{r_E \cdot \beta_3 \cdot \beta_4 + r_{Б4} \cdot \beta_3 + r_{Б3} \cdot \beta_4 + \frac{r_{Б3} + r_{Б4}}{r_E}}{r_E \cdot \beta_3 \cdot \beta_4 + \frac{r_{Б4} \cdot \beta_3 + r_{Б3} \cdot \beta_4}{2}} + R_I \cdot \frac{\beta_3 \cdot \beta_4}{\beta_3 + \beta_4}.$$

При $I_p = 1 \text{ мА}$, $r_{\text{вих}} \approx 30 \text{ Ом}$.

Цілком очевидно, що навантажувальна здатність розглянутих ядер БН є невисокою і при збільшенні струму в навантаженні зростатиме різницева напруга між входом і виходом, причому:

$$\Delta U_{AB} = r_{\text{вих}} \cdot I_H$$

Ненульове значення ΔU_{AB} характеризує похибки зсуву нуля та масштабу в діапазоні $\pm U_{\text{вих}}$. Зменшення вихідного опору дозволить забезпечити зменшення похибок і досягнути високої лінійності зі збереженням рівня швидкодії та підвищити навантажувальну здатність. Це можливо за рахунок введення ДПС, які охоплені глибоким від'ємним зворотним зв'язком (див. рис. 2.1) [5, 76, 80].

Схему такого рішення показано на рис. 3.3.

Варто зазначити, що за наявності ДПС із СБ і за рахунок дії зворотного зв'язку, вхідний опір істотно зменшується.

Шляхом комп'ютерного моделювання ядер БН без ДПС та з ДПС, побудованих на інтегральних транзисторах [83], отримано порівняльні дані, які наведено в табл. 3.1.

Таблиця 3.1 – Порівняльні характеристики ядер БН без ДПС та із ДПС

Параметри		$I_{\text{ВХ}} (\text{мкА})$	$U_{\text{АБ}} (\text{мкВ})$	$\Delta I_{\text{ВХ}} (\text{нА})$	$\Delta U_{\text{АБ}} (\text{мкВ})$	$r_{\text{ВХ}} (\text{ГОм})$	$r_{\text{ВИХ}} (\text{Ом})$
Схема	рис. 2 а)	8,94	201	16,6	100	0,12	29,8
	рис. 2 б)	0,5	157	1,05	141	1,96	30
	рис. 3	0,5	83	1,22	124	7200	$1,3 \cdot 10^{-3}$

Дані табл. 3.1 отримано за умови змінення вхідної напруги в діапазоні $U_{\text{ВХ}} = \pm 1 \text{ В}$. Тут $\Delta I_{\text{ВХ}}$, $\Delta U_{\text{АБ}}$ похибки лінійності в діапазоні вхідного сигналу. Динамічні властивості ядер БН можна оцінити за перехідними характеристиками. Графік перехідної характеристики для схеми рис. 3.2 б) зображено на рис. 3.4.

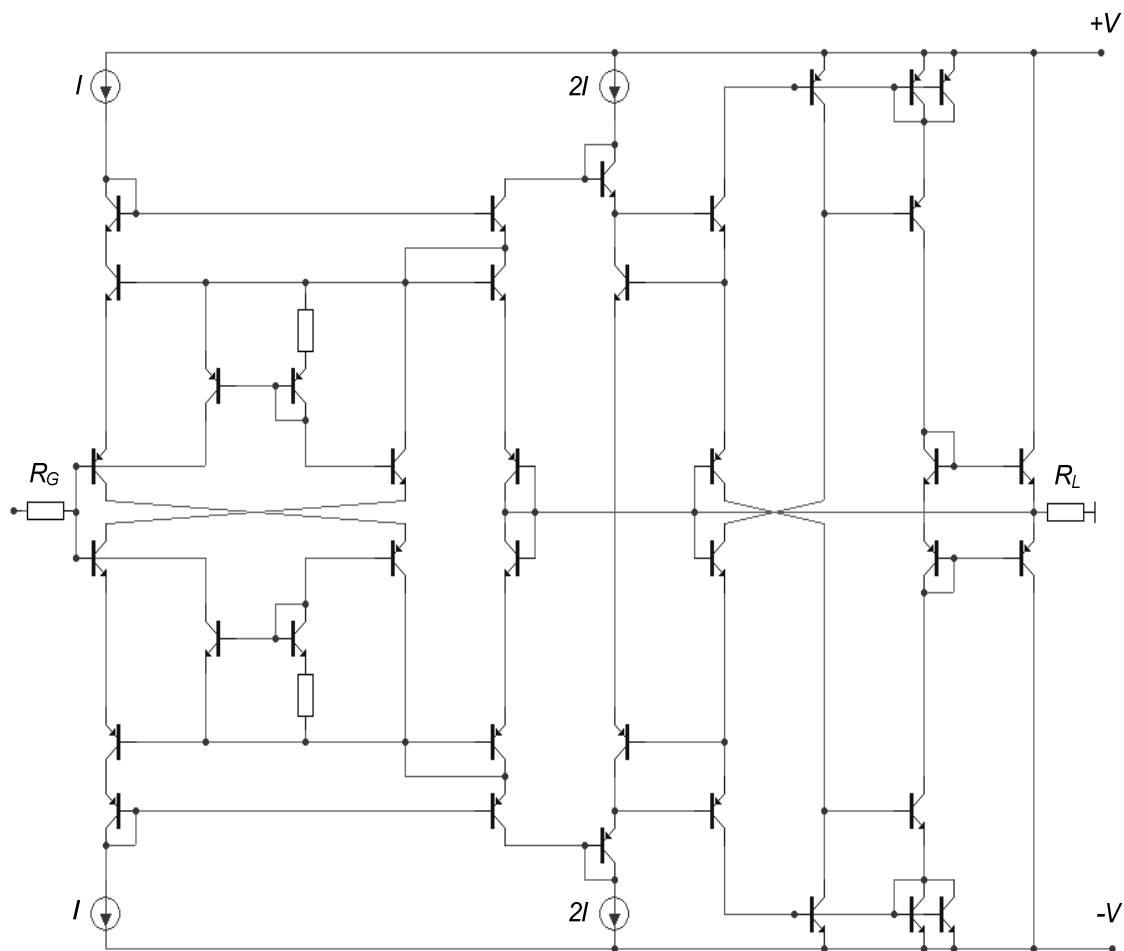


Рисунок 3.3 – Схема БН із вихідним ДПС

При цьому слід відзначити досить високу швидкість наростання вхідної напруги $\approx 1800\text{-}2000\text{В/мкс}$.



Рисунок 3.4 – Перехідна характеристика ядра БН із компенсацією $I_{зс0}$.

3.2 Методи побудови високолінійних двотактних буферних пристроїв напруги з параметричною компенсацією зсуву нуля

Буферні пристрої застосовуються для узгодження вхідного сигналу від високоомного джерела з низькоомним входом підсилювача [43] та ще називаються повторювачами напруги. Вони мають такі властивості [1]:

- коефіцієнт підсилення на рівні 1;
- високий вхідний опір;
- низький вихідний опір.

Основними випадками застосування буферних пристроїв є узгодження:

- входу високолінійного АЦП із джерелом сигналу по струму;
- входу високолінійного АЦП із джерелом сигналу по напрузі;
- виходу ЦАП.

Залежно від використання у випадку узгодження, вхідні кола можуть бути побудовані, як на біполярних, так і польових транзисторах [44]. Проте, незалежно від конкретної схемотехнічної реалізації, узагальнена структурно-функціональна організація високолінійних швидкодіючих буферних пристроїв на базі двотактних підсилювачів струму матиме вигляд, як показано на рис. 3.5 [44]. Запропонована структура містить: K'_i , K''_i – підсилювальні каскади, ВС1, ВС2 – відбивачі струму, СБ – схема балансування. Статична передатна характеристика такого роду пристроїв має загальну похибку:

$$\Delta U_{вих} = U_{вих} - U_{вх}$$

У свою чергу її можна розкласти на декілька складових, а саме на:

- похибку зсуву нуля $\Delta U_{зс0}$, причому $\Delta U_{зс0} = \Delta U_{вих}$, при $U_{вх} = 0$;
- похибку масштабу ΔU_m , причому $\Delta U_m = U_{вих} - U_{вх} - \Delta U_{зс0}$;
- похибку лінійності ΔU_l , причому $\Delta U_l = \Delta U_m - K \cdot U_{вх}$, причому

$$K = \frac{y_2 - y_1}{x_2 - x_1},$$

де x_1, x_2, y_1, y_2 – координати точок прямої, яка проходить через лінійну ділянку передатної характеристики.

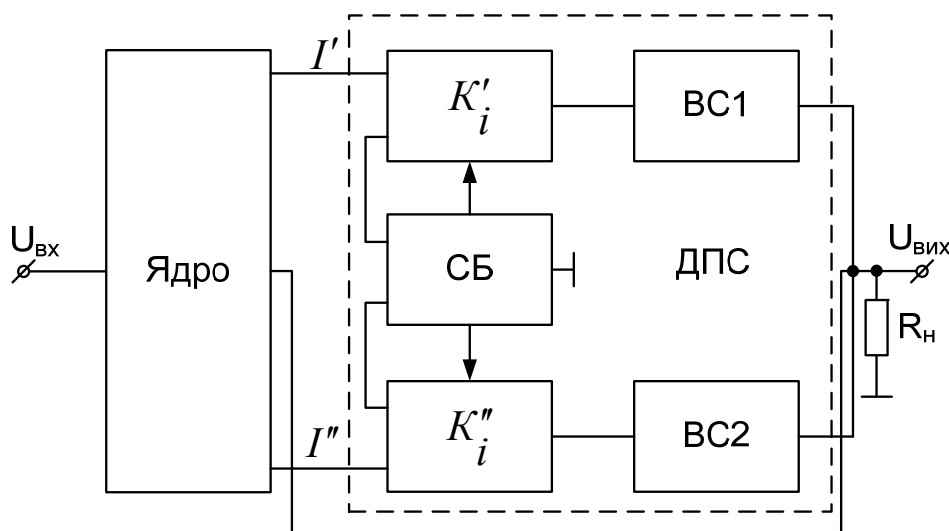


Рисунок 3.5 – Структурно-функціональна організація високолінійного швидкодіючого буферного пристрою напруги з двотактною організацією

Основою пристрою є ядро, яке також побудовано на базі двотактної структури. Використання ДППС дозволяє підвищити навантажувальну здатність зі збереженням заданої лінійності ядра.

Варто відзначити те, що саме ядро визначає потенційні характеристики всієї схеми. Водночас, рівні похибок окремих складових можуть істотно залежати від конкретної схемотехнічної реалізації ядра пристрою. Так, вищезгадана похибка зсуву нуля $\Delta U_{зс0}$, навіть для інтегральних транзисторів, сягає значень $10 \div 50$ мВ [34]. Це зумовлено незбалансованістю напруг переходів база-емітер $n-p-n$ і $p-n-p$ у верхньому та нижньому каналах проходження сигналу.

Похибки масштабу і лінійності істотно залежать від впливу змінення напруг переходів колектор-емітер транзисторів ядра в діапазоні вихідного сигналу. Водночас, лінійність передатної характеристики є складовою загальної похибки функціонування буферних пристроїв.

Існує два шляхи зменшення вищезгаданих похибок БН і БС. Перший – технологічний, при якому покращується елементна база. Другий – схемотехнічний, коли використовуються різноманітні схеми компенсації статичних похибок у структурі буферного пристрою.

Одним із варіантів для стабілізування напруг колекторних переходів транзисторів вихідних каскадів ядра у схему вводяться каскоди [76]. Це досить ефективно стабілізує характеристики робочих точок вихідних транзисторів, зокрема струми колекторів та напруги переходів база-емітер і знижує рівень похибок масштабу і лінійності. Водночас, не ідеальність

n-p-n і *p-n-p* транзисторів каскодів, а саме, залежність β від напруги переходів база-емітер, призводить до зміни їх базових струмів і не дозволяє здійснити подальшу мінімізацію цих складових. Це, у свою чергу, призводить до зміни струмів емітерів вхідних транзисторів та, водночас, до зміни напруг база-емітер цих транзисторів, що автоматично передається на вихід схеми і викликає появу похибки зсуву нуля.

Варто відзначити, що чинниками, які негативно впливають на характеристики схеми, є [1, 84]:

1. Залежність напруги переходу база-емітер U_{be} транзистора від напруги переходу колектор-емітер U_{ke} .

2. Залежність колекторного струму I_k транзистора від напруги переходу колектор-емітер, що обумовлено обмеженими значеннями опору колекторного переходу r_k^* .

3. Залежність β транзистора від напруги переходу колектор-емітер U_{ke} .

Для усунення похибок зсуву нуля, лінійності та масштабу, можна замінити просту каскодну схему на каскоди, які побудовано на базі схем Уїлсона. Подібний варіант запропоновано у схемі буферного пристрою [85]. Ця схема має низьку похибку лінійності та низьку похибку зсуву нуля, на рівні 100÷200 мкВ. Така схемотехнічна організація ядра зменшує вплив напруг переходів база-емітер транзисторів, але залишається проблема впливу базового струму транзисторів каскодів. Також специфікою буферних пристроїв на біполярних транзисторах є принципова наявність ненульового вхідного базового струму. Ненульовий вхідний струм призводить до появи похибки зсуву нуля ΔU_{zc0} .

Комплексним вирішенням вище згаданих проблем є застосування запропонованих варіантів буферних пристроїв, побудованих за структурно-функціональною організацією, як показано на рис. 3.6 та рис. 3.7 [44, 55].

Для цього використовується окремий генератор I_{zc0} , що забезпечує параметричну компенсацію струму зсуву нуля. Основними вимогами до такого пристрою є:

- стабільність I_{zc0} в діапазоні вхідного сигналу;
- високий вихідний опір.

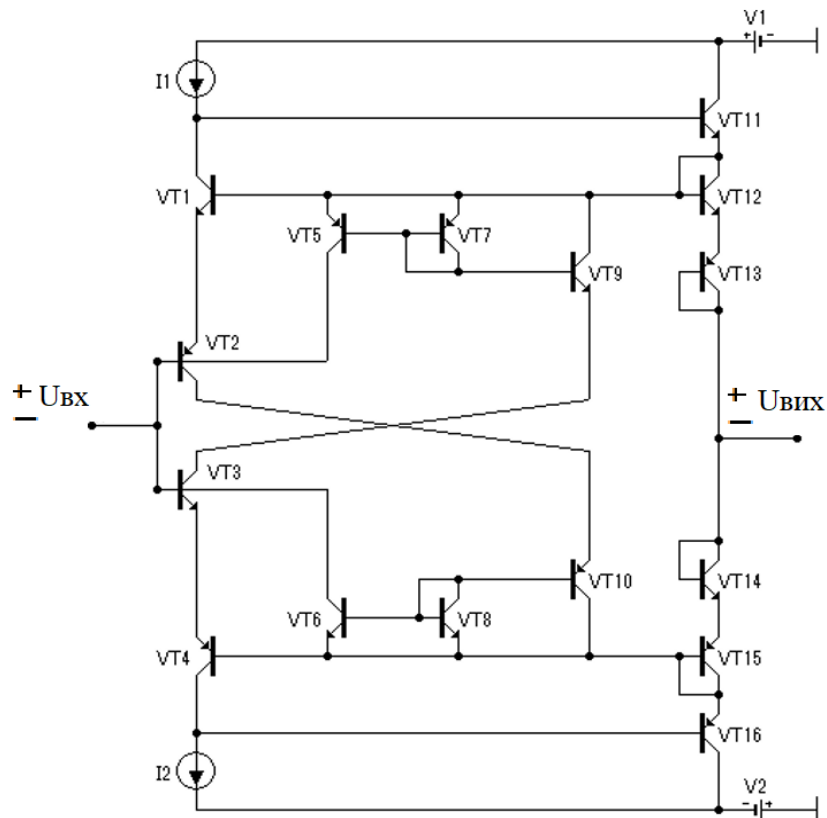


Рисунок 3.6 – Принципова схема буферного пристрою з двотактною організацією з простим генератором струму I_{zc0}

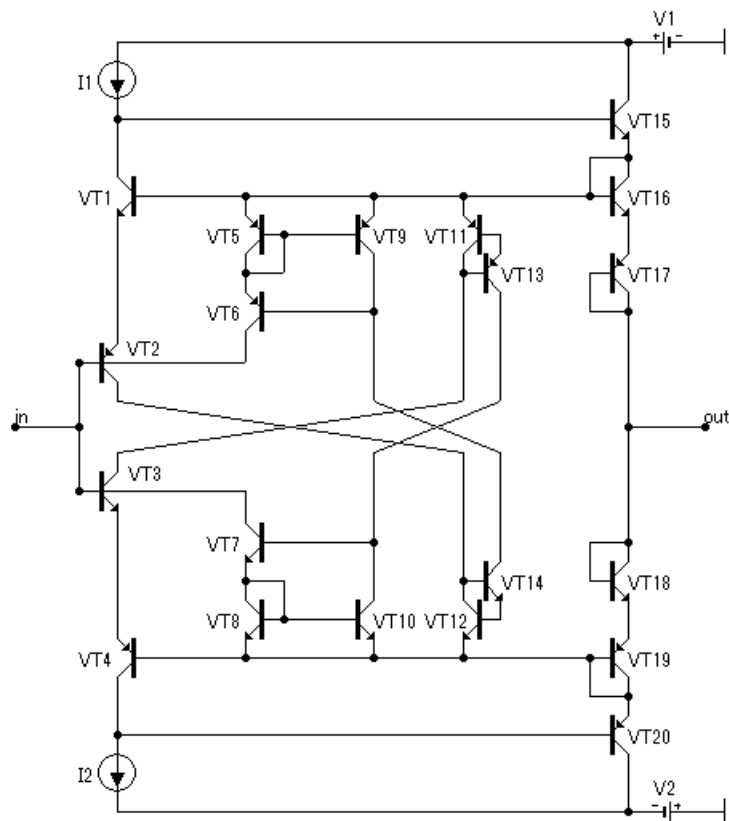


Рисунок 3.7 – Принципова схема буферного пристрою з двотактною організацією із вдосконаленим генератором струму I_{zc0}

Для зменшення похибки зсуву нуля ядра буферного пристрою запропоновано схемотехнічну організацію у поєднанні з простим генератором струму I_{zc0} , яку показано на рис. 3.6, який побудовано на транзисторах VT5, VT6, VT7, VT8, VT9, VT10. Головна ідея полягає в поверненні різниці базових струмів струмозадаючих комплементарних транзисторів VT9, VT10 через відбивачі струму на VT5, VT7 та VT6, VT8 транзисторах відповідно у протифазі різниці струмів VT2, VT3 вхідних комплементарних транзисторів. При цьому необхідно відзначити, що на практиці, якщо не вживати додаткових заходів, ця збіжність буде на рівні 5% [34], а також такий генератор струму I_{zc0} має низький вихідний опір і, як наслідок, низьку навантажувальну здатність.

Схема двотактного буферного пристрою з внутрішнім генератором компенсації зсуву нуля істить вхідний каскад, побудований на транзисторах VT2, VT3. При цьому вхідний струм $I_{вх}$ зсуву нуля дорівнює

$$I_{вх} = I_{б2} - I_{б3},$$

де $I_{б2}$, $I_{б3}$ – базові струми відповідних транзисторів.

Варто зазначити, що, якщо значення робочих струмів $I_p = 1\text{mA}$, $\beta_{n-p} \approx 100$, $\beta_{p-n} \approx 50$, то $I_{вх} = 10\text{ мкА}$, що призведе до значного рівня похибки струму зсуву нуля. Для зменшення вхідного струму в наведеній на рис. 3.5 схемі використовується внутрішній генератор компенсації зсуву нуля, побудований на транзисторах VT5 – VT10.

Кращим варіантом є буферний пристрій на рис. 3.7, що містить вдосконалений генератор струму I_{zc0} . Ідея роботи залишається аналогічною — параметрична компенсація базових струмів комплементарних вхідних транзисторів VT2, VT3. Проте бази струмозадаючих комплементарних транзисторів VT11, VT12 застабілізовані транзисторами VT13, VT14 відповідно від впливу відбивачів струму Уїлсона, що побудовано на VT5, VT6, VT9 та VT7, VT8, VT10 відповідно. Водночас, постановка відбивачів Уїлсона дає змогу підвищити вихідний опір генератора струму I_{zc0} та зменшити вплив комплементарних вхідних транзисторів VT2, VT3. І, як результат, забезпечується підвищення точності завдання I_{zc0} . При цьому похибка лінійності джерела зсуву нуля зменшується.

Запропоновано також схемотехнічну реалізацію джерела струму I_{zc0} з можливістю регулювання вихідного струму, яку показано на рис. 3.8 [48].

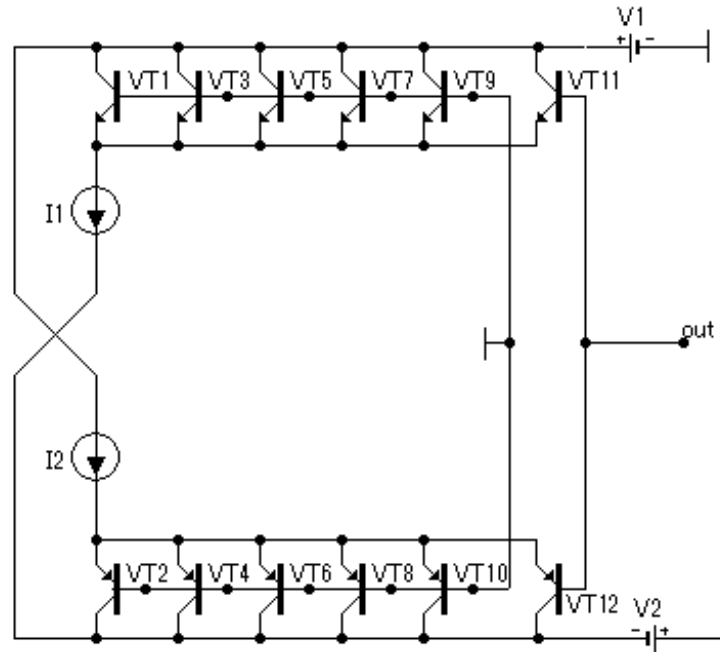


Рисунок 3.8 – Схемотехнічна реалізація генератора струму I_{zc0} з можливістю регулювання вихідного струму

Робочі струми схеми задаються генераторами $I_1=I_2=I_p$. Водночас однотипні транзистори VT1, VT3, VT5, VT7, VT9, VT11 підключено паралельно між собою і через їх емітери протікає струм рівний:

$$I_e = \frac{I_p}{6}, \quad (3.1)$$

де I_p – робочий струм схеми.

Струм бази транзистора VT11 становитиме:

$$I_{\text{б VT11}} = \frac{I_p}{6 \cdot (\beta_{n-p-n} + 1)}, \quad (3.2)$$

де β_{n-p-n} – коефіцієнт передавання струму бази транзистора $n-p-n$ типу.

Даний струм буде втікати в базу транзистора VT11, а тому його значення беремо зі знаком «мінус». Аналогічно однотипні транзистори VT2, VT4, VT6, VT8, VT10, VT12 підключено паралельно між собою і через їх емітери протікає струм рівний (1). У такому випадку струм бази VT12 становитиме:

$$I_{\text{б VT12}} = \frac{I_p}{6 \cdot (\beta_{p-n-p} + 1)}, \quad (3.3)$$

де β_{p-n-p} – коефіцієнт передачі струму бази транзистора $p-n-p$ типу.

Даний струм буде витікати з бази транзистора VT12, а тому його значення беремо зі знаком «плюс».

Із врахуванням (3.1) – (3.3), сумарний вихідний струм схеми буде дорівнювати

$$I_{вих} = I_{б VT12} - I_{б VT11} = \frac{I_p}{6} \left[\frac{1}{(\beta_{p-n-p} + 1)} - \frac{1}{(\beta_{n-p-n} + 1)} \right].$$

Провівши математичні перетворення, можна записати, що:

$$I_{вих} \approx \frac{I_p}{6} \left[\frac{\beta_{p-n-p} - \beta_{n-p-n}}{\beta_{p-n-p} \cdot \beta_{n-p-n}} \right].$$

Оскільки $\beta_{n-p-n} > \beta_{p-n-p}$, вихідний струм буде витікати. Змінюючи I_p і кількість транзисторів, можна задавати значення $I_{вих}$. Таким чином, даний пристрій дозволяє домогтися компенсації струму зміщення нуля підсилювальної схеми за умови, що для підсилювальної схеми даний струм втікає. За результатами моделювання вихідний опір пристрою становитиме близько 12 кОм.

Зауважимо, що технологічний розкид параметрів транзисторів не дозволить істотно зменшити цю похибку [85]. Треба також відзначити, що протікання струму з виходу схеми в навантаження додатково призведе до розбалансу потенціалів між входом і виходом, що спричинить додаткове збільшення адитивної похибки, а також погіршення лінійності передатної характеристики.

Для усунення вказаних недоліків автор пропонує інший підхід до побудови високолінійного двотактного буферного пристрою з вихідним підсилювачем потужності, що наведено в наступному розділі.

3.3 Методи функціональної організації багатоканальної швидкодіючої АЦ – ЦА-системи на базі високолінійних перетворювачів струм-струм

У теперішній час перетворювачі форми інформації (ПФІ) є невід'ємною складовою сучасних електронних систем [2, 24, 34]. На особливу увагу заслуговують багатоканальні швидкодіючі системи, які, у

більшості випадків, будуються на основі групового використання в кожному каналі аналого-цифрових і цифро-аналогових перетворювачів (АЦП і ЦАП), що забезпечує максимальну швидкодію зі збереженням високої точності перетворення [41].

Водночас, використання групи декількох АЦП чи ЦАП у вищезгаданих системах створює ряд проблемних особливостей. По-перше, кожен із них має свої індивідуальні статичні похибки і в разі потреби їх калібрування, система, що його реалізує, ускладнюється. По-друге, незважаючи на можливість забезпечення високої швидкодії групою перетворювачів, це збільшує споживану потужність і вимагає додаткового, як аналогового, так і цифрового обладнання. По-третє, надійність таких систем знижується через наявність великої кількості вузлів [1].

Альтернативою такого підходу є застосування одного високолінійного швидкодіючого АЦП чи ЦАП, проте, це вимагає збільшення його швидкодії порівняно зі швидкодією будь-якого із групових АЦП чи ЦАП, а також забезпечення високої швидкодії багатоканального комутаторів вхідного й вихідного сигналу. Перспективним шляхом щодо виконання вказаних вимог є струмовий принцип у побудові згаданих пристроїв. Так, АЦП повинен бути виконаний за принципом перетворювача струм-код (ПСК), ЦАП – за принципом перетворювача код-струм (ПКС), вхідний нормуючий підсилювач (НП) та вихідний буфер (ВБ) – на основі перетворювача струм-струм (ПСС), а багатоканальний комутатор струмів (БКС) – на базі швидкодіючих діодних ключів.

Запропоновано підхід побудови багатоканальних аналого-цифрових і цифро-аналогових систем, у яких на відміну від відомих використовується або один ПСК, або ПКС, ПСС, а також – блок комутації струмів. Це дозволяє при заданій точності зекономити на аналоговому обладнанні системи.

Показано, що запропонований принцип побудови ПСС у вигляді високолінійного двотактного підсилювача постійного струму (ДППС) на біполярних транзисторах із заземленим навантаженням має високий вихідний опір і широку смугу пропускання, що дозволяє, використовуючи комутацію струму, реалізувати багатоканальний режим системи.

Запропоновано структурно-функціональну схему аналого-цифрової і цифро-аналогової систем, які зображено на рис. 3.9 і 3.10, відповідно [41].

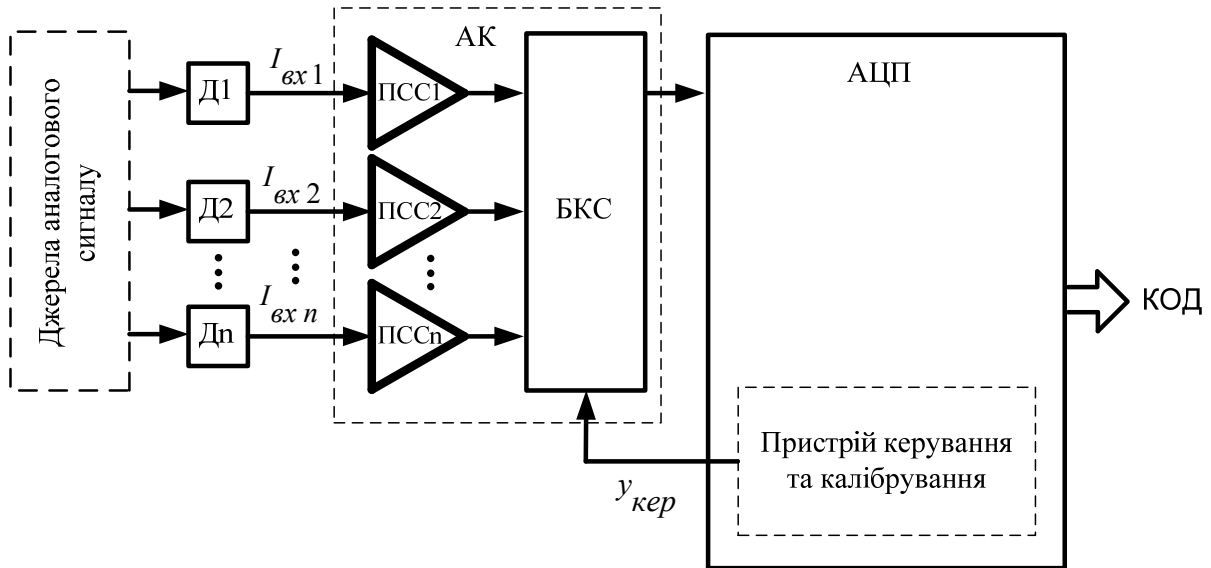


Рисунок 3.9 – Структурно-функціональна схема аналого-цифрової системи

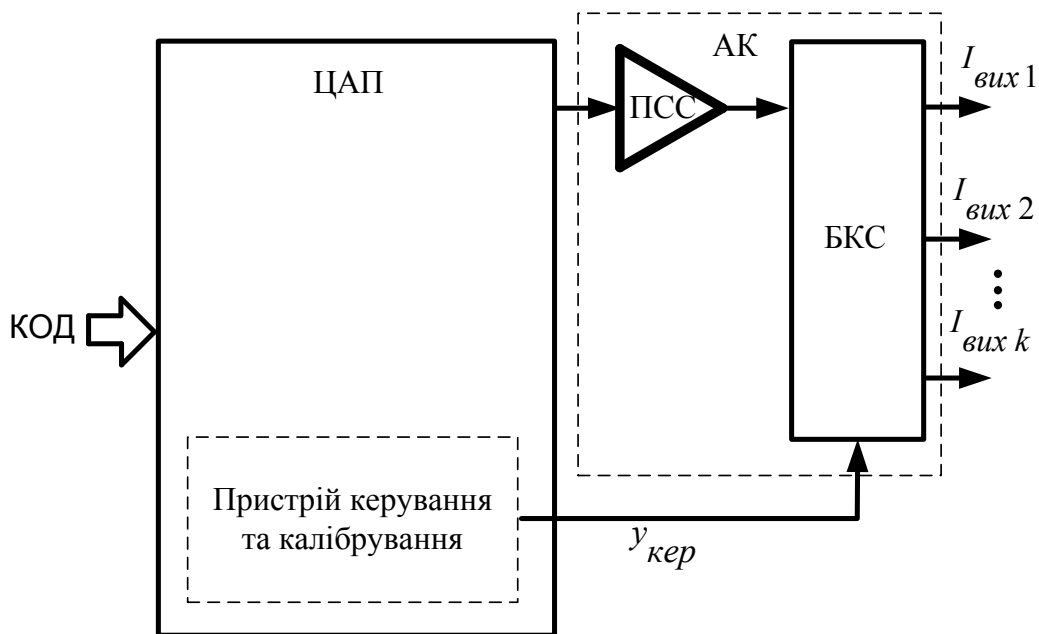


Рисунок 3.10 – Структурно-функціональна схема цифро-аналогової системи

Схема аналого-цифрової системи приймає на аналогові входи сигнал у вигляді струмів $I_{вх1}, I_{вх2}, \dots, I_{вхn}$, що надходять із давачів сигналу D_1, D_2, \dots, D_n . У випадку сигналів малої потужності необхідна постановка буферних каскадів, якщо ж сигнал у вигляді напруги, то потрібна постановка перетворювачів напруга-струм, що забезпечить струмовий

принцип роботи, який має переваги над принципом перетворення напруг. Детальний опис такого роду пристроїв описано в [80].

Система містить блок аналогового комутатора (АК), який складається з n ПСС та БКС, високолінійного швидкісного АЦП, що містить пристрій керування і калібрування та забезпечує режим роботи АК, а також формує вихідний цифровий код.

Запропонована система може працювати у двох режимах. Перший – калібрування – визначення похибок зсуву нуля пристроїв каналу перетворення. Для цього на входи, в обхід давачів сигналу, подається $I_{vx1}, I_{vx2}, \dots, I_{vxn} = 0$. Далі, по чергово здійснюється комутація кожного з n каналів і визначення кодового еквіваленту похибки, що записується в пам'ять системи у вигляді таблиці поправок та враховується в режимі основного перетворення. На цьому перший режим завершено, і система готова до виконання основної функції.

Другий режим – основне перетворення. За командою пристрою керування вибирається n -й номер потрібного каналу, який підключається на вхід високолінійного швидкодіючого багаторозрядного АЦП, де й відбувається основне перетворення аналог-код. Процес повторюється для кожного з каналів багатоканальної системи.

Схема цифро-аналогової системи приймає на вхідну шину цифровий код. Вона також працює у двох режимах. Перший режим – калібрування – визначення похибок зсуву нуля пристроїв каналу перетворення. Для цього на вхід подається нульовий код та по чергово здійснюється комутація кожного з k каналів, що дозволяє визначити значення струму зсуву нуля на кожному з виходів $I_{vix1}, I_{vix2}, \dots, I_{vixk}$. Для системи ЦАП визначаються кодові еквіваленти зсувів нуля із врахуванням похибок лінійності тракту перетворення так, щоб $I_{vix1}, I_{vix2}, \dots, I_{vixk} = 0$. Кодові поправки кожного з каналів враховуються в режимі основного перетворення. На цьому перший режим завершено і система готова до виконання основної функції.

Другий режим – основне перетворення. За командою пристрою керування вибирається потрібний канал, а на входи внутрішнього суматора високолінійного швидкодіючого ЦАП подається перетворюваний код із вхідної шини і код поправки зсуву нуля, який отримано в режимі калібрування. З виходу ЦАП сумарний код надходить на вхід ПСС і перетворюється у відповідну аналогову величину – струм, який, залежно від обраного каналу пристроєм керування, подається на необхідний вихід $I_{vix1}, I_{vix2}, \dots, I_{vixk}$.

До ПСС висуваються такі вимоги, як: висока лінійність, швидкодія та значний вихідний опір, а також – широка смуга пропускання. Це обумовлено специфікою роботи струмових ключових елементів. На рис. 3.11 наведено структурну схему АК, що містить ПСС і БКС.

Причому, ППС доцільно реалізовувати у вигляді високолінійного двотактного підсилювача постійного струму, який наведено на рис. 3.12.

Для забезпечення високого вихідного опору $R_{вих}$ у ДППС використано від'ємний зворотний зв'язок із способом знімання за струмом. У процесі функціонування вхідний струм $I_{вх}$ подається на вхідний двотактний каскад (ВДК), на виходах якого маємо розгалужені складові I' і I'' , які у свою чергу подаються на блок балансування і підсилення струмів (ББПС), де вони підсилюються і додатково розгалужуються на парафазні складові KI' , KI'' відповідно. Ці складові надходять на входи відбивачів струму (ВС) ВС2 і ВС3.

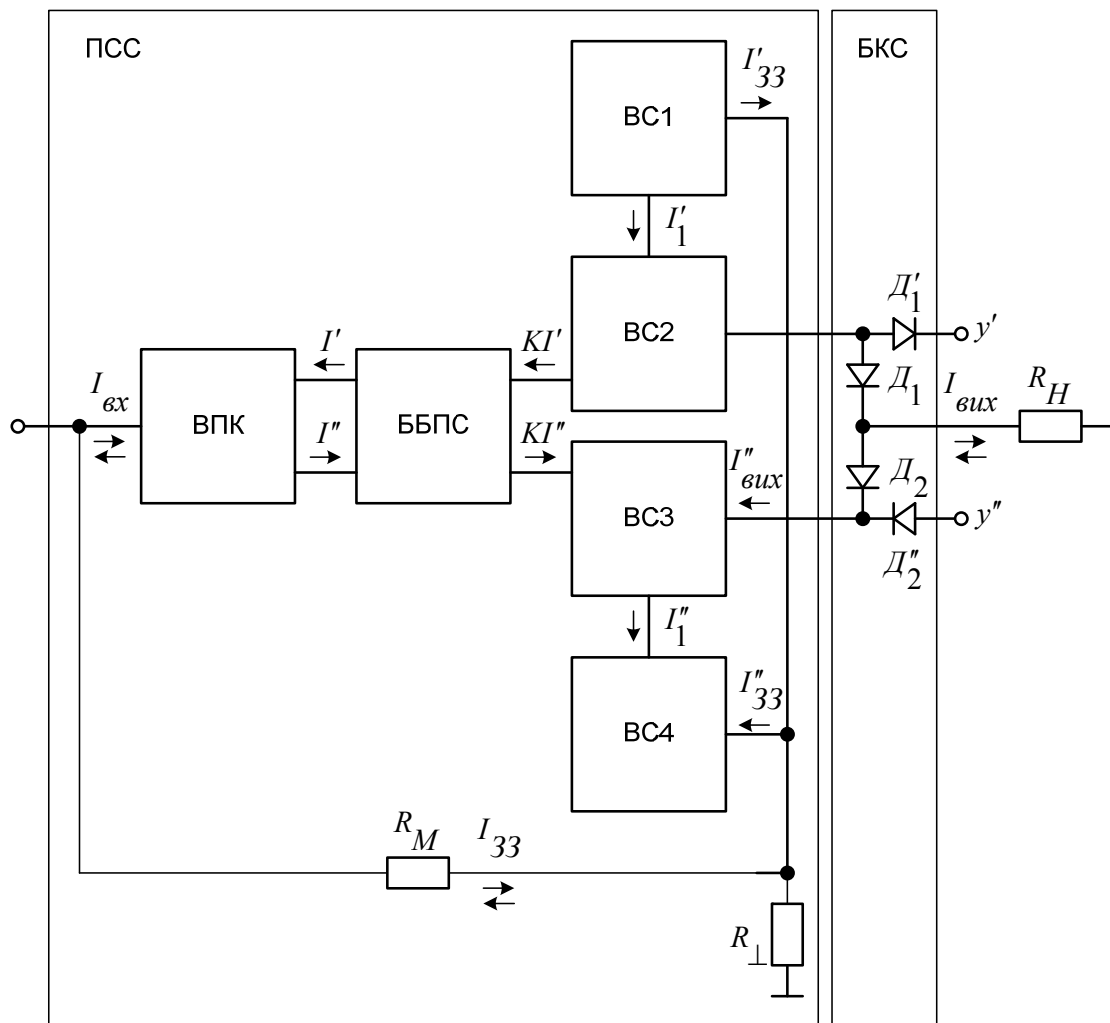


Рисунок 3.11 – Структурна схема АК на базі ППС і БКС

Причому перші виходи BC2 і BC3 із сигналами $I'_{вих}$ і $I''_{вих}$ об'єднуються через діоди Д1 і Д2 у сигнал $I_{вих}$, що подається на вихідну шину схеми. Водночас другі виходи BC2 і BC3 із сигналами I'_1 і I''_1 підключено до входів відбивачів BC1 і BC4, виходи яких також об'єднуються та утворюють шину зворотного зв'язку (ЗЗ) із сигналом $I_{ЗЗ}$.

Сумарний коефіцієнт підсилення ВПК визначимо, як

$$K_{ВПК} = K'_{ВПК} + K''_{ВПК} = 2 \cdot \frac{\beta' \cdot \beta''}{\beta' + \beta''}.$$

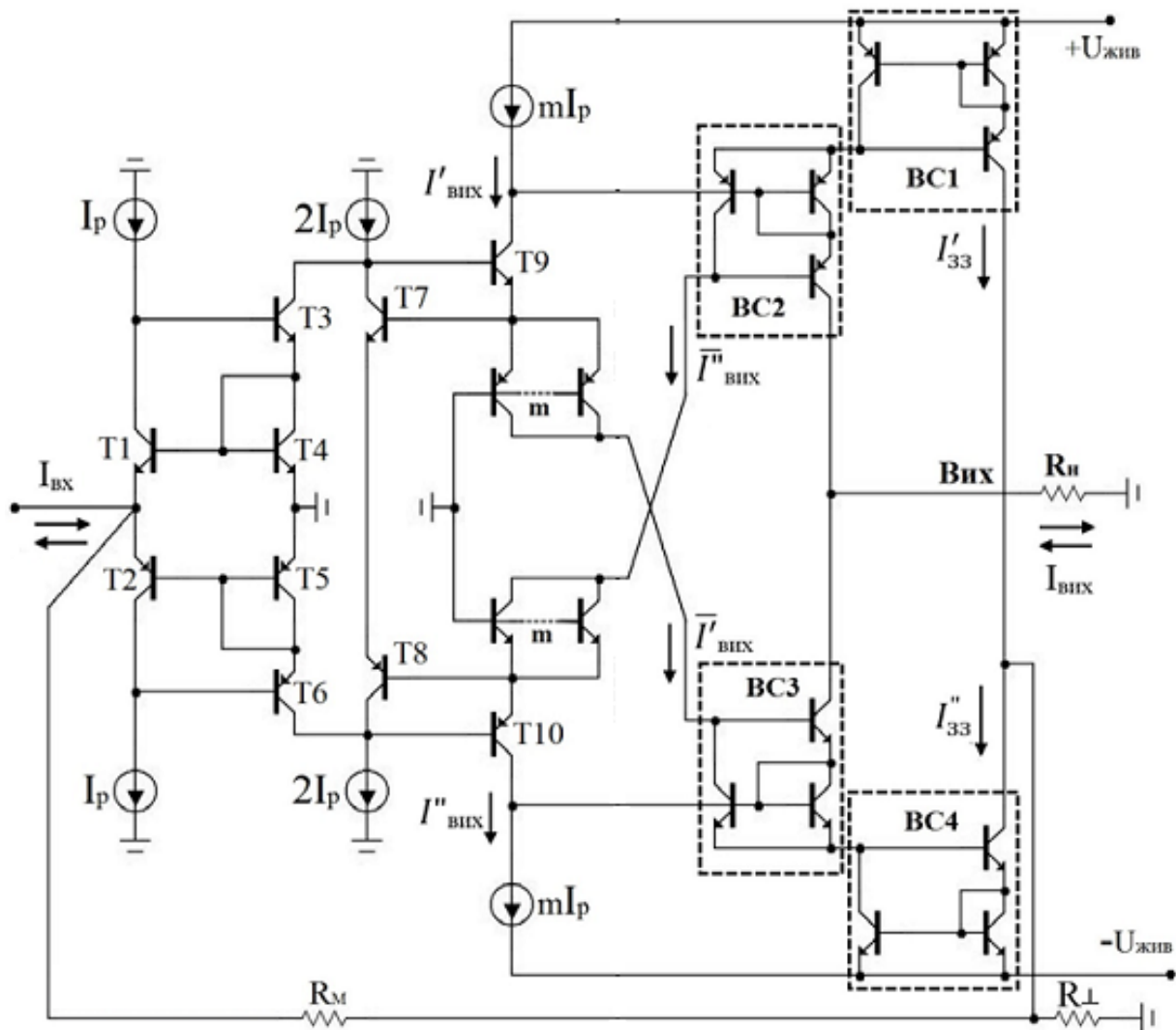


Рисунок 3.12 – Спрощена принципова схема ДПАС для реалізації ПСС

Аналогічно, для ББПС, маємо

$$K'_{\text{ББПС}} \approx K''_{\text{ББПС}} \approx K_{\text{ББПС}} = \frac{\beta' \cdot \beta''}{\beta' + \beta''}$$

Враховуючи наведене, остаточно отримаємо:

$$K_i = 2 \cdot \left(\frac{\beta' \cdot \beta''}{\beta' + \beta''} \right)^2. \quad (3.4)$$

Значення струму зворотного зв'язку I_{33} формується як сума струмів I'_{33} і I''_{33} , яка дорівнює значенню $I_{\text{вих}}$ із похибкою, зокрема, похибкою лінійності ΔI_l . Тому нескладно показати, що при розірванні петлі 33 коефіцієнт передавання струму

$$K_{i33} \approx 2 \cdot K_i.$$

Замикаючи контур 33 за допомогою резисторів масштабу R_M і R_{\perp} , отримаємо ППС з можливістю керування значенням струму. Із теорії електронних схем [80] відомо, що коефіцієнт передавання буде дорівнювати

$$K_{i\text{ППС}} = \frac{K_{i33}}{1 + \chi \cdot K_{i33}},$$

де χ – глибина зворотного зв'язку.

У свою чергу χ задається такими параметрами, як опори резисторів масштабу R_M і R_{\perp} та опору $R_{\text{вх}33}$. $R_{\text{вх}33}$ – вхідний опір ДППС з урахуванням дії зворотного зв'язку. Оскільки за способом уведення зворотний зв'язок є паралельним, то це призведе до того, що $R_{\text{вх}33} \gg R_{\text{вх}}$, де $R_{\text{вх}}$ – максимальний вхідний опір ДППС, який у свою чергу $R_{\text{вх}} \ll R_M$, а тому впливом $R_{\text{вх}33}$ можна знехтувати і в розрахунках не використовувати.

У цьому випадку глибина зворотного зв'язку визначається, як:

$$\chi = \frac{R_M \parallel R_{\perp}}{R_M} = \frac{\frac{R_M \cdot R_{\perp}}{R_M + R_{\perp}}}{R_M} = \frac{R_{\perp}}{R_M + R_{\perp}}$$

Отже, враховуючи, що $\chi \cdot K_{i33} \gg 1$, остаточно можемо записати:

$$K_{iПСС}(R_{вх} \ll R_M) = \frac{R_M + R_{\perp}}{R_{\perp}}. \quad (3.2)$$

У випадку ж, коли умова $R_{вх} \ll R_M$ не виконується, а значення R_M не достатньо високе, тобто $R_{вх} \leq R_M$, то варто враховувати значення опору $R_{вх}$, а коефіцієнт передавання ППС набуває вигляду:

$$K_{iПСС}(R_{вх} \leq R_M) = \frac{R_M + R_{\perp}}{R_{вх} + R_M + R_{\perp}}. \quad (3.3)$$

Малосигнальне значення вхідного опору $R_{вх}^*$ ВПК дорівнює паралельному з'єднанню вхідних опорів ВПК із боку ядра на транзисторах Т1 і Т2 [34]:

$$R_{вх}^* = r'_e \parallel r''_e = \frac{r'_e \cdot r''_e}{r'_e + r''_e},$$

де r'_e, r''_e – вхідні опори верхнього і нижнього каналів ВПК відповідно.

Також, враховуючи те, що вхідний каскад функціонує під дією локального від'ємного зв'язку за струмом, то завдяки транзисторам Т3 і Т6 з відповідними коефіцієнтами передачі β' і β'' , загальний вхідний опір $R_{вх}$ збільшиться і матиме значення:

$$R_{вх} = \frac{r'_e \cdot r''_e}{r'_e + r''_e} \cdot 2 \cdot \frac{\beta' \cdot \beta''}{\beta' + \beta''}.$$

Вихідний малосигнальний опір $R_{вих}$ ППС залежить як від вихідних опорів $R_{вих1}$ і $R_{вих2}$ відбивачів ВС2 і ВС3 відповідно, так і від глибини ЗЗ, зокрема, від значення $K_{iПСС}$ і K_i .

Із теорії транзисторних підсилювальних схем у випадку застосування від'ємного зв'язку з відніманням струму [82] відомо, що це призведе до збільшення вихідного опору. Для нашого випадку маємо:

$$R_{вих} = (r'_{вих} \parallel r''_{вих}) \cdot (1 + \chi \cdot K_{i33}),$$

де $r'_{вих} \approx \frac{1}{2} \cdot r'_c$, $r''_{вих} \approx \frac{1}{2} \cdot r''_c$ – малосигнальні опори колекторних переходів $n-p-n$ і $p-n-p$ транзисторів ВС2 і ВС3 відповідно.

Враховуючи, що

$$r'_{вих} \parallel r''_{вих} = \frac{1}{2} \cdot \frac{r'_c \cdot r''_c}{r'_c + r''_c},$$

маємо

$$R_{вих} = \frac{1}{2} \cdot \frac{r'_c \cdot r''_c}{r'_c + r''_c} \cdot \left(1 + \frac{1}{K_{iПСС}(R_{вх} \ll R_M)} \cdot K_{i33}\right) \quad (3.4)$$

Формула (3.4) є справедливою, якщо виконується умова $R_{вх} \ll R_M$. Якщо $R_{вх} \leq R_M$, то у (3.4) треба підставити коефіцієнт із формули (3.3):

$$R_{вих} = \frac{1}{2} \cdot \frac{r'_c \cdot r''_c}{r'_c + r''_c} \cdot \left(1 + \frac{1}{K_{iПСС}(R_{вх} \leq R_M)} \cdot K_{i33}\right).$$

Результати досліджень доцільно отримувати шляхом комп'ютерного моделювання із застосуванням моделей інтегральних транзисторів $n-p-n$ – NUNFARRY, $p-n-p$ – PUNFARRY [83]. У випадку побудови ПСС на вищевказаних транзисторах і заданих режимах роботи, коли робочий струм каскадів схеми ДППС $I_p = 1mA$, а $R_{вх} = 0$, маємо 1.4гОм, що є досить великим значенням. Якщо $R_{вх}$ змінюється в певному діапазоні, то і $R_{вих}$ змінюється у зв'язку із залежністю від колекторних струмів ВС2 і ВС3.

Комп'ютерне моделювання залежності $R_{вих} = f(I_{вих})$ дозволило отримати сім'ю вихідних характеристик у діапазоні $I_{вх} = \pm 100mA$, зокрема при $K_{iПСС} = 10$ ($R_M = 4,5 \kappa Om$, $R_{\perp} = 500 Om$), зображених на рис. 3.13 [41].

Зведену інформацію щодо залежностей вихідного опору $R_{вих}$, а також абсолютних та відносних похибок лінійності ΔI_L , $\frac{\delta \Delta I_L}{I_L}$ від коефіцієнту підсилення $K_{iПСС}$ наведено у табл. 3.2. Вихід ПСС підключено до блоку комутації струмів, який побудовано на діодних

ключах (ДК) $D1, D'1, D2, D'2$, верхнього і нижнього каналів відповідно. При реалізації інтегральних схем доцільним є використання транзисторних структур у діодному вмиканні [34, 82].

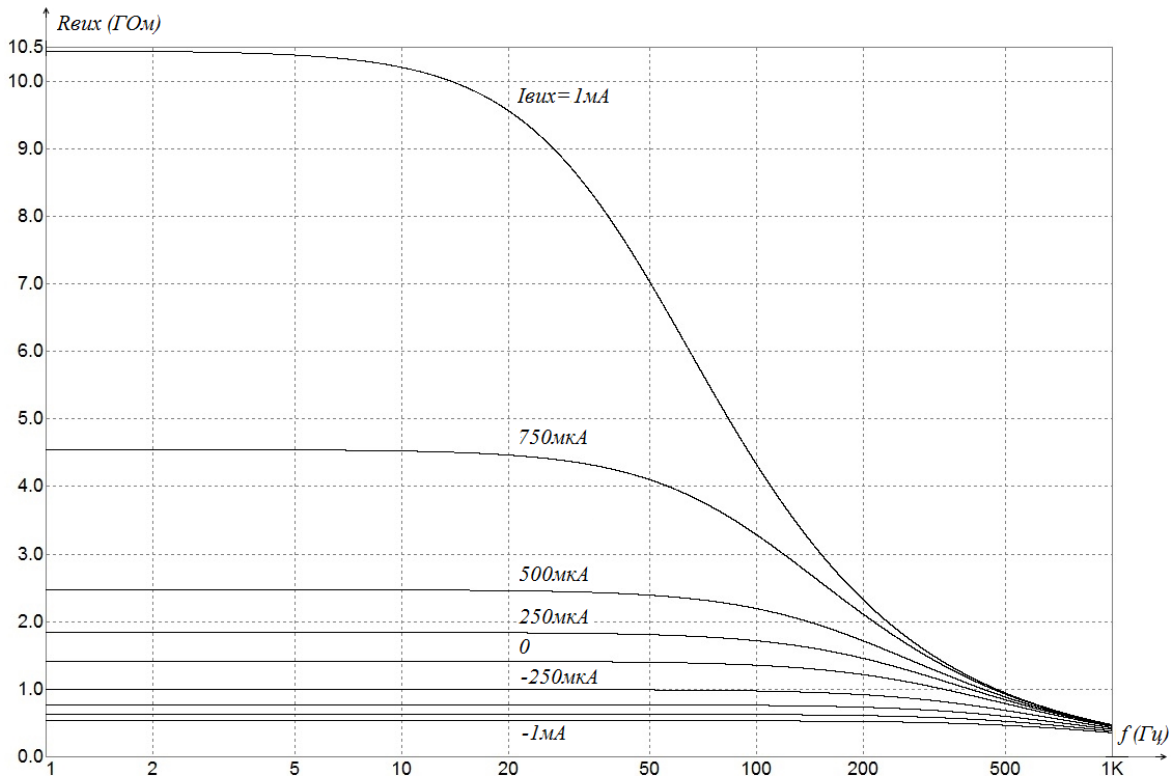


Рисунок 3.13 – Графіки залежності $R_{вих} = f(I_{вих})$ у частотній зоні при $K_{iПСС} = 10$

Таблиця 3.2 – Зведена таблиця залежностей параметрів ППС

$K_{iПСС}$	2	5	10	20	50	100
$R_{вих}$, (МОм)	406	688	1200	401	100	40
ΔI_l (нА)	0.98	1.4	2.2	42	916	2100
$\delta \Delta I_l$, (%)	$0.46 \cdot 10^{-4}$	$0.7 \cdot 10^{-4}$	$1.1 \cdot 10^{-4}$	$21 \cdot 10^{-4}$	$408 \cdot 10^{-4}$	$105 \cdot 10^{-3}$

Відповідно, як показано на рис. 3.11, керування ДК здійснюється цифровими сигналами y', y'' відповідно. Варто зазначити, що для забезпечення функціонування ДК потрібно, щоб значення їх робочих

струмів були би дещо більше, ніж $I_{вих}$. Якщо рівні робочих струмів будуть на рівні одиниць міліампер, то опори ДК – десятки Ом. За цих умов відносна методична похибка комутації струмів дорівнює

$$\delta I_{КС} = \frac{R_{ДК}}{R_{ДК} + R_{вих}},$$

де $R_{вих}$ – вихідний опір ПСС.

Якщо $R_{вих}$ має значення сотні МОм – одиниці Гом, то $\delta I_{КС}$ має порядок $\sim 10^{-5} \div 10^{-4}\%$. Безумовно, що використовуючи запропонований принцип комутації струмів, цією похибкою у більшості випадках можна знехтувати.

Водночас, необхідно враховувати фундаментальні обмеження точності припасування пар ДК, які можна врахувати у вигляді поправок, занесених у вигляді кодів самокалібрування та самокоригування в системи ПКС і ПСК. Доцільно також враховувати похибку зсуву нуля, що виникає на вході ПСС.

Схеми реалізації багатоканального комутатора в багатоканальних АЦП і ЦАП показано на рис. 3.14 [41].

Тут керування здійснюється цифровими сигналами $y'_1, y''_1; y'_2, y''_2; \dots; y'_k, y''_k$ відповідно, де k – кількість каналів комутатора. У такому випадку необхідно враховувати відхилення та похибки ППС і ДК, підсумувати їх і формувати у вигляді кодів поправок для відповідного каналу перетворення.

Варто також зазначити, що застосування принципу підсилення струмів дозволяє досягати максимальної швидкодії комутатора, що визначається граничними частотами підсилення біполярних транзисторів. Так, ширина смуги одиничного підсилення ДППС при $R_H = 100 \text{ Ом}$ досягає $\sim 1.6 \text{ ГГц}$.

Враховувати необхідно також і різновид та тип джерела вхідного сигналу і навантаження ППС і ДК. Для збереження високої швидкодії і мінімальних похибок лінійності бажано, щоб вихідні опори джерел сигналу були високими, а вхідні опори навантаження були б низькими. Цього легко досягти шляхом застосування перетворювачів напруга-струм, буферних каскадів та перетворювачів струм-напруга, побудованих на ДППС [80].

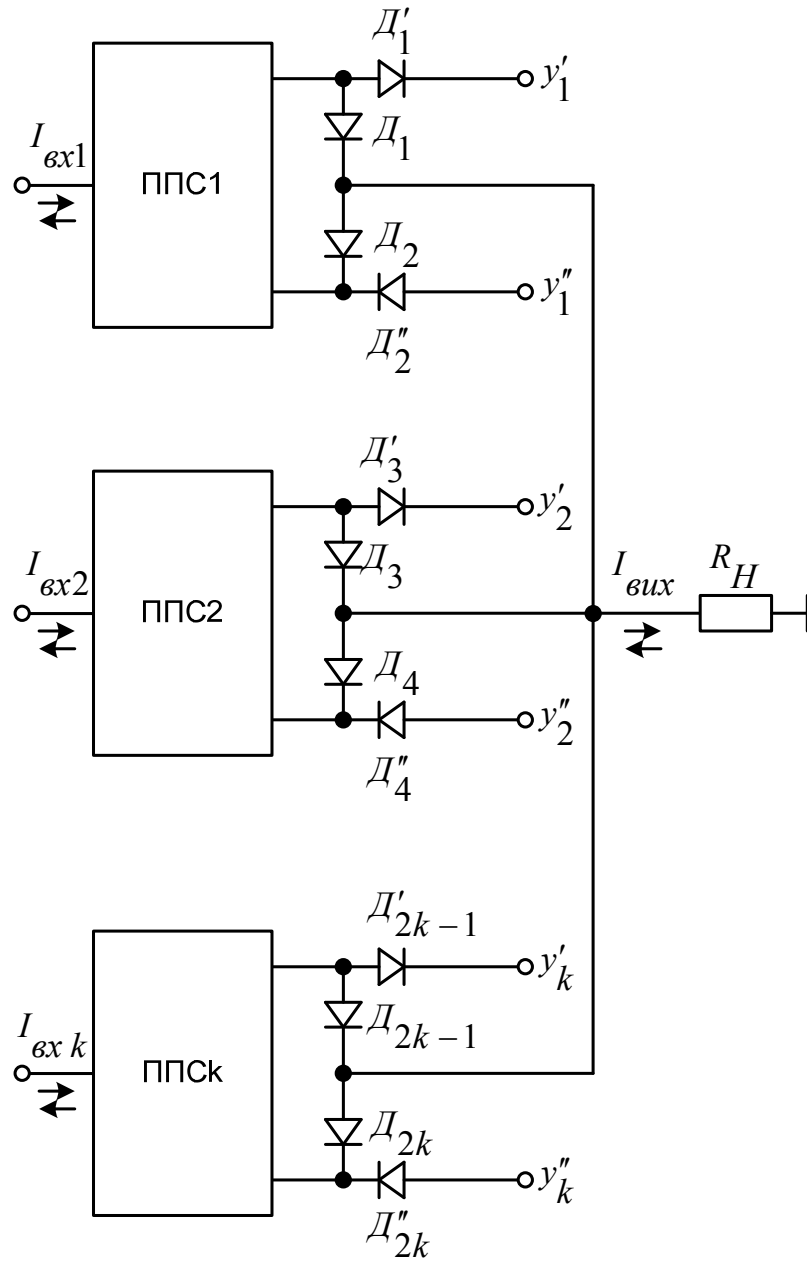


Рисунок 3.14 – Схема багатоканального комутатора на базі ПСС

РОЗДІЛ 4

РЕКОМЕНДАЦІЇ ЩОДО ПРОЄКТУВАННЯ АНАЛОГОВИХ ВУЗЛІВ ДЛЯ ВИСОКОПРОДУКТИВНИХ ПОРОЗРЯДНО-СЛІДКУВАЛЬНИХ АЦП ІЗ ВАГОВОЮ НАДЛИШКОВІСТЮ ТА АЦ-СИСТЕМ

4.1 Система цифрової реєстрації аналогових сигналів із підвищеною стабільністю метрологічних характеристик

Базовою складовою систем цифрової реєстрації аналогових сигналів є АЦП і ЦАП, оскільки їх параметри разом із параметрами інших аналогових вузлів зумовлюють метрологічні характеристики цілої системи. З урахуванням рівня заданої похибки перетворення аналог-код і код-аналог СЦР поділяються на:

- системи з низькими і високими вимогами щодо рівня статичних і динамічних похибок перетворення;
- системи реєстрації вимірювальної інформації в умовах зміни навколишнього середовища.

Системи з низькими і високими вимогами щодо рівня статичних і динамічних похибок призначено для роботи за умов змінюваного впливу зовнішніх чинників або в разі незначного впливу зсуву нуля і похибки масштабу. У системах реєстрації вимірювальної інформації в умовах зміни навколишнього середовища відбувається самокалібрування [86–89] ваг розрядів і зсуву нуля. Такі СЦР періодично самокалібруються, зокрема зсув нуля і похибка масштабу. Загальна приведена до входу похибка в цих системах слабо змінюється під впливом зовнішніх умов.

Відповідно до потреб до характеристик перетворення обирається набір відповідних пристроїв та вузлів для кожної системи та алгоритм її функціонування [2]. Разом із тим, спільним у всіх структурах цих систем є ядро системного перетворювача інформації, що містить блок порозрядного врівноваження та цифро-аналоговий перетворювач із ваговою надлишковістю та постійним набором пристроїв. На рис. 4.1 наведено структурну схему такої системи [2].

На рис. 4.1 введено такі позначення: К1 – комутатор на l -положень вхідних аналогових сигналів та пристрій вибірки збереження аналогових сигналів створюють дискретизатор. До входів комутатора під'єднано виходи первинних перетворювачів, зокрема, вимірювальних. Блок

порозрядного врівноваження та цифро-аналогового перетворення використовується для квантування, а разом із фільтром – для відновлення інформації.

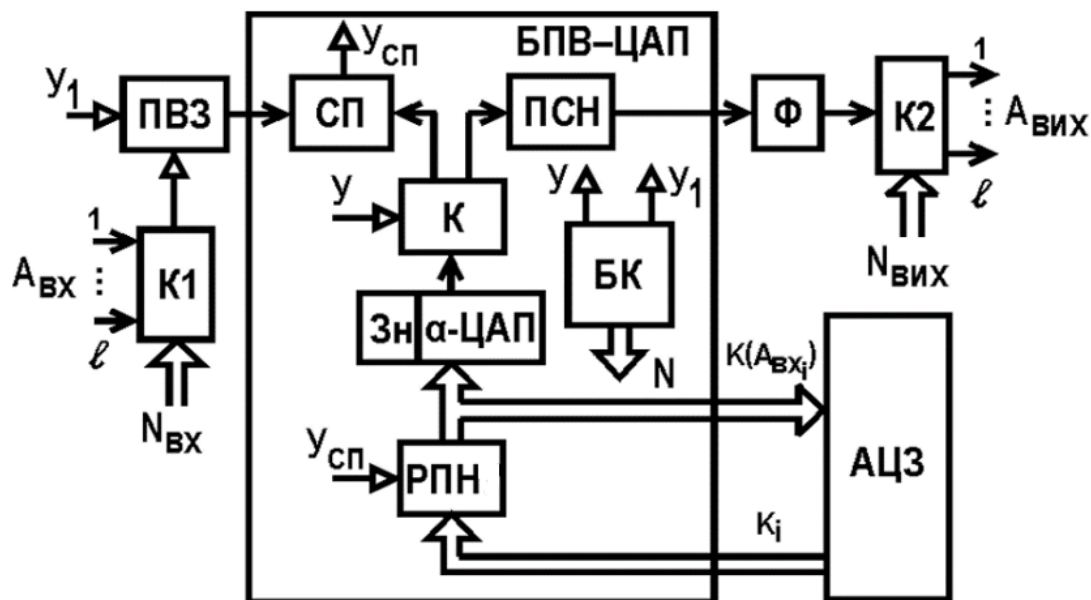


Рисунок 4.1 – Структурна схема системи цифрової реєстрації аналогової інформації

Переключення каналів передавання відновлених сигналів виконує комутатор K_2 на l положень. Збереження кодів дискретизованих аналогових сигналів здійснюється в АЦЗ, зокрема, АЦМЗ. До БПВ-ЦАП належать: схема порівняння, ЦАП на основі системи числення з ваговою надлишковістю; перетворювач струм-напруга, комутатор, регістр послідовного наближення, що також формує коди форсованих сигналів; блок керування, що формує мікрокоманди $\{U, U_1\}$ і коди мікрокоманд $N_{вх}$ і $N_{вих}$, які разом уможливають спільне функціонування блоків та пристроїв схеми. На рис. 4.2 розглянуто граф-схему алгоритму функціонування системи за умов рівномірної дискретизації [41].

На рис. 4.2 введено такі позначення: i – номер дискретизації, j – номер каналу. Вибір режиму функціонування задається комутатором – K . Якщо $y = 1$, то K , відповідно, перемикається в положення 1, а якщо $y = 0$, то – в положення 2. Таким чином, за умови $y = 1$ реалізується дискретизація, а, якщо $y = 0$ – відновлення аналогових сигналів. Число кроків дискретизації на кожному каналі $i = d$. Під час порозрядного

врівноваження ($A \rightarrow K$) результат порівняння $y_{сп}$ поступає до реєстра послідовного наближення, що формує вихідний код K . Отриманий результат K переписується в пам'ять апарата цифрового запису виконанням функції $\Pi := K(A_{вх_i})$. У режимі відновлення коди K_i послідовно через інтервал Δt подаються з апарата цифрового запису до реєстра послідовного наближення. Після цього відбувається цифро-аналогове перетворення ($K \rightarrow A$) і передавання через інтервал Δt аналогового сигналу на вихід.

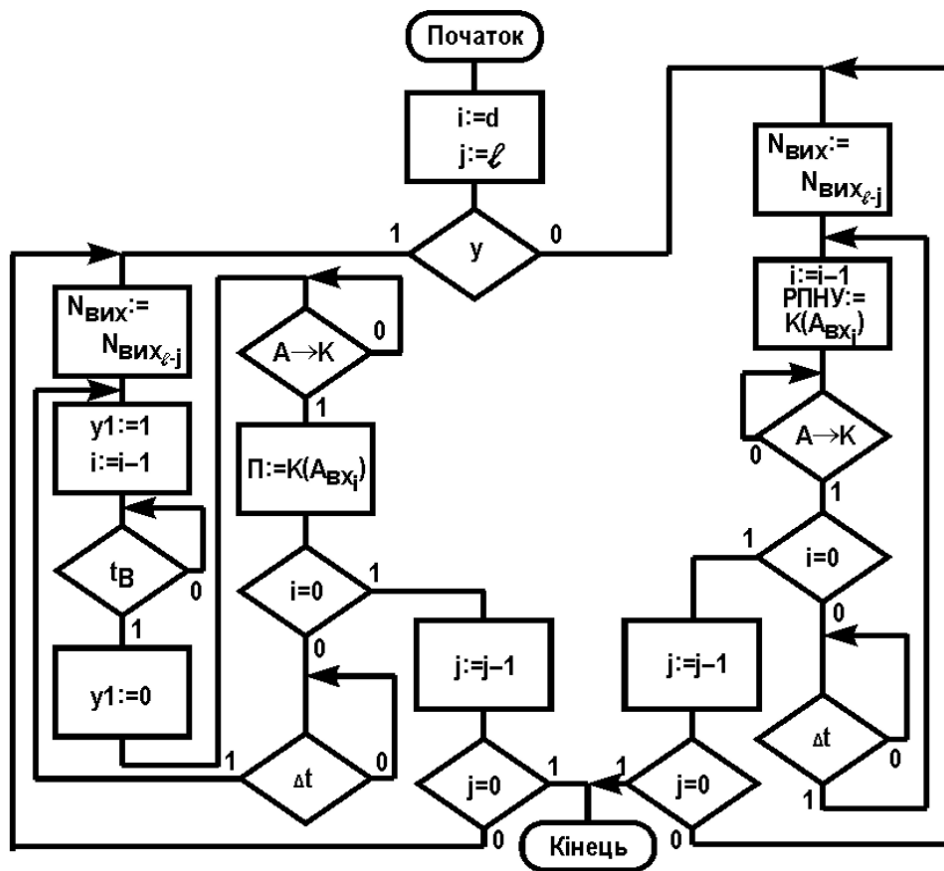


Рисунок 4.2 – Граф-схема алгоритму функціонування СЦР аналогової інформації

Під час роботи системи, за умов змінення зовнішнього середовища, використання БПВ-ЦАП на основі СЧВН дозволяє зменшити статичні похибки не лише внутрішніх аналогових вузлів, але й зовнішніх пристроїв засобами спеціалізованого цифрового обчислювального пристрою.

На рис. 4.3 наведено структурну схему СЦР аналогової інформації з підвищеною стабільністю метрологічних характеристик [52, 57].

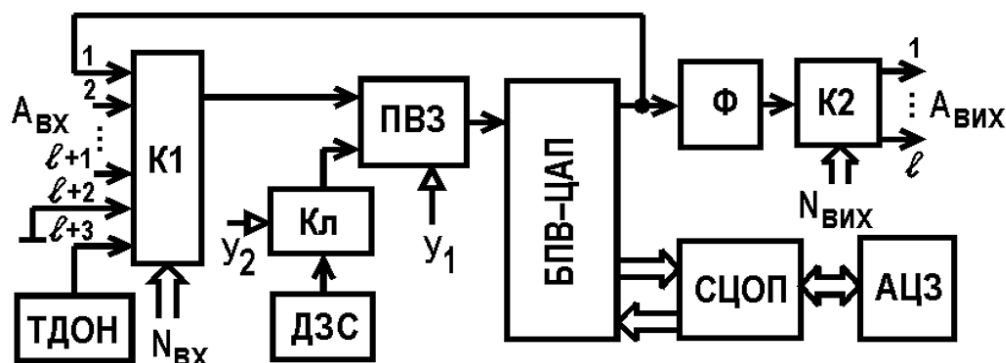


Рисунок 4.3 – Структурна схема СЦР аналогових сигналів із підвищеною стабільністю метрологічних характеристик

На рис. 4.3: ПВЗ застосовується не лише для збереження дискретизованих рівнів $A_{ex}(t)$, але й для формування допоміжних аналогових сигналів A_i . Такі сигнали застосовуються під час самокалібрування для визначення кодів реальних значень ваг розрядів. Для формування A_i ПВЗ переходить у режим збереження, потім на вхід інтегратора через ключ Кл підключається вихід джерела зарядного струму. Зауважимо, що час заряду задається таким, щоб значення напруги на виході інтегратора приблизно відповідало вазі каліброваного розряду. Значення $u_2=0$ означає відключення джерела зарядного струму від інтегратора, а $u_2=1$ – підключення. Формування i -го рівня напруги здійснюється автоматично на основі порозрядного врівноваження ваги кожного «неточного» розряду ЦАП компенсуючим сигналом з виходу ПВЗ. У системі також здійснюється визначення кодів зсуву нуля по входу і по виходу. Ці операції належать до цифрового самокалібрування. Цей термін підкреслює, що під час визначення кодів ваг «неточних» розрядів ЦАП на основі СЧВН не потрібне використання спеціальних зразкових сигналів. При цьому точність формування є невисокою.

На рис. 4.4 наведено граф-схему алгоритму самокалібрування, де m – число «неточних» старших розрядів [52]; i – номер такту самокалібрування при визначенні кодів K_{n-i-1} .

Коди ваг розрядів і зсуву нуля визначаються у СЦОП і заносяться в пам'ять (П). Під час функціонування в режимах дискретизації і відновлення аналогових сигналів результати самокалібрування застосовуються для подальшого цифрового коригування статичних похибок засобами спеціалізованого цифрового обчислювального пристрою. Ця структура може використовуватися і для побудови СЦР вимірювальної

інформації. У цьому випадку крім самокалібрування визначається реальне значення масштабного коефіцієнта. Із цією метою до системи вводиться прецизійне термостатоване джерело опорної напруги або струму.

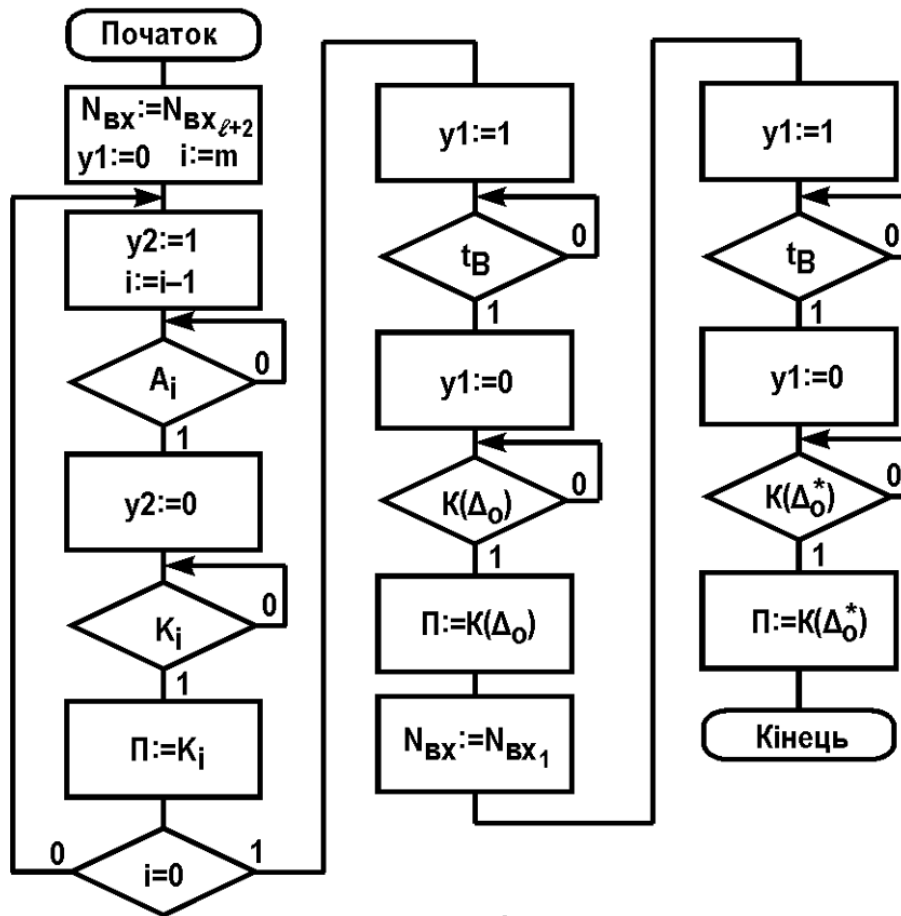


Рисунок 4.4 – Граф-схема алгоритму самокалібрування системи цифрової реєстрації аналогових сигналів із підвищеною стабільністю метрологічних характеристик

Під час використання ТДОН значення опорної напруги вимірюється з високою точністю та його код заноситься в пам'ять СЦОП. Абсолютне значення масштабного коефіцієнту визначається після самокалібрування, для чого реалізується перетворення аналог-код напруги, який подається на (i+3)-й вхід К1. Цей результат використовується для обчислення реального значення масштабного коефіцієнта:

$$M^* = (U_{on} - \Delta U_{on}) / U_{on},$$

де ΔU_{on} – різниця між точним значенням U_{on} і отриманим у результаті перетворення аналог-код.

Код також заноситься в пам'ять спеціалізованого цифрового обчислювального пристрою і дозволяє уточнити результати самокалібрування.

Система цифрової реєстрації аналогових сигналів із підвищеною стабільністю метрологічних характеристик ефективно використовується для розроблення, виготовлення й експлуатації не лише звукових трактів, але й інших низькочастотних пристроїв. Так, розроблений на кафедрі обчислювальної техніки ВНТУ за участю автора аналізатор параметрів звукових трактів створює власні нелінійні спотворення не більші, за 0,01%, а також співвідношення сигнал/шум, що є не меншим за 80 дБ, крім того, нерівномірність АЧХ не перевищує 0,01 дБ.

Такий комплект аналого-цифрових модулів складається з:

- швидкодіяного аналого-цифрового перетворювача, що самокалібрується;
- ЦАП, що самокалібрується;
- вимірювального підсилювача для роботи з сигналами давачів фізичних величин;
- програмований двоканальний фільтр низької частоти;
- багатоканальний аналоговий комутатор.

Вимірювальний блок компонується з вище описаних пристроїв. Параметри блока визначаються параметрами АЦ-модулів, зокрема, для:

– АЦП:

- а) число двійкових розрядів коду результату перетворення – 16;
- б) діапазон вхідних напруг (В) – 5,0;
- в) час однократного перетворення (мкс) – 15;
- г) інтегральна і диференціальна нелінійність (%) $\leq 0,004$;
- д) число аналогових входів – 2.

– ЦАП:

- а) число двійкових розрядів вхідного коду – 16;
- б) час однократного перетворення (мкс) ≤ 15 ;
- в) діапазон вихідних напруг (В) $\pm 5,0$;
- г) коефіцієнт нелінійних спотворень у діапазоні частот 0...20 кГц (%) $\leq 0,015$;
- д) число аналогових виходів – 2.

Зазначимо, що загалом склад СЦР аналогової інформації визначається призначенням системи, а також умовами її функціонування, що її відрізнятиме від тих, які наведено на рис. 4.1 – 4.4. Разом із тим, ядро системи, що є базою самокаліброваних АЦП та ЦАП на основі СЧВН, як правило, буде незмінним.

Порівняно з двійковими перетворювачами інформації, застосування АЦП і ЦАП на основі СЧВН у складі систем цифрового оброблення аналогових сигналів має певні переваги. Зокрема, менший час врівно-

важування уможливилює збільшення частоти дискретизації або, при заданій частоті, дозволяє збільшити кількість оброблюваних каналів під час роботи в багатоканальному режимі.

Варто зауважити, що підсумкова точність перетворення як ЦАП, так і АЦП на основі СЧВН може бути доволі високою при роздільності не менше 14–16 двійкових розрядів, незважаючи на спрощену технологію виготовлення аналогових вузлів. Це зумовлюється, виконанням цифровим обчислювальним пристроєм водночас: калібрування ваг розрядів і корекції інших статичних похибок. Для виконання операцій безпосередньо з цифровими сигналами використовуються ЕОМ. На рис. 4.5 наведено систему цифрового опрацювання аналогових сигналів [52].

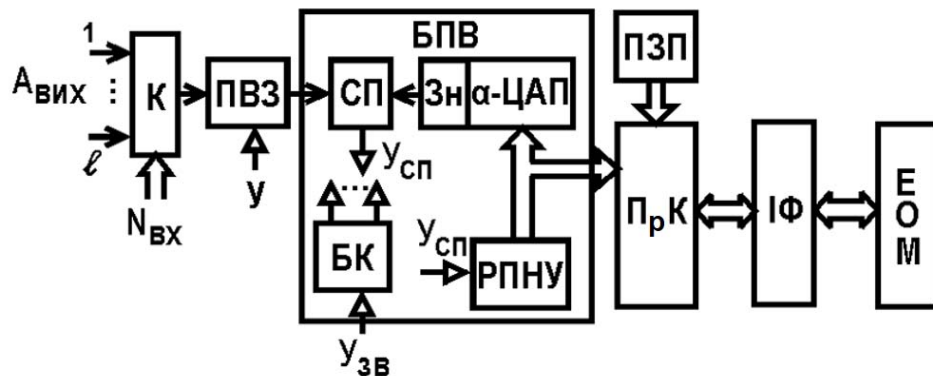


Рисунок 4.5 – Структурна схема системи цифрового опрацювання аналогових сигналів

На рис. 4.5 СП, α -ЦАП, РПН і блок керування (БК) разом утворюють ядро системного аналого-цифрового перетворювача – блок порозрядного врівноважування (БПВ). У БК можна подавати зовнішній сигнал керування $U_{зв}$. До функцій БПВ належить перетворення аналогового сигналу з виходу ПВЗ на робочий код, що формується в регістрі послідовного наближення.

Для коригування інструментальних похибок аналогових вузлів і перетворення робочого коду K на двійковий застосовують СЦОП, що складається з перетворювача кодів (ПрК) і ПЗП. На етапі виготовлення системи і компонування аналогових вузлів відбувається високоточне вимірювання ваг розрядів аналого-цифрового перетворювача і зсуву нуля аналогового тракту. Отримані результати (двійкові коди) заносяться в ПЗП і застосовуються в подальшому під час роботи ПрК. Для зв'язку ПрК із ЕОМ використовується послідовний або паралельний інтерфейс, виходячи з потреби забезпечення відповідної швидкості передавання інформації. На рис. 4.6 представлено граф-схему алгоритму функціонування цієї системи [52].

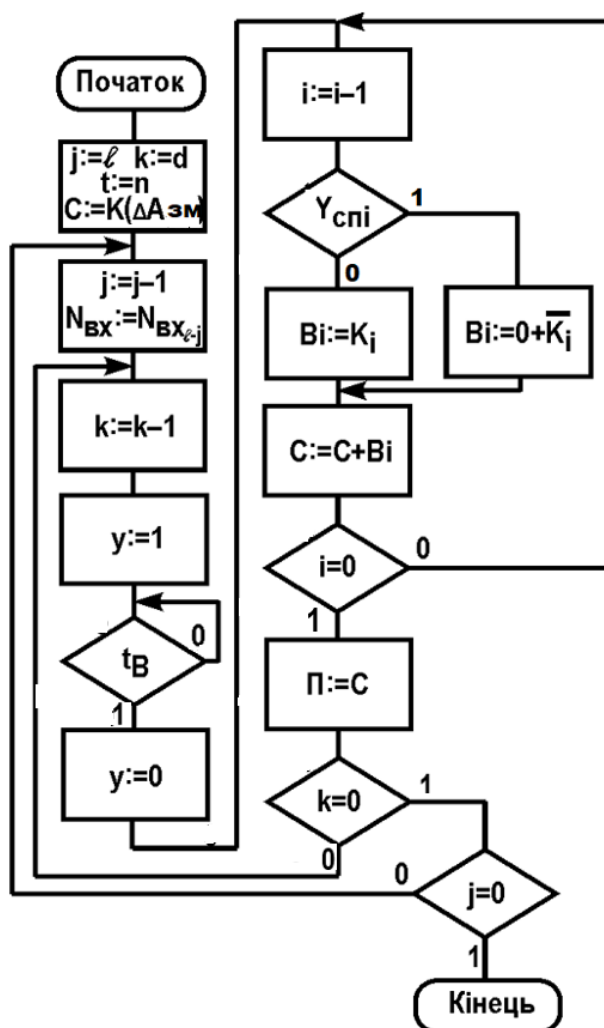


Рисунок 4.6 – Граф-схема алгоритму функціонування системи цифрового оброблення аналогових сигналів

На рис. 4.6 маємо такі позначення: j – номер каналу; i – номер такту порозрядного врівноважування в БПВ; k – номер дискретизації; C – результат обчислень у ПрК; V – операнд, що набуває значень коду із ПЗП; $K(\Delta A_{зм})$ – код похибки нуля; K_i – код ваги i -го додатного розряду; \bar{K}_i – код ваги i -го від’ємного розряду. У випадку СЧВН(0,1) є лише один від’ємний розряд – знаковий; Π – масив пам’яті в ПЕОМ, у якому фіксуються коди дискретизованих відліків аналогових сигналів. Цифровий сигнал $y=1$ відповідає режиму вибірки ПЗЗ, а $y=0$ – збереженню. Під час функціонування системи аналогові сигнали з виходів первинних перетворювачів послідовно подаються на ПЗЗ через комутатор К. Після цього дискретизовані відліки перетворюються на цифрові еквіваленти і надходять до ЕОМ для подальшого опрацювання. ПрК розвантажує ЕОМ від «обслуговування» БПВ. Разом із тим, якщо складність розв’язуваних задач не є високою і залишається певний ресурс обчислювальної потужності, то ПрК із системи

може бути вилучено. Варто відзначити, що цей пристрій є доволі простим і його можна виконати на базі нагромаджувального суматора.

Зауважимо, що недоліком розглянутої системи СЦОП з використанням одноразового коригування статичних похибок є залежність метрологічних характеристик від змінення умов зовнішнього середовища і старіння елементів.

Щоб позбутися такого недоліку застосовують самокалібрування: в систему вводяться додаткові вузли і пристрої, зокрема, введення джерела зарядного струму і ключа задає разом із ПВЗ потрібні рівні допоміжних аналогових сигналів, використовуваних для визначення реальних ваг розрядів. Обчислення кодів виконується засобами СЦОП. На етапі проектування блоків системи вимірюються ваги групи молодших розрядів ЦАП, що фіксуються у ПЗП. Потім ці розряди вважаються «точними» і «стабільними». Зрозуміло, що їхні ваги змінюються, проте за абсолютною величиною несуттєво, порівняно з «відхиленнями» старших і середніх розрядів.

На рис. 4.7 наведено структурну схему системи цифрового оброблення аналогових сигналів із підвищеною стабільністю метрологічних характеристик.

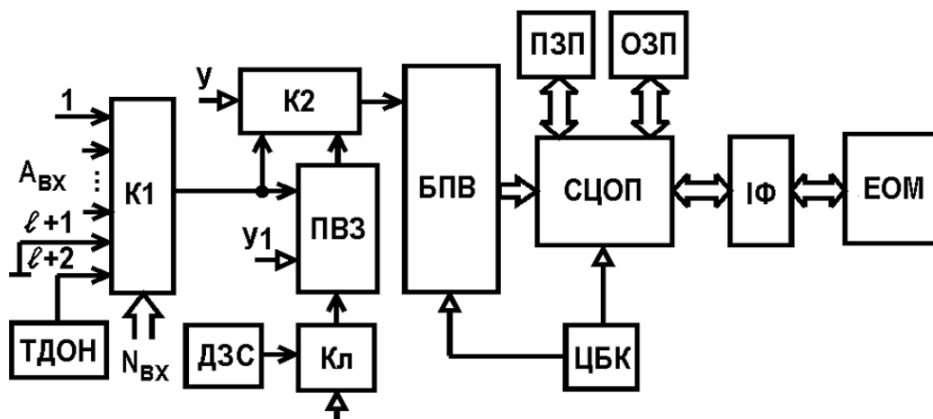


Рисунок 4.7 – Структурна схема системи цифрового оброблення аналогових сигналів із підвищеною стабільністю метрологічних характеристик

На рис. 4.7 позначено: ЕОМ призначено для оброблення цифрових еквівалентів перетворених аналогових сигналів згідно з характером розв'язуваних задач: спектральний аналіз, цифрова фільтрація, ущільнення інформації і т. п. Для стикування ЕОМ із СЦОП застосовується інтерфейс (ІФ). Система функціонує у режимах: самокалібрування й основному. У допоміжному режимі (самокалібрування) обчислюються коди реальних значень ваг старших і середніх розрядів, зсуву нуля і потім заносяться до ОЗП. Алгоритм самокалібрування є аналогічним тому, що наведено на рис. 4.6.

У випадку роботи з вимірювальними аналоговими сигналами додатково визначається відхилення масштабу й уточнюються коди ваг розрядів K_i і K ($\Delta A_{зм}$). Для задання еталонного рівня використовується ТДОН або ТДОС. По закінченню цього режиму система приступає до виконання основної функції. При цьому вхідні аналогові сигнали перетворюються на робочий код K у БПВ у вигляді операції $A \rightarrow K$, а ЦОП визначає їхні цифрові еквіваленти, тобто формує результат врівноважування на базі залежності

$$C(A_{вх}) = \sum_0^n a_i K_i + K(\Delta A_{зм}),$$

де K_i – цифрові еквіваленти реальних значень ваг розрядів, включаючи n -й (знаковий);

$K(\Delta A_{зм})$ – цифровий еквівалент зсуву нуля;

a_i – розрядний коефіцієнт.

Значення $C(A_{вх})$ переписується в пам'ять (П) ЕОМ. На рис. 4.8 наведено граф-схему алгоритму функціонування системи.

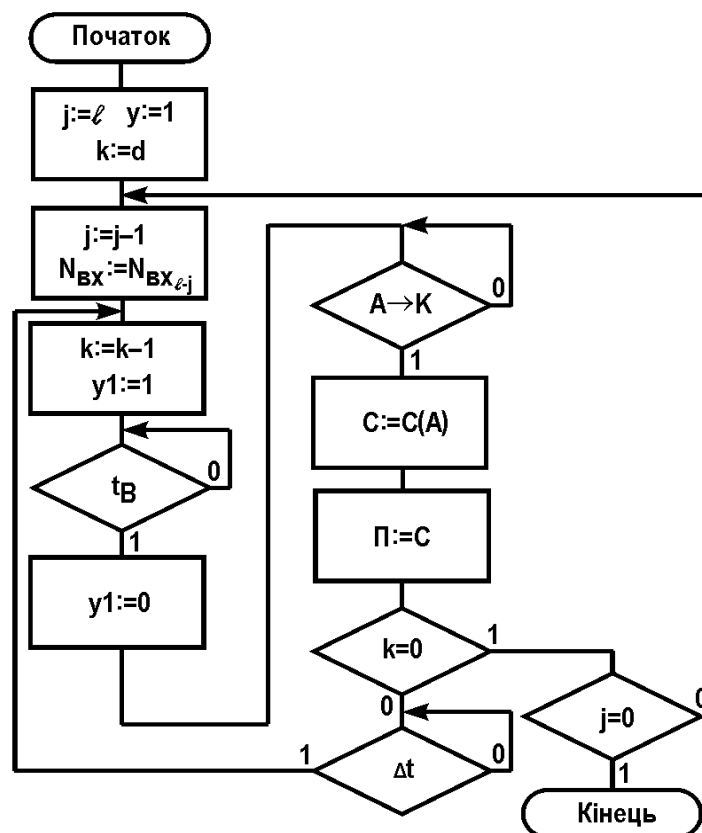


Рисунок 4.8 – Граф-схема алгоритму функціонування системи цифрового оброблення аналогових сигналів із підвищеною стабільністю метрологічних характеристик

На рис. 4.8 введено такі позначення: j – номер каналу; k – номер дискретизації; y і y_1 – цифрові сигнали керування комутатора К2 і ПВЗ, відповідно. Якщо $y=0$ відповідає станові К2, то сигнал із виходу К1 передається на інформаційний вхід БПВ, обминаючи ПВЗ, а, якщо $y=1$ – через ПВЗ. Якщо $y_1=0$, то ПВЗ функціонує в режимі збереження, $y_1=1$ – вибирання. В основному режимі вхідні аналогові сигнали послідовно подаються в БПВ і перетворюються на робочі коди. Після цього СЦОП визначає відповідні значення $S(A_{\text{вх}})$, що записуються у виділені комірки пам'яті ЕОМ і використовуються під час цифрового оброблення. Алгоритм функціонування системи задається центральним блоком керування (ЦБК).

Застосування прискореного АЦП на основі СЧВН дозволяє здійснювати дискретизацію з адаптацією до швидкості змінення $V(A_{\text{вх}})$. Це важливо під час дослідження згасаючих сигналів (рис. 4.9).

На рис. 4.9 вісь $A_{\text{вх}}^*$ дає збільшення масштабу зображення. Якщо основна інформація зосереджена у «хвості» сигналу, коли швидкість змінення $A_{\text{вх}}$ істотно зменшується, то частота дискретизації при цьому збільшується й відліки беруться через «короткі» інтервали Δt_2 . У передній же частині сигналу відліки можуть братися через «довгі» інтервали Δt_1 . У разі зосередження основної інформації на перехідній ділянці, $\Delta t_1 < \Delta t_2$. При цьому інтервал часу t , що відповідає режиму вибірки ПВЗ, може бути «насунуто» на час $t_{\text{пр}}$ перетворення (врівноважування). Ця уможливілює зменшення сумарного інтервалу часу від моменту вибирання амплітуди $A_{\text{вх}}(t)$ до видавання коду. Подібна дія в АЦП при $a=2$ неможлива через появу великих додаткових динамічних похибок. Мінімальний час дискретизації для великих V визначається із співвідношення $\Delta t_{1\text{min}} = t_{\text{пр}} + t_{\text{в}} - t_{\text{н}}$, де $t_{\text{н}}$ – припустимий час накладання, а для малих V , коли ПВЗ не використовується, $-\Delta t_{2\text{min}} = t_{\text{пр}}$.

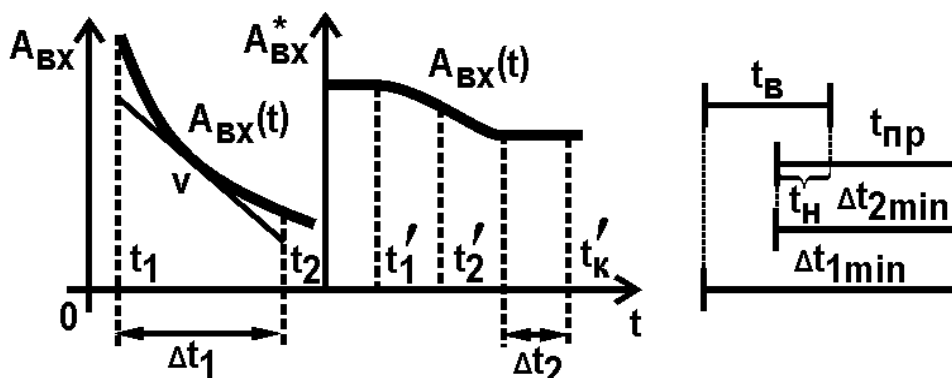


Рисунок 4.9 – Дискретизація згасаючого аналогового сигналу з урахуванням швидкості V

На рис. 4.10 наведено граф-схему алгоритму функціонування системи в режимі дискретизації з адаптацією до швидкості змінення $A_{\text{вх}}$. На рис. 4.10 позначено: $d1$ і $d2$ – число дискретизацій у випадку роботи з ПВЗ і без нього; V_M – максимальна швидкість, за якої АЦП встигає відслідковувати змінення сигналу $A_{\text{вх}}(t)$. Вилучення ПВЗ із процесу дискретизації дозволяє зменшити похибки перетворення аналог-код.

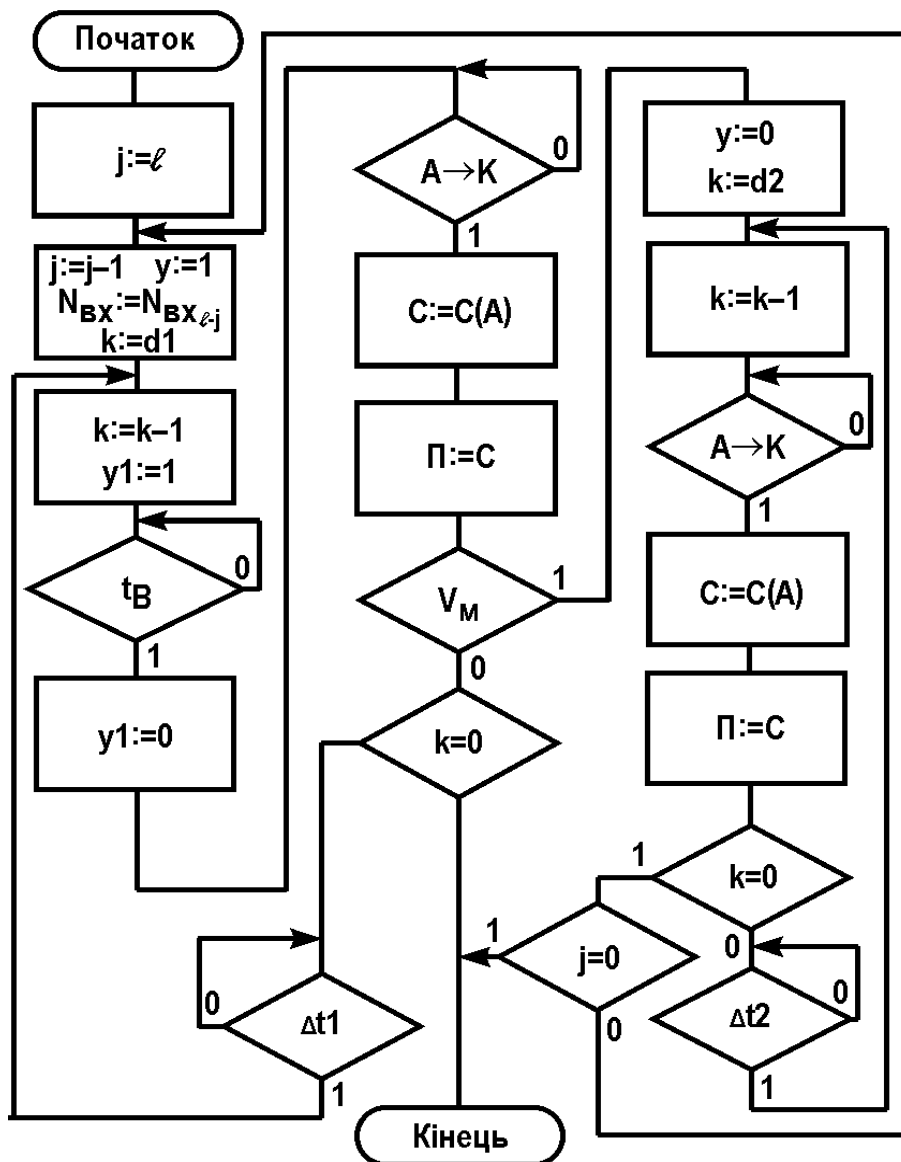


Рисунок 4.10 – Граф-схема алгоритму функціонування системи дискретизації з адаптацією до швидкості змінення $A_{\text{вх}}$

Колективом спеціалістів кафедри ОТ ВНТУ та СКТБ «Модуль» розроблено і виготовлено багаторозрядний мікропроцесорний САЦП-МКЗ [2, 57].

Порівняно зі світовими аналогами вимірювальних АЦП, для яких не нормовано абсолютну похибку через відсутність вбудованого термостабільного джерела опорної напруги, САЦП-МКЗ забезпечує заданий рівень похибки в широкому температурному і часовому діапазонах.

Основні характеристики і параметри пристрою:

- а) діапазон вхідних напруг (В) $\pm 10,0$;
- б) роздільна здатність (мкв) – 100;
- в) похибки інтегральні і диференціальні нелінійності в діапазоні робочих температур від $-10\text{ }^{\circ}\text{C}$ до $+50\text{ }^{\circ}\text{C}$ (мкв) ≤ 400 ;
- г) час перетворення (мкс) – 500;
- д) число розрядів вихідного двійкового коду (зі знаковим) – 18.

4.2 Високошвидкісний буферний пристрій на базі двотактного підсилювача струму

Для розроблення буферних пристроїв доцільно використовувати двотактні широкосмугові підсилювачі струму [44]. Зауважимо, що підсилювачі струмів мають певні переваги, порівняно з підсилювачами напруги [47, 51], оскільки більшу кількість паразитних параметрів інтегральних схем становлять ємності. Разом із тим, відповідно до законів комутації напруга на ємності змінитися стрибком не може, проте струм через ємність змінюватися стрибкоподібно може.

Отже, для розробки схем АЦП та ЦАП варто застосовувати принцип підсилення струмів. Для цього необхідно використовувати перетворювачі, на кшталт, підсилювачів струм-струм. Таким чином, побудову цих підсилювачів доцільно здійснювати на основі двотактних підсилювачів струм-струм.

Відомі схеми перетворювачів напруга-струм та струм-струм [90] із заземленим навантаженням створено шляхом поєднання кількох операційних підсилювачів та перетворювальних вихідних каскадів із використанням польових транзисторів, що значно ускладнює не лише схемне вирішення перетворювачів напруга-струм і струм-струм, але й технологію їх виготовлення.

ПСС із заземленим навантаженням R_n повинен мати низький вхідний і високий вихідний опір. Зауважимо, що цей перетворювач може виконувати роль перетворювача напруга-струм, у разі під'єднання джерела вхідної напруги $\pm U_{вх}$ до вхідного резистора $R_{вх}$ і до входу перетворювача

струм-струм. Зауважимо, що вхідна напруга $\pm U_{\text{вх}}$ трансформується на вхідний струм $I_{\text{вх}}$ у разі, якщо $R_{\text{вх}} \gg r_{\text{вх}}$. На рис. 4.11 наведено структурну схему двотактного ПСС [76, 91]. Розглянемо побудову такого двотактного широкосмугового ПСС. Він складається із: вхідного двотактного каскаду **Вх ДК**, генераторів робочих струмів I_p , відбивачів струмів **ВС1 – ВС6** та пристрою балансування струмів **Бл. С**.

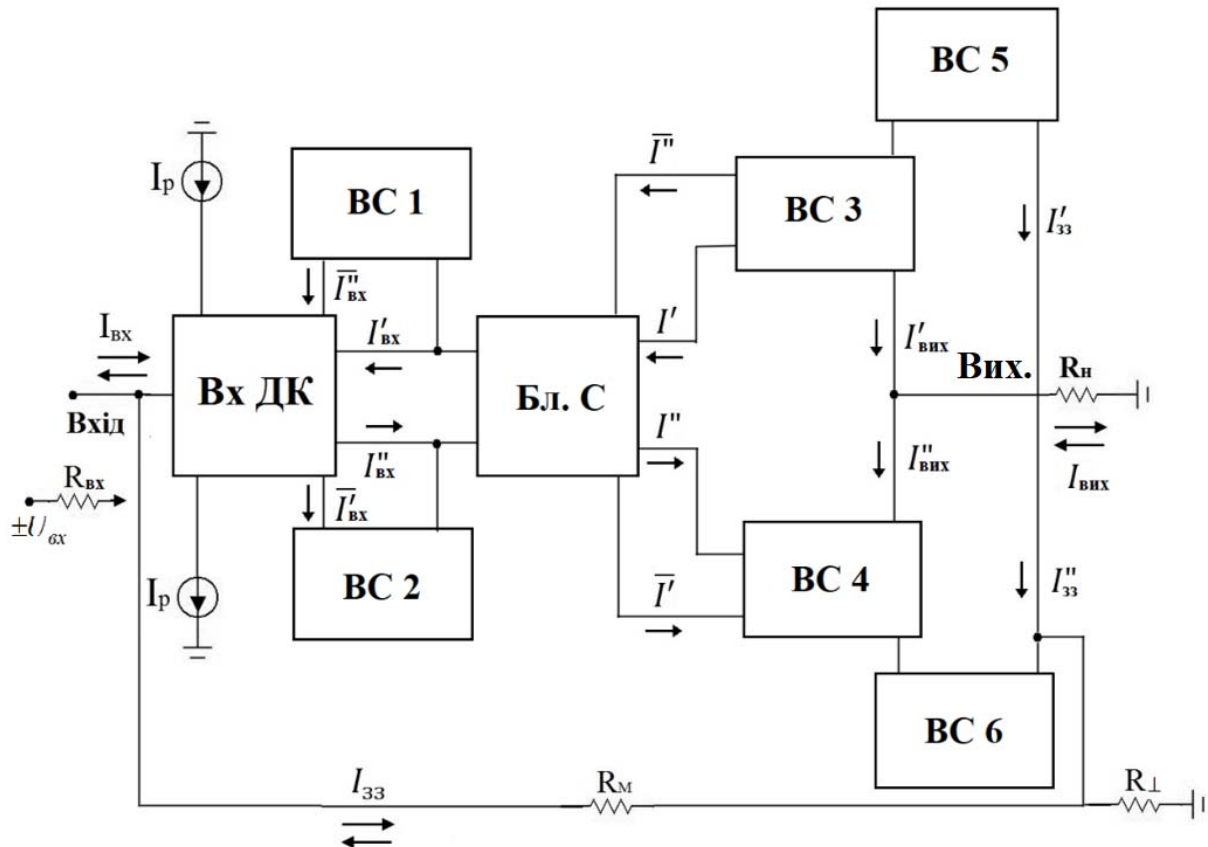


Рисунок 4.11 – Структурна схема двотактного широкосмугового ПСС

Об'єднання інформаційних виходів **ВС3** і **ВС4** створює вихідну шину **Вих.** перетворювача струм-струм, до якої під'єднується опір навантаження $R_{\text{н}}$. Робочі виходи **ВС3** і **ВС4** під'єднано до входів **ВС5** і **ВС6**, інформаційні виходи яких також об'єднано і підключено до контуру від'ємного зворотного зв'язку, що створений резисторами масштабу $R_{\text{м}}$ і налаштування $R_{\text{л}}$. Варто зауважити, що дія зворотного зв'язку забезпечує мінімізацію вхідного опору $R_{\text{вх}}$.

Струм $I_{\text{вх}}$ вихідного каскаду підсилюється і розгалужується на складові $I'_{\text{вх}}, I''_{\text{вх}}, \bar{I}'_{\text{вх}}, \bar{I}''_{\text{вх}}$, що поступають на входи балансира **Бл. С**, робочі струми якого задають відбивачі **ВС1** і **ВС2**, що також мають додаткову функцію – передають складові $\bar{I}'_{\text{вх}}, \bar{I}''_{\text{вх}}$ на його входи. **Бл. С** виконує функцію балансування робочих струмів і підсилювача вхідних струмів.

Таким чином, на виходах **Бл. С** утворюються складові I', I'', \bar{I}' й \bar{I}'' . Струми I', \bar{I}'' подані на входи **ВС3**, у свою чергу, струми I'', \bar{I}' – на входи відбивача **ВС4**. Зауважимо, що вихідний струм $I_{\text{вих}}$ є сумою вихідних інформаційних струмів $I'_{\text{вих}}$ та $I''_{\text{вих}}$, який з вихідної шини поступає в навантаження. На входи **ВС5** і **ВС6** поступають вихідні робочі струми **ВС3** і **ВС4**. Додамо, що на виходах **ВС5** і **ВС6** утворюються складові струмів зворотного зв'язку I'_{33} і I''_{33} , які, у свою чергу, об'єднуються в точці R_{\perp} та $R_{\text{м}}$. На виході $R_{\text{м}}$ утворюється струм зворотного зв'язку I_{33} , який повертається на вхід перетворювача струм-струм [41]. На рис. 4.12 наведено принципову схему перетворювача струм-струм, що побудована на інтегральних біполярних транзисторах. Така схема побудована на: блоці балансування-підсилювання струмів **Бл. С**, вхідному двотактному каскаді **Вх ДК**, генераторах робочих струмів $I_1 - I_7$, генераторі компенсації струму зсуву нуля, відбивачах струму **ВС1-ВС6**, опорі навантаження $R_{\text{н}}$, резисторах контуру зворотного зв'язку R_{\perp} і $R_{\text{м}}$. Зауважимо, що генератори $I_1 - I_7$ виконують роль задавачів робочих точок транзисторних каскадів. До поданої схеми під'єднано джерела напруг живлення $+U_{\text{ж}}$ та $-U_{\text{ж}}$.

Вхідний двотактний каскад утворено двома модернізованими відбивачами струму Уілсона. Симетрування режимів постійного струму відбувається на базі транзисторів $T_2 - T_3$, а також $T_{13} - T_{14}$, які, у свою чергу, додатково підсилюють вхідний струм $I_{\text{вх}}$. Варто зазначити, що різні типи провідності ($p-n-p$ і $n-p-n$) підсилювальних транзисторів, різні коефіцієнти підсилення струмів транзисторів T_{13} ($p-n-p$) та T_{14} ($n-p-n$) зумовлюють і різні базові струми. Це призводить до суттєвої похибки вхідного струму зсуву нуля $I_{\text{зс.0}} = I_{\beta_{n-p-n}} - I_{\beta_{p-n-p}}$. Щоб мінімізувати цю похибку варто застосовувати кола компенсації, які працюють таким чином, а саме: генератори робочих струмів I_1, I_2 під'єднано до транзисторів T_1, T_4 , емітери яких з'єднано з емітерами T_2 і T_3 , відповідно.

Зауважимо, що колекторні струми приблизно однакові $I_{\text{к2}} \approx I_{\text{к3}} \approx I_{\text{р}}$. Оскільки колектори T_2 і T_3 з'єднано з емітерами T_5 і T_6 , відповідно, то отримаємо такі рівняння: $I_{\beta 5} = \frac{I_{\text{р}}}{\beta_{n-p-n}}$ $I_{\beta 6} = \frac{I_{\text{р}}}{\beta_{p-n-p}}$. На вхід перетворювача струм-струм подано струми $I_{\beta 5}, I_{\beta 6}$ через відбивачі струмів, що створено на транзисторах T_7 і T_8 . Отже компенсаційний струм становить $I_{\text{к.зс.0}} = I_{\beta 5} - I_{\beta 6}$.

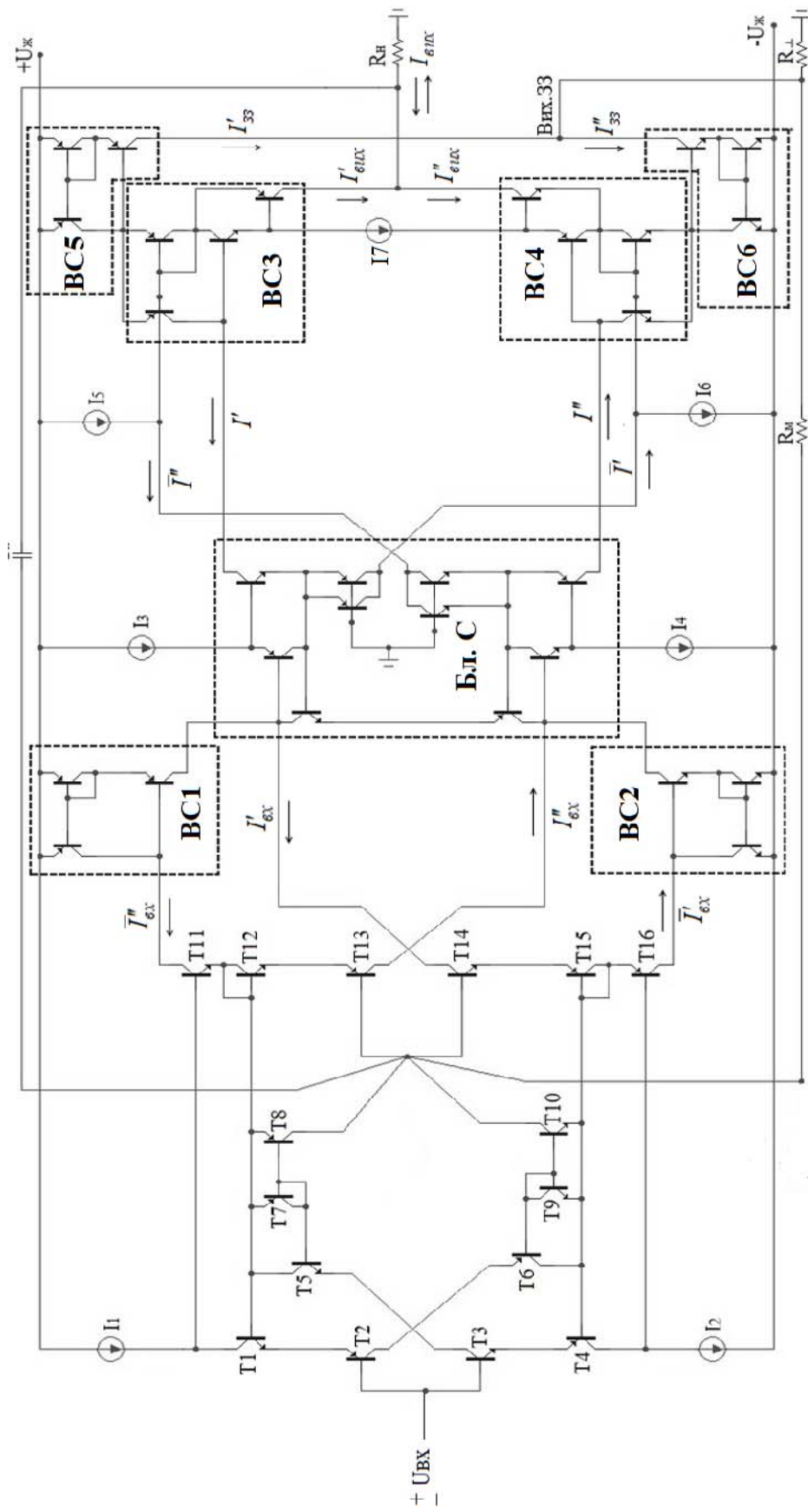


Рисунок 4.1.2 – Принципова схема буферного пристрою на базі ширококутового двотактного підсилювача струму

При цьому вхідний струм зсуву нуля дорівнює $I_{зс.0} = I_{\delta 13} - I_{\delta 14}$. Таким чином, похибка компенсації є такою $\Delta I_{кзс.0} = I_{зс.0} - I_{кзс.0} = I_{\delta 5} - I_{\delta 6} + I_{\delta 13} - I_{\delta 14}$.

У разі, якщо статичні характеристики $n-p-n$ транзисторів і $p-n-p$ транзисторів є ідентичними, то $\Delta I_{кзс.0}$ може дорівнювати 0. Разом із тим, типові значення допусків для монолітних біполярних транзисторів сягають 5% [34, 92].

Отже, похибка компенсації $I_{зс.0}$ має набувати значення, що є не більшим, за 5%, тобто завдяки компенсації $I_{зс.0}$ має зменшитися не менше, ніж у 20 разів.

Розглянемо принцип роботи перетворювача струм-струм. Вхідний струм на вході поділяється на частини, що обернено пропорційні вхідним опорам на базах Т13, Т14. Приріст колекторного струму транзистора Т14 дорівнює $I'_{вх} = \beta_{14} \cdot I_{\delta 14}$, а $I''_{вх} = \beta_{13} \cdot I_{\delta 13}$.

Аналогічними є і значення складових колекторних струмів транзисторів Т11 і Т16, а саме: $\bar{I}'_{вх} \approx \beta_{14} \cdot I_{\delta 14}$, $\bar{I}''_{вх} \approx \beta_{13} \cdot I_{\delta 13}$.

На входи **Бл. С** подано через відбивачі **ВС1** і **ВС2** складові струму $\bar{I}'_{вх}$ і $\bar{I}''_{вх}$ та $I'_{вх}$ і $I''_{вх}$. По кожному з виходів **Бл. С** коефіцієнти передавання струму є однаковими, а саме:

$$K_{\delta I} = h_{ш} \cdot \frac{(\beta' \cdot \beta'')^2}{\beta' \cdot \beta'' + \beta' \cdot \beta''},$$

де β' і β'' – малосигнальні коефіцієнти підсилення струму для $p-n-p$ і $n-p-n$ транзисторів;

$h_{ш}$ – коефіцієнт передавання струму з виходів **Вх ДК** на входи **Вл. С**. Його значення визначається співвідношенням колекторних опорів ДВС та вхідних опорів підсилювальних каналів **Бл. С**.

На входи **ВС3** і **ВС4** подано струми I' , I'' , \bar{I}' і \bar{I}'' із виходів **Бл. С**. У свою чергу, на виходах **ВС3** і **ВС4** утворюється $I_{вих}$, що подається на опір $R_{н}$. Струми $I'_{зз}$ і $I''_{зз}$ утворюються на виходах **ВС5** та **ВС6** і надходять до контуру зворотного зв'язку.

Малосигнальний коефіцієнт передавання перетворювача струм-струм, за умови розірваної петлі ЗЗ, досліджено засобами АЧХ, що подано на рис. 14.3 [91].

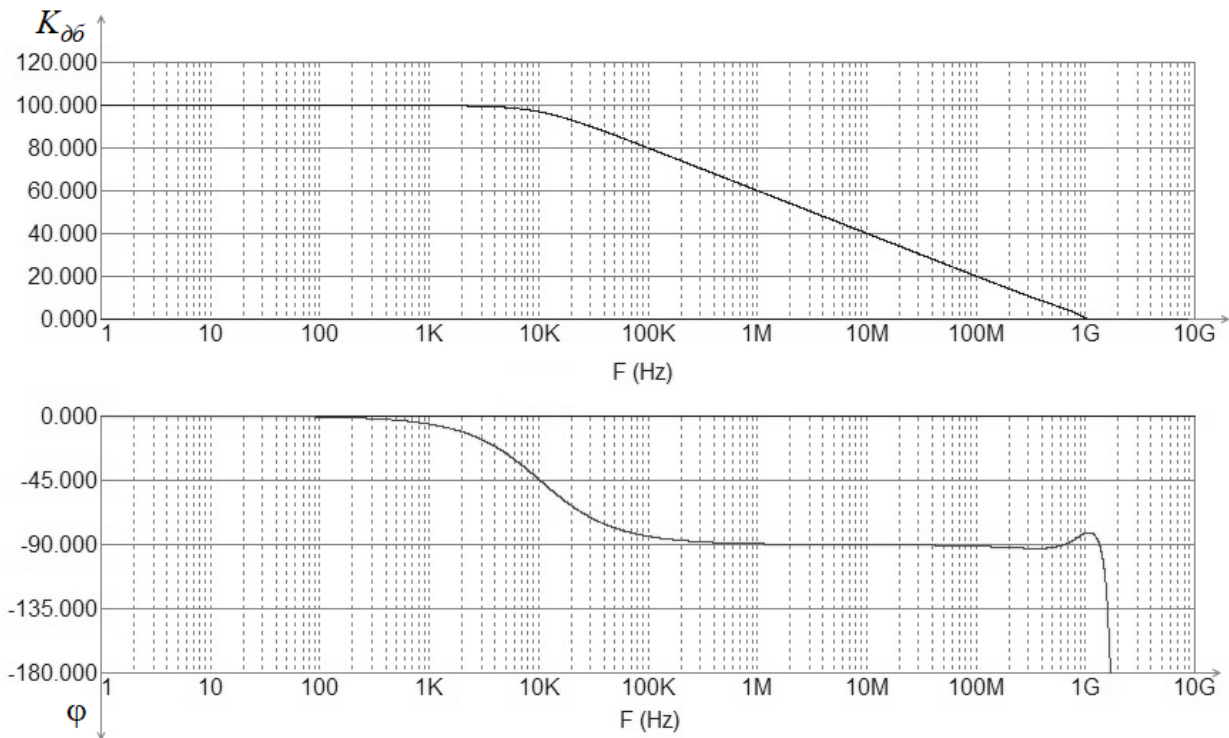


Рисунок 14.3 – Графіки скоригованих АЧХ і ФЧХ двотактних підсилювачів ПС

Зауважимо, що АЧХ у діапазоні частот, починаючи зі 100 кГц та вище, має постійний завал 20 дБ/декаду. Це робить такий пристрій подібним до фільтра низької частоти першого порядку, що уможлиблює, за умови замкненого контуру зворотного зв'язку, задавати множину коефіцієнтів K_I в умовах стійкої роботи. Зауважимо, що рівень глибини зворотного зв'язку αK (α – коефіцієнт зворотного передавання струму з виходу схеми на вхід) зумовлює точність функціонування пристрою струм-струм із заданим значенням K_I .

Глибина зворотного передавання струму з виходу схеми на вхід визначається так:

$$\alpha \approx \frac{R_{\perp}}{R_{\perp} + R_M}.$$

Отже, маємо

$$K_I = \frac{K}{1 + \alpha K},$$

з урахуванням нерівності $\alpha K \gg 1$, отримаємо

$$K_I \approx \frac{R_{\perp} + R_M}{R_{\perp}}. \quad (4.1)$$

Наявність у виразі (4.1) знаку приблизної рівності пояснюється ненульовим вхідним опором, незважаючи на те, що зворотний зв'язок зменшує його значення в $(1 + \alpha K)$ -разів.

Значення K_I зумовлює значення вихідного опору $r_{\text{вих}}$. Своєї максимальної величини $r_{\text{вих}}$ набуває за умови, коли $K_I = 1,0$. При цьому вихідна шина Вих. 33 до входу перетворювача струм-струм під'єднується з відключеним R_{\perp} . При цьому глибина зворотного зв'язку є максимальною. З урахуванням вище викладеного

$$r_{\text{вих}} \approx r_{0\text{вих}} \cdot \alpha_{33},$$

де r_0 – вихідний опір ПСС, за умови розірванні петлі зворотного зв'язку;

$$\alpha_{33} = \frac{r_{\text{вих.33}}}{r_{\text{вх}}},$$

де $r_{\text{вих.33}}$ – вихідний опір відбивача струму на шині зворотного зв'язку;

$r_{\text{вх}}$ – вхідний опір перетворювача струм-струм.

Зазначимо, що у разі зростання K_I в інтервалі $[1,0 - 20]$, вихідний опір $r_{\text{вих}}$ зменшується несуттєво, проте, якщо $K_I \geq 50$, то така тенденція зростає.

Похибки лінійності перетворювача струм-струм зумовлені нелінійністю вольт-амперних характеристик транзисторів. Їх значення визначається глибиною зворотного зв'язку. Разом із тим, відмінною особливістю такого пристрою є його здатність на порядок зменшити похибку на основі компенсації складових похибок, спричинених зміною вихідних струмів і напруги. Це пояснюється протилежними знаками цих складових у відповідних діапазонах робочих струмів. Основну роль має при цьому значення R_{\perp} , зміненням якого можна мінімізувати похибку лінійності.

Побудову схеми виконано на основі малопотужних інтегральних $n-p-n$ транзисторів – NUHFARRY та $p-n-p$ – PUHFARRY. Для створення відповідних режимів роботи, значення струмів зміщення формувалися на рівні $I_p = 1$ міліампер, а напруг живлення $-U_{\text{ж}} = \pm 10$ В (табл. 4.1) [93].

Зауважимо, що задання значення для K_I відбувалося шляхом зміни R_m для вибраного резистора R_{\perp} , причому його значення обиралося за умов мінімальної похибки лінійності. Значення відносної похибки лінійності для переважної кількості K_I змінюється лише в інтервалі $[1,5 \cdot 10^4\% - 3 \cdot 10^4\%]$. При цьому, значення вихідного опору $r_{\text{вих}}$ у всьому діапазоні K_I змінюється в діапазоні $[1,51 - 0,75]$ ГОм.

Таблиця 4.1 – Статичні й динамічні характеристики перетворювача струм-струм

K_i	$R_M, \text{кОм}$	$R_L, \text{Ом}$	$I_{зс.0}, \text{нА}$	$r_{\text{вих}}, \text{гОм}$	$\delta I_L, 10^{-4} \%$
1	0,48	—	527	1,51	2
2	0,97	970	372	1,5	1,9
5	2,408	602	400	1,49	1,7
10	4,86	540	431	1,48	1,8
20	9,69	510	450	1,45	1,6
50	24,95	500	463	1,37	1,5
100	48,51	490	466	1,28	1,9
200	101,49	510	468	1,07	3
500	279,44	560	470	0,75	1,8

Враховуючи вище викладене, зауважимо, що отримані статичні характеристики перетворювача струм-струм доцільно використовувати у 16–18-розрядних АЦП і ЦАП, а також – у багаторозрядних АЦ-системах різного призначення.

Описаний перетворювач було побудовано на принципі підсилення та перетворення струмів, який уможливорює отримання смуги пропускання в діапазоні, що межує із граничними частотами біполярних транзисторів. Це пояснюється тим, що в такому ПСС є відсутніми значні прирости напруги на керуючих переходах транзисторів за винятком вихідної шини.

Динамічні параметри ПСС оцінювалися на основі аналізу АЧХ, ФЧХ, а також його перехідної характеристики. Для забезпечення стійкості роботи ПСС між виходом і входом уведено коригувальний конденсатор $C_k = 1,5 \text{ пФ}$. За таких умов спад АЧХ у діапазоні частот [1 кГц – 1 ГГц] є постійним і становить 20 дБ/декаду, при цьому зміна фазової характеристики не перевищує 90° . Цей факт свідчить про те, що стійкого режиму роботи двотактного підсилювача постійного струму можна забезпечити для множини значень всіх K_I .

На рис. 4.14 наведено АЧХ пристрою для деяких K_I . Було використано C_k зі значеннями 1,5 пФ, 2,0 пФ і 4 пФ.

Згідно із графіком, незначний підйом відбувається при $K_I = 1,0$ на інтервалі [50 – 400] МГц.

Варто зауважити, що за умови зменшення тривалості імпульсу до 300 нс та фронтів менше за 5 нс, процес моделювання стає нестійким. Крім того, для підтримки стійкості процесу необхідно збільшувати C_k , що спричиняє погіршення реальних динамічних параметрів пристрою.

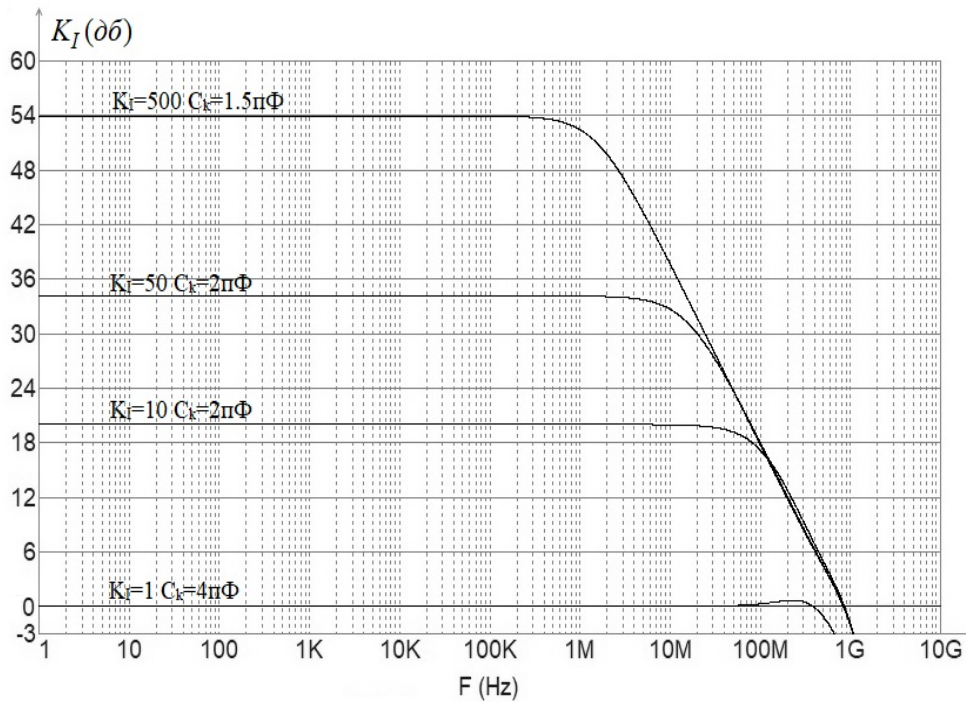


Рисунок 4.14 – Сім'я АЧХ для різних значень K_I

На рис. 4.15 подано графіки перехідної характеристики для імпульсу з $t_i = 300$ нс і фронтами $t_{\phi}^+ = t_{\phi}^- = 5$ нс і $C_k = 5$ пФ [93]. Зауважимо, що фронти перехідних характеристик, що отримано у процесі моделювання, є заваленими. Значення цих характеристик, за умови $C_k < 5$ пФ, мають зменшитися.

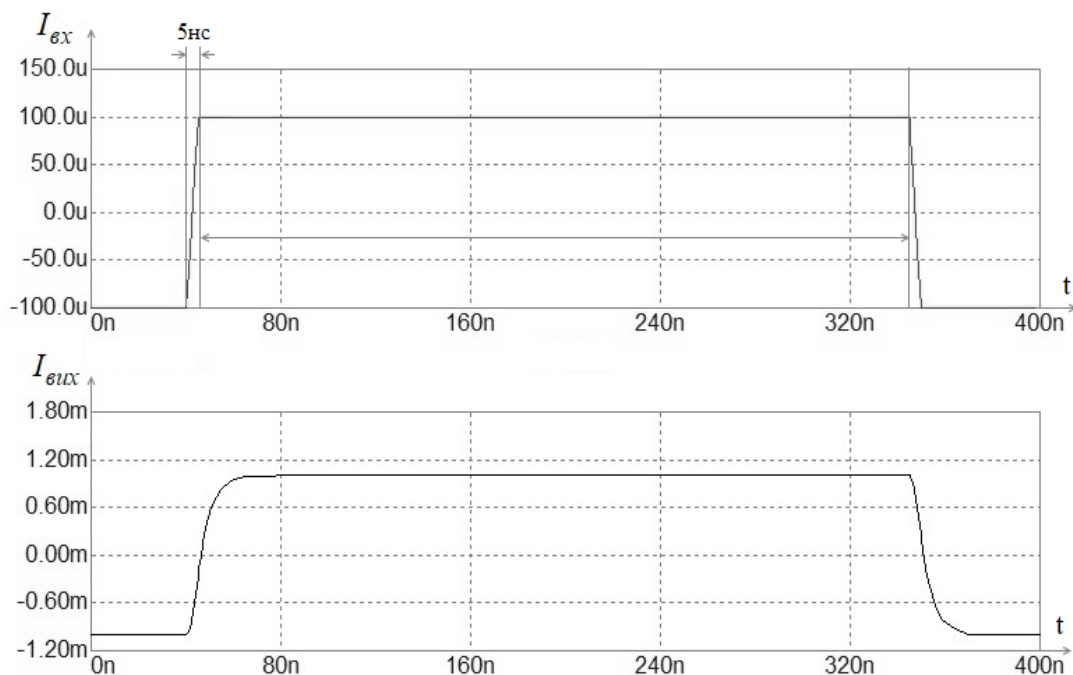


Рисунок 4.15 – Перехідна характеристика ДПДС ($K_I = 10$)

Підсумовуючи, зазначимо, що динамічні характеристики таких двотактних перетворювачів струм-струм є доволі високими, зокрема це пояснюється АЧХ зі смугою пропускання до 1 ГГц. Використання вдосконалених інтегральних транзисторів дозволить досягти кращих показників пристроїв.

4.3 Двотактний підсилювач постійного струму з низьким температурним дрейфом на базі перетворювачів струм-струм

Порівняно з іншими однотоактними схемами, побудованими на базі диференційного каскаду, ДППС характеризуються значними перевагами, зокрема в аспекті швидкодії, що стає особливо очевидним за умови, якщо генератор вхідного сигналу характеризується на виході збільшеною ємністю (струмовим ЦАП) [93]. Варто зазначити, що доцільно для створення двотактного підсилювача постійного струму використовувати саме біполярні транзистори, оскільки вхідний опір таких підсилювачів є нижчим, за однакових робочих струмів. Отже, й вплив паразитних ємностей струмових ЦАП на швидкодію ПСН є меншим.

Особливого значення це набуває в системах прямого цифрового синтезу [94]. Водночас, двотактний підсилювач постійного струму власне, як і однотоактні схеми, не позбавлені певних вад, зокрема, зсув нуля за напругою і струмом, а також їх температурний дрейф.

У науковій літературі недостатньо представлено методи компенсації зсуву нуля за напругою і струмом. При цьому, найпопулярнішими серед них є ті, що спрямовані на зменшення похибки нуля за напругою [95]. Разом із тим, двотактні підсилювачі на основі біполярних транзисторів мають досить великий вхідний струм, тому його зменшення є важливим. Крім того, необхідною є мінімізація температурного дрейфу вхідного струму в неперервному режимі.

Отже, у монографії пропонується метод мінімізації температурної залежності адитивної похибки шляхом введення структурної надлишковості в АЦ-системи, що включають двотактні перетворювачі, зокрема, напруга-струм струм-струм та ін.

Основної уваги в низці наявних типів ДППС заслуговують саме балансні двотактні підсилювачі постійного струму, оскільки їхня оригінальна будова дозволяє отримати максимальне підсилення струму на каскад і значно менший фазовий зсув у діапазоні частот. З урахуванням вимог до вхідного опору [96], можливо запропонувати декілька варіантів структурної організації підсилювача з низьким температурним дрейфом. Зокрема, на рис. 4.16 наведено схему, яку варто використовувати за умов

низького значення опору (на рівні малосигнального опору емітерного переходу). На цій схемі показано двотактний вхідний каскад, що побудовано на транзисторах Т1–Т4, діодах Д1, Д2 й генераторах робочого струму I_1 , I_2 . Відмінною його особливістю є відносно низький опір і коефіцієнт передавання струму, значення якого є близьким до 1,0. «Родзинкою» пристрою є середній підсилювальний балансний двотактний каскад, зібраний на транзисторах Т5–Т16, генераторах робочого струму I_3 , I_4 , а також діодах Д3, Д4. До контуру внутрішнього від’ємного зворотного зв’язку включено відбивачі струму ВС1 і ВС2. Це уможливило стикування між собою каскадів.

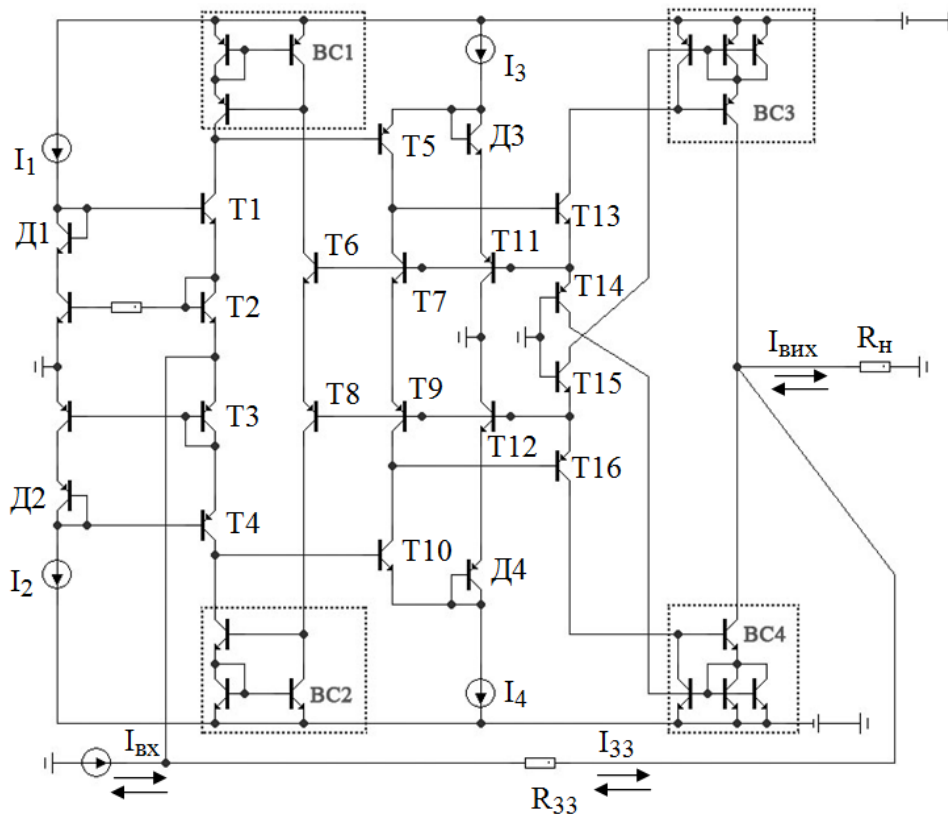


Рисунок 4.16 – Принципова схема двотактного балансного ППС із низьким вхідним опором

До складу вихідного каскаду входять відбивачі ВС3 і ВС4, що мають прямий та інверсний входи, які характеризуються малосигнальними коефіцієнтами передавання $K_i = 2,0$. Для визначення загального коефіцієнта підсилення схеми скористаємося залежністю [95]

$$K_i = \frac{I_{\text{вих}}}{I_{\text{вх}}} = \left(\frac{2\beta' \cdot \beta''}{\beta' + \beta''} \right)^2, \quad (4.2)$$

де β' – малосигнальний коефіцієнт підсилення струму $n-p-n$ транзисторів;
 β'' – $p-n-p$ транзисторів.

Зауважимо, що доцільно ввести додатковий двотактний вихідний каскад, реалізований на $n-p-n$ і $p-n-p$ транзисторах, за потреби збільшення загального коефіцієнта підсилення або покращення навантажувальної здатності на вихід схеми [97]. Крім того, введення такого каскаду збільшує фазовий зсув та знижує на високих частотах стійкість роботи.

Іншим варіантом структурної організації двотактного ППС є використання транзисторних каскадів на вході, які підсилюють струм так, як описано в залежності:

$$K_{i.вх} = \frac{2\beta' \cdot \beta''}{\beta' + \beta''}. \quad (4.3)$$

Разом із тим, зростання вхідного опору в $K_{i.вх}$ -разів спричиняє такий небажаний ефект, як збільшення впливу паразитної ємності генератора вхідного сигналу на швидкодію.

На рис. 4.17 наведено схему балансного двотактного ППС, що має два двотактних каскада.

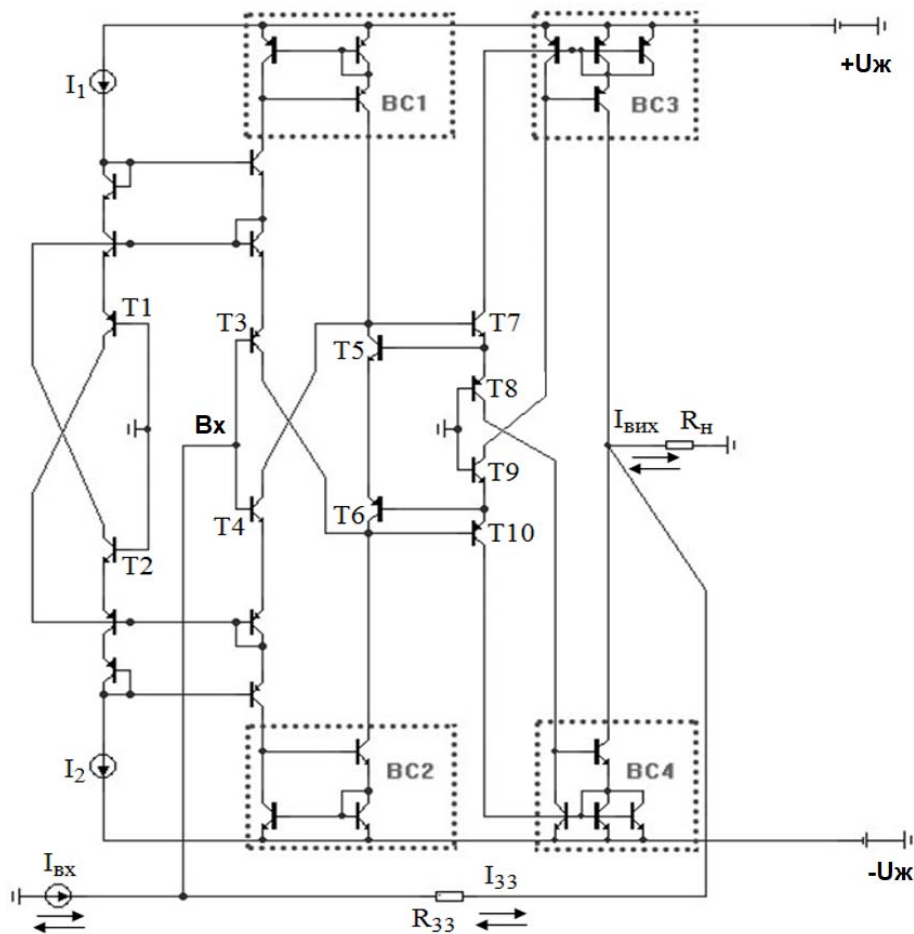
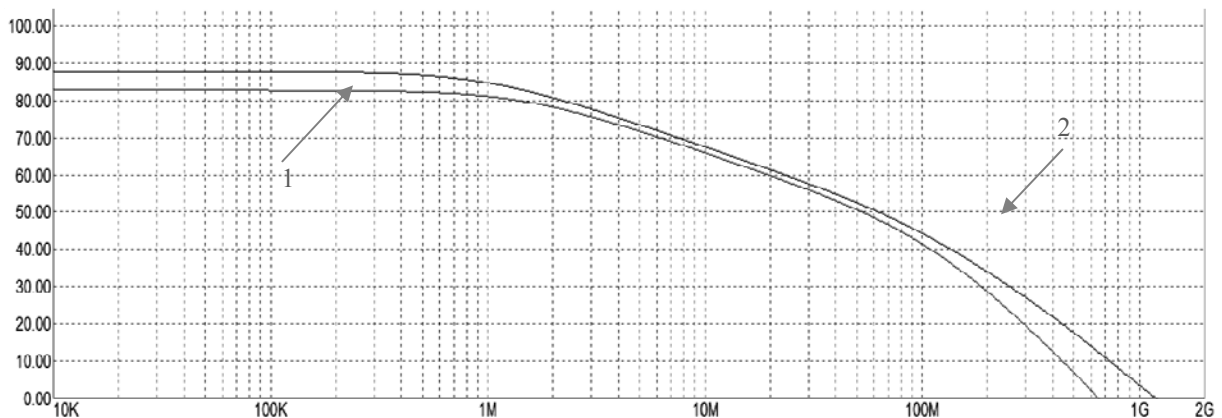


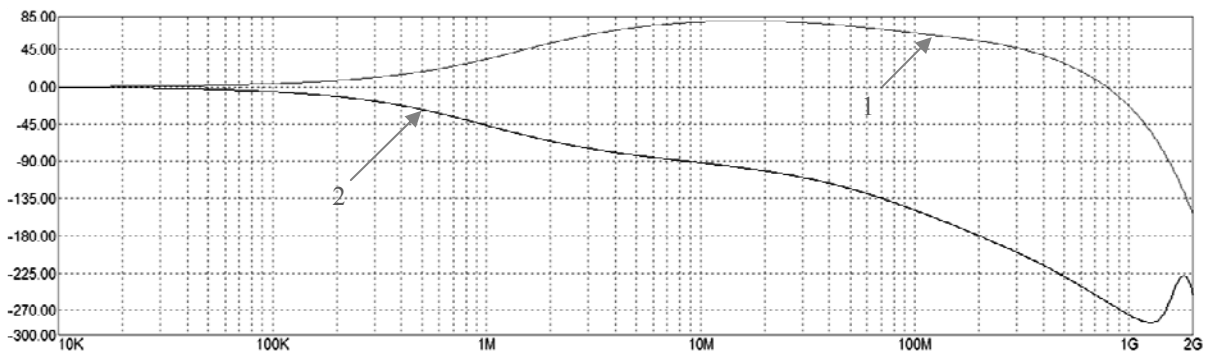
Рисунок 4.17 – Принципова схема балансного двотактного ППС із середнім вхідним опором

Перший – вхідний двотактний каскад, побудовано на під'єднаних до буферів струму транзисторах Т1–Т4, відбивачах струмів ВС3, ВС4 із двома входами, генераторах І1 і І2, що задають робочі точки вхідного каскаду. Другий каскад є балансним підсилювальним, що побудовано на транзисторах Т5–Т10. Зауважимо, що відбивачі струмів ВС1 і ВС2 уможливають стикування обох каскадів.

На рис. 4.18 наведено графіки АЧХ і ФЧХ таких підсилювачів. Коефіцієнт передавання для першого графіка 82,7 дБ, для другого – 87,8 дБ, смуга пропускання для першого 0,6 ГГц, для другого – 1,2 ГГц.



а)



б)

Рисунок 4.18 – Графіки динамічних характеристик двотактних балансних ППС з низьким і середнім вхідним опором:

а) АЧХ підсилювачів; б) ФЧХ підсилювачів

Застосування різних типів транзисторів ($n-p-n$ і $p-n-p$), а, отже, й різні коефіцієнти передавання струмів β_{n-p-n} і β_{p-n-p} , а також їх змінення в робочому діапазоні температур призводять до зсуву струму нуля та температурного дрейфу ДППС. Провідні закордонні дослідники наводять

такі характеристики аналогових інтегральних схем [34, 90, 92] біполярних транзисторів:

- розкид відношень значень величин $\beta - \pm 5\%$;
- температурний коефіцієнт $-(\pm 5-7) \cdot 10^{-3}/^{\circ}\text{C}$;
- для однотипових інтегральних транзисторів неідентичність значень температурних коефіцієнтів становить $\pm 5 \cdot 10^{-4}/^{\circ}\text{C}$.

Моделювання з використанням бібліотеки елементів статичних характеристик інтегральних *n-p-n* та *p-n-p* транзисторів MODEL NUHFARRY NPN і MODEL PUHFARRY PNP для колекторних струмів 1мА в температурному діапазоні $\pm 50^{\circ}\text{C}$ дозволило отримати зміни базових струмів для *n-p-n* транзистора – на 3,51 нА, та для *p-n-p* транзистора – на 5,24 нА на градус Цельсія.

Отже, варто зауважити, що температурний дрейф підсилювачів визначається саме базовими струмами [98].

У монографії запропоновано метод зменшення температурного дрейфу струму зсуву нуля $I_0(t^{\circ})$ двотактного ППС, що використовує генератор компенсаційного струму $I'_0(t^{\circ})$, який є подібним до ДППС $I_0(t^{\circ})$, але генерує струм протилежного напрямку. Глибина компенсації зумовлюватиме в практичному аспекті різницю між такими струмами.

Застосування запропонованого підходу потребує виконання таких умов:

- структурна організація генератора $I'_0(t^{\circ})$ повторює схемотехнічні рішення і температурні характеристики схеми ДППС з глибоким від'ємним зворотним зв'язком, що розміщується на одному кристалі з робочим підсилювачем;
- джерелом – давачем $I'_0(t^{\circ})$ є струм, що протікає в контурі зворотного зв'язку двотактного ППС генератора;
- для зменшення абсолютної різниці значень $I_0(t^{\circ})$ та $I'_0(t^{\circ})$, виходом генератора є спеціальний формувач, транзистори якого працюють у режимі малих струмів.

На рис. 4.19 зображено схему такого генератора $I'_0(t^{\circ})$ [98].

На поданій на рис. 4.19 схемі наявними є: ДППС I (першого або другого варіанту реалізації), вихідний формувач компенсаційного струму ФКС, реалізований на транзисторах Т1–Т8, та відбивачі струму ВСІ і ВСІІ, що під'єднують виходи підсилювача до ФКС.

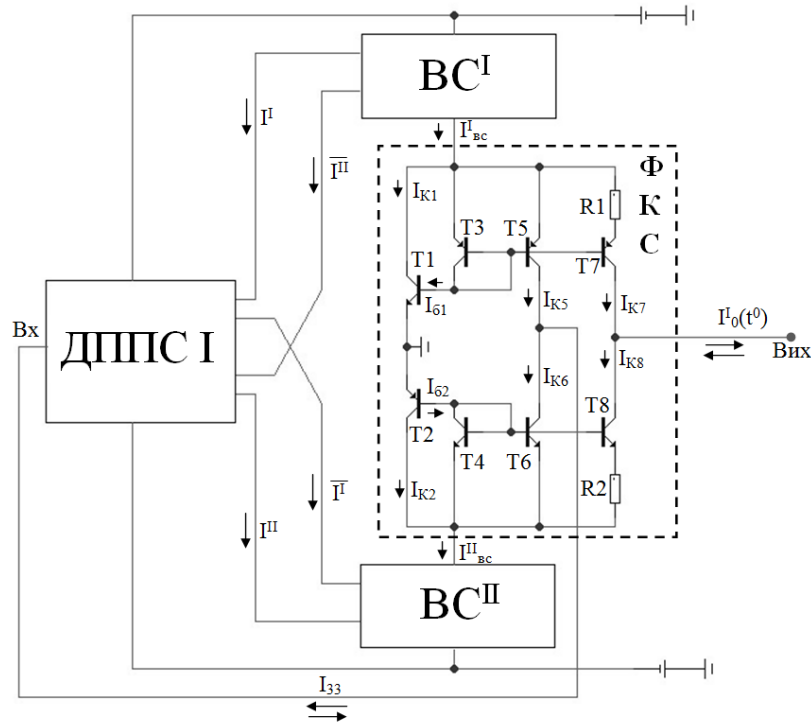


Рисунок 4.19 – Функціональна схема генератора компенсаційного струму $I'_0(t^0)$

Запропонований підхід можна проілюструвати на прикладі функціонування цієї схеми. Отже, вихідні струми $I'_{\text{вс}}$ і $I''_{\text{вс}}$ відбивачів під'єднуються до входів ФКС та утворюють колекторні струми I_{K1} й I_{K2} .

На рис. 4.20 наведено схему підключення ГКС до основного двотактного ППС.

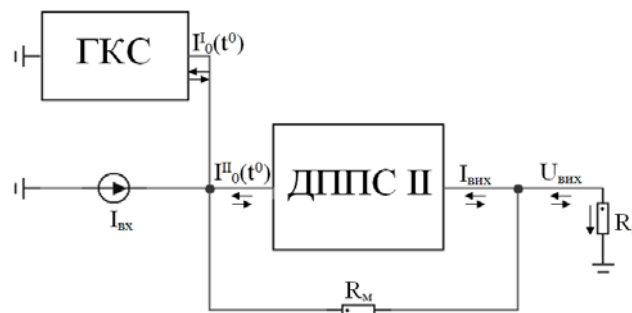


Рисунок 4.20 – Схема підключення ГКС до основного ДППС

Базові струми $I_{\delta 1}$ та $I_{\delta 2}$ генеруються, відповідно, транзисторами T1 і T2 за такою залежністю:

$$I_{\delta 1} = \frac{I_{K1}}{\beta_1} ; \quad I_{\delta 2} = \frac{I_{K2}}{\beta_2} .$$

У свою чергу, колекторні струми I_{K1} , $I_{K6} - I_{K8}$ утворюються із застосуванням відбивачів струмів, що побудовані на транзисторах Т3 – Т7, за таким принципом $I_{K1} = I_{K7} \approx I_{\delta 1}$ і $I_{K6} = I_{K8} \approx I_{\delta 2}$.

Різницевий струм ($I_{K5} - I_{K6}$) протікає по колу зворотного зв'язку, потім як I_{33} подається на вихід ДППС I, що уможливорює режим балансу цілого генератора. Глибокий зворотний зв'язок та відсутність у схемі інших генераторів вхідних струмів пояснює, що $I_{33} = I_{K5} - I_{K6} = I_0$, де I_0 – струм зсуву нуля ДППС I (див. рис. 4.19). Разом із тим, різниця ($I_{K7} - I_{K8}$) дає вихідний струм $I'_0(t^\circ)$, що наближується до I_0 .

Із метою зменшення струму зсуву нуля і його температурного дрейфу, до входу ДППС II необхідно підключити вихід генератора $I'_0(t^\circ)$, як зображено на рис. 4.20. ДППС II застосовується для побудови ПСН, зауважимо, що значення $U_{\text{вих}} = I_{\text{вих}} \cdot R_M$, де R_M є масштабним резистором. У разі відсутності компенсації струму зсуву нуля $I''_0(t^\circ)$ в ДППС II, на виході схеми з'являється напруга зсуву нуля $\pm U_{\text{вих}}(t^\circ) = I''_0(t^\circ) \cdot R_M$.

Температурний дрейф струму зсуву нуля $\Delta I_0(t^\circ)$ у двотактному підсилювачі з низьким вхідним опором зумовлюється параметрами першого і другого каскадів. Оцінювання температурного дрейфу всього підсилювача варто здійснювати в загальному контурі від'ємного зворотного зв'язку. Такий контур створюється введенням резистора R_{33} між входом і виходом (див. рис. 4.17). У разі задання значення вхідного нульового струму $I_{\text{вх}} = 0$ змінення значення I_{33} у діапазоні температур визначає дрейф $\Delta I_0(t^\circ)$. Для виокремлення складової дрейфу напруги від струму зсуву нуля $\Delta U_0(t^\circ)$, необхідно обмежити значення опору такою умовою $R_{33} \leq R_H$.

Для двотактних ППС із середнім вхідним опором $\Delta I_0(t^\circ)$ визначається параметрами вхідного двотактного каскаду, а також струмом I_{33} .

Аналізу температурного дрейфу здійснюється засобами комп'ютерного моделювання, зокрема, пакету схемотехнічного аналізу MicroCAP 11. Для чистоти проведення експерименту обидві схеми треба спочатку збалансувати, задавши $I_{\text{вх}}$ так, щоб виконувалася умова $I_{33} \approx 0$ за температури 0°C , а потім визначити $\Delta I_{33} = f(t^\circ)$ у діапазоні Δt° . Якщо зворотний зв'язок є глибоким, то $\Delta I_{33}(t^\circ) = \Delta I_0(t^\circ)$. Струм зсуву нуля I_0 , у свою чергу, визначається робочим струмом I_p . При $I_p = 1$ мА схема з низьким вхідним опором (див. 4.16) має значення $I_0 = 8,5$ мкА, а дрейф

знаходиться в діапазоні $-50\text{ }^{\circ}\text{C} < t^{\circ} < +50\text{ }^{\circ}\text{C}$, $\Delta I_0(t^{\circ}) = 1,8716\text{ мкА}$. Для схеми із середнім вхідним опором (див. рис. 4.17) значення вхідного струму $I_0 = 10\text{ мкА}$, а дрейф становить $\Delta I_0(t^{\circ}) = -172\text{ нА}$.

Зауважимо, що для ПСС чи ПНС значення вхідного струму можуть бути доволі великими, зокрема, якщо опір масштабу $R_M = 10\text{ К}$, то вхідна напруга зсуву нуля складатиме для схеми з низьким вхідним опором (див. рис. 4.16) $U_0 = -455\text{ нВ}$, а $\Delta U_0(t^{\circ}) = 18\text{ мВ}$, а для схеми із середнім вхідним опором буде $U_0 = -132\text{ мкВ}$, $\Delta U_0(t^{\circ}) = -1\text{ мВ}$ (див. рис. 4.17). Уведення генератора $I'_0(t^{\circ})$ дозволяє суттєво знизити ці показники. На рис. 4.21 наведено графіки залежностей зсуву нуля від температури.

На рис. 4.21 крива I характеризує дрейф $\Delta I_{33}(t^{\circ})$ для схеми з рис. 4.16, а крива II – схеми з рис. 4.17. Для схеми з низьким вхідним опором $I_0 = 8\text{ мкА}$, $\Delta I_{33}(t^{\circ}) = -10\text{ нА}$, а із середнім вхідним опором – $I_0 = 10\text{ мкА}$, $\Delta I_{33}(t^{\circ}) = 742\text{ пА}$. Отже, такі результати доводять те, що розглянутий метод уможливорює істотне зниження (не менше, ніж на 1–2 порядки) абсолютного значення зсуву нуля ДППС та його температурного дрейфу.

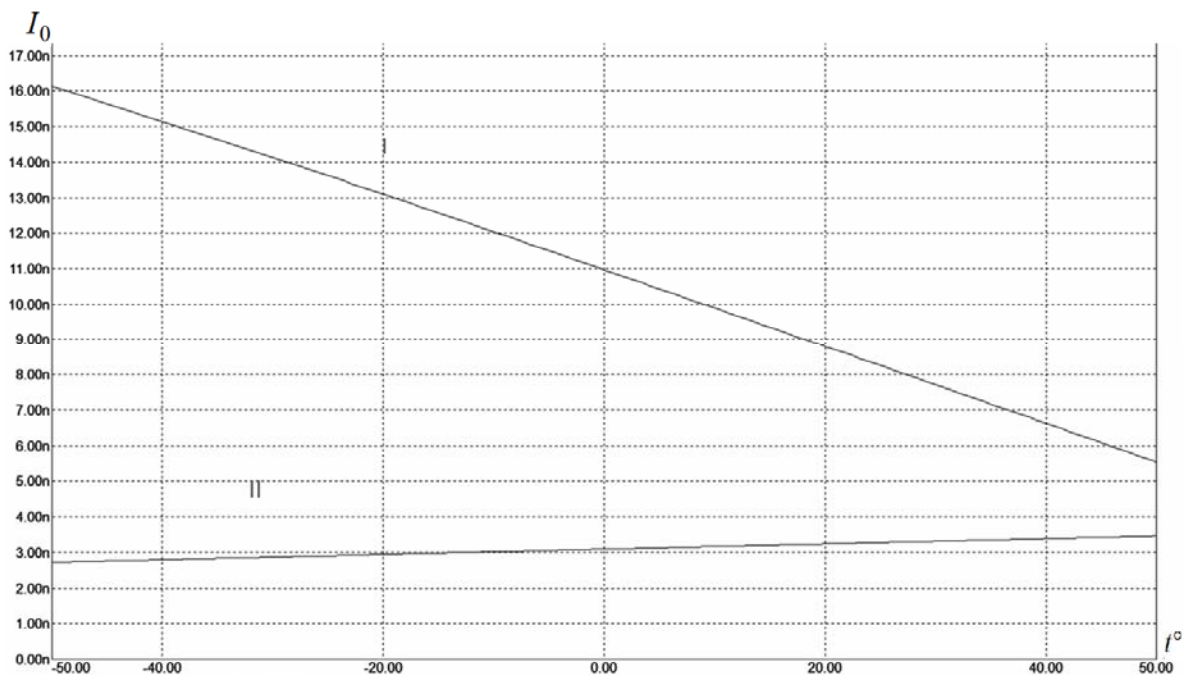


Рисунок 4.21 – Графіки функціональних залежностей $I_0 = f(t^{\circ})$

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. О. Д. Азаров, *Основи теорії аналого-цифрового перетворення на основі надлишкових позиційних систем числення* : Монографія. Вінниця, Україна: УНІВЕРСУМ-Вінниця, 2004.
2. О. Д. Азаров, *Аналого-цифрове порозрядне перетворення на основі надлишкових систем числення з ваговою надлишковістю* : Монографія. Вінниця, Україна : ВНТУ, 2010.
3. О. Д. Азаров, В. А. Гарнага, та О. О. Решетнік, *Високопродуктивні АЦП із ваговою надлишковістю зі змінними тривалостями тактів порозрядного кодування* : монографія. Вінниця, Україна: УНІВЕРСУМ-Вінниця, 2012.
4. О. Д. Азаров, та О. В. Дуднік, *Методи та засоби високоточного слідкувального аналого-цифрового перетворення з ваговою надлишковістю*: монографія. Вінниця, Україна: УНІВЕРСУМ-Вінниця, 2014.
5. О. Д. Азаров, та М. Ю. Теплицький, та Н. О. Біліченко, *Швидкодійні двотактні підсилювачі постійного струму з балансним зворотним зв'язком*: монографія. Вінниця, Україна: ВНТУ, 2016.
6. О. Д. Азаров, Н. О. Біліченко, та С. М. Захарченко, *Високолінійні порозрядні АЦП із перерозподілом заряду з ваговою надлишковістю, що самокалібруються* : монографія. Вінниця, Україна: ВНТУ, 2016.
7. О. Д. Азаров, О. Г. Муращенко, та О. І. Черняк, *Генерування високолінійних пилкоподібних сигналів на базі ЦАП з низькогітчевим кодуванням* : монографія. Вінниця, Україна: ВНТУ, 2021.
8. А. И. Кондалев, *Преобразователи формы информации компьютерного типа*. Киев, СССР : Знание, 1990.
9. А. И. Кондалев, А. Ю. Вонятыцкий, *Статистические модели ЦАП на источниках тока*. Киев, СССР: институт кибернетики им. В. М. Глушкова, 1988.
10. А. И. Кондалев, В. А. Багацкий, В. А. Романов, и В. А. Фабричев, *Высокопроизводительные преобразователи формы информации*. Киев, СССР: Наукова думка, 1987.
11. А. И. Кондалев, В. А. Романов, В. А. Багацкий, и П. С. Ключан, «Вклад Украины в развитие системных преобразователей формы информации», на *Международ. симпозиуме «Компьютеры в Европе. Прошлое, настоящее и будущее»*, Киев, 1998, с. 130.
12. П. П. Орнатский, *Теоретические основы информационно-измерительной техники*. Киев, СССР: Вища школа, 1983.

13. П. П. Орнатский, *Автоматические измерения и приборы (аналоговые и цифровые)*. Киев, СССР : Вища школа, 1986.
14. Б. И. Швецкий, *Электронные цифровые приборы*. Киев, СССР: Техника, 1991.
15. Ю. М. Туз, Ю. С. Шумков, та О. В. Козир, *Автоматизація аналізу вимірювальних пристроїв: монографія*. Київ, Україна: «Корнійчук», 2014.
16. Є. Т. Володарський, М. В. Добролюбова, та Л. О. Кошева, «Інформаційно-вимірювальні системи та невизначеність», *Український метрологічний журнал*, 2020. doi:10.24027/2306-7039.3A.2020.
17. E. Volodarsky, Z. Warsza, L. A. Kosheva, and A. Idzkowski, “Method of upgrading the reliability of measurement inspection”, *Advances in Intelligent Systems and Computing* no.393, pp. 431-438, 2016.
18. E. Volodarsky, Z. Warsza, L. A. Kosheva, and A. Idzkowski, “Precautionary Statistical Criteria in the Monitoring Quality of Technological Process”, *Advances in Intelligent Systems and Computing*, no. 543, pp. 740-750, 2017.
19. В. Б. Смоллов, и Е. А. Смирнов, *Полупроводниковые кодирующие и декодирующие преобразователи*. Ленинград, СССР: Энергия, 1967.
20. В. Б. Смоллов, Е. А. Чернявский, и А. В. Минаев, *Системы автоматизированного проектирования средств ИИТ*. Ленинград, СССР: ЛЭТИ, 1988.
21. Э. И. Гитис и др., *Автоматизация проектирования аналого-цифровых устройств*. Москва, СССР: Энергоатомиздат, 1987.
22. Ф. Гудинаф, «Новые области применения аналого-цифровых преобразователей с высоким разрешением», *Электроника*, № 7. с. 89–96, 1991.
23. W. Kester, “Drive Circuitry is Critical to High-Speed Sampling ADCs”, *Electronic Design Special Analog Issue*, no. 7, pp. 43–50, 1994.
24. W. Kester, *Analog-digital conversion*. USA:ADI Central Department, 2004.
25. W. Kesler, *The Data Conversion HandBook*. Burlington, USA: Newnes, 2005.
26. S. Soclof, *Analog Integrated Circuits. Prentice-Hall Series in Solid State Physical Electronics, 0th Edition*. 1984.
27. Z. Boyacioglu, and S. Soclof, “Increase analog-system accuracy with a 14-bit monolithic ADC”, *EDN*, pp 137–143, 1982.
28. J. Brubaker, Z. Boyacioglu, and P. Bradshaw, “14-bit DAC rates with uPs, settles in less than 1 uS”, *Electronic design*, pp. 147–151, Apr. 1981.

29. R. J. Van De Plassche, and H. J. Schouwenaars, “Monolithic 14 Bit A/D Converter”, *IEEE Journal of Solid State Circuits*, vol. SC-17, no. 6. pp. 1112–1117, 1982.

30. S. Tan, *High-Speed Analog-to-Digital Converters in CMOS*. Lund University: Lund University. Faculty of Engineering. 2020.

31. D. L. Watson, “16-bit monolithic DAC attains modular performance”, *Electronic Design*. no. 30(23), pp. 121–130, Jan. 1982.

32. S. Sutarja, and P. R. Gray, “250 KS/S 13-bit pipelined A/D converter”, *IEEE Int. Solid State Circuits Conf*, Febr. 1988.

33. J. Wang, W. ShanTam, C. WahKok, and K. PangPun, “A 5-bit 500MS/s flash ADC with temperature-compensated inverter-based comparators”. *Solid State Electronics Letters*, vol. 2, pp. 1–9. December, 2020.

34. Alan B. Grebene, *Bipolar and MOS analog integrated circuit design*. New Jersey, USA: Wiley Classic Library, 2002.

35. M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, and H. Wenske, “A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13µm CMOS”, *Tech. Digest of ISSCC*, Feb. 2007.

36. T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, and N. Takai, “SAR ADC Algorithm with Redundancy”, in *IEEE Asia Pacific Conference on Circuits and Systems*, Macao, pp. 268-271, 2008.

37. T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, and T. Mori, “SAR ADC Algorithm with Redundancy and Digital Error Correction”, *IEICE Trans. Fundamentals*, vol. E93-A, no.2, Feb. 2010.

38. T. Sundström, “Design of High-Speed Analog-to-Digital Converters using Low-Accuracy Components”, *Linköping Studies in Science and Technology Dissertations*, no. 1367, 2011.

39. L. Ricci, *Design of a 12-bit 200-MSps SAR Analog-to-Digital converter*. Stockholm, Sweden, 2020.

40. О. Д. Азаров, О. І. Черняк, та О. Я. Стахов, «АЦП порозрядно-слідкувального врівноваження з ваговою надлишковістю», *Інформаційні технології та комп'ютерна інженерія*, т. 49. № 3. с. 37–44, 2020. doi:10.31649/1999-9941-2020-49-3-37-44.

41. О. Д. Азаров, С. В. Богомолов, та О. Я. Стахов, «Багатоканальна швидкодіюча система АЦП-ЦАП на базі високолінійних перетворювачів струм-струм», *Інформаційні технології та комп'ютерна інженерія*, т. 50, № 1, с. 69-79, 2021.. doi:10.31649/1999-9941-2021-50-1-69-79.

42. О. Азаров, та О. Стахов, «Моделі АЧХ і ФЧХ двотактних підсилювачів постійного струму», *Інформаційні технології та комп'ютерна інженерія*, т.53, № 1, с. 77 – 83, 2022. doi:10.31649/1999-9941-2022-53-1-77-83.

43. О. Азаров, С. Богомолів, та О. Стахов, «Високолінійні двотактні буферні пристрої напруги з параметричною компенсацією зсуву нуля», *Інформаційні технології та комп'ютерна інженерія*, т.53, №1, с.69–76, 2022. doi:10.31649/1999-9941-2022-53-1-69-76.

44. О. Д. Азаров, та О. Я. Стахов, «Двотактні буферні пристрої напруги на біполярних транзисторах», *Вісник Хмельницького національного університету*, № 4, с. 18–23, 2022. DOI:10.31891/2307-5732-2022-311-4-18-23.

45. O. D. Azarov, S. V. Bogomolov, S. A. Kyrylashchuk, O. J. Stakhov, M. Duk, and Y. Amirgaliyev, «High speed buffer devices on the base of push-pull current amplifiers», *Proceedings of SPIE 0277-786X. Photonics Applications in Astronomy, Communications, Industry and High-Energy Physics Experiments*, vol. 11176, pp. 1760–1767, Nov.2019. doi:10.1117/12.2536902.

46. A. D. Azarov, S. A. Kyrylashchuk, S. V. Bogomolov, O. Y. Stakhov, A. Kotyra, and O. Mamyrbaev, “Selection of the calculus system base for ADC and DAC with weight redundancy”, *Proceedings of SPIE 0277-786X. Photonics Applications in Astronomy, Communications, Industry and High-Energy Physics Experiments*, vol. 11176, pp. 1809 – 1815, Nov.2019. doi:10.1117/12.2537197.

47. О. Д. Азаров, М. Р. Обертюх, О. Я. Стахов, та О. О. Лукашук, «Двотактний підсилювач постійного струму», *Патент на корисну модель 140168 Україна*, 10.02.20.

48. О. Д. Азаров, М. Р. Обертюх, та О. Я. Стахов, «Генератор струму зсуву нуля», *Патент на корисну модель 136566 Україна*, 27.08.19.

49. О. Д. Азаров, М. Р. Обертюх, О. Я. Стахов, та Д. В. Лизогуб, «Буфер напруги», *Патент на корисну модель 140196 Україна*, 10.02.20.

50. О. Д. Азаров, М. Р. Обертюх, О. Я. Стахов, та Д. В. Лизогуб, «Буфер напруги», *Патент на корисну модель 140786 Україна*, 10.03.20.

51. О. Д. Азаров, М. Р. Обертюх, О. Я. Стахов, та Д. В. Лизогуб, «Буфер напруги», *Патент на корисну модель 141391 Україна*, 10.04.2020.

52. О. Д. Азаров, С. В. Богомолів, та О. Я. Стахов, «Багатоканальна швидкодіюча система АЦП-ЦАП на базі високолінійних перетворювачів струм-струм», на *L Науково-технічна конференція підрозділів ВНТУ*, Вінниця, 2021. [Електронний ресурс]. Режим доступу: <https://conferences.vntu.edu.ua/index.php/all-fitki/all-fitki-2021/paper/view/12308/10262>. Дата звернення: Сер.20, 2022.

53.О. Stakhov, “Numeral systems with irrational bases for mission – critical applications. The basic concepts and scientific results”, на *Шостій Міжнародній науково-практичній конференції «Методи та засоби кодування, захисту й ущільнення інформації»*, Вінниця, 2017, с. 16–20.

54.О. Я. Стахов, «Високолінійний послідовно-паралельний АЦП на базі ЦАП із ваговою надлишковістю», на *XLVII науково-технічній конференції підрозділів ВНТУ*, Вінниця, 2018. [Електронний ресурс]. Режим доступу: <https://conferences.vntu.edu.ua/index.php/all-fitki/all-fitki-2018/paper/view/5351/4368>. Дата звернення: Сер.20, 2022.

55.О. Я. Стахов, «Методи зменшення похибок струму зсуву нуля у двотактних широкосмугових підсилювачах постійного струму», на *II Міжнародній науковій конференції «Комплексний підхід до модернізації науки: методи, моделі та мультидисциплінарність»*, Чернівці, 2022. [Електронний ресурс]. Режим доступу: <https://archive.mcmd.org.ua/index.php/conference-proceeding/issue/view/26.08.2022>. Дата звернення: Сер.20, 2022.

56.О. Стахов, «Методи побудови високопродуктивних АЦП із застосуванням структурної та інформаційної надлишковості», *Вимірювальна та обчислювальна техніка в технологічних процесах*, №2, с. 73–79, 2022. doi:10.31891/2219-9365-2022-70-2-10.

57.Л. В. Крупельницький, та О. Д. Азаров, *Аналого-цифрові пристрої систем, що самокоригуються, для вимірювань і оброблення низькочастотних сигналів : монографія*. Вінниця, Україна: УНІВЕРСУМ-Вінниця, 2005.

58.О. Д. Азаров, та О. В. Кадук, *Багаторозрядні АЦП і ЦАП, із ваговою надлишковістю, стійкі до параметричних відмов : монографія*. Вінниця, Україна: ВНТУ, 2010.

59.О. Д. Азаров, та О. О. Коваленко, *Обчислювальні АЦП і ЦАП, що самокалібруються, для систем цифрового оброблення аналогових сигналів: монографія*. Вінниця, Україна: УНІВЕРСУМ, 2006.

60.High Speed, High Accuracy, 14-Bit, 16-Bit, and 18-Bit PulSAR ADCs. Analog Devices офіційний сайт. [Online]. Available: <http://www.analog.com/static/imported-files/overviews/PulSAR.pdf>. Accessed on: Nov. 16, 2020.

61.О. Д. Азаров, С. М. Захарченко, та О. А. Архипчук, *Високолінійні порозрядні АЦП з ваговою надлишковістю для систем реєстрації і оброблення сигналів : монографія*. Вінниця, Україна:УНІВЕРСУМ-Вінниця, 2005.

62. О. Д. Азаров, С. М. Захарченко, та О. М. Харьков, *Самокалібровані АЦП із накопиченням заряду на основі надлишкових позиційних систем числення*. Вінниця, Україна: УНІВЕРСУМ-Вінниця, 2005.

63. Г. М. Петров, *Преобразование информации в аналого-цифровых вычислительных устройствах и системах*. Москва, СССР: Машиностроение, 1973.

64. В. В. Островерхов, *Динамические погрешности аналого-цифровых преобразователей*. Ленинград, СССР: «Энергия», 1975.

65. О. Д. Азаров, М. Ю. Шабатура, та О. Г. Муращенко, «Динамічні похибки II роду в АЦП прискореного порозрядного наближення з ваговою надлишковістю», *Наукові праці ВНТУ*, №3. с.10, 2010.

66. О. Д. Азаров, О. І. Черняк, «Обмеження адитивних співвідношень при порозрядній потоковій обробці в АМ-системах числення», *Інформаційні технології та комп'ютерна інженерія*, №3(31), с. 67–71, 2014.

67. О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко, «Порозрядне додавання в АМ-системах числення на основі адитивних перетворень», *Проблеми інформатизації та управління*, №1(45), с.1421, 2014.

68. Olexiy D. A., S. V. Pavlov, O. I. Chernyak, I. D. Ivasyuk, W. Wójcik, and A. Syzdykpayeva, “Principles of fast count in modified Fibonacci numerical system”, *Proc. SPIE 10808. Photonics Applications in Astronomy, Communications, Industry, and High-Energy Physics Experiments*, no.1080829, Oct.2018. doi:10.1117/12.2501565.

69. А. П. Стахов, *Коды золотой пропорции*. Москва, СССР: Радио и связь, 1984.

70. A. D. Azarov, A. I. Chernyak, and P. A. Chernyak, “The class of numerical systems for pipeline bit sequential development of multiple optoelectronic data streams”, *Proceedings of SPIE. The International Society for Optical Engineering*, no.4425, pp.406 – 409, 2001.

71. А.Р. Stakhov, “The golden section in the measurement theorem”, *Computers & Mathematics with Applications*, no.4, pp. 613 – 638, 1989.

72. А. П. Стахов и др., *Высокопроизводительные преобразователи информации на основе избыточных систем счисления: учебное пособие*. Киев, СССР: УМК ВО, 1988.

73. А. Stakhov, “The golden section and modern harmony mathematics”, *Applications of Fibonacci numbers*, pp. 393 – 399, 1998.

74. О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко, «Інформаційні аспекти лічби у модифікованій фібоначчівій системі числення», *Інформаційні технології та комп'ютерна інженерія*, №1(38). с.48–52, 2017.

75. О. Азаров, О. Черняк, та О. Муращенко, «Методи перенесення і запозичення у швидкодіючих Фібоначчєвих лічильниках», *Інформаційні технології та комп'ютерна інженерія*, № 2(42). с.55–63, 2018.

76. О. Д. Азаров, та В. А. Гарнага, *Двотактні підсилювачі постійного струму для багаторозрядних перетворювачів форми інформації, що самокалібруються: монографія*. Вінниця, Україна: ВНТУ, 2011.

77. М. Я. Выгодский, *Справочник по высшей математике*. Москва, Россия: АСТ Астрель, 2005.

78. О. Д. Азаров, та М. Р. Обертюх, «Високолінійні двотактні балансні буфери напруги на біполярних транзисторах», *Інформаційні технології та комп'ютерна інженерія*, № 1(41). с.34–41, 2018.

79. Г. Д. Бахтиаров, В. В. Малинин, и В. П. Школин, *Аналого-цифровые преобразователи*. Москва, СССР : Советское радио, 1980.

80. О. Д. Азаров, та С. В. Богомоллов, *Основи теорії високолінійних аналогових пристроїв на базі двотактних підсилювальних схем : монографія*. Вінниця, Україна: УНІВЕРСУМ-Вінниця, 2013.

81. О. Д. Азаров, В. А. Гарнага, та В. Є. Яцик, «Відбивачі струму для аналогових пристроїв із покращеними статичними і динамічними характеристиками», *Інформаційні технології та комп'ютерна інженерія*, № 2, с.48–55, 2012.

82. И. П. Степаненко, *Основы теории транзисторов и транзисторных схем. Изд. 3-е, перераб. и доп.* Москва, СССР : «Энергия», 1973.

83. HFA3046/3096/3127/3128 Transistor Array SPICE Models, Intersil Corporation™. [Online]. Available: <https://www.intersil.com/content/dam/Intersil/documents/mm30/mm3046.pdf>. Accessed on: Aug. 23, 2022.

84. О. Д. Азаров, та С. В. Богомоллов, «Прецизійні буферні пристрої на базі двотактних симетричних структур», *Інформаційні технології та комп'ютерна інженерія*, №3(22), с. 4–12, 2011.

85. О. Д. Азаров, О. В. Дудник, С. В. Богомоллов, та О. В. Кадук, «Буферний каскад», *Патент України № 51014*, 25.06.10.

86. А. П. Стахов, А. Д. Азаров, В. И. Моисеев, «Аналого-цифровые преобразователи на основе избыточных систем счисления. Помехоустойчивые коды (Компьютер Фибоначчи)», *Радиоэлектроника и связь*, №9, с. 64, 1989.

87. А. Д. Азаров, В. П. Марценюк, В. И. Моисеев и др., «Устройство для аналого-цифрового и цифроаналогового преобразования», *а.с.1474824 СССР*, 23.04.1989.

88. А. П. Стахов, А. Д. Азаров, В. Я. Стейскал и др., «Цифроаналоговый преобразователь», *а.с. 1538254 СССР*, 23.01.1990.
89. А. Д. Азаров, Е. А. Коваленко, В. Я. Стейскал и др., «Цифроаналоговый преобразователь», *а.с. 1790030 СССР*, 23.01.1993.
90. U. Tietze, Ch. Schenk, *The semiconductor circuitry. Volume 2*. Book on Demand Ltd, 2018.
91. О. Д. Азаров, С. В. Богомолов, та Є. С. Генеральницький, «Двотактний підсилювач постійного струму», *Пат. на корисну модель 140843 Україна*, 10.03.2020.
92. A. V. Grebene. *Analog integrated circuits*. US: Krieger Publishing Co., 2019.
93. О. Д. Азаров, та Є. С. Генеральницький, «Статичні й динамічні характеристики перетворювачів струм-струм на базі двотактних підсилювачів струму», *Вісник Вінницького політехнічного інституту*, №5(63), с.63–70, 2020. doi:10.31649/1997-9266-2020-152-5-63-70.
94. Л. И. Ридико, «Прямой цифровой синтез частоты», *Компоненты и технологии*, № 1, с.1–5, 2001..
- О. Д. Азаров, та М. Ю. Теплицький, «Метод непрерывного коригування струму зсуву нуля двотактних підсилювачів постійного струму», *Вісник Вінницького політехнічного інституту*, № 1, с.129–135, 2015.
95. А. Д. Азаров, та В. А. Гарнага, «Систематизация балансных двухтактных усилителей постоянного тока по критерию входного сопротивления», *Проблемы управления и информатики*, № 5, с.115–122, 2016.
96. В. Л. Шило, *Линейные интегральные схемы в радиоэлектронной аппаратуре*. Москва, СССР: Советское радио, 1979.
97. О. Д. Азаров, Р. М. Медяний, А. П. Ткачук, «Метод зменшення температурного дрейфу струму зсуву нуля у двотактних підсилювачах струму», *Вісник Вінницького політехнічного інституту*, №4. с.15–22, 2018.

Наукове видання

Азаров Олексій Дмитрович
Стахов Олексій Ярославович
Обертюх Максим Романович

**Високопродуктивні АЦП
комбінованого врівноваження
із ваговою надлишковістю**

Монографія

Оригінал-макет підготовлено в *редакційно-видавничому
відділі ВНТУ*

Підписано до друку 5.01.2023 р.
Формат 29,7×42¼. Папір офсетний.
Гарнітура Times New Roman. Ум. др. арк. 7,51.
Наклад 14 пр. Зам. № В2023-01.

Вінницький національний технічний університет,
Редакційно-видавничий відділ,
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, ГНК, к. 114
Тел. (0432) 65-18-06.
press.vntu.edu.ua
email: irvc.vntu@gmail.com

Свідоцтво суб'єкта видавничої справи
серія ДК № 3516 від 01.07.2009 р.

Віддруковано ФОП Барановська Т. П.,
21021, м. Вінниця, вул. Порики, 7.
Свідоцтво суб'єкта видавничої справи
серія ДК № 4377 від 31.07.2012 р.