

О.Д.Азаров, В.В.Байко, Л.В.Крупельницький

КОМП'ЮТЕРНА ЕЛЕКТРОНІКА

Міністерство освіти і науки України
Вінницький державний технічний університет

О.Д.Азаров, В.В.Байко, Л.В.Крупельницький

КОМП'ЮТЕРНА ЕЛЕКТРОНІКА

Частина II

Затверджено Ученою радою Вінницького державного технічного університету як лабораторний практикум для студентів спеціальності "Комп'ютерні системи та мережі" денної та заочної форми навчання.
Протокол №5 від 26 грудня 2002 р.

Вінниця ВДТУ-2003

Рецензенти:

С.Т. Володарський, доктор технічних наук, професор

В.П. Тарасенко, доктор технічних наук, професор

Д.Т. Обідник, кандидат технічних наук, доцент

Рекомендовано до видання Ученою радою Вінницького державного технічного університету Міністерства освіти і науки України

О.Д.Азаров, В.В.Байко, Л.В.Крупельницький

А35 Комп'ютерна електроніка. Лабораторний практикум.

Частина II – Вінниця: ВДТУ, 2003.-111с.

В посібнику розглянуті фундаментальні основи комп'ютерної електроніки в лабораторних роботах. Посібник розроблений у відповідності до плану кафедри та програми з дисципліни "Комп'ютерна електроніка". В кожній лабораторній роботі наведені теоретичні основи та особливості її виконання, наведені спеціальні технічні засоби (стенди). Представлені схеми логічних елементів цифрових схем і діаграми роботи практично усіх пристроїв, отримані за допомогою методів логічного моделювання системи PCAD, MicroCap.

В кожній лабораторній роботі представлені короткі перекази теоретичних основ і особливості їх виконання. Приведені варіанти індивідуальних завдань, списки літератури для поглибленого вивчення і контрольні запитання для самоперевірки. Основою всієї лабораторних установок служать типові інтегральні елементи у вигляді мікромакетів.

ВСТУП

В теперішній час об'єм і швидкість надходження науково-технічної інформації безперервно збільшується. Це впливає на організацію, методику і зміст навчального процесу. Так, при збереженні строку навчання в вузах все більше уваги приділяється самостійній роботі студентів. Однією з форм обов'язкових навчальних занять, де визначальне значення має самостійна робота студентів, є лабораторні практикуми. Якість лабораторного практикуму (ступінь засвоєння знань, витрати часу на підготовку й виконання практикуму та інші фактори) у значній мірі залежать від наявності відповідної методичної літератури й посібників.

Пропоноване видання є лабораторним практикумом з дисципліни "Комп'ютерна електроніка". Для даного лабораторного практикуму характерні: стала схемотехнічна база у вигляді інтегральних схем елементів, в яких функціональна повнота забезпечується логічними функціями Шеффера й Пірса, можливість придбання систем елементів, які серійно випускають підприємства і фірми.

У процесі підготовки цього видання автори прагнули вирішити дві задачі.

По-перше, створити лабораторний практикум, який студенти будуть ефективно використовувати при самостійній підготовці і виконанні лабораторних робіт. Зміст цієї частини книги представлено теоретичною частиною, методикою виконання, переліком контрольних питань і рекомендованою літературою.

По-друге, викласти ідеологію практикуму в цілому, питання, які відбивають технічну реалізацію там, де це можливо, привести вичерпний перелік варіантів виконання лабораторних робіт із застосуванням сучасних систем схемотехнічного моделювання Micro-Cap.

Лабораторний практикум складається з двох розділів.

В першому розділі викладено лабораторний практикум із вивчення основних характеристик і можливостей широко розповсюджених серій логічних елементів.

У другому - описані лабораторні роботи із вивчення й придбання практичного досвіду побудови і налагодження простих типових вузлів (тригери).

В усіх розділах застосовано систему схемотехнічного моделювання Micro-Cap на персональних комп'ютерах. З його допомогою виконується графічне введення проектованої схеми й аналіз характеристик аналогових, цифрових пристроїв (принципових схем логічних елементів, тригерних схем різного типу).

Конструкції лабораторних стендів, виготовлених і використовуваних в навчальному процесі, дозволяють змінювати зміст уже описаних робіт без будь-яких змін і переробок прийнятих конструктивних рішень.

Наскільки вдалося авторському колективу створити лабораторний практикум буде судити читач.

В його основу покладено багаторічний досвід кафедри "Обчислювальної техніки", отриманий при розробці й впровадженні в навчальний процес декількох лабораторних практикумів.

1. ЗАГАЛЬНІ МЕТОДИЧНІ ВКАЗІВКИ

1.1. ПОРЯДОК ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ І ВИМОГИ ДО ЗМІСТУ ЛАБОРАТОРНИХ ПРОТОКОЛІВ

На першому занятті викладач дає студентам перелік лабораторних занять на поточний семестр, рекомендує їм необхідну літературу, знайомить з прийнятою методикою проведення робіт, а також із принципом дії різних технічних засобів і програм для навчання та контролю підготовленості студентів до наступних лабораторних занять.

У вступній бесіді зі студентами викладач пояснює мету виконуваних робіт, знайомить з основним обладнанням, яке буде використовуватись, та дає загальні методичні вказівки для проведення дослідів та досліджень. При цьому викладач вказує на специфічні умови роботи в даній лабораторії, які визначаються правилами внутрішнього розпорядку, організацією робочого часу, технікою безпеки та правилами протипожежної безпеки під час роботи з електричними колами, приладами, установками, а також під час роботи на персональних ЕОМ.

Кожний студент повинен самостійно вивчити всі перераховані документи та підтвердити підписом у спеціальному журналі в лабораторії про ознайомлення його з заходами щодо безпечного виконання робіт в лабораторії та обов'язками не порушувати встановлені правила.

Виконання кожної лабораторної роботи складається з двох етапів:

Підготовка до лабораторної роботи, вивчення теоретичного матеріалу, виконання всіх розрахунків, складання плану досліджень.

Складання з розрахованих та підібраних елементів робочої схеми та дослідження її згідно із планом, зіставлення теоретичних та практичних результатів та їх аналіз, оформлення протоколу.

У процесі підготовки до лабораторної роботи студент повинен чітко з'ясувати кінцеву мету лабораторного дослідження, форму та характер зміни вхідних та вихідних параметрів та виконати необхідні розрахунки.

Протокол, який підготовлений до лабораторної роботи, повинен містити назву та мету роботи, схему, яка досліджується, часові діаграми, які пояснюють її роботу, розрахунок основних елементів схеми, таблицю з їх номіналами, вхідний файл, якщо схема досліджується на персональний ЕОМ, план досліджень.

Кінцевий протокол, що поданий до захисту, додатково повинен мати часові діаграми реальних процесів, які відбуваються в схемі, аналіз та порівняння отриманих результатів із теоретичними.

Часові діаграми обов'язково упорядковують таким чином, щоб вони знаходились одна над одною, були синхронізовані та служили ілюстрацією фізичних процесів, які відбуваються в схемі.

Порядок виконання досліджень в лабораторії такий:

1. Студент допускається до виконання чергової лабораторної роботи

при наявності підготовленого згідно з наведеними вище вимогами протоколу та успішно отриманого допуску до лабораторної роботи у викладача. Протоколи всіх робіт зберігаються у студента.

2. Після дозволу на виконання дослідження студент складає схему та самостійно налагоджує її. У випадку, коли схема не працює або працює неправильно, він повинен знайти причину несправності та ліквідувати її.

3. Після налагодження схеми та перевірки її вихідних сигналів, розрахункових даних, студент повинен показати її викладачу.

4. Після цього виконується заплановане дослідження, по закінченні якого результати демонструються викладачу, після його дозволу схема розбирається, робоче місце приводиться в належний стан.

5. До наступної лабораторної роботи повністю оформляється протокол та показується викладачу.

Перед виконанням кожної лабораторної роботи викладач опитує студентів як про зміст самої роботи, так і про методику її виконання. Скорочення часу опитування досягається використанням різних контрольних програм. Найбільший ефект при цьому досягається з використанням персональних ЕОМ, на яких встановлені такі програми (тести). Непідготовлені студенти не допускаються до виконання лабораторної роботи, а вивчають в лабораторії незасвоєний ними матеріал згідно з рекомендованою літературою.

1.2. ОПИС ЛАБОРАТОРНИХ СТЕНДІВ, ПРИНЦИПІВ ПОБУДОВИ СХЕМ ТА ЛАБОРАТОРНОГО ОБЛАДНАННЯ

Для проведення лабораторних робіт фронтальним методом необхідно мати лабораторний стенд, що дозволяє вирішити широке коло задач, що виникають під час дослідження електронних та мікроелектронних елементів і схем. Такий стенд повинен надавати широкі функціональні можливості для дослідження схем, мати мінімум зовнішньої контрольно-вимірювальної апаратури, характеризуватись простотою з'єднаності досліджуваних схем із зовнішньою вимірювальною апаратурою; крім того, для досліджуваних схем повинні використовуватись широко розповсюджені елементи, а також стенд повинен бути виконаний на сучасній елементній базі із врахуванням вимог естетики та енергетики. Для побудови таких стендів можна рекомендувати навчально-лабораторний пристрій (НЛП) з багаточисельним набором мікромакетів (МК) та з'єднувальних провідників.

НЛП - це пристрій, що дозволяє проводити різні варіанти комутації радіоелементів, які знаходяться в мікромакетах. Мікромакети під'єднуються до пульта.

НЛП складається з таких складових вузлів: пульта НЛП; мікромакетів основного і додаткового комплектів; комплексу з'єднувальних проводів.

Конструктивно пульт НЛП складається з корпусу, на якому закріплені блок живлення, панель індикації та інші.

На передній панелі розташоване комутаційне поле, на яке виведені входи і виходи мікромакетів, а також органи керування та виходи допоміжних пристроїв (ГІ, ГПІ, джерело регульованої напруги (ДРН), два десятирозрядних реєстри і т.д.). На панелі індикації розташовані десятирозрядний світлодіодний індикатор виходів і цифровий індикатор напруги.

Над верхньою кришкою розташовані розетки РГРММІ-61ГО2 для під'єднання мікромакетів. Розетки захищені корпусом.

Для зручності використання в мікромакетах передбачені виштовхувачі. Принципові електричні схеми мікромакетів представляють собою різний набір мікросхем серій 555, 580, 589, 1804 та інших серій, а також операційних підсилювачів, конденсаторів та інших радіоелементів.

Порядок роботи НЛП

Пульт НЛП

Робочі поверхні панелей пульта НЛП і розташування на них органів керування наведені на рис. 1 – 3.

Розташування органів керування на передній панелі пульта НЛП наведено на рис. 1:

- 1) мікротумблери;
- 2) світлодіоди індикації “логічної одиниці”;
- 3) гнізда виходу розрядів реєстрів;
- 4) вихід генератора поодиноких імпульсів (ГПІ);
- 5) світлодіод індикації увімкнення ГПІ;
- 6) кнопка пуску ГПІ;
- 7) гнізда “логічного 0”;
- 8) гнізда “логічної 1”;
- 9) світлодіод індикації виходу генератора імпульсів (ГІ);
- 10) ГІ;
- 11) перемикач вихідних частот ГІ;
- 12) вмикач джерела регульованої напруги (ДРН);
- 13) вихід ДРН;
- 14) резистор регулювання вихідної напруги ДРН;
- 15) світлодіод індикації увімкнення ДРН;
- 16) комутаційно-індикаторні поля (рис. 2).

Вімкнення НЛП

Під'єднайте НЛП за допомогою мережного шнура з вилкою до електромережі 220 В 50 Гц та переведіть тумблер “МЕРЕЖА” у

положення ВМК. При цьому повинен засвітитись індикатор увімкнення мережі. Вимкніть тумблер “МЕРЕЖА”.

Виконання лабораторних робіт

1. Вивчіть методичні рекомендації щодо проведення лабораторної роботи.

2. Підготуйте необхідні для роботи мікромакети згідно зі своєю схемою (номери мікромакетів показані на стенді “Мікромакети”), а також з’єднувальні проводи.

3. Під’єднайте мікромакети до з’єднувального пристрою на кришці пульта НЛП, не прикладаючи при цьому значних зусиль. При цьому входи та виходи мікросхем мікромакетів, що позначені цифрами від 1 до 55 на схемах мікромакетів, під’єднуються до відповідних гнізд комутаційно-індикаційного поля пульта НЛП.

4. Подальше з’єднання мікросхем і мікромакетів та виконання лабораторної роботи проводиться згідно з методикою проведення лабораторної роботи.

5. Після завершення лабораторної роботи вимкніть пульт НЛП тумблером “МЕРЕЖА”, розберіть схеми з’єднань, від’єднайте мікромакети за допомогою виштовхувачів, складіть мікромакети та з’єднувальні проводи на відповідні місця у шафі для їх зберігання.

Така методика складання електричних схем дає можливість кожному студенту виконувати цю операцію самостійно, дозволяє багаторазово використовувати радіоелектронні елементи та вузли, вилучає процес паяння в лабораторіях, які, як правило, не мають спеціальних витяжних і вентиляційних устаткувань. Крім того, змінюючи набори мікромакетів, легко модернізувати старі та ставити нові лабораторні роботи без заміни самих стендів.

Крім описаних універсальних лабораторних стендів деякі лабораторні роботи виконуються на спеціалізованих стендах. Особливості кожного з них описуються у відповідних лабораторних роботах.

Універсальні та спеціалізовані стенди, як правило, доповнюються генераторами й осцилографами і у випадку необхідності деякими іншими приладами.

Вказівки щодо експлуатації

Для надійної роботи НЛП необхідно дотримуватись таких правил:

1) перед початком роботи студент повинен ознайомитись з технічним описом і інструкцією щодо експлуатації;

2) установку мікромакетів і з’єднувальних проводів, а також розбирання схеми треба проводити без надмірних зусиль і при вимкненому пристрої;

3) забороняється вмикати НЛП у мережу, не під'єднавши заземлення;

4) забороняється працювати з НЛП при знятих кришках і задній стінці.

Деякі лабораторні роботи із дисципліни “Комп’ютерна електроніка” виконуються на персональному комп’ютері за допомогою моделювальних програм, таких, як MicroCap, Pspice і PCAD.

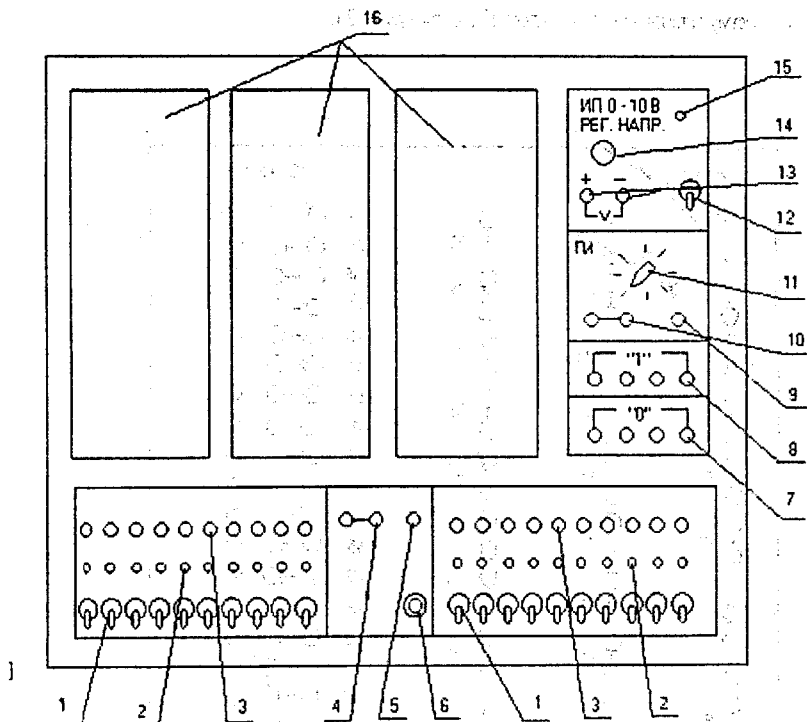


Рис. 1. Передня панель пульту НЛП

На рис. 1. введені такі позначення:

- 1- мікротумблери;
- 2- світлодіоди індикації “логічної одиниці” (20 штук);
- 3- гнізда виходу розрядів регістра (20 штук);
- 4- вихід ГПП;
- 5- світлодіод індикації ввімкнення ГПП;
- 6- кнопка пуску ГПП;
- 7- гнізда “логічного 0”;
- 8- гнізда “логічної 1”;

- 9 - світлодіод індикації ГІ;
- 10 - вихід ГІ;
- 11 - перемикач вихідних частот ГІ;
- 12 - вимикач ДРН;
- 13 - вихід ДРН;
- 14 - резистор регулювання вихідної напруги ДРН;
- 15 - світлодіод індикації ввімкнення ДРН;
- 16 - комутаційно-індикаторні поля (рис. 2).

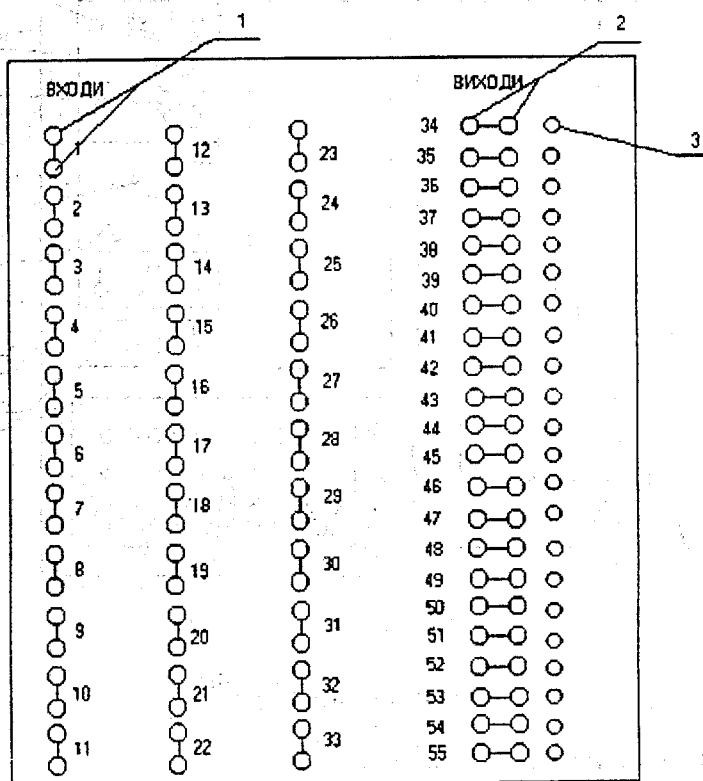


Рис. 2. Комутаційно-індикаторне поле пульта НЛП

На рис. 2. введені такі позначення:

- 1 – подвосні гнізда входів мікромакетів (33 пари);
- 2 – подвосні гнізда виходів макетів (22 пари);
- 3 – світлодіоди індикації виходів мікромакетів (22 шт.).

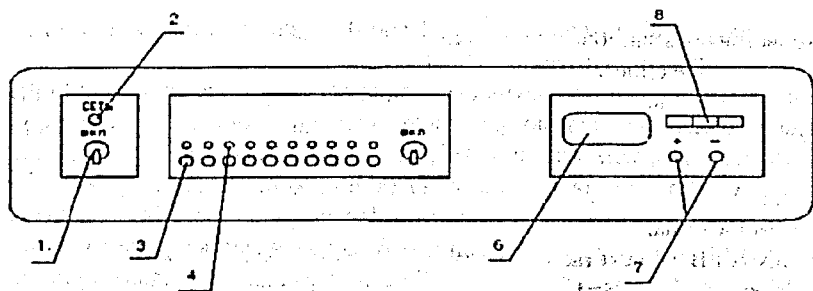


Рис. 3. Панель індикації пульта НЛП

На рис. 3 введені такі позначення:

- 1 – вимикач мережі;
- 2 - індикатор увімкнення мережі;
- 3 - гнізда входів плати індикації (10 шт.);
- 4 - світлодіоди плати індикації (10 шт.);
- 5 - вимикач плати індикації;
- 6 - індикатор постійної напруги;
- 7 - входні гнізда індикатора напруги;
- 8 - перемикач діапазонів індикатора.

2. ЛОГІЧНІ ЕЛЕМЕНТИ ЦИФРОВИХ МІКРОСХЕМ

Логічними елементами (ЛЕ) називають електронні схеми, які виконують прості логічні операції. Логічні елементи використовують у більшості цифрових мікросхем і наряду з елементами пам'яті є їх основними елементами “цеглинками”, які визначають параметри мікросхеми.

Логічні елементи відрізняються більшою різноманітністю. В даній главі описані найбільш розповсюджені ЛЕ.

2.1. КЛАСИФІКАЦІЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Логічні елементи класифікують за виконанням ними логічних функцій. Логічні функції вивчають в алгебрі логіки або булевій алгебрі. Вони представляють собою операції над логічними змінними, які позначимо А, В, С і т.д. В алгебрі логіки різні логічні вирази (висловлювання) можуть приймати тільки два значення: “істинне” або “хибне”. Для позначення істинності або хибності висловлювання

використовують відповідно символи 1 або 0. Кожна логічна змінна може приймати лише одне значення: 1 або 0.

Всі можливі логічні функції будь-якого числа логічних змінних можна утворити за допомогою трьох основних операцій: логічного заперечення (інверсії, операції НІ), логічного додавання (диз'юнкції, операції АБО) та логічного множення (кон'юнкції, операції І). Інверсія позначається знаком "—" над змінною. Логічна операція АБО для двох змінних А і В записується у вигляді $C = A + B$ і визначається таким чином: $C=1$, якщо $A=1$ або $B=1$, або $A=B=1$. Логічна операція І для двох змінних А і В представляється як $C = AB$, тобто $C=1$ тільки в тому випадку, коли $A=1$ і $B=1$. Комбінація логічних операцій НІ і АБО призводить до більш складної функції АБО-НІ: $C = \overline{A + B}$. В цьому випадку значення, які приймає логічна змінна С, протилежні її значенням для операції АБО. Поєднання операцій НІ та І дає логічну функцію І-НІ: $C = \overline{AB}$.

Логічні елементи, як правило, реалізують одну або декілька з перерахованих вище функцій: НІ, І, АБО, І-НІ, АБО-НІ. Поєднуючи відповідним чином ЛЕ, які виконують ці функції, можна отримати мікросхему, яка б виконувала будь-яку більш складну логічну функцію. Взагалі для цього достатньо використовувати тільки елементи І-НІ, АБО-НІ, тому вони отримали найбільше поширення в мікросхемах. Вище були наведені логічні функції двох змінних. Для їх виконання необхідні ЛЕ з двома входами. При збільшенні числа логічних змінних відповідно збільшується і кількість входів: їх може бути три, чотири і більше. Логічний елемент, який виконує операцію НІ, називається *інвертором*. Він має один вхід і один або декілька виходів. В останньому випадку для будь-якого з k виходів виконується операція $B = A(i = 1, 2, \dots, k)$.

В більшості логічних елементів сучасних мікросхем логічні нулі і одиниці представляються двома істотно різними значеннями напруги (потенціалу). Логічному нулю зазвичай відповідає напруга низького рівня U^0 , а логічній одиниці – напруга високого рівня U^1 . Логічні елементи за режимом роботи поділяють на статичні і динамічні. Статичні ЛЕ можуть працювати як в статичному, так і в динамічному (імпульсному) режимах. Статичні елементи найбільш широко використовуються в сучасних мікросхемах. Динамічні ЛЕ можуть працювати тільки в імпульсному режимі.

Логічні елементи класифікують також за *типом використаних транзисторів*. Найбільше розповсюдження отримали ЛЕ на біполярних і МДП-транзисторах. Окрім того, інтенсивно розробляються ЛЕ на арсенід-галієвих МЕР і ГМЕР-транзисторах. Для кожного з вказаних ЛЕ існує більша кількість їх схемотехнічних та конструктивно-технологічних різновидів. Наприклад, до біполярних ЛЕ відносять елементи ТТЛ, емітерно-зв'язної логіки (ЕЗЛ), інтегральної інжекційної логіки (I^2L) та інші розглянуті в цій главі.

2.2. ОСНОВНІ ХАРАКТЕРИСТИКИ І ПАРАМЕТРИ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Основною статичною характеристикою ЛЕ є *передатна характеристика* – залежність вихідної напруги $U_{\text{вих}}$ від напруги на одному з входів при постійній нарузі на інших входах, що дорівнює U^0 або U^1 в залежності від типу ЛЕ. За відомою передатною характеристикою розрізняють *інвертувальні* та *неінвертувальні* ЛЕ. На виході перших (НІ, І-НІ, АБО-НІ та ін.) отримують інверсну функцію по відношенню до вхідних логічних сигналів, на виходах других (І, АБО та ін.) – значення функції без інверсії.

Передатні характеристики інвертувального і неінвертувального ЛЕ наведено, відповідно, на рис. 7, а, б. Вони мають три чітко виражених ділянок. Ділянка 1 відповідає стану $U_{\text{вих}}=U^0$, ділянка 2- стану $U_{\text{вих}}=U^1$. Окрім того, є проміжна ділянка 3, на якій стан ЛЕ невизначений. В статичному режимі відповідні ділянки 3 значення напруг неприпустимі. Границі ділянок визначаються точками одиничного підсилення, в яких виконується умова $|dU_{\text{вих}}/dU_{\text{вх}}|=1$. Вхідні напруги, які визначають границі ділянок, називаються *порогами перемикавання* $U^0_{\text{пор}}$ і $U^1_{\text{пор}}$. Різницю напруг лог. „0” і лог. „1” називають *логічним перепадом* :

$$U_d = U^1 - U^0 \quad (1)$$

Складні логічні функції реалізуються за допомогою розгалужених ланцюгів, що складаються з ЛЕ. При цьому вихід одного ЛЕ під'єднують до входу іншого. Тому логічний сигнал U^0 і U^1 , з виходу попереднього ЛЕ поступає на вхід наступного.

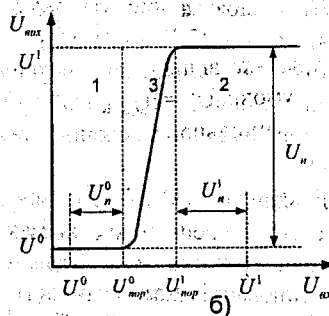
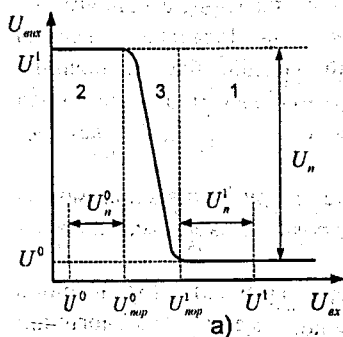


Рис. 4. Передатні характеристики

Окрім логічних сигналів на входах можуть з'являтися напруги перешкоди, які або підвищують, або знижують вхідну напругу. Якщо на вході діє напруга U^0 , то небезпечні перешкоди з позитивною полярністю, оскільки вони підвищують вхідну напругу. При досить великій напрузі перешкоди робоча точка на передатній характеристиці може зміститися в область перемикавання 3 (див. рис. 4), що призведе до збою в роботі, тобто помилковій зміні вхідних напруг в цифровому пристрої. При подаванні на вхід напруги U^1 і напруги перешкоди негативної полярності також можливе помилкове перемикавання. Максимально можливі постійні напруги перешкоди позитивної полярності $U_{п}^0$ (при напрузі U^0 на вході) і негативної полярності $U_{п}^1$ (при напрузі U^1 на вході) визначають завадостійкість ЛЕ по відношенню до статичних (дійсно діючих) перешкод. Ці напруги відмічені на рис. 4.

$$U_{п}^0 = U_{пор}^0 - U^0; \quad (2)$$

$$U_{п}^1 = U^1 - U_{пор}^1. \quad (3)$$

Внутрішні перешкоди в цифровому пристрої виникають при перемиканні ЛЕ, тому їх амплітуда пропорційна логічному перепаду U_L . Для оцінювання завадостійкості ЛЕ окрім напруг $U_{п}^0$ і $U_{п}^1$ використовують відносні величини

$$k_{п}^0 = U_{п}^0 / U_L; \quad k_{п}^1 = U_{п}^1 / U_L. \quad (4)$$

які називають *коефіцієнтами завадостійкості*. З рис. 4 бачимо, що $k_{п}^0 + k_{п}^1 < 1$, оскільки $U_{п}^0 + U_{п}^1 < U_L$.

В тих випадках, коли область перемикавання 3 не дуже велика, тобто $U_{пор}^1 - U_{пор}^0 \ll U_L$, можна ввести середній поріг перемикавання $U_{пор} = (U_{пор}^0 + U_{пор}^1) / 2$.

Для підвищення завадостійкості необхідно збільшити логічний перепад і зменшити "ширину" області перемикавання 3. Оскільки напруга U^1 не може бути вищою за напругу джерела живлення $U_{дж}$, а напруга U^0 нижче нуля, то $U_L \leq U_{дж}$ і $U_{п}^0 + U_{п}^1 < U_{дж}$. Ідеальна передатна характеристика, яка відповідає максимальній завадостійкості, повинна задовольняти умови $U^1 = U_{дж}$, $U^0 = 0$, $U_{пор}^0 = U_{пор}^1$, тоді досягаються однакові і максимально можливі значення $U_{п}^0 = U_{п}^1 = 0,5 U_{дж}$, $k_{п}^0 = k_{п}^1 = 0,5$.

Більші значення $U_{п}^0$ і $U_{п}^1$ при тій же напрузі живлення можна отримати тільки в спеціальних схемах зі *зворотним зв'язком*, для яких передатна характеристика має *гістерезис*.

При оцінюванні завадостійкості за формулами (2) і (3) потрібно враховувати, що величини U^1 , U^0 , $U_{пор}^0$, $U_{пор}^1$ мають технологічний розкид, тобто різняться навіть для однотипних ЛЕ і залежать від температури, напруги джерела живлення, кількості навантажень аналогічних ЛЕ, під'єднаних до виходу, та інших умов. Тому в цих

формулах зазвичай використовують найгірші значення величин; при цьому в технічних умовах приводять занижені, але гарантовані при заданих умовах експлуатації значення $U^0_{\text{п}}$ і $U^1_{\text{п}}$. Технологічний розкид зазначених вище напруг великий для ЛЕ різних мікросхем, але він значно менший для ЛЕ у складі однієї мікросхеми.

Співвідношення (2) і (3) показують як максимально можливі постійні напруги перешкод, так і амплітуди імпульсних перешкод більшої тривалості. Якщо тривалість імпульсу перешкоди зменшується настільки, що стає менша часу перемикання ЛЕ, то допустима амплітуда імпульсної перешкоди збільшується. Відповідно, імпульсна завадостійкість може бути вища статичної.

Вхідна характеристика – це залежність вхідного струму $I_{\text{вх}}$ від напруги на даному вході при постійних напругах на інших входах. Для ЛЕ на біполярних транзисторах за цією характеристикою визначають вихідні струми для двох станів: струм низького рівня $I^0_{\text{вх}} \geq 0$ при $U_{\text{вх}} = U^0$, який витікає з даного входу, і струм високого рівня $I^1_{\text{вх}} \leq 0$ при $U_{\text{вх}} = U^1$, який втікає в цей вхід. Для елементів на МОН-транзисторах вхідні струми в обох станах невеликі і ними можна знехтувати.

Вихідна характеристика – це залежність вихідної напруги $U_{\text{вих}}$ від вхідного струму $I_{\text{вих}}$ при заданих постійних напругах на входах. В загальному випадку таких характеристик може бути дві: для напруги низького рівня на вході $U^0_{\text{вих}} = f(I^0_{\text{вих}})$ і для напруги високого рівня на виході $U^1_{\text{вих}} = f(I^1_{\text{вих}})$, де $I^0_{\text{вих}}$ і $I^1_{\text{вих}}$ – вихідні точки високого і низького рівнів.

Навантажувальна здатність n (коефіцієнт розгалуження по виходу) характеризує максимальне число ЛЕ, аналогічних розглянутим, які одночасно можна підключати до його виходу. Чим більша навантажувальна здатність, тим менша кількість ЛЕ необхідна для побудови складної цифрової мікросхеми. Однак, збільшення навантажувальної здатності обмежене, оскільки із зростанням числа навантажень погіршуються інші основні параметри ЛЕ, головним чином статична завадостійкість та швидкодія. Завадостійкість ЛЕ на біполярних транзисторах зменшується зі зростанням кількості навантажень, оскільки збільшуються вихідні струми в обох станах, а це приводить до зниження рівня напруги U^1 та підвищення рівня напруги U^0 . Середній час затримки сигналу збільшується через збільшення ємності навантаження. З цієї причини до складу однієї серії мікросхем малого та середнього ступеня інтеграції і в цифрових пристроях ВІС вводять ЛЕ з різною навантажувальною здатністю: $n=4...25$.

Коефіцієнт об'єднання по входу m дорівнює числу входів ЛЕ. Зі збільшенням коефіцієнта m розширюються його логічні можливості за рахунок виконання функцій над більшим числом логічних змінних. При цьому для створення складного пристрою потрібно менше ЛЕ. Однак

збільшення числа входів, як правило, погіршує інші основні параметри ЛЕ, перш за все швидкодію. Для побудови більшості цифрових мікросхем достатньо мати елементи з числом входів $m=2...4$. Якщо потрібні схеми з більшою кількістю входів, то в серії мікросхем вводять спеціальні ЛЕ – розширювачі кількості входів.

Споживана потужність ЛЕ (потужність, яка споживається ЛЕ від джерела живлення) залежить від його логічного стану, оскільки змінюється струм $I_{дж.ж}$ у колі живлення. Логічний елемент споживає струм $I_{дж.ж}^0$ при $U_{вих}=U^0$ і струм $I_{дж.ж}^1$ при $U_{вих}=U^1$. Тому середня споживана потужність в статичному режимі

$$P_{cp}=0,5U_{дж.ж}(I_{дж.ж}^0+I_{дж.ж}^1)$$

Знаючи середню потужність і кількість ЛЕ в цифровому пристрої $N_{ЛЕ}$, можна розрахувати середню потужність, що споживається пристроєм; вона дорівнює $P_{cp}N_{ЛЕ}$. Зменшити споживану потужність можна понизивши напругу або струм живлення. Однак при цьому знизиться завадостійкість, а для багатьох типів ЛЕ і швидкодія. Найбільш ефективний спосіб зменшення потужності P_{cp} – це реалізація ЛЕ на КМОН-транзисторах. В цих елементах струми в статичному режимі дуже малі, вони збільшуються лише при перемиканні. Потужність, що споживається додатково в процесі перемикання, називають динамічною. Вона пропорційна частоті перемикання ЛЕ. Тому динамічну потужність визначають за заданою робочою частотою, близькою до максимальної.

Швидкодію ЛЕ оцінюють за *середнім часом затримки розповсюдження сигналу* $t_{зтр.р.с}$ (середньої затримки), що визначає середній час виконання логічної операції:

$$t_{зтр.р.с}=0,5(t^{0,1}_{зтр.с}+t^{1,0}_{зтр.с}),$$

де $t^{0,1}_{зтр.с}$, $t^{1,0}_{зтр.с}$ – час затримки розповсюдження сигналу при переході напруги на виході від U^0 до U^1 і від U^1 до U^0 , відповідно, що вимірюється на рівні Упор. Добуток середньої затримки на максимальну кількість послідовно з'єднаних ЛЕ в пристрої дає невелику затримку сигналу в цьому пристрої.

Затримки розповсюдження $t^{0,1}_{зтр.р}$ та $t^{1,0}_{зтр.р}$ розраховуються за рівнем усередненого порогу перемикання $U_{пор}=0,5(U^0_{пор}+U^1_{пор})$, або за рівнем, що відповідає половині логічного перепаду. Затримку необхідно вимірювати за умови роботи ЛЕ в цифрових пристроях. Тому вхідний сигнал $U_{вх}(t)$ формується аналогічним ЛЕ, а на виході досліджуваного ЛЕ підключають схему-навантаження.

При спрощеному аналізі перехідних процесів в ЛЕ реальний вхідний сигнал замінюють імпульсом прямокутної форми. Час затримок

ввімкнення $t^{1,0}_{зтр}$, вимкнення $t^{0,1}_{зтр}$ та переходів $t^{0,1}$, $t^{1,0}$ відраховують за рівняннями 0,1Ул та 0,9Ул. Середню затримку розраховують за співвідношенням

$$t_{зтр.р.с} \approx 0,5(t^{1,0}_{зтр} + t^{0,1}_{зтр} + t^{1,0} + t^{0,1}).$$

В літературі часто наводять середній час затримки у кільцевому генераторі, що являє собою замкнутий у кільце ланцюжок непарного K_T інвертувальних ЛЕ. Якщо напруга на вході першого інвертора в деякий момент часу дорівнює U^1 , то при непарній кількості інверторів на виході останнього елемента з затримкою $K_T t_{зтр.р.с}$ встановиться напруга U^1 і почнеться перемикавання першого інвертора в протилежний стан. При цьому у кільцевому генераторі збуджуються коливання з періодом $T_T = 2K_T t_{зтр.р.с}$. Коефіцієнт 2 в цій формулі обумовлений тим, що для перемикавання першого інвертора в вихідний стан $U_{вих} = U^1$ електричне коливання по ланцюжку інверторів повинно пройти двічі. Вимірюючи період коливань, можна визначити середню затримку $t_{зтр.р.с} = T_T / 2K_T$. Для вилучення залежності вимірюваної затримки від кількості інверторів у ланцюгу останню вибирають достатньо великою $K_T = 9 \dots 11$.

Кільцеві генератори найбільш широко використовують для вимірювання середньої затримки ЛЕ у складі ВІС. Ці ЛЕ мають дуже малі ємності навантаження у порівнянні з вихідною ємністю вимірювального приладу, наприклад, осцилографа, тому безпосередньо виміряти середню затримку одного ЛЕ неможливо. Для зменшення впливу вхідної ємності вимірювального пристрою до виходу кільцевого генератора підключають підсилювач з малою вхідною ємністю, що виготовляється на тому ж кристалі. При одиничному навантаженні кожного інвертора затримка в кільцевому генераторі мінімальна і служить для оцінювання паралельної швидкодії ЛЕ. Кільцевий генератор зручний також для вимірювання малих значень середньої затримки (менш за 1 нс), оскільки період його коливань у $2K_T$ раз більше за $t_{зтр.р.с}$.

При заданих імпульсних параметрах транзисторів середню затримку ЛЕ можна зменшити в певних межах, збільшивши струми, що споживаються від джерела живлення, і зменшивши тим самим час перезарядки паразитних ємностей. Однак при цьому зростає споживана потужність. Таким чином, між середньою затримкою і споживаною потужністю ЛЕ існує залежність: чим менша середня затримка, тим більша споживана потужність.

У зв'язку з цим для порівняння ЛЕ різних типів використовують параметр, що називається *роботою перемикання*:

Чим вища якість схемотехнічної та конструкторсько-технологічної реалізації ЛЕ, тим менша робота перемикавання. Для ЛЕ мікросхем малого та середнього ступеня інтеграції Апер=1...10 пДж, для ЛЕ на ВІС та НВІС Апер=0,01...1 пДж.

Більшість основних параметрів ЛЕ сильно залежить від напруги джерела живлення $U_{дж.ж.}$. При зниженні $U_{дж.ж.}$ зменшуються споживана потужність та робота перемикавання, але погіршуються завадостійкість, навантажувальна здатність і зменшується швидкодія. Задані параметри більшості типів ЛЕ можуть бути забезпечені лише в порівняно вузькому діапазоні відхилення напруги живлення від вибраного номінального значення $\pm(5...10)\%$.

Температурні зміни електричних параметрів транзисторів, діодів та резисторів, що використовуються у ЛЕ, обумовлюють залежності їх основних параметрів від температури. У зв'язку з цим для мікросхем завжди задається діапазон робочих температур, в якому значення їх параметрів не виходять за визначені межі.

Важливу роль грають конструктивно-технологічні параметри і характеристики ЛЕ: площа, яку займає ЛЕ на кристалі (при заданому мінімальному топологічному розмірі), кількість основних технологічних операцій, які використовуються при виготовленні мікросхем. Площа ЛЕ подібно до споживаної потужності визначає максимально можливий ступінь інтеграції, а кількість основних технологічних операцій – процент виходу робочих мікросхем та їх вартість. Для зменшення площі ЛЕ прагнуть спростити їх електричну схему, зменшити кількість використаних в ній транзисторів, діодів та резисторів. При проектуванні топології і структури ЛЕ для зниження його площі зменшують число карманів, розміщуючи там де це можливо декілька транзисторів чи резисторів в одному кармані. Використовують полікремнієві плівкові резистори, сформовані на поверхні кристалу над транзисторами. Застосовують суміщення областей транзистора, в цьому випадку одна область кристалу може використовуватись для декількох транзисторів, наприклад, як база одного і колектор другого біполярного транзистора.

Для зіставлення ЛЕ різних типів при заданому рівні технологій, що характеризується мінімальним топологічним розміром Δ , використовують відносну площу, що виражається числом квадратів зі стороною Δ (літографічних квадратів).

За чотири десятиліття, що пройшли з моменту розробки перших цифрових мікросхем, були розроблені та досліджені десятки типів ЛЕ. Основна мета пошуку нових типів ЛЕ - покращення тих чи інших параметрів: зменшення площі та споживаної потужності, підвищення

швидкодії і т.д. Важливим стимулом до пошуку є нові досягнення у технології мікросхем, оскільки оптимальні ЛЕ можуть бути створені тільки при органічному поєднанні фізичних принципів роботи, конструкції, технології та схемотехніки.

Найбільш актуальні дослідження та розробка ЛЕ для ВІС, НВІС, що проводяться у трьох основних напрямках. Перший розвивається на основі КМОН-транзисторів і дозволяє отримати максимальний ступінь інтеграції (число елементів $10^6 \dots 10^7$) при достатньо високій швидкодії (середня затримка 0,5 ... 1 нс). В другому напрямку використовуються кремнієві біполярні транзистори і забезпечується підвищена швидкодія (середня затримка 0,1 ... 0,5 нс), але при меншому ступені інтеграції (кількість елементів $10^4 \dots 10^5$). Третій напрямок дозволяє досягати надвисокої швидкодії (середня затримка 50 ... 200 пс) при кількості елементів $10^3 \dots 10^4$; він розвивається на основі арсенід-галієвих МН-транзисторів.

2.3. СЕРІЇ ЦИФРОВИХ МІКРОСХЕМ

Зараз випускається величезна кількість різноманітних цифрових мікросхем від найпростіших логічних елементів до складних процесорів, мікроконтролерів і спеціалізованих ВІС (великих інтегральних мікросхем). Випуском цифрових мікросхем займається безліч фірм як у нас у країні, так і за кордоном. Тому навіть класифікація цих мікросхем це досить важка задача.

Однак, як базис у цифровій схемотехніці прийнято розглядати класичний набір мікросхем малого і середнього ступеня інтеграції, в основі якого лежать ТТЛ серії сімейства 74, що випускаються вже кілька десятиліть рядом фірм, наприклад, американською фірмою Texas Instruments (ТІІ). Ці серії – це функціонально повний комплект мікросхем, використовуючи який можна створювати різні цифрові пристрої. Навіть при комп'ютерному проектуванні сучасних складних мікросхем з програмованою логікою (ПЛІС) застосовуються моделі найпростіших мікросхем цих серій сімейства 74. При цьому розроблювач рисує на екрані комп'ютера схему в звичному для нього елементному базисі, а потім програма робить прошивання ПЛІС, що виконує необхідну функцію.

Кожна мікросхема серій сімейства 74 має своє позначення, і система позначень вітчизняних серій суттєво відрізняється від прийнятої за кордоном.

Як приклад розглянемо систему позначень фірми Texas Instruments (рис. 5). Повне позначення складається із шести елементів:

1. Ідентифікатор фірми SN (для серій AC і ACT відсутній).

2. Температурний діапазон (тип сімейства):

• 74 — комерційні мікросхеми (температура навколишнього середовища для біполярних мікросхем — $0 \dots 70^\circ\text{C}$, для КМОН мікросхем — $-40 \dots +85^\circ\text{C}$),

• 54 — мікросхеми військового призначення (температура навколишнього середовища — $-55...+125^{\circ}\text{C}$).

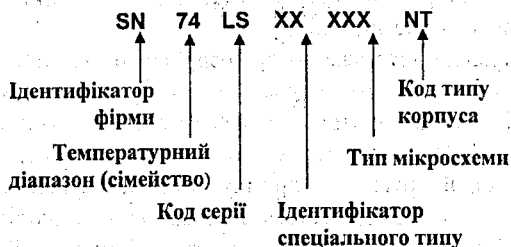


Рис. 5. Система позначень фірми Texas Instruments.

3. Код серії (до трьох символів):

- Відсутній — стандартна ТТЛ серія.
- LS (Low Power Schottky) — малопотужна серія ТТЛШ.
- S (Schottky) — серія ТТЛШ.
- ALS (Advanced Schottky) — поліпшена серія ТТЛШ.
- F (FAST) — швидка серія.
- HC (High Speed CMOS) — високошвидкісна КМОН серія.
- HCT (High Speed CMOS with TTL inputs) — серія HC, сумісна по виходу з ТТЛ.
- AC (Advanced CMOS) — поліпшена серія КМОН.
- ACT (Advanced CMOS with TTL inputs) — серія AC, сумісна по виходу з ТТЛ.
- BCT (BiCMOS Technology) — серія з БіКМОН технологією.
- ABT (Advanced BiCMOS Technology) — поліпшена серія з БіКМОН технологією.
- LVT (Low Voltage Technology) — серія з низькою напругою живлення.

4. Ідентифікатор спеціального типу (2 символи) — може бути відсутнім.

5. Тип мікросхеми (від двох до шести цифр).

6. Код типу корпусу (від одного до двох символів) — може бути відсутнім. Наприклад, N — пластмасовий корпус DIL (DIP), J — керамічний корпус DIL (DIC), T — плоский металевий корпус.

Приклади позначень: SN74ALS373, SN74ACT7801, SN7400.

Вітчизняна система позначень мікросхем відрізняється від розглянутої досить істотно (рис. 6). Основні елементи позначення такі:

1. Буква К позначає мікросхеми широкого застосування, для мікросхем військового призначення буква відсутня.

2. Тип корпусу мікросхеми (один символ) — може бути відсутнім. Наприклад, P — пластмасовий корпус, M — керамічний корпус, Б — безкорпусна мікросхема.

3. Номер серії мікросхем (від трьох до чотирьох цифр).



Рис. 6. Позначення вітчизняних мікросхем

4. Функція мікросхеми (дві букви).

5. Номер мікросхеми (від однієї до трьох цифр).

Приклади позначень: KP1533ЛАЗ, KM531IE17, KP1554IP47.

Головна перевага вітчизняної системи позначень полягає в тому, що за позначенням мікросхеми можна легко зрозуміти її функцію. Зате в системі позначень Texas Instruments видний тип серії з його особливостями.

Чим відрізняється одна серія від іншої?

На першому рівні представлення (логічна модель) серії не розрізняються нічим. Та є однакові мікросхеми різних серій, що працюють за тими самими таблицями істинності, за тими самими алгоритмами. Правда, треба враховувати, що деякі мікросхеми є тільки в одній із серій, а деяких немає в декількох серіях.

На другому рівні представлення (модель з урахуванням затримок) серії відрізняються величиною затримки поширення сигналу. Проте розходження може бути досить істотним. Тому в тих схемах, де величина затримки принципова, треба використовувати мікросхеми більш швидких серій (табл. 1).

На третьому рівні представлення (електрична модель) серії різняться величинами вхідних і вихідних струмів і напруг, а також, що не менш важливо, струмами споживання (табл. 1). Тому в тих пристроях, де ці параметри принципові, треба застосовувати мікросхеми, що забезпечують, наприклад, низькі вхідні струми, високі вихідні струми і мале споживання.

Серія K155 (SN74) — це найбільш стара серія, що поступово буде вилучена з виробництва. Вона відрізняється не дуже гарними параметрами в порівнянні з іншими серіями. З цією класичною серією прийнято порівнювати всі інші.

Серія K555 (SN74LS) відрізняється від серії K155 малими вхідними струмами і меншою споживаною потужністю (струм споживання майже втричі менший, ніж у K155). За швидкодією (часом затримок) вона близька до серії K155.

Таблиця 1.

Порівняння параметрів однакових мікросхем у різних стандартних серіях.

	K155ЛАЗ (SN7400N)	K555ЛАЗ (SN74ALS00N)	KP1533ЛАЗ (SN74ALS00N)	KP1554ЛАЗ (SN74AC00N)
Т _{рн} , нс не більший	22	15	11	8,5
Т _{рл} , нс не більший	15	15	8	7,0
I _л , мА не більший	-1,6	-0,4	-0,1	-0,001
I _н , мА не більший	0,04	0,02	0,02	0,001
I _{ол} , мА не менший	16	8	15	86
I _{он} , мА не менший	-0,4	-0,4	-0,4	-75
U _{ол} , В не більша	0,4	0,5	0,5	0,3
U _{он} , В не менша	2,4	2,7	2,5	4,4
I _{ес} , мА не більший	12	4,4	3	0,04

Серія KP531 (SN74S) відрізняється високою швидкістю (затримки приблизно в 3—4 рази менші, ніж у серії K155), великими вхідними струмами (на 25% більші, ніж у K155) і великою споживаною потужністю (струм споживання більший в півтора рази в порівнянні із серією K155).

Серія KP1533 (SN74ALS) відрізняється підвищеною приблизно вдвічі в порівнянні з K155 швидкістю і малою споживаною потужністю (у чотири рази меншою, ніж у K155). Вхідні струми ще менші, ніж у серії K555.

Серія KP1531 (SN74F) відрізняється високою швидкістю (на рівні KP531), але малою споживаною потужністю. Вхідні струми і струм споживання приблизно вдвічі менші, ніж у серії K155.

Серія KP1554 (SN74AC) відрізняється від усіх попередніх тим, що вона виконана за КМОН-технологією. Тому вона характеризується надмалими вхідними струмами і надмалим струмом споживання при малих робочих частотах. Затримки приблизно вдвічі менші, ніж у серії K155.

Найбільшою різноманітністю наявних мікросхем відрізняються серії K155 і KP1533, найменшою — серії KP1531 і KP1554.

Слід зазначити, що приведені тут співвідношення за швидкістю стандартних серій досить приблизні і виконуються не для всіх різновидів мікросхем, які є в різних серіях. Точні значення затримок необхідно

знаходити в довідниках, причому бажано використовувати довідники провідних фірм.

Мікросхеми різних серій звичайно легко з'єднуються між собою, тобто, сигнали з виходів мікросхем однієї серії можна сміливо подавати на входи мікросхем іншої серії. Як виняток — з'єднання виходів ТТЛ мікросхем зі входами КМОП мікросхем серії КР1554 (74АС). При такому з'єднанні необхідне застосування резистора номіналом 560 Ом між лініями сигналу і напруги живлення (рис. 7).

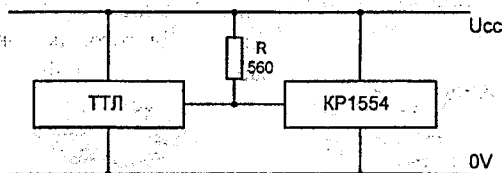


Рис. 7. З'єднання мікросхем ТТЛ і КР1554 (КМОП)

При виборі тієї або іншої серії мікросхем варто також враховувати, що мікросхеми потужної і швидкодіючої серії КР531 створюють високий рівень перешкод по шинах живлення, а мікросхеми малопотужної серії К555 дуже чутливі до таких перешкод. Тому серію КР531 рекомендується використовувати тільки в крайніх випадках, коли необхідно одержати дуже високу швидкодію. Не рекомендується також застосовувати в одному і тому ж пристрої потужні швидкодіючі і малопотужні мікросхеми.

2.4. КОРПУСИ ЦИФРОВИХ МІКРОСХЕМ

Більшість мікросхем мають корпус, тобто прямокутний контейнер (пластмасовий, керамічний, металокерамічний) з металевими виводами (ніжками). Запропоновано безліч різних типів корпусів, але найбільше розповсюдження одержали два основних типи:

Корпус с дворядним вертикальним розташуванням виводів, наприклад: DIP (Dual In Line Package, Plastic) — пластмасовий корпус, DIC (Dual In Line Package, Ceramic) — керамічний корпус. Загальна назва для таких корпусів — DIL (рис. 2.8). Відстань між виводами складає 0,1 дюйма (2,54 мм). Відстань між рядами виводів залежить від кількості виводів.

Корпус с дворядним площинним розташуванням виводів, наприклад: FP (Flat-Package, Plastic) — пластмасовий плоский корпус, FPC (Flat-Package, Ceramic) — керамічний плоский корпус. Загальна назва для

таких корпусів — Flat (рис. 8). Відстань між выводами складає 0,05 дюйма (1,27 мм) або 0,025 дюйма (0,628 мм).

Нумерація выводів усіх корпусів починається з виводу, позначеного ключем, по напрямку проти часової стрілки (якщо дивитися на мікросхему зверху). Ключем може служити виріз на одній зі сторін корпусу мікросхеми, крапка біля першого виводу або стовщення першого виводу (рис. 8). Перший вивід може знаходитися в лівому нижньому кутку або в правому верхньому кутку (у залежності від того, як повернути корпус). Мікросхеми звичайно мають стандартне число выводів з ряду: 4, 8, 14, 16, 20, 24, 28,... Для мікросхем стандартних цифрових серій використовуються корпуси з кількістю выводів, починаючи з 14.

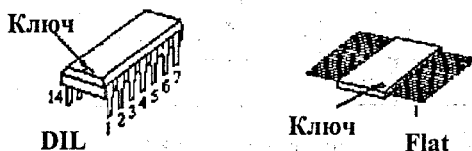


Рис. 8. Приклади корпусів DIL і Flat

Призначення кожного виводу мікросхеми приводиться в довідниках на мікросхеми, яких зараз є досить багато. Правда, краще орієнтуватися на довідники, видані безпосередньо фірмами-виготовлювачами.

Вітчизняні мікросхеми випускаються в корпусах дуже схожих на DIL і Flat, але відстань між їхніми выводами обчислюються за метричною шкалою і тому мало відрізняються від прийнятих за кордоном. Наприклад, 2,5 мм замість 2,54 мм, 1,25 мм замість 1,27 мм і т.д. Для корпусів з малим числом выводів (до 20) це не істотно, але для великих корпусів розбіжність у відстані може стати суттєвою. У результаті на плату, розраховану на мікросхеми закордонного виробництва, не можна поставити вітчизняні мікросхеми і навпаки.

3. ЗАСТОСУВАННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Вивчення базових елементів цифрової електроніки ми почнемо з найбільш простих елементів, а потім будемо розглядати усе більш складні. Приклади застосування кожного наступного елемента будуть опиратися на всі елементи, розглянуті раніше. У такий спосіб будуть поступово дані головні принципи побудови досить складних цифрових пристроїв.

Логічні елементи (або, як їх ще називають, вентиля, gates) — це найбільш прості цифрові мікросхеми. Саме в цій простоті і полягає їхня відмінність від інших мікросхем. Як правило, в одному корпусі мікросхеми може розташовуватися від одного до шести однакових

логічних елементів. Іноді в одному корпусі можуть розташовуватися і різні логічні елементи.

Звичайно, кожен логічний елемент має кілька входів (від одного до дванадцяти) і один вихід. При цьому зв'язок між вихідним сигналом і вхідними сигналами (таблиця істинності) гранично проста. Кожній комбінації вхідних сигналів елемента відповідає рівень нуля або одиниці на його виході. Ніякої внутрішньої пам'яті в логічних елементах немає, тому вони відносяться до групи так званих комбінаційних мікросхем. Але на відміну від більш складних комбінаційних мікросхем логічні елементи мають входи, що не можуть бути розділені на групи, що розрізняються за виконуваними ними функціями.

Головні переваги логічних елементів у порівнянні з іншими цифровими мікросхемами — це їхня висока швидкодія (малі часи затримок), а також мала споживана потужність (малий струм споживання). Тому в тих випадках, коли необхідну функцію можна реалізувати винятково на логічних елементах, завжди має сенс проаналізувати цей варіант. Недолік логічних елементів полягає в тому, що на їхній основі досить важко реалізувати будь-які складні функції. Тому найчастіше логічні елементи використовуються тільки як доповнення до більш складних, до більш «розумних» мікросхем. І будь-який розробник звичайно прагне використовувати їх рідко і як можна менше. Існує навіть думка, що майстерність розроблювача обернено пропорційна кількості використаних ним логічних елементів. Однак ця думка вірна далеко не завжди.

3.1. ЛОГІЧНІ ЕЛЕМЕНТИ І, І-НІ, АБО, АБО-НІ

Дана група мікросхем на шляху ускладнення компонентів цифрової електроніки — це елементи, що виконують найпростіші логічні функції. Посудне всі ці елементи те, що в них є кілька *рівноправних* входів (від 2 до 12) один вихід, сигнал на якому визначається комбінацією вхідних сигналів.

Найбільш розповсюджені логічні функції, виконуються такими елементами, — це І (у вітчизняній системі позначень мікросхем — ЛІ), І-НІ (позначається ЛІА), АБО (позначається ЛЛ) і АБО-НІ (позначається ЛН). Присутність слова НІ в назві елемента означає тільки одне — вбудовану інверсію сигналу. У міжнародній системі позначень використовуються такі скорочення: AND — функція І, NAND — функція І-НІ, OR — функція АБО, NOR — функція АБО-НІ.

Назва самих функцій І та АБО говорить про те, за якої умови на входах з'являється сигнал на виході. При цьому важливо пам'ятати, що мова в даному випадку йде про позитивну логіку, про позитивні одиничні сигнали на входах і на виході.

Таблиця 2.

Таблиця істинності двовхідних елементів І, І-НІ, АБО, АБО-НІ

Вхід 1	Вхід 2	Вихід І	Вихід І-НІ	Вихід АБО	Вихід АБО-НІ
0	0	0	1	0	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	0	1	0

Елемент І формує на виході одиницю тоді і тільки тоді, коли на всіх його входах (і на першому, і на другому, і на третьому і т.д.) присутні одиниці. Якщо мова йде про елемент І-НІ, то на виході формується нуль, коли на усіх входах одиниці (табл. 2). Цифра перед назвою функції говорить про кількість входів елемента. Наприклад, 8І-НІ — це восьмивиходовий елемент І з інверсією на виході.

Елемент АБО формує на виході одиницю тоді і тільки тоді, коли хоча б на одному з входів присутня одиниця (або на першому, або на другому, або на третьому і т.д.). Елемент АБО-НІ дає на виході нуль при наявності хоча б на одному з входів одиниці (табл. 2). Приклад позначення: 4АБО-НІ — чотиривходовий елемент АБО з інверсією на виході.



Рис. 9. Позначення елементів І, І-НІ, АБО, АБО-НІ: закордонні (ліворуч) і вітчизняні (праворуч)

Вітчизняні і закордонні позначення на схемах двовходових елементів І, І-НІ, АБО, АБО-НІ показані на рис. 9. Усі ці елементи бувають з виходами типу 2С, ОК і 3С. В останньому випадку обов'язково є вхід дозволу -ЕЗ.

Неважко помітити (див. табл. 2), що у випадку негативної логіки, при нульових вхідних і вихідних сигналах, елемент І виконує функцію АБО, тобто на виході буде нуль у випадку, коли хоча б на одному з входів нуль. А елемент АБО при негативній логіці виконує функцію І, тобто на виході буде нуль тільки тоді, коли на усіх входах присутні нулі. А тому в реальних електронних пристроях сигнали можуть бути в будь-якій полярності (як позитивні, так і негативні), але завжди треба дуже акуратно вибирати необхідний у кожному конкретному випадку елемент. Особливо важливо пам'ятати при цьому тоді, коли послідовно з'єднуються декілька різноименних логічних елементів з інверсією і без неї для одержання

складної функції.

Тому розробнику далеко не завжди зручно розглядати елементи І, І-НІ, АБО, АБО-НІ як такі, що виконують зазначені в їхній назві логічні функції. Іноді їх зручніше розглядати як елементи дозволу/заборони. Але спочатку ми розглянемо випадки реалізації на цих елементах саме логічних функцій.

3.2. ЛОГІЧНІ ЕЛЕМЕНТИ ВИКЛЮЧНЕ АБО

Елементи виключне АБО (з англійської — Exclusive-OR) також можна було б віднести до найпростіших елементів, але функція, виконувана ними, трохи складніша, ніж у випадку елемента І або елемента АБО. Усі входи елементів виключне АБО рівноправні, однак жоден із входів не може заблокувати інші входи, установивши вихідний сигнал до рівня одиниці або нуля.

Під функцією виключне АБО розуміється: одиниця на виході з'являється тоді, коли тільки на одному вході присутня одиниця. Якщо одиниць на входах дві або більше, або якщо на усіх входах нулі, то на виході буде нуль. Таблиця істинності двовхідного елемента виключне АБО приведена нижче (табл.3). Позначення, прийняті в вітчизняних і закордонних схемах, показані на рис. 10. Напис на вітчизняному позначенні елемента виключне АБО «=1» означає, що виділяється ситуація, коли на входах одна і тільки одна одиниця.

Таблиця 3.

Таблиця істинності елемента виключне АБО

Вхід 1	Вхід 2	Вихід
0	0	0
0	1	1
1	0	1
1	1	0

Елементів виключне АБО в стандартних серіях небагато. Вітчизняні серії пропонують мікросхеми ЛП5 (чотири двовхідних елементи з виходом 2С), ЛЛЗ і ЛП12, що відрізняються від ЛП5 виходом ОК. Занадто вже специфічна функція реалізується цими елементами:

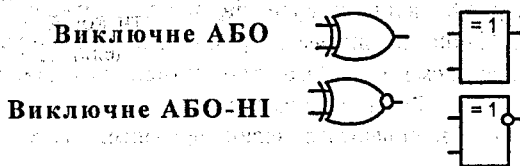


Рис. 10. Позначення елементів виключне АБО: закордонні (ліворуч) і вітчизняні (праворуч)

З точки зору математики, елемент виключне АБО виконує операцію так званого підсумовування за модулем 2. Тому ці елементи також називаються суматорами за модулем 2. Як уже відзначалося в попередній главі, позначається підсумовування за модулем 2 знаком плюс, поміщеного в кружок.

Основне застосування елементів виключне АБО, що прямо впливає з таблиці істинності, полягає в порівнянні двох вхідних сигналів. У випадку, коли на входи приходять дві одиниці або два нулі (сигнали збігаються), на виході формується нуль (див. табл. 3). Зазвичай при такому застосуванні на один вхід елемента подається постійний рівень, з яким порівнюється змінний в часі сигнал, що приходить на інший вхід. Але значно частіше для порівняння сигналів і кодів застосовуються спеціальні мікросхеми компараторів кодів, що будуть розглянуті в наступній главі.

У якості суматора за модулем 2 елемент виключне АБО використовується також у рівнобіжних і послідовних дільниках за модулем 2, призначених для обчислення циклічних контрольних сум.

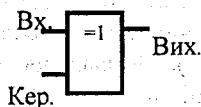


Рис. 11. Елемент виключне АБО як керувальний інвертор

Важливе застосування елементів виключне АБО — керувальний інвертор (рис. 11). У цьому випадку один із входів елемента використовується як керуючого, а на інший вхід елемента надходить інформаційний сигнал. Якщо на керувальному вході одиниця, то вхідний сигнал інвертується, якщо ж нуль — не інвертується. Найчастіше керувальний сигнал задається постійним рівнем, визначаючи режим роботи елемента, а інформаційний сигнал є імпульсним. Тобто, елемент виключне АБО може змінювати полярність вхідного сигналу або фронту, а може і не змінювати їх в залежності від керувального сигналу.

У випадку, коли є два сигнали однакової полярності (позитивні або негативні), і при цьому їх одночасне надходження виключається, елемент виключне АБО може бути використаний для змішування цих сигналів. При будь-якій полярності вхідних сигналів вихідні сигнали елемента будуть позитивними. При позитивних вхідних сигналах елемент виключне АБО буде працювати як елемент 2АБО, а при негативних вхідних сигналах він буде заміняти елемент 2І-НІ. Такі заміни можуть бути корисні в тих випадках, коли в схемі залишаються невикористаними деякі елементи виключне АБО.

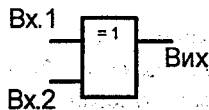


Рис. 12. Застосування елемента виключне АБО для змішування двох неодночасних сигналів

При цьому треба враховувати, що затримка поширення сигналу в елементі виключне АБО звичайно трохи більша (приблизно в 1,5 рази), ніж затримка поширення в найпростіших елементах І, І-НІ, АБО, АБО-НІ.

Ще одне найважливіше застосування елемента виключне АБО — формування коротких імпульсів за будь-яким фронтом вхідного сигналу.

3.3. СКЛАДНІ ЛОГІЧНІ ЕЛЕМЕНТИ

Крім найпростіших логічних елементів, що розглядались у попередніх розділах, до складу стандартних серій входять і трохи більш складні логічні елементи. Вони представляють собою нескладну комбінацію з найпростіших логічних елементів. Від більш складних комбінаційних мікросхем, яким буде присвячений наступний розділ, ці елементи відрізняються тим, що складаються з найпростіших елементів. Тому в довідниках звичайно навіть не приводяться таблиці істинності цих елементів.

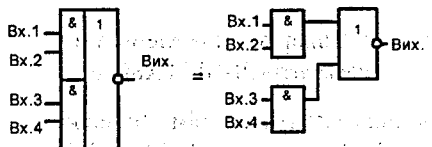


Рис. 13. Логічний ЛР1 і його еквівалентна схема-елемент

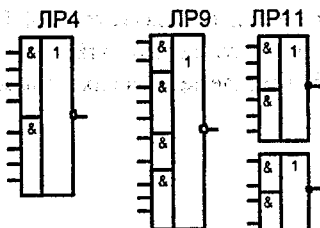


Рис. 14. Приклади логічних елементів ЛР

Розглянемо складний логічний елемент - ЛР1. У корпусі мікросхеми є три елементи, а саме: два елементи 2І і один елемент 2АБО-НІ (рис. 13). За тим же принципом побудовані й інші мікросхеми ЛР. Різниця між ними тільки в кількості елементів І і в кількості входів цих елементів (рис. 14). Деякі з мікросхем ЛР (ЛР1, ЛР3) допускають підключення до спеціальних входів мікросхем розширювачів ЛД, хоча таке розширення застосовується на практиці досить рідко. Мікросхема ЛР10 відрізняється від ЛР9 наявністю виходу ОК.

При необхідності елементи ЛР1 можуть використовуватися як більш прості елементи 2І-НІ і 2АБО-НІ (мал. 15). Елемент 2АБО-НІ виходить при попарному об'єднанні входів. Елемент 2І-НІ виходить при відключенні половини схеми шляхом подачі нулів на два входи. При бажанні можна, звичайно, звести елемент ЛР навіть до простого інвертора.

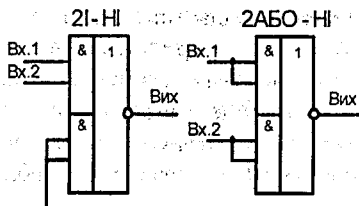


Рис. 15. Використання елементів ЛР як елементів 2І-НІ і 2АБО-НІ.

До складних логічних елементів крім ЛР можна віднести також і елементи І-НІ з виходом 3С (наприклад, ЛА17 — 4І-НІ, ЛА19 — 12І-НІ). Їх можна розглядати як комбінацію звичайного елемента І-НІ і вихідного буфера з виходом 3С. Наявність додаткового керуючого входу - EZ і вихід 3С створюють принципово нові можливості застосування цих елементів. Наприклад, їх можна використовувати для роботи з мультиплексуванням або як двонаправлену лінію, при цьому вони ще і виконують функцію І-НІ над входними сигналами. Але на практиці значно частіше елемент ЛА19 використовують як самий звичайний елемент 12І-НІ з виходом 2С, для чого на керуючий вхід - EZ постійно подається сигнал логічного нуля. Серед елементів І, АБО, АБО-НІ елементи з виходом 3С відсутні.

4. ПРИНЦИПОВІ БАЗОВІ СХЕМИ ЛОГІЧНИХ ЕЛЕМЕНТІВ ЦИФРОВИХ ПРИСТРОЇВ

Докладно розглянуті принципи базові схеми логічних елементів та їх модифікації в літературі [1 -3]. Нижче розглянемо тільки найважливіші типи ЛЕ, які знайшли найбільш широке застосування. Крім того, коротко описані ЛЕ, які використовуються в лабораторних роботах.

4.1 ТРАНЗИСТОРНО-ТРАНЗИСТОРНІ ЛОГІЧНІ ЕЛЕМЕНТИ

Інтегральні елементи ТТЛ відносять до групи потенціальних елементів.

Схема базового ТТЛ-елемента промислових серій, яка реалізує логічну функцію І-НІ наведена на рис. 16. В системі позитивної логіки багатомітерний транзистор (БЕТ) VT1 з резистором R1 в колі бази реалізує логічну операцію І, а двоступеневий підсилювач потужності на VT2, VT3, VT4 виконує функцію НІ, забезпечує формування стандартних рівнів вихідного сигналу та узгодження ТТЛ-елемента з заданим навантаженням.

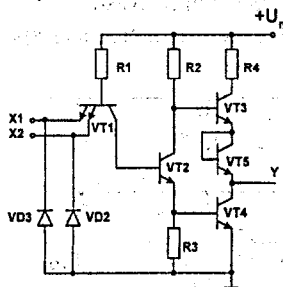


Рис. 16.Схема базового логічного елемента ТТЛ

Для підвищення завадостійкості, навантажувальної здатності і забезпечення високої швидкодії при значно більшому навантаженні в елементах ТТЛ використовують *складний інвертор*. Такі елементи використовують в мікросхемах малого і середнього ступенів інтеграції, а також у вихідних каскадах ВІС.

Схема елемента ТТЛ зі складним інвертором наведена на рис. 16. Цей елемент виконує логічну функцію І-НІ. Інші транзистори і резистори утворюють складний інвертор, який включає проміжний каскад на транзисторі VT2 і резисторах R2, R3 та вихідний каскад на транзисторах VT3 – VT5 і резисторі R4. Транзистор VT5 використовується в діодному вмиканні ($U_{БК} = 0$). З виходів проміжного каскаду (з колектора і емітера VT2) задаються керуючі сигнали, які забезпечують протифазне

переключення транзисторів VT3 і VT4 вихідного каскаду: якщо один з них ввімкнено, то інший вимкнено.

Навантажувальна здатність у стані $U_{\text{вих}} = U^1$ у порівнянні з навантажувальною здатністю найпростішого елемента ТТЛ збільшується за рахунок використання транзистора VT4. В цьому стані VT4 працює в активному режимі і в 3,4 раз послаблює залежність вихідної напруги $U^1_{\text{вих}}$ від вхідного струму $I^1_{\text{вих}}$.

Опори R1 і R2 вибирають так, що $R1 > R2$, тому емітерний струм транзистора VT2 в режимі насичення значно більший ніж струм бази, тому в проміжному каскаді здійснюється підсилення струму.

Резистор R3 потрібен для створення ланцюга, по якому протікає базовий струм транзистора VT3 під час процесу розсмоктування. Резистор R4 з малим опором (біля 1000 Ом) призначений для обмеження імпульсного струму транзистора VT4, який виникає при перемиканні ЛЕ зі стану $U_{\text{вих}} = U^0$ в стан $U_{\text{вих}} = U^1$.

До базових ІМС серій ТТЛ відносять елементи, які реалізують логічні функції АБО-НІ, І-АБО-НІ. На рис. 17, а зображена схема логічного елемента 2І-АБО-НІ і його умовне графічне позначення (рис. 17, б). Тут логічна функція І реалізується багатоемітерними транзисторами VT1' та VT1'' аналогічно схемі І-НІ, яка розглядається. Функція АБО реалізується паралельно включеними транзисторами VT2', VT2''.

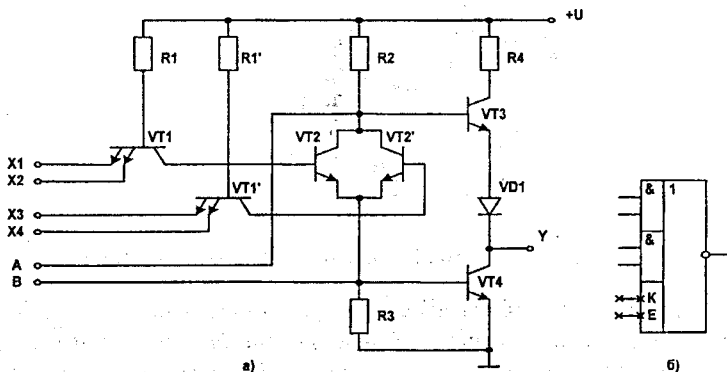


Рис. 17. Схема базового логічного елемента 2І-АБО-НІ (а) і його умовне позначення (б)

Якщо хоча б один з них відкритий через резистори R2, R3 протікає струм, який створює для транзистора VT3 запірний, а для VT4 - відпірний потенціали на базі і на виході елемента встановлюється логічний „0”. Якщо ж VT2, VT2'' одночасно закриті, то на виході встановлюється рівень логічної 1.

Виводи А та В можуть бути використані для підключення додаткових зовнішніх схем, які розширюють логічні можливості елемента.

Зі схемних варіантів ТТЛ-елементів слід виділити елемент на транзисторах та діодах Шотткі (ТТЛШ) (рис. 18). Висока швидкодія ТТЛШ-елемента досягається за рахунок ненасиченого режиму роботи транзисторів.

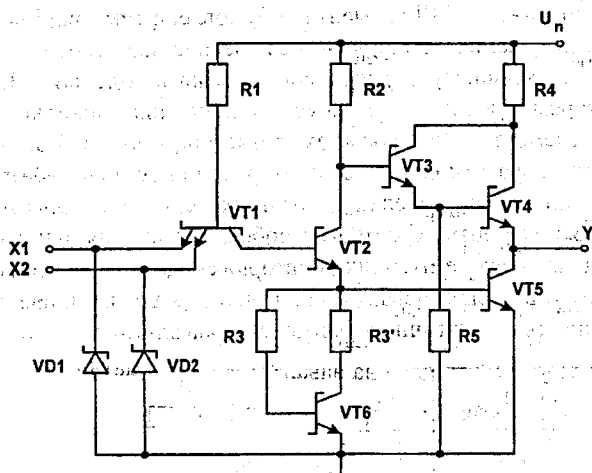


Рис. 18. Схема логічного елемента на транзисторах та діодах Шотткі

Завдяки цьому можна збільшити струм I_6 VT5, зменшується довжина фронту t_{ϕ}^{10} та зменшується час затримки виключення $t_{зт. \text{вик.}}$.

При використанні транзисторів VT3, VT4 зменшується довжина позитивного фронту t_{ϕ}^{01} , оскільки зменшується вихідний опір в стані логічної 1 на виході, зменшується тривалість затримки розповсюдження $t_{зт.р}^{10}$ та $t_{зт.р}^{01}$.

В схемі рис. 19 резистор R5 забезпечує високий коефіцієнт підсилення за струмом транзистора VT3 та температурну стабілізацію VT4. Нелінійний двополосник на транзисторі з резисторами R3', R3", забезпечує високий динамічний опір в емітерному колі транзистора VT2 та температурну стабілізацію транзистора VT5 в режимі відсічки. Завдяки високому опору такого двополосника коефіцієнт передачі елемента в області 2 передаточної ВАХ (див. рис. 4) $K_{\Pi} = 0$ та завадостійкість ТТЛШ-елемента збільшується.

Принцип роботи елементів ТТЛ описаний в літературі, що наведена по лабораторній роботі.

4.2. ЕЛЕМЕНТИ ЕМІТЕРНО-ЗВ'ЯЗАНОЇ ЛОГІКИ

Цифрові елементи емітерно-зв'язаної логіки (ЕЗЛ) побудовані на перемикачах струму та відрізняються від інших типів ІМС більшою швидкістю та високою потужністю споживання. Велика швидкість (або малий цикл перемикання) в ЕЗЛ-елементах обумовлена тим, що біполярні транзистори в цих схемах працюють без насичення, тобто можуть знаходитись або в активному режимі, або в режимі відсічки. Другим важливим фактором, який забезпечує підвищення швидкості, є використання в елементах низькоомних резисторів, які забезпечують швидкий перезаряд паразитних ємностей за рахунок збільшення енергії споживання та зниження перепадів логічних сигналів, а тому й завадостійкості ЕЗЛ-елементів. Схемним засобом збільшення швидкості є використання на виходах емітерних повторювачів, які забезпечують перезаряд ємностей в колах навантаження через малі вихідні опори. Одночасно покращується і статична навантажувальна здатність.

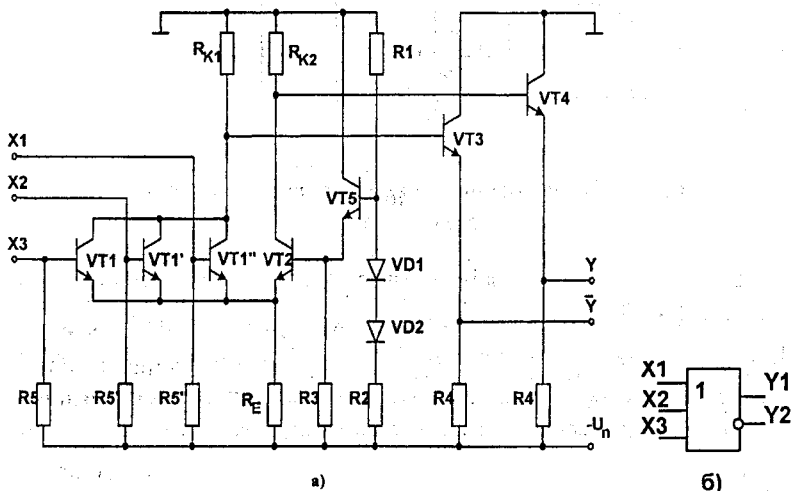


Рис. 19. Схема базового логічного елемента типу ЕЗЛ (а) і його умовне графічне зображення (б)

На рис. 19, а зображена схема базового логічного елемента типу ЕЗЛ. Тут перемикач струму побудований на транзисторі $VT2$ та групі паралельно ввімкнених транзисторів $VT1$ за кількістю логічних входів ЕЗЛ-елемента. Загальний емітерний струм із транзисторів $VT1$ та $VT2$ стабілізується високоомним резистором R_E . Опорна напруга $V_{оп}$ визначається резистивним подільником напруги R_1 , R_2 та через емітерний повторювач, який виконаний на транзисторі $VT5$, подається на базу транзистора $VT2$. Для температурної компенсації напруги $V_{оп}$ в базовому

колі транзистора VT5 ввімкнені діоди VD1 та VD2. Емітерні повторювачі на виходах ЕЗЛ-елементів, (транзистори VT3, VT4) забезпечують підсилення вихідного сигналу за потужністю та узгодження рівнів вихідних сигналів, понижуючи рівні сигналу на виходах ЕЗЛ-елемента на $V_0 = 0,7\text{В}$ (нижче ніж потенціали колекторів транзисторів VT1, VT2). Емітерні резистори R4 підключаються у випадку необхідності. Це дає можливість об'єднувати виходи деяких елементів "монтажне АБО" на одному загальному резисторі R4. Резистори R5 призначені для надійного запирання транзисторів VT1 на невикористаних входах. Для покращення перешкодостійкості елемента, шини "земля" з'єднують так, що до однієї шини підключені внутрішні логічні елементи, а до другої - емітерні повторювачі. У цьому випадку імпульсні перешкоди в потужних колах емітерних повторювачів не впливають на режим роботи перемикача струму.

При напрузі живлення $U_{н.ж} = -5,2\text{В} \pm 5\%$ в системі позитивної логіки логічний 0 та 1 обираються відповідно $U^0 = -1,7\text{В}$, $U^1 = -0,9\text{В}$. Опорна напруга встановлюється на рівні:

$$U_{оп} = 0,5 (U^0 + U^1) = -1,3\text{В}.$$

На виході Y2 сигнал формується інверсний, а на виході Y1 - синфазний по відношенню до домінуючого вхідного сигналу. Враховуючи, що логічним еквівалентом служить функція АБО, можна записати функцію виходів:

$$Y1 = X1 + X2 + X3; \quad Y2 = X1 + X2 + X3 = Y1.$$

В системі негативної логіки логічного „0” та „1” дана схема виконує функцію І на прямому виході і функції АБО-НІ - на інверсному.

На рис. 19, б показано умовне графічне зображення базового елемента.

Принцип роботи базового ЕЗЛ-елемента розглядається в літературі [1 - 3]. Існують інші модифікації ЕЗЛ-елементів [1 - 3].

4.3. ЛОГІЧНІ ЕЛЕМЕНТИ НА МДН-ТРАНЗИСТОРАХ

Властивості, електричні параметри та характеристики логічних елементів на МДН-транзисторах повністю визначаються властивостями електронних ключів, на яких такі елементи побудовані. Розглянемо найбільш поширені схеми побудови основних типів комбінаційних логічних елементів, їх технологічні та експлуатаційні відмінності.

Базовий логічний елемент (рис. 20) І-НІ будується на послідовно ввімкнених МДН-транзисторах, кількість яких визначається кількістю

входів m із загальним лінійним (рис. 20, а), нелінійним (рис. 20, б) навантаженнями, а також на основі m комплементарних пар (рис. 20, в).

В розглянутому рис. 20 вихід елемента І-НІ підключається до загальної шини тільки при одночасному відпиранні транзисторів VT1 та VT2 високими рівнями входніх напруг U_{11} та U_{12} . Опір групи послідовно з'єднаних транзисторів визначається найменш відкритим з них, на затвор якого подано найменший із входніх рівнів. Тому для розглянутих схем домінуюча та, де

$$U_1^* = \min \{ U_{1i} \}, i = \overline{1, m}$$

та якщо $U_1^* > U_{\text{пор}}$, то вся група з m - входніх транзисторів створюють загальний канал для протікання струму. Для логічних елементів з лінійним та нелінійним навантаженням струм від джерела живлення проходить через R_c (Рис. 20, а) або нелінійний двополюсник на транзисторі VT3 (рис. 20, б). В елементі на КМОН – транзисторах (рис. 20, в) наскрізний струм виключений тому, що транзистори з об'єднаними затворами в статичі знаходяться в протилежних режимах.

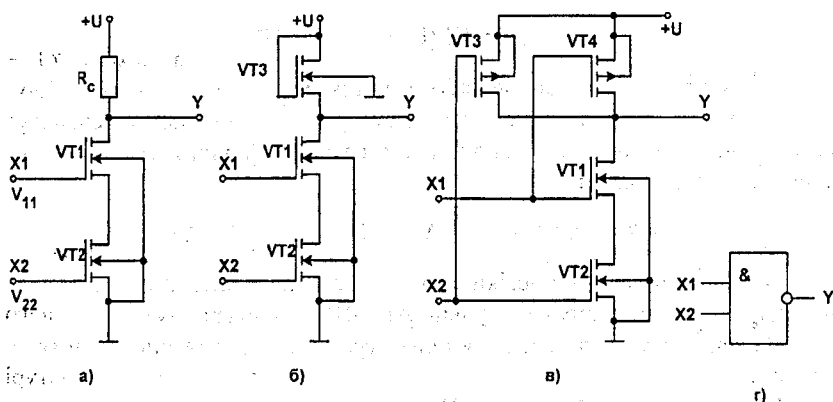


Рис. 20. Базовий логічний елемент І-НІ на МДН-транзисторах:
а) з загальним лінійним навантаженням; б) нелінійним навантаженням; в) на основі комплементарних пар

Тому відкритому стану n -каналних транзисторів VT1, VT2 послідовної структури відповідає стан відсічки p -каналних транзисторів VT1, VT2 паралельної структури та навпаки. Транзистори VT3 та VT4 в КМОН-елементі можна розглядати як комутоване навантаження, провідність якого при $U_1^* > U_{\text{пор}}$ дуже мала. Таким чином, якщо транзистори VT1, VT2 відкриті, на виході встановлюється низький рівень U^0 . При всіх інших комбінаціях входніх сигналів хоч би один із послідовно ввімкнених транзисторів закритий, вихід логічного елемента відключається від шини "земля" та через опір навантаження

(R_c , транзистор $VT3$ або транзистори $VT3, VT4$ в схемі рис. 21) підключається до шини джерела напруги $U_{д.н.}$. На виході встановлюється високий рівень напруги U^1 .

В логічних елементах АБО-НІ (рис. 21) електронні ключі об'єднуються в паралельну групу за кількістю входів $m \leq K_{об}$.

Опір групи транзисторів з паралельно з'єднаними каналами визначається найменшою з паралельних частин, тобто опором каналу транзистора, на затвор якого подана найбільша з вхідних напруг. В цьому випадку домінуючими є напруги:

$$U_i^* = \max\{U_{i1}\}, i = \overline{1, m}.$$

Якщо $U_i^* > U_{пор}$, загальний опір групи транзисторів малий, вихід логічного елемента підключається до шини "земля" через відкриті транзистори та стокове навантаження (R_c , транзистор $VT3$). При цьому від джерела живлення $U_{д.н.}$ може протікати струм I^0 .

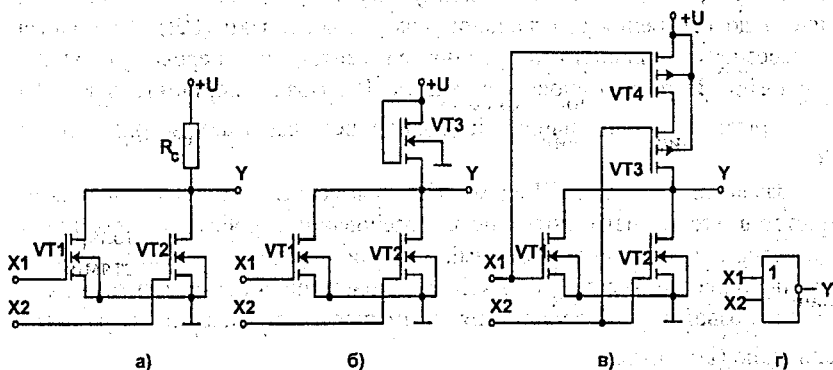


Рис. 21. Базовий логічний елемент АБО-НІ на МДН-транзисторах:
 а) з загальним лінійним навантаженням; б) нелінійним навантаженням; в) на основі комплементарних пар

На виході встановлюється низький рівень сигналу U^0 , який визначається співвідношенням опору в колі стоку та опором групи відкритих транзисторів. Тільки при одній комбінації вхідних сигналів, коли на всі входи елементів подані низькі рівні цих сигналів (або входи вільні) та $U_i^* < U_{пор}$, вихід елемента через стокове навантаження (резистор R_c , транзистор $VT3$) або відкриті транзистори $VT3, VT4$ елемента на КМДН-транзисторах підключається до шини джерела напруги $U_{д.н.}$. На виході формується високий сигнал напруги U^1 .

Логічні елементи двоступеневої логіки будуються у вигляді комбінацій послідовних та паралельних груп МОН-транзисторів.

Основні переваги логічних елементів на МОН- та КМОН-транзисторах – висока ступінь інтеграції (до 10^5 елементів на кристалі), низьке енергоспоживання в статичному режимі, висока завадостійкість, зберігання працездатності при наявності дестабілізуючих зовнішніх факторів (зміна напруги живлення, температури навколишнього середовища, інтенсивність іонізуючого випромінювання). До недоліків МОН- та КМОН-технологій можна віднести обмеження швидкодії, обумовлене пропорційною залежністю розсіюваною на логічному елементі активної потужності від частоти перемикавання.

4.4. ЕЛЕМЕНТИ ІНТЕГРАЛЬНОЇ ІНЖЕКЦІЙНОЇ ЛОГІКИ

Бажання розробників елементної бази знизити споживану енергію та підвищити ступінь інтеграції логічних елементів на біполярних транзисторах, зберігаючи їх головну перевагу – високу швидкодію, привело до створення інтегральної інжекційної логіки (I^2L). Технологія I^2L забезпечує щільність пакування елементів, яка перевищує МОН-технологію. За розсіюваною потужністю I^2L можна порівняти з КМОН при зберіганні високої швидкодії ($t_{зд.p}=5$ нс), яка властива біполярним ІМС.

Зазначені переваги I^2L -елементів досягаються виключенням зі схем резисторів (тому мала потужність розсіювання), роботою біполярних транзисторів в насиченому режимі, малими паразитними ємностями та незначною різницею логічних рівнів. Використання в I^2L -елементах діодів Шоттки дозволяє без збільшення потужності споживання підвищити швидкодію ($t_{зд}=0,1$ нс).

Базовий логічний I^2L -елемент (рис. 22) містить р-п-р транзистор VT1, який виконує функцію джерела стабільного струму I_d і називається інжектором, та багатоколекторний п-р-п транзистор, який виконує функцію інвертора.

База типу р-п-р танзистора-інжектора об'єднана з емітером типу п-р-п транзистора-інвертора. Аналогічно можна з'єднати колектор транзистора-інжектора, і базу транзистора-інвертора. Транзистор VT2 працює в інверсному включенні.

Транзистор-інжектор VT1 постійно знаходиться в активному режимі, струм в його колекторному колі дорівнює:

$$I_d = \alpha_1 I_e = \alpha_1 (U_{н.ж.} - U_{01}) / R_n \approx U_{н.ж.} / R_n,$$

де U_{01} - порогова напруга для емітерного переходу транзистора VT1, яка не залежить від вхідної напруги елемента U_1 . Вхідна напруга U_1 визначає стан емітерного переходу транзистора VT2. Якщо $U_1 = U_1^0 < U_{02}$

(U_{02} - порогова напруга транзистора VT2), транзистор VT2 закритий, та струм інвертора I_1 протікає через коло джерела вхідного сигналу U_1 , а колекторні струми транзистора VT2, які представляють струми навантаження елемента, малі:

$$i_{21}^0 = I_{K.10} \approx 0; \quad i_{22}^0 = I_{K.02} \approx 0.$$

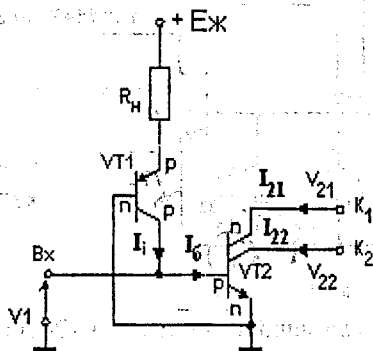


Рис. 22. Схема базового логічного I^2L -елемента

При поданні на вхід елемента високого рівня (логічної „1”) $U_1 = U_1^1 > U_{02}$ емітерний перехід транзистора VT2 відкривається, струм інжектора I_i тече в його базове коло, та транзистор переходить в режим насичення. Тривалість переходу із стану відсічки в режим насичення залежить від коефіцієнта насичення, який, в свою чергу, залежить від струму інжектора I_i .

Елемент (див. рис. 22) по кожному з навантажених виходів реалізує функцію інверсії $Y = \bar{X}$.

Вихідні кола багатоколекторного транзистора (БКТ) не з'єднані між собою.

Базовий логічний I^2L -елемент АБО-НІ утворюється з'єднанням виходів I^2L -інверторів в "монтажне АБО" (рис.23). Якщо на обох входах елемента низькі рівні ($X_1 = X_2 = 0$), транзистори VT1, VT2 закриті, та струми інжекторів I_{21} , I_{22} замикаються через навантаження виходу Y_{11} та базу транзистора VT3 (навантаження виходу Y_{12}).

На виході формується високий рівень сигналу U_2^1 і відповідно, $Y_1 = 1$. При всіх інших комбінаціях вхідних сигналів будь-який із вхідних транзисторів відкритий, та струми інжекторів I_{21} , I_{22} замикаються через насичений транзистор, на виході Y_1 формується низький рівень U_2^0 , який на виході Y_2 обумовлює високий рівень U_2^1 .

Тому,

$$Y1 = X1 + X2, Y2 = \overline{Y1} = \overline{X1 + X2}.$$

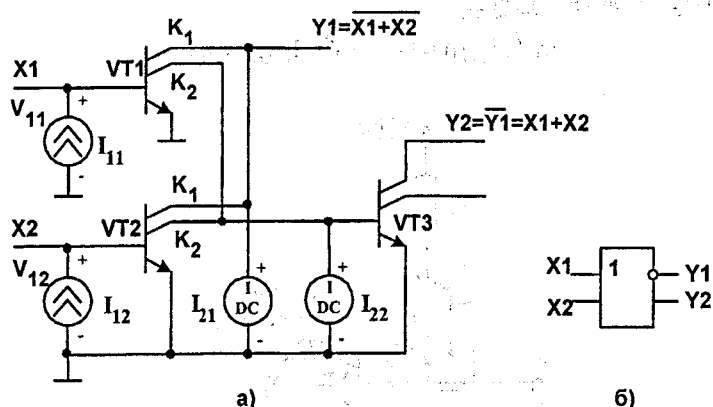


Рис.23. Базовий логічний I^2L -елемент АБО-НІ і його умовне графічне позначення

Логічний елемент І-НІ реалізується складніше (рис. 24) на основі базового елемента АБО-НІ та двох входних інверторів. Розглянуті елементи забезпечують можливість побудови цифрових схем будь-якої складності, які оптимізуємо за критерієм апаратних витрат та швидкодії.

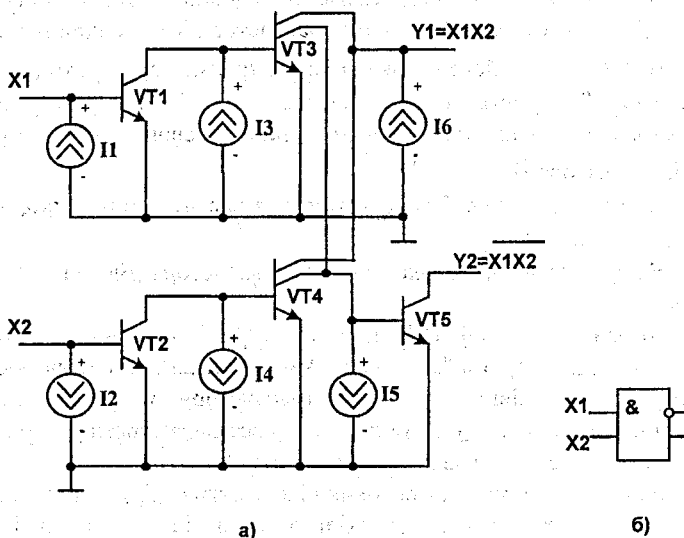


Рис. 24. Базовий логічний I^2L -елемент І-НІ і його умовне графічне позначення

Завдяки високому ступеню інтеграції, низькому енергоспоживанню при великій швидкодії та технологічності (відсутність резисторів, суміщення інжектора та інвертора на одному кристалі без ізоляції) І²Л-елементи знайшли широке застосування при виготовленні замовних ВІС, ЗП з довільним звертанням, ВІС мікропроцесорів та багатьох типів аналогових пристроїв.

Основний недолік І²Л-елементів – низька завадостійкість в результаті малого логічного перепаду напруги ($\Delta U_1 = 0.6\text{В}$), крім того, малі товщини бази та емітера обумовлюють невеликі напруги пробою переходів багатоколекторного транзистора.

4.5. Параметри цифрових елементів

Параметри цифрових елементів характеризують технічні, економічні і експлуатаційні властивості елементів. Експлуатаційні параметри відображають такі властивості елементів, як довгостроковість безвідмовної роботи, зручність установлення і демонтажу, ремонтпридатність, розміри, маса і т.д. Економічні: характеризують вартість елемента, енергоємність, вміст дорогоцінних і рідкісних металів. Економічні і експлуатаційні параметри використовуються для описання вже реалізованих виробів. На початковому етапі проектування розробник орієнтується в основному на технічні параметри серійних елементів або елементів, що розробляються, оскільки саме вони визначають можливість до реалізації проектного приладу у вибраному елементному базисі.

Технічні параметри розділяють на статичні і динамічні. Статичні параметри характеризують властивості і режими роботи елемента у всіх передбачених технічними умовами станах. Динамічні параметри представляють собою обмеження, які накладаються на довготривалість етапів перехідних процесів у цифрових елементах і граничні частоти функціонування. Розглянемо основні статичні параметри.

Таблиця 4.

Основні статичні параметри

Позначення параметра	Одиниця вимірювання	Що означає цей параметр
1	2	3
U_1^0	В	Вхідна напруга логічного нуля
U_1^1	В	Вхідна напруга логічної одиниці
U_2^0	В	Вихідна напруга нуля
U_2^1	В	Вихідна напруга одиниці
ΔU_A	В	Логічний перепад: $\Delta U_A = U^1 - U^0$
$U_{\text{пер}}$	В	Порогова напруга логічного елемента (ЛЕ)
$U_{\text{інж}}$	В	Напруга інжектора (для ЕЗЛ)

1	2	3
$U_{\text{ном}}^0$	В	Статична завадостійкість нуля – максимально допустима амплітуда позитивної (для позитивної логіки) завади на рівні U^0
$U_{\text{ном}}^1$	В	Статична завадостійкість одиниці – максимально допустима амплітуда негативної (для позитивної логіки) завади на рівні U^1
$U_{\text{ном}}$	В	Статична завадостійкість: $U_{\text{ном}} = \min \{ U_{\text{ном}}^0, U_{\text{ном}}^1 \}$
$U_{\text{оп}}$	В	Опорна напруга
$I_{\text{сп}}, I_{\text{сп}}^+$	мА	Струм споживання від джерела негативної і позитивної напруги, відповідно
I_1^0	мА	Вхідний струм нуля
I_1^1	мА	Вхідний струм одиниці
I_2^0	мА	Вихідний струм нуля
I_2^1	мА	Вихідний струм одиниці
$P_{\text{сп}}^0$	мВт	Потужність споживання в стані нуля
$P_{\text{сп}}^1$	мВт	Потужність споживання в стані одиниці
$P_{\text{сп. сп}}$	мВт	Середня потужність споживання: $P_{\text{сп. сп}} = 0,5 (P_{\text{сп}}^0 + P_{\text{сп}}^1)$
$R_{\text{вх}}^0$	кОм	Вхідний опір ЛЕ при $U_1 = U_1^0$
$R_{\text{вх}}^1$	кОм	Вхідний опір ЛЕ при $U_1 = U_1^1$
$R_{\text{вих}}^0$	кОм	Вихідний опір ЛЕ при $U_2 = U_2^0$
$R_{\text{вих}}^1$	кОм	Вихідний опір ЛЕ при $U_2 = U_2^1$
$K_{\text{раз}}$	МОм	Коефіцієнт розгалуження на виході ЛЕ – максимально допустима кількість ЛЕ, що підключаються до виходу
$K_{\text{об'єд}}$	МОм	Коефіцієнт об'єднання на вході ЛЕ – максимально допустима кількість аналогічних входів ЛЕ
$R_{\text{с}}$	МОм	Опір гальванічної розв'язки

Таблиця 5.

Основні динамічні параметри

Позначення параметра	Одиниця вимірювання	Що означає цей параметр
t_{ϕ}^{01}	нс	Тривалість фронту перемикання сигналу з нульового в одиничний стан
t_{ϕ}^{10}	нс	Тривалість фронту перемикання сигналу з одиничного в нульовий стан
$t_{зд}^{01}$	нс	Тривалість затримки вимикання ЛЕ, що вимірюється від рівня $0,1 \Delta U_{A1}$ до рівня $0,9 \Delta U_{A2}$
$t_{зд}^{10}$	нс	Тривалість затримки вимикання ЛЕ, що вимірюється від рівня $0,9 \Delta U_{A1}$ до рівня $0,1 \Delta U_{A2}$
$t_{зд.p}^{01}$	нс	Тривалість затримки розповсюдження сигналу при вимиканні логічного елемента, виміряна від рівня $0,5 \Delta U_{A1}$ негативного перепаду до рівня $0,5 \Delta U_{A2}$ позитивного перепаду
$t_{зд.p}^{10}$	нс	Тривалість затримки розповсюдження сигналу при вимиканні логічного елемента, виміряна від рівня $0,5 \Delta U_{A1}$ позитивного перепаду до рівня $0,5 \Delta U_{A2}$ негативного перепаду
$t_{зд.p.p}$	нс	Середній час затримки розповсюдження сигналу: $t_{зд.p.p} = 0,5(t_{зд.p}^{01} + t_{зд.p}^{10})$
t_m	нс	Тривалість імпульсу на рівні $0,5 \Delta U_{A2}$
f_{max}	МГц	Максимальна робоча частота, на якій в найгірших умовах гарантується роботоздатність елемента
C_m	пФ	Гранично допустима ємність навантаження
L_m	мкГн	Гранично допустима індуктивність навантаження

Серед названих основних статистичних і динамічних параметрів елементів існує велика кількість специфічних параметрів, характерних для ЛЕ певного класу.

4.6. ЛАБОРАТОРНА РОБОТА № 1

ДОСЛІДЖЕННЯ ХАРАКТЕРИСТИК ТА ВИМІРЮВАННЯ УЗАГАЛЬНЕНИХ ПАРАМЕТРІВ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Мета роботи: ознайомитись з принципами роботи логічних елементів транзисторно-транзисторної логіки (ТТЛ), емітерно-зв'язаної логіки (ЕЗЛ), інтегрально-інжекційної логіки (I^2 Л), та елементів на комплементарних МОН-транзисторах (типу КМОН), вивчити методи та одержати навички вимірювання основних параметрів ЛЕ, дослідити їх основні характеристики.

Вступ

Всі компоненти цифрової схемотехніки, в залежності від складності перетворень дискретних сигналів, можна умовно поділити на елементи, функціональні вузли, пристрої та системи. Електричні схеми, які реалізують найпростіші функції алгебри-логіки, являють собою клас елементів, а саме: схеми формувачів рівнів, заперечень, додавання, множення цифрових сигналів.

За призначенням елементи цифрової схемотехніки можна поділити на підсилювальні, формувальні, логічні, комбінаційні, елементи потенціальної розв'язки, індикаторні та спеціальні.

Логічні елементи за типом функції, що реалізується, умовно поділяються на елементи одноступеневої (реалізують функції І, АБО, НІ, І-НІ, АБО-НІ) та двоступеневої логіки (І-АБО, І-АБО-НІ, АБО-І, АБО-І-НІ і т.п.)

За типом компонентів, які використовуються, та видом принципової схеми логічні елементи поділяють на діодно-транзисторну логіку (ДТЛ), транзисторно-транзисторну логіку (ТТЛ), логічні елементи на емітерно-зв'язаних перемикачах струму (ЕЗЛ), інжекторно-інжекційні логічні елементи (I^2 Л), логічні елементи на МДН-транзисторах, та комплементарних МДН-транзисторах (КМДН).

Основні транзистори ІС в загальному вигляді характеризують роботоздатність схемотехніки в ЕОМ.

До основних параметрів ІС відносять: потужність споживання, рівні вихідних напруг, час затримки розповсюдження сигналу, час затримки включення та виключення, вхідні струми, статичну завадостійкість, коефіцієнт об'єднання та розгалуження і ряд інших.

Множину технічних параметрів поділяють на статичні та динамічні. Статичні параметри характеризують властивості та режими роботи елемента у всіх передбачених технічними умовами станах. Динамічні

параметри являють собою обмеження, які накладаються на тривалість етапів перехідних процесів в цифрових елементах та граничні частоти функціонування.

Характеристики цифрових схем являють собою одно- або багатовимірні залежності величин, що визначають стан або режим роботи електричних схем від інших величин, які розглядаються як незалежні. Як активні елементи сучасних ІС використовують біполярні та польові транзистори, які працюють, як правило, в перемикальському режимі.

До основних статичних характеристик належать:

- 1). вхідна вольт-амперна характеристика (ВАХ) елемента;
- 2). вихідна ВАХ.

Динамічні характеристики являють собою залежність динамічних параметрів елементів від електричних режимів та зовнішніх факторів, а також залежність деяких статичних параметрів від робочої частоти або часового інтервалу.

Прості або складні інвертори складають основу схемотехніки широкого класу схем транзисторно-транзисторної логіки (ТТЛ), інтегрально-інжекційної логіки (І²Л), логіки на МОН-транзисторах і ряду інших логік.

Інше сімейство цифрових ІС емітерно-зв'язаної транзисторної логіки (ЕЗЛ) як основу використовує диференціальний підсилювач або перемикач струму.

Розглянемо схемотехнічну реалізацію вищевказаних серій та логічні функції, що вони виконують.

Принцип роботи елементів ТТЛ описаний в наведеній літературі з лабораторної роботи.

ПІДГОТОВКА ДО ВИКОНАННЯ РОБОТИ

1. Вивчити принцип роботи ЛЕ і їх схемних різновидів за рекомендованою літературою.
2. Вивчити опис лабораторної роботи.
3. Отримати у викладача допуск до лабораторної роботи та завдання на виконання роботи.

ПОРЯДОК ВИКОНАННЯ РОБОТИ

1. Отримати необхідні мікромакети, комутаційні проводи та вимірювальні прилади. Необхідні мікромакети вибрати за допомогою стенда "Набір мікромакетів".
2. За кожним варіантом завдання :

1) встановити мікромакет на лабораторний стенд, ввімкнути лабораторний стенд і виміряти входні та вихідні напруги;

2) перевірити функціонування ЛЕ. Для цього необхідно з'єднати комутаційними проводами всі входи ЛЕ з регістрами 1 або 2. Ввімкнений світлодіод на лабораторному стенді відповідає логічній "1", а "0" – вимкнений світлодіод. Подаючи з регістра відповідні комбінації логічних "0" і "1" на вхід ЛЕ і реєструючи вихідний сигнал, скласти таблицю істинності;

3) виміряти рівні вихідної напруги $U^0_{\text{вих}}$ та $U^1_{\text{вих}}$ (рис. 25)

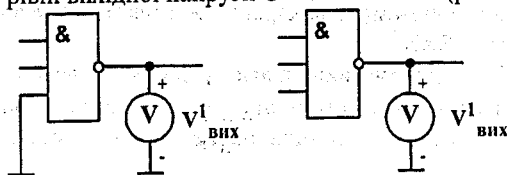


Рис. 25. Схема для вимірювання рівнів вихідної напруги ЛЕ

4) визначити коефіцієнт розгалуження по виходу n (рис. 26). Для цього необхідно встановити на виході ЛЕ рівень логічної "1", виміряти його вольтметром, потім під'єднати до виходу даного ЛЕ входи наступних ЛЕ.

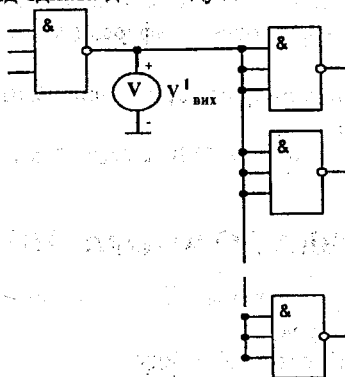


Рис. 26. Схема для визначення коефіцієнта розгалуження по виходу

Коли стрілка вольтметра почне відхилятися від рівня логічної "1", під'єднання елементів закінчити і визначити коефіцієнт розгалуження за виходом n , підрахувавши число входів логічних елементів, під'єднаних до заданого виходу.

Повторити вимірювання для рівня логічного "0" на виході ЛЕ;

5) виміряти входні струми (рис. 27). Для цього ввімкнути міліамперметр між двома ЛЕ. Добитися на виході ЛЕ D1 рівня логічного "0" і виміряти входний струм $I^0_{\text{вх}}$ для ЛЕ D2 по одному входу. Після цього об'єднати всі входи ЛЕ D2 і знову виміряти сумарний входний струм рівня логічного "0" $I^0_{\text{вх}}$ для ЛЕ D2 (рис. 27). Потім встановити на виході ЛЕ D1

рівень логічної "1" і міліамперметром виміряти спочатку вхідний струм $I_{\text{вх}}^0$ по одному з входів ЛЕ D2, а потім сумарний вхідний струм рівня логічної "1" $I_{\text{вх}}^1$ для ЛЕ D2;

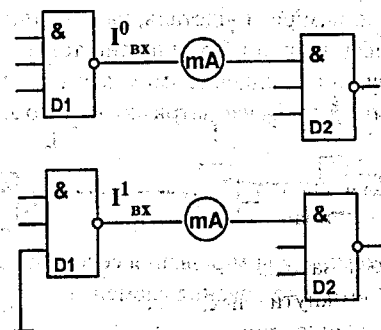


Рис. 27. Схема для вимірювання вхідних струмів

б) виміряти струм споживання від джерела живлення для одного елемента. Для цього всі ЛЕ мікромакета встановити у стан логічного "0" на виходах. Міліамперметр ввімкнути у розрив ланцюга живлення і виміряти струм споживання $I_{\text{ел}}^0$ потім всі ЛЕ мікромакета встановити у стан логічної "1" на виходах і знову виміряти струм споживання $I_{\text{ел}}^1$.

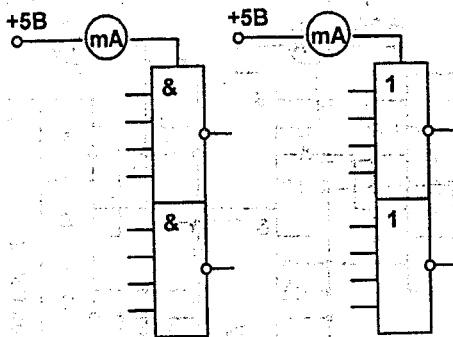


Рис. 28. Схема для вимірювання струму споживання від джерела живлення для одного елемента

7) на основі одержаних даних підрахувати статичну потужність елемента, що досліджується;

8) виміряти середню затримку спрацювання елемента (рис. 29). Для цього необхідно зібрати послідовне замкнене коло з парного числа елементів, що виконують функцію І-НІ (АБО-НІ), і подати імпульси ($f \sim 100$ кГц) з генератора імпульсів на вхід ланцюга ЛЕ, що досліджується.

Зовнішню синхронізацію осцилографа виконати від вхідного імпульсу. Змінюючи час розгортки осцилографа, добитися на екрані положення тільки переднього фронту імпульсу, запам'ятати його місцезнаходження. Потім подати на осцилограф імпульси з виходу ланцюга ЛЕ і, не змінюючи часу розгортки, виміряти відстань, на яку відбудеться зміщення фронту вихідного імпульсу на рівні 0,5 відносно такого ж рівня вхідного імпульсу. На основі величини зміщення імпульсу і діапазона розгортки осцилографа розрахувати середній час затримки одного ЛЕ;

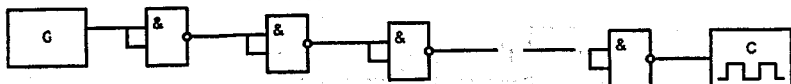


Рис. 29. Схема для вимірювання середньої затримки спрацювання елемента

9) виміряти додаткову затримку, яку вносять незадіяні входи ЛЕ. Для цього необхідно ввімкнути послідовно два ЛЕ типу 8І-НІ, використовуючи для під'єднання принцип тільки за одним входом ЛЕ. Виміряти затримку фронту імпульсу аналогічно методиці вимірювання, яка викладена в п. 8.

Об'єднати всі входи ЛЕ і знову виміряти затримку.

Примітка: при досліджуванні елементів емітерно-зв'язаної логіки (ЕЗЛ) використовується мікромакет № 66, в якому необхідно під'єднати

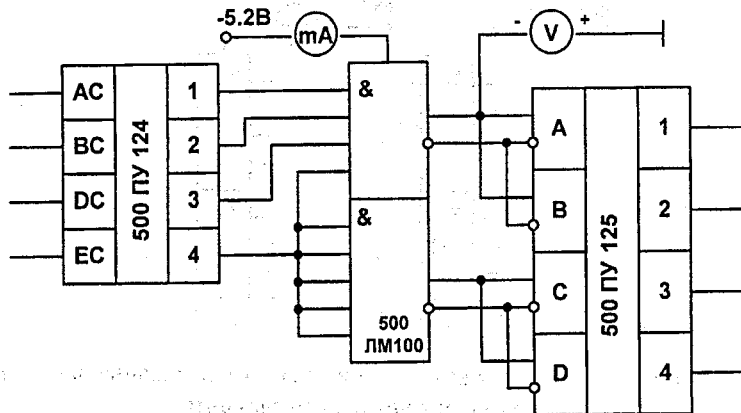


Рис. 30. Схема для дослідження елементів ЕЗЛ

перетворювачі логічних рівнів: ТТЛ в ЕЗЛ і ЕЗЛ в ТТЛ, оскільки в лабораторній установці використовуються мікросхеми ТТЛ-логіки. Живлення на мікросхему 500 ЛМ 109 подати з клеми 9 - 5,2 В. Виходи мікросхеми 500 ПУ 124 з'єднати з входами логічного елемента ЕЗЛ, що досліджується, а виходи його з входами мікросхеми 500ПУ 125.

Дослідження і вимірювання параметрів елементів емітерно-зв'язаної логіки проводяться згідно з п. 2.

3. Вимкнути живлення осцилографа і лабораторної установки. Ретельно розібрати схеми. Вимірювальні прилади, мікромакети і комутаційні проводи здати лаборанту.

4. Оформити звіт з роботи і захистити його.

ЗМІСТ ЗВІТУ

1. Назва і мета лабораторної роботи.
2. Послідовність виконання роботи (стислий зміст основних пунктів порядку виконання роботи).
3. Схеми дослідження ЛЕ, результати вимірювань параметрів ЛЕ.
4. Оцінка теоретичних і виміряних параметрів ЛЕ.
5. Порівняльний аналіз характеристик ЛЕ різного типу.
6. Висновки.

4.7. ЛАБОРАТОРНА РОБОТА №2

ДОСЛІДЖЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ ЦИФРОВИХ ПРИСТРОЇВ ПАКЕТОМ ПРОГРАМ MICRO-CAP

Мета роботи: Дослідження основних статичних та динамічних характеристик базових схем ТТЛ, ЕЗЛ, на КМДН – транзисторах і інтегрально-інжекційного логічного елемента пакетом програм MICRO-CAP.

Основні положення використання програм MICRO-CAP для моделювання принципових схем логічних елементів представлено у вказівках з застосування системи схемотехнічного моделювання MICRO-CAP на персональних комп'ютерах. За його допомогою виконується графічне введення схеми, що проектується, та аналіз характеристик аналогових, цифрових і аналого-цифрових пристроїв.

Методика підготовки до моделювання принципових схем пакетом програм MICRO-CAP одна і та ж для всіх типів елементів, а саме:

- 1) скласти принципову схему логічного елемента;
- 2) виконати моделювання;
- 3) одержати основні статичні та динамічні характеристики елементів;

Завдання для моделювання принципових схем логічних елементів видає викладач.

ПОРЯДОК ВИКОНАННЯ РОБОТИ

Завантажити програму MICRO-CAP.

Після виклику програми MC на екран виводиться вікно редактора схем. Схеми утворюються і редагуються за допомогою набору команд, згрупованих в системі меню. Найбільш поширені команди викликаються натисканням на піктограми або комбінації "гарячих" клавіш. Є декілька основних режимів редактора схем, в кожному з яких доступні певні команди. Доступні команди і відповідні їм піктограми яскраво висвічуються, недоступні затінені.

Меню **File** містить команди для роботи з файлами схем, текстовими завданнями у форматі SPICE, файлами бібліотек математичних моделей і текстовими документами.

Меню **Edit** містить команди редагування.

Меню **Component** містить каталог бібліотек аналогових і цифрових компонентів.

Меню **Windows** містить команди роботи з вікнами.

Меню **Options** містить команди виборів режиму редагування і задання різних параметрів програми **MC**.

Меню **Analysis** містить список режимів моделювання.

Меню **Help** містить команди роботи із засобами вбудованої допомоги.

Створення креслення схеми

Нова схема створюється за командою **File-New**. При цьому можливе як графічне зображення схеми (режим **Schematic**), так і її текстове описання (**Spice/Text**). Основну привабливість програмі **MC** надає графічне введення схеми. Створені раніше схеми, завантажуються за командою **File-Open**.

Підготовчі операції. У результаті виконання команди **File-New** відкривається порожній екран, на якому створюється нова схема. Попередньо рекомендується виконати команду **View-Grid** меню **Options**, нанести на екран координатну сітку для спрощення побудови схеми. Крок сітки є фіксованим: 0,1 дюйма або 2,5 мм.

Введення компонентів у схему. Перед введенням елемента до схеми його необхідно вибрати з меню **Component**.

Введення та редагування атрибутів компоненту. Після введення до схеми компонента з'являється діалогове вікно атрибутів.

ВИКОНАННЯ МОДЕЛЮВАННЯ

Після того як створено принципову схему або її текстовий опис, переходять до розрахунку характеристик, вибираючи з меню **Analysis** один з видів аналізу:

Transient Analysis, Alt+1 – розрахунок перехідних процесів;

AC Analysis, Alt+2 – розрахунок частотних характеристик;

DCA Analysis, Alt+3 – розрахунок передатних функцій за постійним струмом.

Аналіз перехідних процесів (Transient Analysis)

Після переходу до режиму аналізу перехідних процесів програма **MC** перевіряє, чи вірно складена схема. Якщо існують помилки, то виводиться інформаційне повідомлення. При відсутності помилок в схемі програма складає її топологічний опис, виконує підготовку для чисельних розрахунків перехідних процесів і відкриває вікно задання параметрів моделювання **Transient Analysis Limits**.

Розрахунок передатних функцій за постійним струмом (DC Analysis)

В режимі DC розраховуються передатні характеристики за постійним струмом. До входів ланцюга підключаються один або два незалежних джерела постійної напруги або струму. Як вихідний сигнал може розглядатися різниця вузлових потенціалів або струм через гілку, в яку ввімкнено резистор. При розрахунку режиму DC програма закорочує індуктивності, виключає конденсатори, потім розраховує режим за постійним струмом для декількох значень входних сигналів. Наприклад, при підключенні одного джерела постійної напруги розраховується передаточна функція підсилювача, а при підключенні двох джерел – сімейство статичних вихідних характеристик транзистора.

Після переходу в режим DC програма MC перевіряє правильність схеми. При відсутності помилок в схемі програма складає її топологічний опис, виконує підготовку до чисельного розрахунку нелінійних рівнянь ітераційним методом Ньютона-Рафсона і відкриває вікно задання параметрів моделювання DC Analysis Limits.

Джерела сигналів (Waveform sources)

Джерела постійної напруги (Battery)

Формат схем:

Атрибут PART: < ім'я >

Атрибут VALUE: < значення >

Джерела постійного струму (Isourse)

Формат схем:

Атрибут PART: < ім'я >

Атрибут VALUE: < значення >

Джерело імпульсної напруги (Pulse source)

Формат схем:

Атрибут PART: < ім'я >

Атрибут MODEL: < ім'я моделі >

Параметри моделі цього джерела задаються за дерективою .MODEL < ім'я моделі > PUL ([список параметрів]).

Параметри моделі джерела імпульсної напруги наведені в табл. 6.

Таблиця 6.

Параметри моделі

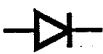
Позначення	Параметр	Розмірність	Значення за замовчуванням
VZERO	Початкове значення	B	0
VONE	Максимальне значення	B	5
P1	Початок переднього фронту	c	10^{-7}
P2	Початок плоскої вершини імпульсу	c	$1,1 \cdot 10^{-7}$
P3	Кінець плоскої вершини імпульсу	c	$5 \cdot 10^{-7}$
P4	Момент досягнення з рівня VZERO	c	$5,1 \cdot 10^{-7}$
P5	Період повторення	c	10^{-6}

4.7.1. КАТАЛОГ ТИПОВИХ АНАЛОГОВИХ І ЦИФРОВИХ КОМПОНЕНТІВ

В наступних таблицях наведемо умовні графічні позначення типових аналогових і цифрових компонентів і перелік їх параметрів в тому ж порядку, в якому вони згруповані в меню **Components** в розділах **Analog Primitives** та **Digital Primitives**. При цьому графічні позначення компонентів по можливості наведені згідно з вимогами ЕСКД.

Таблиця 7.

Аналогові типові компоненти

Ім'я компонента	Графічне позначення	Тип	Параметри
1	2	3	4
Passive components (Пасивні компоненти)			
Resistor		Резистор	<onip> [TC=tc[,tc2]]
Capasitor		Конденсатор	<смність> [IC=<початкова напруга>]
Diode		Діод	<ім'я моделі>[area] [OFF] [IC=<початкова напруга>]

Active components (Активні компоненти)			
1	2	3	4
PNP		Біполярний р-п-р транзистор	<ім'я моделі> [area][OFF] [IC=Vbe[, Vce]]
NMOS		МОН- транзистор збіденного типу з п- каналом	<ім'я моделі> [L=][W=][AD=][AS=] [PD=][PS=][NRD=] [NRS=][NRG=][NRB=] [OFF][IC=Vds[, Vgs[, Vbs]]]
PMOS		МОН- транзистор збіденного типу з р- каналом	<ім'я моделі> [L=][W=][AD=][AS=] [PD=][PS=][NRD=] [NRS=][NRG=][NRB=] [OFF][IC=Vds[, Vgs[, Vbs]]]
DNMOS		МОН- транзистор збагаченого типу з п- каналом і внутрішнім з'єднанням підкладки та витоку	<ім'я моделі> [L=][W=][AD=][AS=] [PD=][PS=][NRD=] [NRS=][NRG=][NRB=] [OFF][IC=Vds[, Vgs[, Vbs]]]
DPMOS		МОН- транзистор збагаченого типу з р- каналом і внутрішнім з'єднанням підкладки та витоку	<ім'я моделі> [L=][W=][AD=][AS=] [PD=][PS=][NRD=] [NRS=][NRG=][NRB=] [OFF][IC=Vds[, Vgs[, Vbs]]]
NJFET		Польовий транзистор з керованим р-п переходом та каналом п- типу	<ім'я моделі> [area][OFF] [IC=Vds[, Vgs]]
PJFET		Польовий транзистор з керованим р-п переходом та каналом р- типу	<ім'я моделі> [area][OFF] [IC=Vds[, Vgs]]

Waveform sources (Джерела сигналів)			
1	2	3	4
Battery		Джерело постійної напруги (батарея)	<напруга> або <ім.'я>
Pulse source		Джерело імпульсної напруги	<ім.'я моделі> Примітка: амплітуда сигналу в режимі AC рівна 1В
V		Незалежне джерело змінної напруги	[DC <напруга>] [AC <модуль>[фаза]][PULSE...] [SIN...] [EXP...] [PWL...] [SFFM...]

4.7.2. ДОСЛІДЖЕННЯ ТРАНЗИСТОРНО - ТРАНЗИСТОРНИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ (ТТЛ)

Принципові схеми зображені на рис. 31 –34 вхідні файли в додатку А.

1. За вхідною характеристикою визначити статичні параметри: $I^0_{вх.}$, $I^1_{вх.}$, I_{max} , $R^0_{вх.}$, $R^1_{вх.}$.

2. На передатній характеристиці виділити основні робочі точки і визначити такі параметри:

- логічний перепад;
- напругу порогу перемикавання;
- запас завадостійкості за рівнем "0"-та "1";
- рівні напруги $U^0_{вх.}$, $U^1_{вх.}$, $U^0_{вих.}$, $U^1_{вих.}$;

3. Визначити основні динамічні параметри елементів.

4. Порівняти отримані статичні характеристики елементів ТТЛ з ланцюжком корегування і без нього. Пояснити відмінності.

5. За одержаними результатами пояснити принцип роботи елемента.

6. Провести аналіз одержаних результатів і скласти звіт з лабораторної роботи.

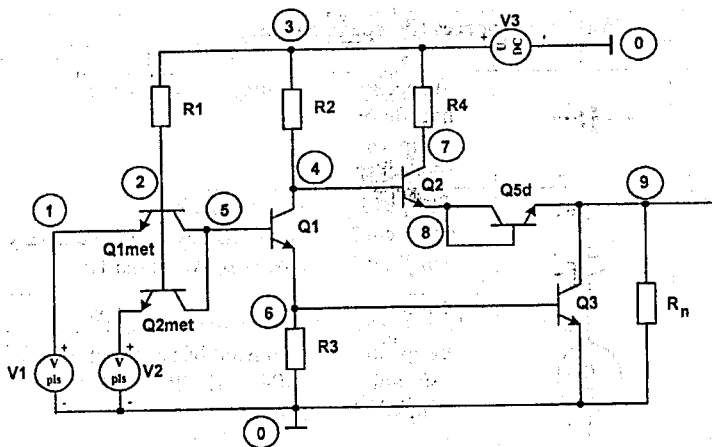


Рис. 31. Принципова схема для дослідження ТТЛ

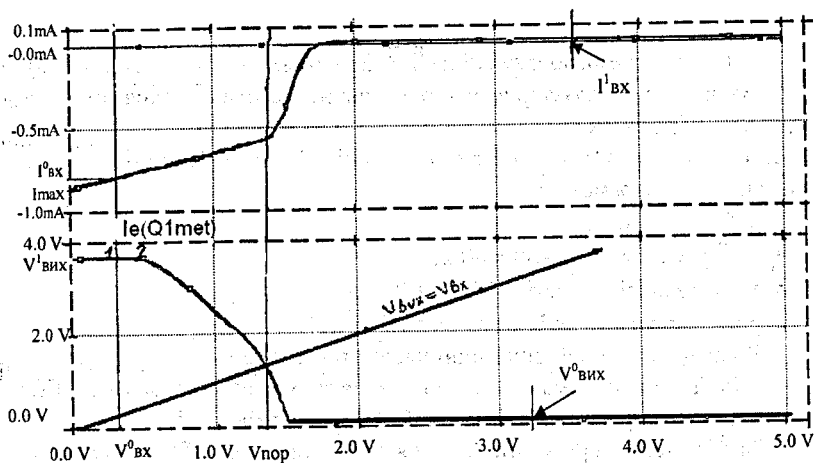


Рис. 32. Вхідна і передатна характеристика елемента ТТЛ-типу

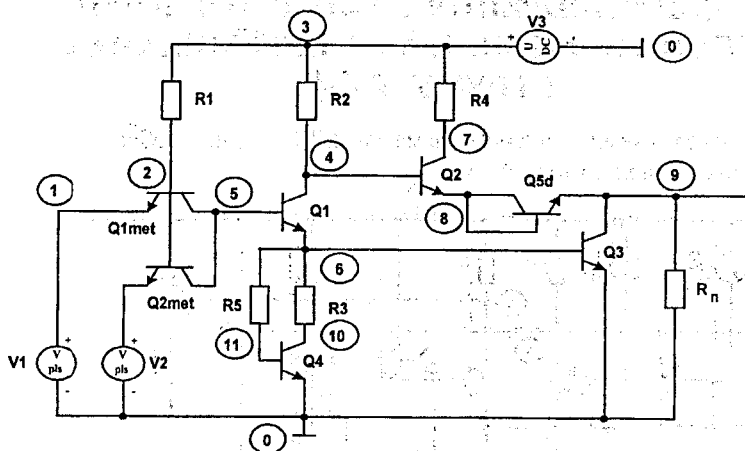


Рис. 33. Принципова схема для дослідження ТТЛ з корегуючим ланцюгом

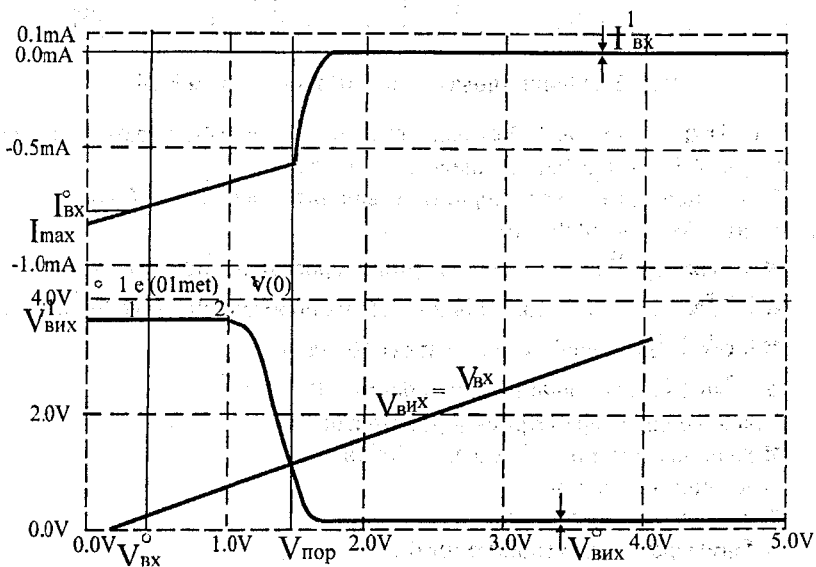


Рис. 34. Вхідна і передатна характеристика для елемента ТТЛ-типу з корегуючим ланцюгом

4.7.3. ДОСЛІДЖЕННЯ ТРАНЗИСТОРНОГО ЛОГІЧНОГО ЕЛЕМЕНТА НА ПЕРЕМИКАЧАХ СТРУМУ (ЕЗЛ)

Принципова схема базового елемента ЕЗЛ - типу зображена на рис. 35, вхідний файл на додатку А.

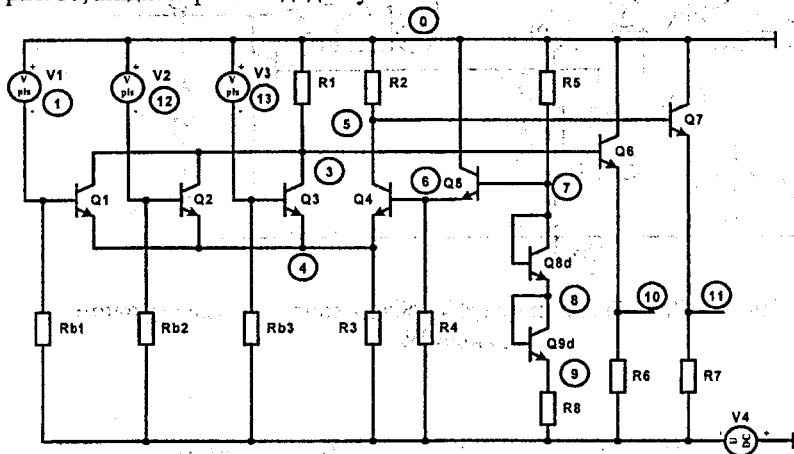


Рис. 35. Принципова схема для дослідження ЕЗЛ

1. За вхідною характеристикою визначити статичні параметри: $I_{вх}^0$, $I_{вх}^1$, $U_{вх}^0$, $U_{вх}^1$ і провести їх аналіз по ділянках.

2. На передатній характеристиці виділити основні робочі точки і визначити такі основні параметри:

- $U_{вх.пор.}^0$, $U_{вх.пор.}^1$ - рівні вхідних порогових напруг "0" та "1";
- $U_{вих.пор.}^0$, $U_{вих.пор.}^1$ - рівні вихідних порогових напруг "0" та "1";
- $U_{вх}^0$, $U_{вх}^1$ - рівні вхідних напруг "0" та "1";
- $U_{вих}^0$, $U_{вих}^1$ - рівні вихідних напруг "0" та "1";

За означеними параметрами розрахувати:

- запас завадостійкості за рівнем "0" та "1";
- логічний перепад;
- напругу порогу перемикавання;
- зону перемикавання (ширину активної зони);
- завадостійкість за рівнем "0" та "1";

3. Визначити основні динамічні параметри елемента за графіками перехідних процесів.

4. За одержаними результатами пояснити принцип роботи елемента.

5. Провести аналіз одержаних результатів і скласти звіт з лабораторної роботи.

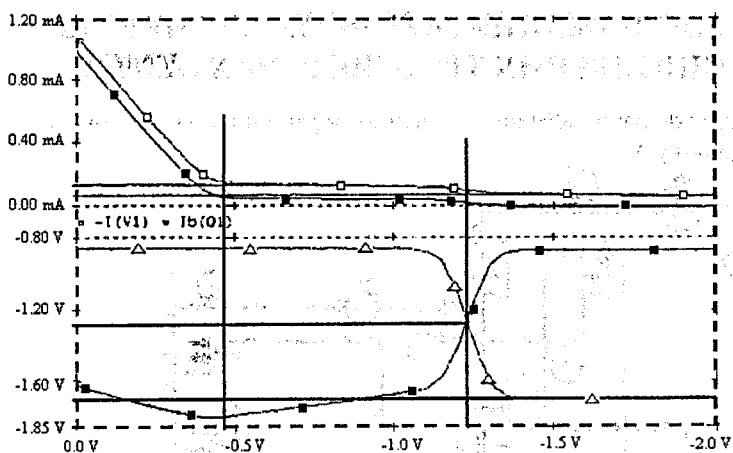


Рис. 36. Вхідна і передатна характеристика ЛЕ ЕЗЛ-типу

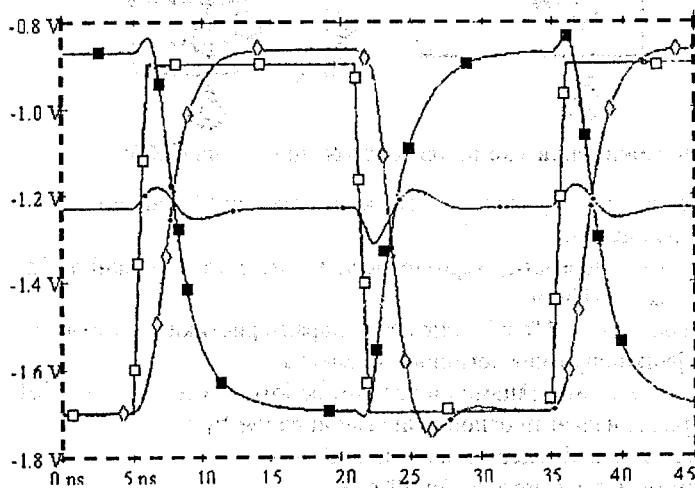


Рис. 37. Перехідні процеси ЛЕ ЕЗЛ-типу

4.7.4. ДОСЛІДЖЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ НА УНІПОЛЯРНИХ ТРАНЗИСТОРАХ (КМОН)

Принципові схеми логічних елементів зображені на рис. 38, вхідні файли в додатку А.

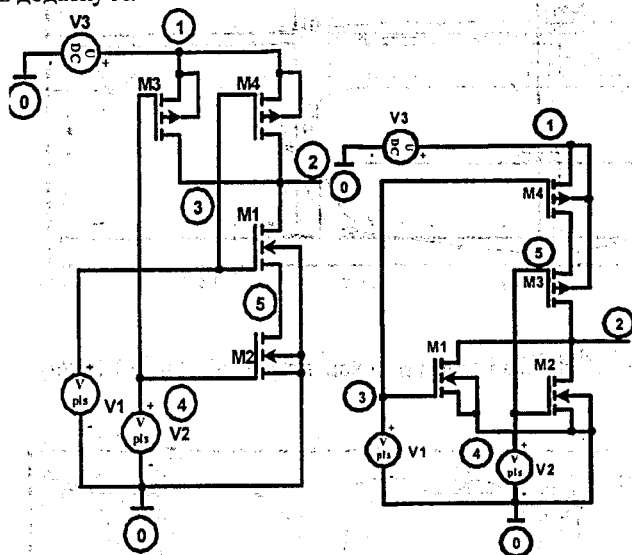


Рис. 38. Принципові схеми для дослідження ЛЕ на КМОН

1. Визначити, яку логічну функцію виконують елементи, що зображені на рис. 38.
2. Одержати передатну характеристику елемента і залежність $I_{дж}$ від $U_{вх}$. ($I_{дж} = f(U_{вх})$)
3. Визначити основні статичні характеристики елементів і пояснити функціонування логічного елемента.
4. Промоделювати динамічний режим роботи елемента на КМОН-транзисторах і визначити основні динамічні параметри.
5. Провести аналіз одержаних результатів.
6. Скласти звіт з лабораторної роботи.

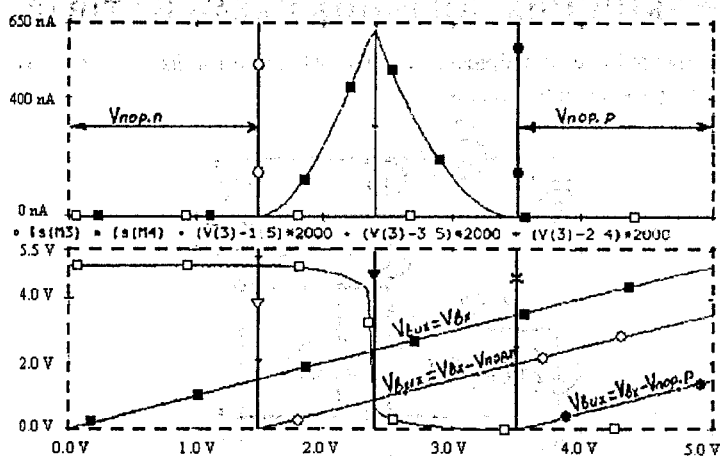


Рис. 39. Вхідна і передатна характеристика ЛЕ КМОН-типу

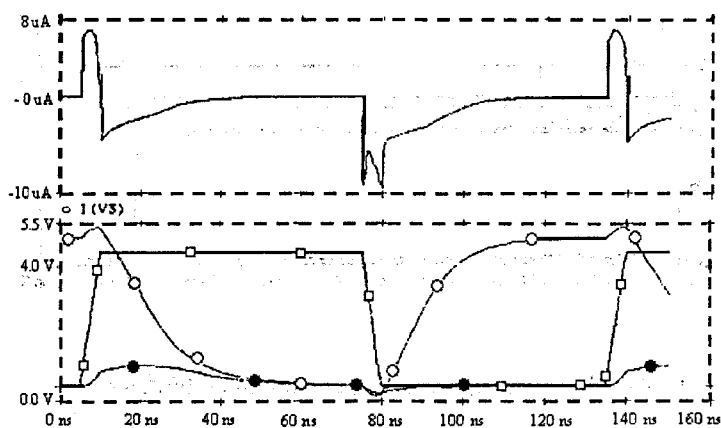


Рис. 40. Перехідні процеси в ЛЕ КМОН-типу

4.7.5. ДОСЛІДЖЕННЯ ІНТЕГРАЛЬНИХ ІНЖЕКЦІЙНИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ (І²Л)

Принципові схеми зображені на рис. 41, вхідний файл в додатку А. Схема для дослідження – рис. 41

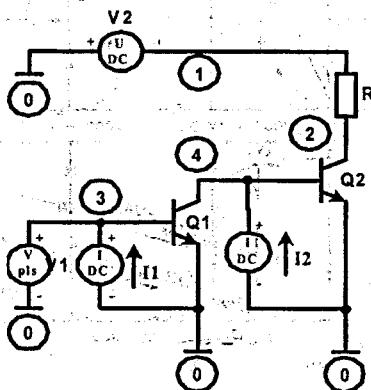


Рис. 41. Принципові схеми І²Л елементів

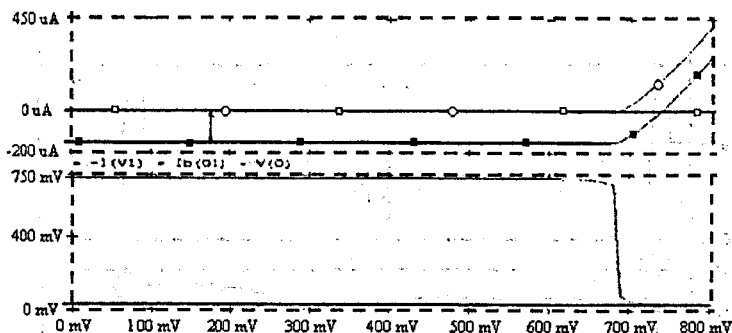


Рис. 42. Вхідна і передатна характеристика ЛЕ І²Л-типа

1. За вхідною характеристикою визначити статичні параметри: - $I^0_{вх}$, $U^0_{вх}$, $U^1_{вх}$, $I^1_{вх}$, і логічний перепад напруги.
2. За передатною характеристикою визначити: - $U^0_{вих}$, $U^1_{вих}$, $U_{пор}$, рівні відмикальної статичної завади і вимикальної статичної завади.

3. Про моделювати динамічний режим роботи елемента і визначити основні динамічні характеристики елемента.
4. Провести аналіз одержаних результатів.
5. Скласти звіт з лабораторної роботи.

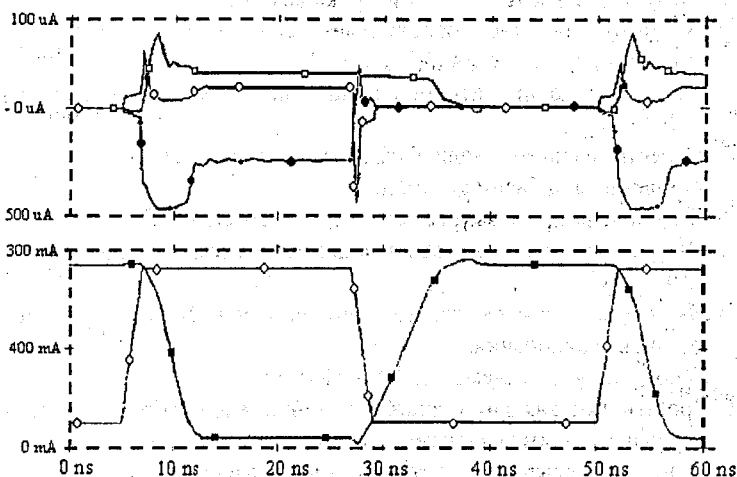


Рис. 43. Перехідні процеси в ЛЕ I^2L -типу

ЗМІСТ ЗВІТУ

1. Назва і мета лабораторної роботи.
2. Послідовність виконання роботи (стислий зміст основних пунктів порядку виконання роботи).
3. Схеми дослідження ЛЕ, результати вимірювань і параметрів ЛЕ.
4. Оцінка теоретичних і виміряних параметрів ЛЕ.
5. Порівняльний аналіз характеристик ЛЕ різного типу.
6. Висновки.

КОНТРОЛЬНІ ПИТАННЯ

1. Якими основними параметрами характеризуються ЛЕ?
2. Принцип роботи базового елемента ТТЛ.
3. Принцип роботи елемента ЕЗЛ - типу.
4. Принцип роботи елемента КМОН - типу.
5. Принцип роботи елемента I^2L - типу.
6. Яку роль виконує діод в складному інверторі ЛЕ ТТЛ - логіки ?

7. Чому відрізняються вхідні струми ТТЛ-логіки під час подавання "0" і "1"?
8. Від яких компонентів схеми залежить завадостійкість ТТЛ логіки?
9. Чому і як впливають незадіяні входи ЛЕ на його швидкодію?
10. Як впливає навантаження на вихідні параметри ЛЕ ТТЛ-логіки?
11. Чим пояснюється широке розповсюдження елементів ТТЛ-типу.
12. Чому дорівнюють U^0 та U^1 ТТЛ - елементів?
13. В чому полягає особливість структури багатомірного транзистора в елементах ТТЛ-типу?
14. Навести основні статичні і динамічні характеристики елементів ТТЛ - типу.
15. Навести варіанти модифікацій елементів ТТЛ-типу і цілі, для вирішення яких вони розроблені.
16. Чим пояснюється висока швидкодія елементів ЕЗЛ-типу?
17. Які основні частини можна виділити в схемі базового елемента ЕЗЛ - типу?
18. Яка схема є базовою для логічних елементів МОН-типу? Навести варіанти її виконання.
19. В чому переваги елементів КМОН-типу?
20. Зробіть порівняльний аналіз логічних елементів за основними класифікаційними ознаками.
21. Наведіть переваги елементів логічного базису І²Л-типу.

ЛІТЕРАТУРА

1. О.Д. Азаров, В.В. Байко, М.Р. Обертах. Комп'ютерна електроніка, частина II, Елементи цифрових схем. – Вінниця: ВДТУ, 2002.-170 с.
2. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001. - 379с., ил.- (Современная схемотехника).
3. Л.М. Преснухин, Н.В. Воробьев, А.А. Шишкевич Расчет элементов цифровых устройств. - М.: - Высшая школа, 1991 г.
4. Основы микроэлектроники: Учебное пособие для вузов/ Н.А. Аваев, Ю.Е. Наумов, В.Т. Фролкин.- М.: Радио и связь, 1991. – 288с.,ил.
5. Н.М. Соломатин Логические элементы ЭВМ. - М.: Высшая школа, 1987 год.
6. В.П.Сигорский, В.И.Зубчук, А.Н.Шкуро. Элементы цифровой схемотехники. –Киев:УТК. ВО, 1990г.
7. Методичні вказівки до виконання лабораторних робіт з курсу “Схемотехніка ЕОМ” для студентів бакалаврських напрямків 6.0915. Частина 1. / Уклад. О.Д. Азаров, В.В. Байко, С.М. Захарченко. – Вінниця: ВДТУ, 1997.-95с. Укр. мовою
8. Методичні вказівки до виконання лабораторних робіт з курсу “Схемотехніка ЕОМ” для студентів бакалаврських напрямків 6.0915 – “Комп'ютерна інженерія”. Частина 2 / Уклад. В.В. Байко, С.М. Захарченко, О.О. Коваленко – Вінниця: ВДТУ, 1997.-62с. Укр. мовою

5. ТРИГЕРНІ СХЕМИ ЦИФРОВИХ ПРИСТРОЇВ

В арифметичних та логічних пристроях для зберігання інформації найчастіше використовують *тригери* - пристрої з двома стійкими станами виходу, які включають елементарну запам'ятовувальну комірку та схему керування, що перетворює інформацію, яка надходить, в комбінацію сигналів, які діють безпосередньо на входи елементарної запам'ятовувальної комірки.

Тригери широко використовуються в схемах формування імпульсів, генераторах спеціальних сигналів, для побудови подільників частоти, лічильників, регістрів, накопичувальних суматорів, у пристроях керування і т.д.

У більшості серій інтегральних елементів виготовляються тригери різних типів, в тому числі універсальні. Через це нижче окремо розглянемо найбільш розповсюджені типи тригерів з урахуванням функціонального призначення, способів запису і керування процесами передавання інформації.

У ряді випадків, коли розробнику потрібен тригер з функціями, які існуючі тригери не виконують, то виникає задача проектування спеціального тригерного елемента.

5.1. ОСНОВНІ ПОЛОЖЕННЯ

5.1.1. Загальні характеристики

У схемах цифрової обчислювальної техніки як запам'ятовувальні елементи широко використовуються тригери. Тригер являє собою пристрій із двома стійкими станами, що містить запам'ятовувальний елемент (ЗЕ) і пристрій керування (ПК), як показано на рис. 44, де $X_1, \dots, X_n$ - інформаційні входи тригера; $C_1, \dots, C_m$ - тактувальні входи; Q і $\bar{Q}$ - відповідно, прямий та інверсний виходи тригера; f_1 і f_2 - функції збудження ЗЕ.

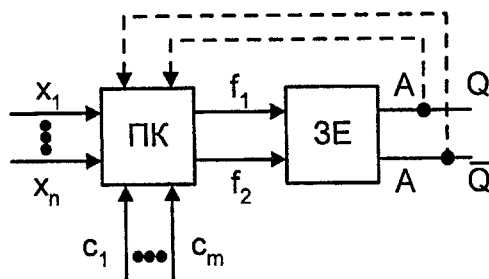


Рис. 45. Загальна схема тригерного пристрою

Для інформаційних входів прийняті такі позначення: S (Set - встановлення) - вхід для роздільного встановлення тригера у стан "1" ($Q = 1$, $Q=0$); R (Reset - скидання) - вхід для роздільного встановлення тригера в стан "0" ($Q=0$, $Q=1$); T (Toggle - релаксатор) - лічильний вхід тригера; J (Jerk-раптове включення) - вхід для роздільного встановлення тригера в стан "1" в універсальному JK - тригері; K (Kill-раптове вимикання) - вхід для роздільного встановлення тригера в стан "0" в універсальному JK-тригері; D (Delay - затримка, Drive - передавання) - інформаційний вхід для встановлення тригера у стан "0" або "1"; V (Valve - клапан, вентиль) - керувальний вхід для дозволу прийому інформаційних або тактових сигналів; тактующий вхід C (Clock - первинне джерело сигналів синхронізації) дозволяє схемі керування записувати інформацію в тригер.

Класифікація тригерів може проводитись за такими основними визначальними ознаками: способом запису інформації в тригер та функціональною.

Функціональна класифікація характеризує стан входів і виходів тригера в момент часу до його перемикання (t) і після його перемикання (t+1). На практиці ж використовують невелике число типів тригерів. До них можна віднести: RS-, JK-, T-, D-тригери.

За способом організації логічних зв'язків розрізняють тригери з роздільним встановленням станів "0" та "1" (RS - тригери); з лічильним входом (T- тригери); універсальні: з роздільним встановленням станів "0" та "1" (JK - тригери); з прийомом інформації за одним входом (D - тригери); або універсальні: з керувальним прийомом інформації за одним входом (DV - тригери); комбіновані (наприклад, RST - , JKRS - , DRS - тригери і т.п.); із складною входною логікою.

За способом запису інформації тригери класифікують на несинхронізовані (асинхронні, нетактовані); синхронізовані (синхронні, тактовані).

За способом синхронізації розрізняють тригери: синхронні зі статичним керуванням запису; синхронні з динамічним керуванням запису.

У синхронних тригерах зі статичним керуванням запису тактовий імпульс починає впливати тільки тоді, коли його рівень збільшується або до рівня "1", або зменшується до рівня "0" в залежності від елементної бази, на якій виконаний тригер. Тригери, стан яких змінюється в інтервалі дії рівнів "1" або "0" тактового імпульсу, називаються тригерами, які спрацьовують за рівнем, а тригери, стан яких змінюється після закінчення дії рівнів "1" або "0" тактового імпульсу на тригер, лише під час дії тактового імпульсу, називаються тригерами з внутрішньою затримкою.

В синхронних тригерах з динамічним керуванням запису інформація записується в момент зміни амплітуди тактового імпульсу в певному

напрямку, тобто під час зростання або спаду його фронту.

За кількістю інформаційних входів тригери можуть бути одноходовими, двовходовими та багатовходовими. Найбільшого поширення отримали одно- та двовходові тригери. Не слід плутати кількість інформаційних входів з кількістю фактичних входів, на які надходять інформаційні сигнали, бо діючий інформаційний вхід у структурі тригера може бути кон'юнкцією, диз'юнкцією або функцією декількох логічних змінних, які діють на інформаційних входах, наприклад $J = J_1 J_2 J_3$; $K = K_1 K_2 K_3$; $J = J_1 J_2 J_3$ і т.д.

За кількістю тактувальних входів розрізняють тригери одноктактові, двотактові, багатотактові. Іноді до двотактних відносять двоступеневі тригери (MS - схеми); слід пам'ятати, що основне призначення останніх – отримання ефекту часової затримки інформаційних сигналів у структурі тригера, якщо такий ефект не можна реалізувати з використанням будь-яких фізичних методів, наприклад, за допомогою накопичення зарядів і т.д.

За видом вхідних сигналів тригери поділяють на статичні та динамічні. Статичні тригери - тригери, в яких вихідні сигнали в стійких станах залишаються незмінними в часі. Динамічні тригери - тригери, в яких вихідні сигнали в стійких станах змінюються в часі.

Класифікація тригерних пристроїв повинна враховувати найбільш важливі ознаки, які дозволяють розрізняти тригери за їх функціональними та експлуатаційними можливостями і тим самим допомагають розробнику правильно орієнтуватися при їх виборі. Класифікація тригерних пристроїв показана на рис 46. В її основу покладені такі ознаки: спосіб схемної реалізації; функціональна ознака; спосіб запису інформації в тригер; спосіб керування записом інформації.

Спосіб схемної реалізації. Згідно з цією ознакою враховують такі особливості тригерних пристроїв:

- тип використаного елемента пам'яті (статичний, динамічний чи обидва разом);
- вид керуючого сигналу, з яким може працювати тригер (імпульсний, тобто сигнал обмеженої тривалості; потенціальний, тобто сигнал необмеженої тривалості, або той чи інший);
- наявність або відсутність у структурній схемі вузлів, які перетворюють потенціальні вхідні сигнали в імпульсні. Відповідно до цієї ознаки всі тригери поділяються на статичні, імпульсно-статичні, динамічні, квазістатичні.

Функціональна ознака припускає розподіл тригерів за видом характеристичного рівняння, яке описує їх поведінку (функціонування). Це рівняння в загальному вигляді записується так:

$$Q^{n+1} = f(Q^n, X^n_1, X^n_2, \dots, X^n_n)$$

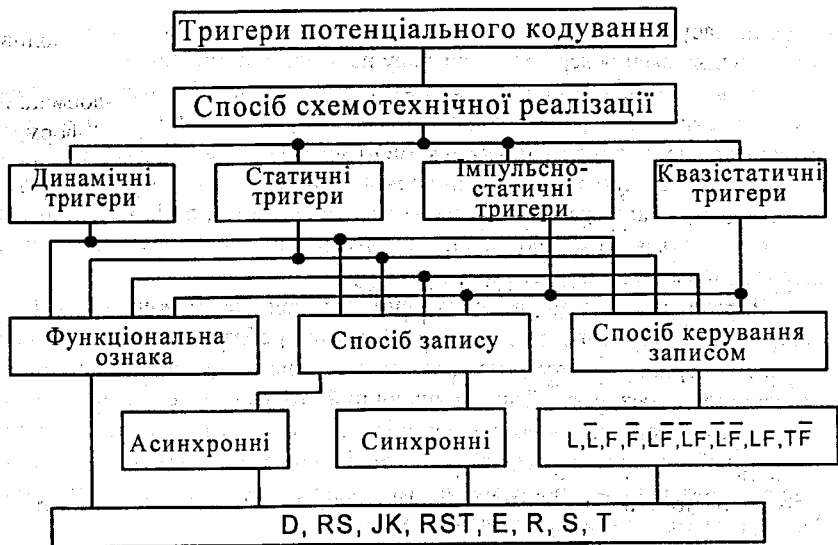


Рис. 46. Загальна класифікація тригерних пристроїв

і відображає стан виходу тригера в момент t^{n+1} (Q^{n+1}), залежно від комбінації сигналів, діючих на входах тригера $X_1 - X_n$, та його стан Q^n в момент t^n . Іншими словами, характеристичне рівняння описує реакцію тригера на комбінацію сигналів, поданих на його входи в момент t^n , який передує моменту t^{n+1} . Відповідно до функціональної ознаки розрізняють тригери RS, D, JK, T, E, RST, R, S та інших типів, тобто за функціональною ознакою присвоюється ім'я тригера. До того ж назва тригера звичайно дається за позначенням його інформаційних входів, яким замість символів $X_1 - X_n$ на загальній структурній схемі (рис. 45) присвоюються символи R, S, J, K, T і так далі. Наприклад, RS-тригер має два інформаційних (логічних) входи - R та S, з яких вхід R еквівалентний входу X_1 , а вхід S - входу X_2 . Проте в деяких випадках тригери позначаються однією буквою та мають два і більше інформаційних входи (наприклад, тригер E-типу).

Спосіб запису інформації в тригер. Відповідно до цієї ознаки тригери класифікуються за часом оновлення інформації з урахуванням її прив'язки до тактової (синхронізуючої) частоти пристрою. За цією ознакою тригери поділяються на асинхронні та синхронні (тактувальні). До асинхронних відносяться тригери, які мають тільки інформаційні входи. Запис інформації в такі тригери здійснюється асинхронно, тобто у вільні

моменти часу відносно частоти синхронізуючих імпульсів, а особливо в момент надходження керуючого сигналу на інформаційні входи.

На відміну від асинхронних синхронні тригери крім інформаційних мають додаткові синхронізуючі (тактувальні) входи С. Запис інформації в такі тригери здійснюється тільки в момент дії тактувального імпульсу (ТІ) на вході С. В свою чергу, синхронні тригери діляться на тригери одноктактною та багатотактною дії. Багатотактні (п-тактні, $p=2, 3, 4$) тригери характеризуються тим, що запис інформації в тригер закінчується з надходженням p -го тактувального імпульсу.

Вирази асинхронні та синхронні тригери не можна плутати з поняттями асинхронний та синхронний режим роботи тригера, оскільки асинхронні тригери можуть працювати в синхронному, а синхронні - в асинхронному режимах. Так, асинхронний тригер буде працювати в синхронному режимі, якщо інформація, що надходить на його входи, "прив'язана" до синхронізуючої частоти, і, навпаки, синхронний тригер буде працювати в асинхронному режимі, якщо сигнали на тактовому вході С не "прив'язані" до синхронізуючої частоти.

— Спосіб керування записом інформації в тригер. В ряді випадків цю ознаку слід вважати найважливішою, оскільки вона дозволяє враховувати основні моменти в роботі тригера, а особливо:

- частини (фрагменти) сигналу (фронти, рівні, їх комбінації), які використовуються для запису (прийому) інформації;
- реакцію тригера на зміну інформації в процесі її запису;
- момент часу, коли інформація з'являється (фіксується) на виходах тригера.

Можна виділити дві групи тригерів, які розрізняються за способом керування записом інформації:

- тригери, в яких прийом та фіксація інформації суміщені за часом;
- тригери, в яких прийом та фіксація інформації рознесені за часом.



Рис. 47. Позначення фрагментів сигналів

До першої групи належать тригери, в яких для прийому та фіксації інформації використовується тільки один фрагмент сигналу: рівень або фронт. Позначимо, як це показано на рис. 47, рівні символами $L, \bar{L}$ (від слова Level-рівень), а фронти символами $F, \bar{F}$ (від слова Front-фронт). Відповідно до прийнятих позначень тригери, які приймають та фіксують інформацію по рівнях та фронтах, називають тригерами L - та F -типів (видів).

До другої групи відносяться тригери, в яких для прийому та фіксації інформації використовуються як мінімум дві частини сигналу, наприклад, рівень та зріз, рівень та фронт, фронт та зріз і т.п. Такі тригери будемо позначати двома символами (перший вказує на інтервал прийому, а другий – на момент фіксації); наприклад тригер LF-типу, приймає інформацію по рівню L з фіксацією на виходах по фронту F (фронт 10). Можливі інші різновиди тригерів цієї групи, наприклад тригер LF-типу, який приймає інформацію у схему за рівнем $\bar{L}$ (рівень "0") з фіксуванням на виході по фронту F (01); Тригер LF-типу, приймає інформацію у схему керування за рівнем L з фіксуванням на виході по фронту F; тригер FF-типу, приймає інформацію по фронту F з фіксуванням по фронту F.

Об'єднавши усі класифікаційні ознаки, отримаємо загальне (символьне) позначення (запис) тригера, яке дозволяє дізнатися не тільки про виконання тригером функції, але й про алгоритм роботи. Нижче на прикладах статичних тригерів RS-, D-, JK-типів наводяться варіанти такого об'єднання при символічному позначенні тригера: $C_L RS$ -тактувальний RS-тригер виду L, який перемикається по входах R та S сигналами високого рівня (рівень L на рис. 47). Враховуючи, що по входах R та S тригер керується потенціальними сигналами рівня L, то такий тригер можна записати: $C_L R_L S_L \equiv (CRS)_L$. Всі записи однакові:

$C_L RS$ - тактований RS - тригер виду L, який керується по входах R та S сигналами низького рівня (рівня L). Цей же тригер можна записати $(CRS)_L \equiv C_L R_L S_L = C_L RS$;

$C_F RS$ - тактований RS-тригер вида F, який приймає та фіксує інформацію по фронту F (тобто протягом деякого інтервалу часу, що практично збігається з тривалістю фронту);

$C_{LF} RS$ - тактований RS-тригер виду LF, який приймає інформацію за рівнем L з фіксацією на виходах по фронту F;

$C_{LF} JK$ - тактований JK-тригер вида LF, керований по входах JK сигналами з рівнем логічного "0";

$C_{FF} D$ - тактований D-тригер виду FF;

$R_L - S_L \equiv (R - S)_L$ - асинхронний RS - тригер виду L;

$R_L - S_L \equiv (R - S)_L$ - асинхронний RS - тригер виду L

RS - тригер без зазначення класифікаційних ознак, які враховують способи керування записом (аналогічно JK, D та інших типів);

CRS - тактований RS - тригер без зазначення класифікаційних ознак, які враховують спосіб керування записом (аналогічно CD, CJK та інших типів);

Наведені приклади не охоплюють всю множину символічного запису тригерних пристроїв, і більш детально це питання буде розглянуто нижче при описанні особливостей їх роботи.

Кажучи про індексну класифікацію, необхідно підкреслити, що її введення дозволяє спростити процедуру вибору та ефективного застосування тригерних пристроїв, оскільки така класифікація дозволяє не тільки знати алгоритм роботи тригера, але й уявляти його вихідну діаграму, не ознайомлюючись з його принциповою схемою. Остання є важливим моментом у схемотехніці тригерних пристроїв, оскільки відомо, що тригери одного функціонального типу, але з різними способами керування запису інформації, мають різні вихідні діаграми при ідентичній вхідній.

5.1.2. Вимоги та параметри, які характеризують тригерні пристрої

Тригер, як і будь-який інший електронний пристрій, характеризується рядом параметрів та вимог, висунутих до нього. Всю сукупність цих параметрів можна розбити на дві групи: функціональні та схемотехнічні. До функціональних відносять ті вимоги та параметри, яким повинен відповідати тригер при його конкретному застосуванні. До їх числа можна віднести:

- функціональний тип тригера;
- спосіб запису інформації в тригер;
- спосіб керування записом інформації в тригер;
- число тактувальних, інформаційних, керувальних та встановлювальних входів;
- еквівалент навантаження тригера за тактовим входом;
- навантажувальна здатність тригера за виходом;
- швидкодія тригера;
- функціональна надійність тригера.

Оскільки тригери в цифрових приладах взаємодіють з іншими елементами схеми, крім їх функціонального призначення, необхідно знати їх *схемотехнічні параметри*. Передусім до цих параметрів слід віднести параметри логічних елементів, на яких виконаний тригер: $K_{об}$ - коефіцієнт об'єднання по входу; $K_{роз}$ - коефіцієнт розгалуження по виходу; рівні "0" та "1", вхідні та вихідні струми і т.д.

На відміну від логічних елементів параметрами тригера є:

роздільний час тригера $t_{роз}$ - найменший інтервал часу між вхідними сигналами мінімальної довжини, які викликають безперервне перемикаання тригера. Очевидно, що $t_{доз}$ залежить від того, який зміст вкладається в

слова "безперервне перемикання тригера". Прийнято вважати, що тригер перемикається безперервно, якщо будь-яке значення вихідного сигналу, яке визначається правилами роботи, має довжину, яка не менша середнього часу затримки розповсюдження $t_{зт.р.сер.}$ одного логічного елемента схеми;

максимальна частота перемикання тригера:

$$f_{\max} = 1 / t_{роз.}$$

Оскільки, як визначено вище, вихідні сигнали тригера при дії вхідних сигналів з частотою $f_{\max}$ мають довжину $t_{зт.р.сер.}$, то враховуючи довжину фронтів зростання та спаду, можна зробити висновок, що ці вхідні сигнали є недостатніми для надійного передавання інформації в логічні кола, бо рівні "1" та "0" у цьому випадку не будуть фіксуватися. Для забезпечення їх фіксуванням прийнято зменшити частоту $f_{\max}$ в 1,5 раза і вважати її робочою, тобто:

$$f_{роб} = f_{\max} / 1,5.$$

Мінімальна тривалість вхідного сигналу:

$$t_i = \sum_{l=1}^k t_{зт.р.сер.},$$

де K - кількість елементів в колі інформаційного або тактового сигналу від входу до виходу пристрою, на якому замикається тригерне коло зворотного зв'язку;

Час затримки перемикання тригера

$$t_{зт.пер.} = \sum_{l=1}^l t_{зт.р.сер.},$$

де l - кількість елементів у колі від входу інформаційного або тактового сигналу до виходу елемента, на якому підтверджується стан тригера.

Із визначення t_i та $t_{зт.пер.}$ випливає, що: $l = k + 1$.

Тут одиниця характеризує затримку розповсюдження одного з логічних елементів, на яких виконується елементарна запам'ятовувальна комірка тригера.

Сукупність параметрів $f_{роб.}$, t_i , $t_{зт.пер.}$ визначає швидкодію тригерів та в загальному випадку швидкодію цифрових пристроїв, які побудовані на їх основі. Інші параметри визначені в [2].

5.2 РІЗНОВИДИ ТРИГЕРНИХ СХЕМ

5.2.1 Одноступеневі тригери

Найпростішими одноступеневими тригерами є тригери типу RS з входами нульової та одиничної установок (рис. 48). Часто таку структуру називають бістабільною коміркою (БК). Розрізняють кон'юнктивну (рис. 48, а) та диз'юнктивну БК (рис. 48, б).

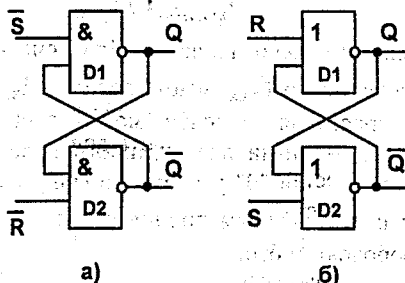


Рис. 48. Кон'юнктивна (а) та диз'юнктивна (б) форми бістабільної комірки

5.2.2 Асинхронний RS-тригер

Логічне функціонування кон'юнктивної БК (рис. 48, а) описується рівняннями:

$$Q^{n+1} = \overline{S^n} \cdot \overline{Q^n} = S^n + Q^n; \quad (1)$$

$$\overline{Q^{n+1}} = \overline{R^n} \cdot \overline{Q^n} = R^n + \overline{Q^n} \quad (2)$$

або скороченою таблицею переходів (табл. 8). Часова діаграма роботи кон'юнктивної БК показана на рис. 49.

Таблиця 8.

$\overline{S^n}$	$\overline{R^n}$	Q^{n+1}
0	0	X
0	1	1
1	0	0
1	1	Q^n

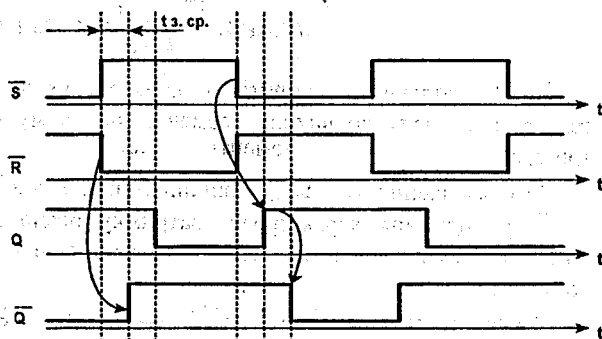


Рис. 49. Часова діаграма роботи кон'юнктивної БК

5.2.3. Синхронний RS-тригер

Синхронний RS-тригер на ЛЕ I-II зі статичним (потенціальним) керуванням записом інформації та часова діаграма його роботи з урахуванням затримок представлені на рис. 50 В RS-тригері зі статичним керуванням запис інформації здійснюється протягом тривалості синхронізуючого сигналу.

Загальна таблиця переходів наведена в табл. 9.

Таблиця 9.

N	t^n			t^{n+1}
	S^n	R^n	Q^n	Q^{n+1}
1	0	0	0	0
2	1	0	0	1
3	0	1	0	0
4	1	1	0	X
5	0	0	1	1
6	1	0	1	1
7	0	1	1	0
8	1	1	1	X

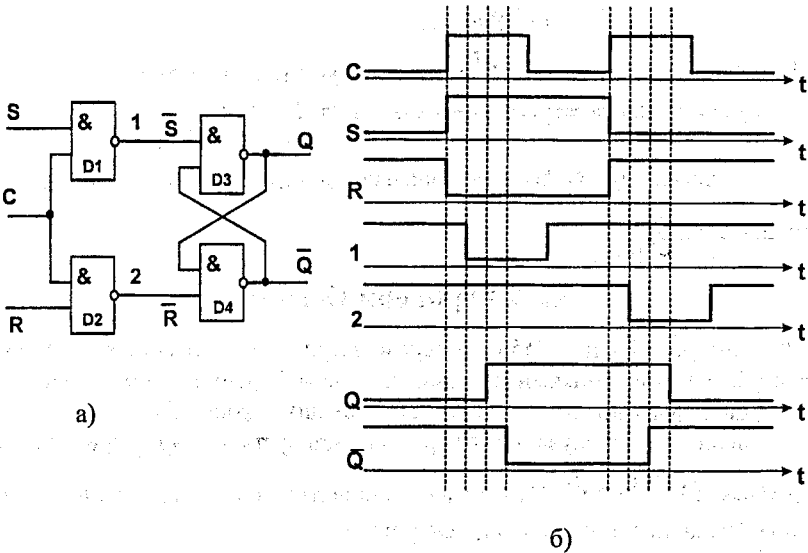


Рис. 50. Синхронний RS-тригер на ЛЕ I-II зі статичним (потенціальним) керуванням записом інформації (а) та часова діаграма його роботи з урахуванням затримок(б)

З таблиці 9 випливає, що одночасна комбінація "1" по входах S і R заборонена, тобто вона викликає невизначений стан виходів тригера після припинення дії тактувального імпульсу. Його слід не враховувати при складанні характеристичного рівняння тригера, що відповідає умові:

$$S^n \cdot R^n = 0 \quad (3)$$

На основі табл. 9 запишемо рівняння:

$$Q^{n+1} = S^n \cdot R^n \cdot \overline{Q^n} + S^n \cdot R^n \cdot Q^n + S^n \cdot \overline{R^n} \cdot Q^n \quad (4)$$

Додамо рівняння (3) та (4) та мінімізуємо їх за допомогою діаграми Вейча (рис. 51) та отримусмо вираз:

$$Q^{n+1} = S^n + R^n \cdot Q^n = Q^{n+1} \quad (5)$$

		R^n	
		1	0
Q	1	1	X
	0	1	X

Рис. 51.

Швидкодія RS-тригера S^n характеризується параметрами:

а) максимальна затримка переключення $\tau_t = 3t_{з.сер.}$;

б) тривалість τ_i вхідного сигналу для стійкого функціонування тригера $\tau_i \geq 3t_{з.сер.}$

5.2.4. Тригери D-типу

Тригером D-типу (або тригером затримки) називається логічний пристрій з двома стійкими станами та одним інформаційним входом D таким, що інформація на виході повторює вхідну інформацію.

Закон функціонування D-тригера описується характеристичним рівнянням $Q^{n+1} = D^n$. Скорочена таблиця переходів D-тригера наведена в табл. 10 існують такі різновиди D-тригера:

- асинхронний D-тригер;
- синхронний D-тригер зі статичним (потенціальним) керуванням записом;
- синхронний D-тригер з динамічним керуванням записом.

Асинхронний D-тригер. В асинхронному D-тригері інформація записується в моменти надходження входніх інформаційних сигналів.

В схемі асинхронного D-тригера (рис. 52, а) інформація на виході присутня тільки при наявності її на вході. Функцію затримки можуть в цьому випадку виконувати два послідовно з'єднаних інвертори. Тому схема асинхронного D-тригера не несе практичної цінності через відсутність режиму зберігання інформації.

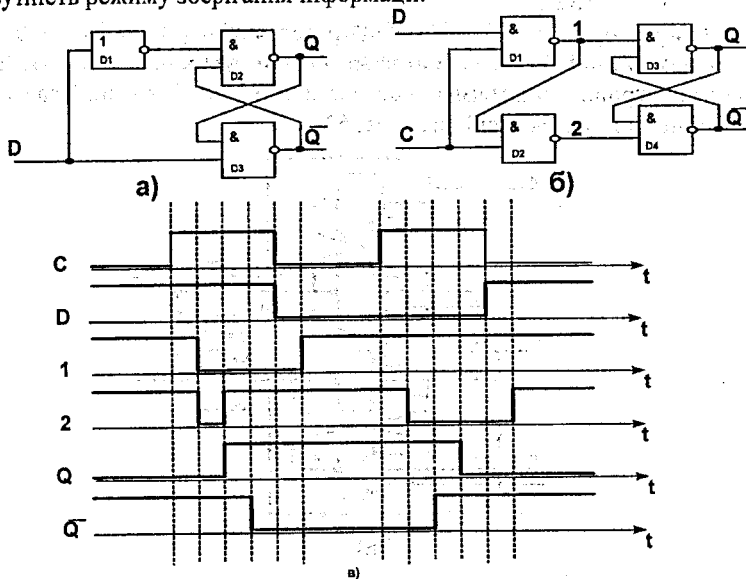


Рис. 52. Схема асинхронного(а) та синхронного(б) D-тригера і часова діаграма роботи(в)

Синхронний D-тригер. Синхронний D-тригер зі статичним керуванням записом інформації здійснює затримку сигналу на один такт (період надходження синхросигналів). В таблиці 11 показані переходи даного тригера.

Схема синхронного D-тригера наведена на рис. 52, б.

Таблиця 10.

t^n	t^{n+1}
D^n	Q^{n+1}
0	0
1	1

Таблиця 11.

C^n	D^n	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	0
1	1	1

Швидкодія D-тригера характеризується такими параметрами:

а) затримка перемикання $\tau_t = 3t_{3.сер.}$

б) тривалість τ_i вхідного сигналу для стійкого функціонування тригера $\tau_i \geq 3t_{3.сер.}$

Існують інші різновиди D-тригерів зі статичним керуванням записом на ЛЕ І-АБО-НІ (тригер-защипка) та на ЛЕ АБО-НІ.

Синхронний D-тригер з динамічним керуванням записом. Даний тригер з внутрішньою затримкою, на елементах І-НІ, виконаний за схемою трьох тригерів, зображений на рис. 53.

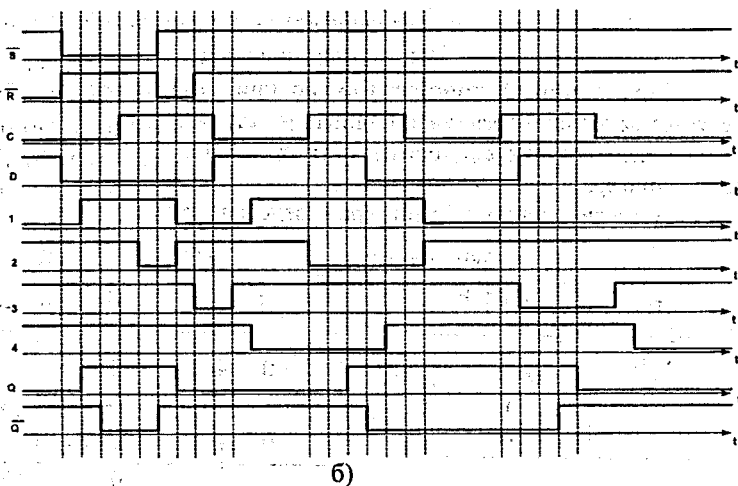
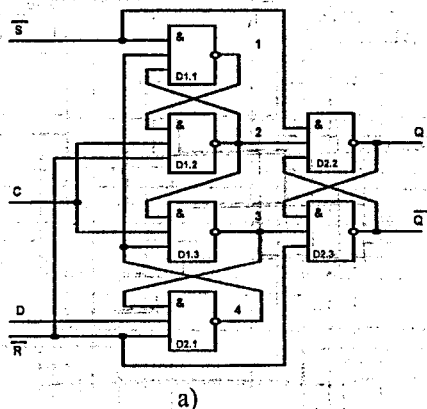


Рис. 53. Синхронний D-тригер з динамічним керуванням записом (а) і часові діаграми його роботи (б)

В цьому тригері сигнали, які відповідають новому стану, встановлюються при переході тактующого сигналу з "0" в "1". Спосіб запису інформації в тригерах такого типу називають динамічним. В схемі (рис. 53) є три асинхронних тригери RS-типу, один з яких основний (D2.2, D2.3) та два допоміжних (D1.1 – D1.3, D2.1) або комутувальних. Короткочасне запам'ятовування вхідної інформації виконується D1.1 та D2.1 разом з D1.2 та D1.3. ЛЕ D1.2 та D1.3 використовуються також для керування основного тригера.

Входи S, R асинхронні (встановлювальні). Існують інші схеми динамічних тригерів з внутрішньою затримкою, які реалізуються на ЛЕ АБО-НІ, І-АБО-НІ.

Швидкодія D-тригера за схемою трьох тригерів характеризується такими параметрами:

а) затримка перемикавання по інформаційному входу в найгіршому випадку $\tau_t = 5t_{з.сер.}$;

б) тривалість вхідного синхронізуючого імпульсу для стійкого функціонування D-тригера: $\tau_i \geq 5t_{з.сер.}$

5.2.5. Т-тригер

Т-тригер називають також лічильним тригером. Він виконує підрахунок одиниць, які надходять на вхід Т, за модулем два; що видно з табл. 12.

Таблиця 12.

T^n	Q^{n+1}
0	Q^n
1	$\overline{Q^n}$

Характеристичне рівняння тригера $Q^{n+1} = \overline{T^n} \cdot Q^n + T^n \cdot \overline{Q^n}$

або, використовуючи більш компактний запис, $Q^{n+1} = (\overline{T} \cdot Q + T \cdot \overline{Q})^n$.

5.2.6. JK-тригер

Як видно з таблиці переходів JK-тригера (табл. 13), при комбінації вхідних сигналів $J=K=0$, $J=0$ та $K=1$, $J=1$ та $K=0$ він працює як RS-тригер (вхід J відповідає входу S, а K-входу R), а при $J=K=1$ з надходженням

- а) "М-S" з інвертором;
- б) "М-S" з різнополярним керуванням;
- в) "М-S" з забороненими зв'язками.

5.2.8. Схема ТП типу "М-S" з інвертором

Складається з двох тригерів (рис. 55), де між основним (приймає вхідну інформацію) та допоміжним (фіксує стан ТП) включається інвертор D1, що блокує перезапис інформації в допоміжний тригер під час запису інформації в основний тригер (при $C=1$ на виході D1 встановлюється "0", який закриває елементи D6 та D7). На рис. 55 зображений синхронний двоступеневий RS-тригер з асинхронними входами S та R, пунктиром показаний зворотний зв'язок для JK-тригера.

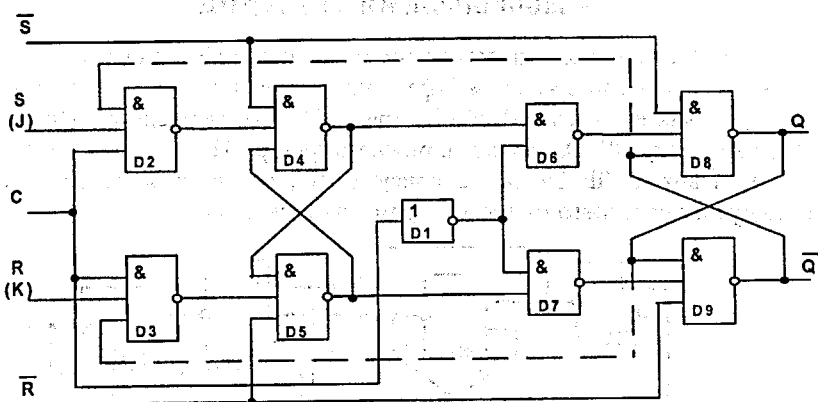


Рис. 55. Синхронний двоступеневий RS-тригер з асинхронними входами S та R

5.2.9. Схема ТП типу "М-S" з різнополярним керуванням

Особливість цієї схеми полягає в тому, що блокування перезапису досягається за рахунок керування основною та допоміжною тригерів синхронізуючими сигналами різної полярності.

Наприклад, якщо основний тригер побудувати на ЛЕ типу І-НІ (рис. 56), а допоміжний – на ЛЕ типу АБО-НІ, то, відповідно, перший буде керуватись сигналом "1", а другий – сигналом "0".

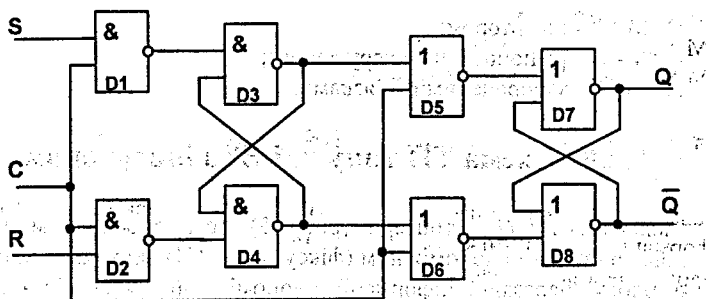


Рис. 56. Схема ТП типу "М-S" з різнополярним керуванням

5.2.10. Схема ТП типу "М-S" з забороненими зв'язками

Особливість схеми полягає в тому, що під час дії тактового імпульсу ТП ($C=1$) одночасно з записом інформації в основний тригер з одного із його логічних елементів D1 або D2 (рис. 57) надходить сигнал логічного "0", який блокує ЛЕ D5 та D6 допоміжного тригера. Після закінчення дії ТП ($C=0$) на виході ЛЕ D1 та D2 присутні "1", які дозволяють перезапис інформації з основного тригера в допоміжний (рис. 57).

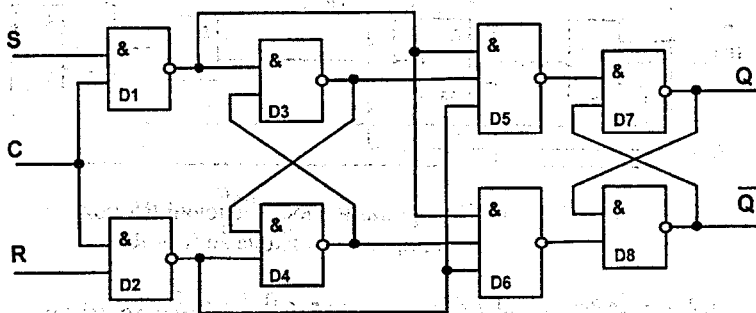


Рис. 57. Схема ТП типу "М-S" з забороненими зв'язками

5.2.11. JK-тригер типу "М-S" з забороненими зв'язками

Тригером JK-типу (рис. 58) називається пристрій з двома стійкими станами та двома входами J та K, який за умовою $J=K=1$ інвертує попередній стан тригера, а в інших випадках функціонує згідно з таблицею істинності RS-тригера.

Таблиця переходів JK-тригера наведена в табл. 14.

На основі табл. 14 запишемо рівняння для функції Q^{n+1} :

$$Q^{n+1} = J^n \cdot \overline{K^n} \cdot Q^n + J^n \cdot \overline{K^n} \cdot \overline{Q^n} + J^n \cdot K^n \cdot Q^n + J^n \cdot K^n \cdot \overline{Q^n}. \quad (7)$$

Мінімізуємо вираз (7) за допомогою діаграми Вейча (рис. 59).

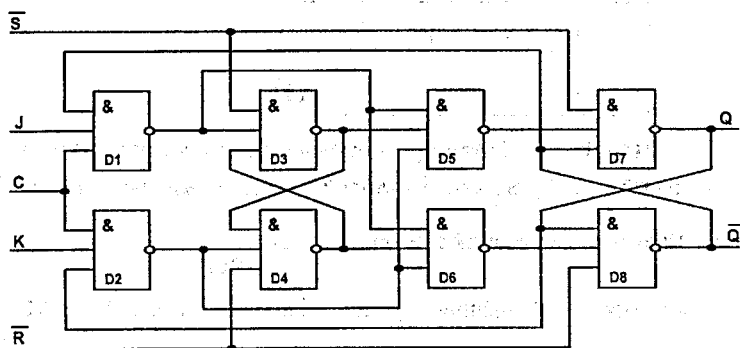


Рис. 58. Схема JK-тригера типу "М-S" з забороненими зв'язками

Таблиця 14.

N n/n	t^n			t^{n+1}
	J^n	K^n	Q^n	Q^{n+1}
1	0	0	0	0
2	0	1	0	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1
6	0	1	1	0
7	1	0	1	1
8	1	1	1	0

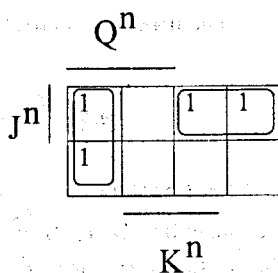


Рис. 59.

Отримаємо характеристичне рівняння JK-тригера:

$$Q^{n+1} = J^n \cdot \overline{K^n} \cdot Q^n + J^n \cdot K^n \cdot \overline{Q^n}; \quad (8)$$

Мінімізована таблиця переходів JK-тригера наведена в табл. 15

Таблиця 15.

t^n		t^{n+1}
J^n	K^n	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

Швидкодія JK-тригера визначається за такими параметрами:

- тривалість τ_i вхідного синхронізуючого імпульсу для стійкого запису інформації в основний тригер: $\tau_i \geq 3t_{з.сер.}$

- затримка перемикання τ_t допоміжного тригера $\tau_t \geq 4t_{з.сер.}$

(час перемикання RS-тригера – $3t_{з.сер.}$ та час перемикання одного з ЛЕ

D1 або D2 – $1t_{з.сер.}$);

-максимальна частота f_{max} перемикання JK-тригера:

$$f_{max} \geq \frac{1}{(\tau_i + \tau_t)} \cdot \frac{1}{7 \cdot t_{з.сер.}}. \quad (9)$$

Для початкового встановлення тригера існують асинхронні входи $\bar{S}$ (встановлення $Q=1$) та $\bar{R}$ (встановлення тригера в $Q=0$). Швидкодія за асинхронними входами JK-тригера дорівнює $2t_{з.сер.}$

JK-тригер за допомогою невеликих змін можна перетворити в інші тригери – RS, D, T.

RS-тригер з JK-тригера:
порівнюючи характеристичне рівняння RS-тригера:

$$Q^{n+1} = S^n + \overline{R^n} Q^n \quad (10)$$

з рівнянням (8), отримуємо їх тотожність за умовою $J=S$, $K=R$ та виключенням комбінації $JK=1$.

D-тригер на основі JK-тригера:

при виконанні умови $J=K=D$ в рівнянні (8) маємо:

$$Q^{n+1} = D^n \cdot \overline{Q^n} + D^n \cdot Q^n = D^n; \quad (11)$$

що відповідає характеристичному рівнянню D-тригера.

T-тригер на основі JK-тригера: характеристичне рівняння T-тригера (лічильний тригер):

$$Q^{n+1} = T^n \cdot \overline{Q^n} + \overline{T^n} \cdot Q^n \quad (12)$$

порівнюючи рівняння (12) та (8), помічаємо, що при виконанні умови $J=K=T$, рівняння (8) та (12) тотожні.

6. ЛАБОРАТОРНА РОБОТА №3

Проектування та дослідження тригерних схем

Мета роботи: вивчення функціонування схемних різновидів тригерів, оволодіння методами їх проектування, набуття навиків в налагодженні та визначенні характеристик тригерів.

Вступ

В схемах цифрової обчислювальної техніки як запам'ятовувальні елементи широко використовуються тригери. Тригер являє собою пристрій з двома стійкими станами, який має запам'ятовувальний елемент (ЗЕ) та схему керування (СК).

Тригери класифікують за рядом ознак. В залежності від існування тактувальних входів розрізняють синхронні (є тактуючі входи) та асинхронні (нема тактувальних входів) тригери. Найбільше розповсюдження серед синхронних одержали однотактні тригери, які мають тільки один тактувальний вхід.

Функціональна класифікація характеризує стан входів та виходів тригера в момент часу до його перемикання (t^n) та після його перемикання (t^{n+1}).

Синхронні тригери можна розподілити за дією тактового імпульсу при прийомі інформації (за способом синхронізації) на:

- 1) синхронні тригери зі статичним керуванням записом;
- 2) синхронні тригери з динамічним керуванням записом;
- 3) синхронні двоступеневі тригери (тригери, що побудовані за принципом master-slave, MS-тригери).

Підготовка до роботи

1. Вивчити опис лабораторної роботи та рекомендації літератури.
2. Побудувати принципову схему та часові діаграми тригера, який досліджується. Варіант завдання вказує викладач.
3. За допомогою часових діаграм визначити час перемикання тригера, мінімальну довжину та максимальну частоту тактувальних сигналів. Вважати, що затримка сигналів одним елементом однакова.
4. При дослідженні тригерів в динамічному режимі необхідно на входи їх подавати сигнали з попередньо набраної схеми з мікромакетів (рис. 60). D-тригери включити за схемою T-тригера.

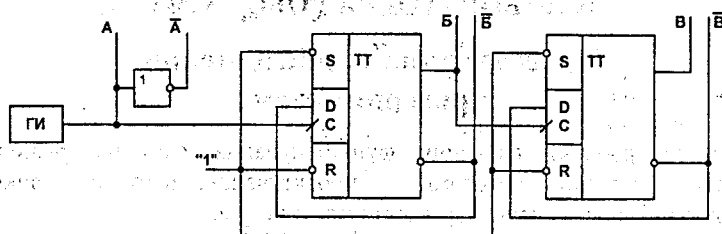


Рис. 60

Порядок виконання роботи

1. Отримати необхідні мікромакети та комутаційні проводи.
2. Зібрати задану схему тригера на лабораторній установці.
3. Ознайомитись з роботою осцилографа, підготувати його до роботи. Синхронізацію осцилографа проводити імпульсами від генератора імпульсів.
4. Підключити лабораторний стенд до джерела живлення.
5. Дослідити схему в статичному та динамічному режимах. В статичному режимі синхроімпульси на схему подавати від генератора одиничних імпульсів (ГОІ), а входні інформаційні сигнали формуються за допомогою тумблерів регістра. Стан тригера визначається за допомогою сигнальних світлодіодів "індикація виходів", до входів яких підключити необхідні точки схеми.
6. Показати викладачу роботу налагодженої схеми.
7. Зарисувати часові діаграми для точок схеми, вказаних викладачем.
8. Дослідити вплив асинхронних входів на роботу тригерів, в яких вони існують.
9. Вимкнути лабораторну установку від джерела живлення. Розібрати схему. Мікромакети, провідники та осцилограф здати лаборанту.

Зміст звіту

Зміст повинен містити в собі короткі теоретичні відомості, які необхідні для виконання завдання, всі схеми, формули, таблиці та діаграми, які отримані при підготовці та виконанні лабораторної роботи, а також висновки.

Контрольні питання

1. Розкажіть про узагальнену структуру тригера.
2. Яка особливість роботи бістабільної комірки?
3. Сформулюйте означення RS-тригера.
4. Які є способи опису функціонування тригера?
5. Яка різниця між асинхронним та синхронним тригерами?
6. Як проводиться запис інформації в тригері зі статичним керуванням записом?
7. Як побудувати часову діаграму з урахуванням затримок ЛЕ?
8. Як визначається швидкодія тригерів?
9. Способи функціонування тригерів.
10. В чому різниця статичного та динамічного керування записом інформації?
11. Охарактеризуйте динамічні входи D (JK)-тригера за схемою трьох тригерів.
12. Яку роль виконують асинхронні входи тригерів?
13. В чому перевага тригера, що побудований за схемою трьох тригерів?
14. Які існують схеми типу "M-S"? Їх особливості.
15. Наведіть означення JK-тригера.
16. Наведіть характеристичне рівняння JK-тригера.
17. За яким фронтом синхроімпульсу працює тригер "MS-типу"?
18. Яку роль виконує допоміжний і основний тригери в тригерах "MS-типу"?
19. Як отримати інші типи тригерів на основі JK-тригера?
20. Скласти таблиці переходів RS-, R-, S-, E-, D-, T-, DV- та JK-тригерів.

Література

1. О.Д. Азаров, В.В. Байко, М.Р. Обертюх. Комп'ютерна електроніка, частина II. Елементи цифрових схем. Навчальний посібник. Під ред. О.Д. Азарова. – Вінниця: ВДТУ, 2002. – 170 с.
2. О.Д. Азаров, В.В. Байко, С.М. Захарченко. Методичні вказівки до виконання лабораторних робіт з курсу "Схемотехніка ЕОМ". - Вінниця: ВДТУ, 1997. – 97 с.
3. Цифровые вычислительные машины (элементы, узлы и устройства, машины). Лабораторный практикум для вузов. Под ред. Г.Н. Соловьева. - М., Атомиздат: 1997. – 321 с.
4. Букреев И.Н., Мансуров Б.М., Горячев В.И. Микроэлектронные схемы цифровых устройств. – М.: Сов. радио, 1975.-368 с.
5. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001.– 379 с.
6. Алексеенко А.Г. Основы микросхемотехники. – М.: Сов. Радио, 1977. – 408с.
7. Аваев Н.А. и др. Основы микроэлектроники: Учебное пособие для вузов. – М.: Радио и связь, 1991. – 288 с.
8. Зельдин Е.А. Триггеры. – М.: Энергоатомиздат, 1983.-96с.
9. Самофалов К.Г., Корнейчук В.И., Тарасенко В.П. Цифровые ЭВМ. Теория и проектирование. – К.: Выща школа, 1983.- 454с.
10. Самофалов К.Г., Корнейчук В.И., Тарасенко В.П., Жлобин В.И. Цифровые ЭВМ. Практикум. – К.: Выща школа, 1990.- 215с.

7. ЛАБОРАТОРНА РОБОТА N4

ПРОЕКТУВАННЯ ТА ДОСЛІДЖЕННЯ ТРИГЕРНИХ СХЕМ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ В СИСТЕМІ MICRO - CAP

Мета роботи: вивчення функціонування схемних різновидів тригерів, дослідження характеристик тригерів і набування навиків моделювання програмами MICRO-CAP.

Вступ

В схемах цифрової обчислювальної техніки як елементи пам'яті широко використовуються тригери. Тригер представляє собою пристрій з двома стійкими станами, який має запам'ятовувальний елемент і схему керування.

Тригери класифікуються за рядом ознак. В залежності від наявності тактувальних входів розрізняють синхронні і асинхронні тригери. Найбільше розповсюдження серед них одержали однотактні тригери, які мають тільки один тактуючий вхід.

Функціональна класифікація характеризує стан входів і виходів тригера в момент часу до його переключення і після його переключення.

Класифікація тригерів за способом запису інформації характеризує процес переключення тригерів. Розрізняють такі типи тригерів:

- тригери, що керовані рівнем сигналів;
- тригери, що керовані перепадом сигналів.

Проектування тригерних пристроїв складається з вибору елемента пам'яті і синтезу схеми керування в заданому елементному базисі.

Логічне моделювання цифрових пристроїв виконується в системі MICRO-CAP. Результати моделювання представляються у вигляді часових діаграм, за якими аналізується робота пристрою.

При моделюванні вузли цифрового пристрою можуть мати один з трьох логічних рівнів: логічна одиниця "1", логічний нуль "0" і невизначений рівень "X". На початку моделювання всі вузли, стан яких примусово не визначений, мають невизначений рівень "X".

Підготовка до роботи

1. Вивчити принцип роботи тригерних схем.
2. Одержати у викладача варіант схеми тригера, яку потрібно буде дослідити.
3. Накреслити принципову схему тригера.

Порядок виконання роботи

Завантажити програму MICRO-CAP Evaluation 7.0. Після виклику програми MC подвійним натисканням на піктограму на екрані з'являється

головне вікно програми, у верхній частині якого розмішений рядок системного меню, яке містить назви розділів **File, Edit, Component, Windows, Options, Analysis, Design.**

Схеми утворюються та редагуються за допомогою набору команд, які згруповані у системі викличних меню. Найбільш використовані команди викликаються натисканням на піктограми або комбінаціями "гарячих" клавіш. Існує декілька основних режимів редактора схем, в кожному з яких доступні певні команди. Доступні команди і відповідні їм піктограми яскраво засвічуються, недоступні затемнені.

Режими редагування та опитування викликаються по черзі. Дивлячись на піктограми, легко визначити, який режим викликано.

В результаті виконання команди **File-New** з'являється пустий екран, на якому буде створена нова схема. Спочатку рекомендується нанести на екран координатну сітку натисканням на відповідну піктограму (команда **View-Grid** в меню **Options**).

Логічні елементи і генератори цифрових символів потрібно вибрати в меню **Component**. Вибраний компонент розміщується на схемі натисканням миші. Натиснену кнопку миші не потрібно відпускати, поки компонент переміщенням курсору не буде розміщено у потрібному місці схеми. Компонент повертається на 90° натисканням правої кнопки (не відпускаючи ліву кнопку). Фіксація компонента на схемі виконується відпусканням кнопки миші.

За командою **Component – Digital Primitives – Standard Gates** з'являються необхідні логічні елементи, які наведені в таблиці 1.

Модель динаміки логічних елементів має формат:

MODEL DLY_TTL – ім'я моделі.

Параметри моделей логічних елементів типу **DLY_TTL** наведені нижче у таблиці 17 (значення за замовчуванням – "0", одиниця вимірювання – **nS**).

Параметри моделей вентилів типу **UGATE** наведені у таблиці 17 (значення за замовчуванням – "0", одиниця вимірювання – **c**).

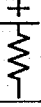
Таблиця 16

Цифрові типові елементи

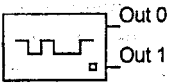
Ім'я компонента	Графічне позначення	Тип
Standard Gates (Стандартні вентиля)		
Or Gates		Логічне АБО з 2-9 входами

1	2	3
And Gates		Логічне І з 2-9 входами
Nand Gates		Логічне І-НІ з 2-9 входами
Xor Gates		Виключне АБО
XnorGates		Виключне АБО-НІ
Inverters		Інвертор
Buffers		Буфер

Pullups/Pulldowns (Джерела постійних логічних сигналів)

Pullup		Джерело логічного сигналу "1"
Pulldown		Джерело логічного сигналу "0"

Stimulus Generators (Генератори цифрових сигналів)

Stim1		1-розрядний цифровий сигнал
Stim2, Stim4, Stim8, Stim16		2-, 4-, 8-, 16- розрядний цифровий сигнал

Для затримки сигналів логічних елементів вибрати типові значення (TPLHTY і TPLHTY). Мінімальні і максимальні значення дорівнюють нулю.

Таблиця 17

Параметри моделі

Ідентифікатор	Параметр
TPLHMN	Затримка при переході від низького рівня до високого, мінімальне значення
TPLHTY	Те ж саме, типові значення
TPLHMX	Те ж саме, максимальне значення

1	2
TPHLMN	Затримка при переході від високого рівня до низького, мінімальне значення
TPHLTY	Те ж саме, типове значення
TPHLMX	Те ж саме, максимальне значення

Введення і редагування електричних кіл (провідників). Режим введення провідників здійснюється натисканням миші на відповідну піктограму або вибором команди **Options-mode-Wire** або натисканням комбінації клавіш **Ctrl+W**. Початок провідника фіксується натисканням миші на вході компонента. Не відпускаючи ліву клавішу миші, наносять провідник на схему. Якщо курсор рухати горизонтально або вертикально, прокладається прямолінійний провідник. Якщо ж рухати курсор по діагоналі, утворюється кут 90° . Відпускання клавіші фіксує закінчення провідника.

Введення провідників під довільним кутом виконується в режимі **Options-Mode-WireD** або здійснюється натисканням на відповідну піктограму.

Наведемо ряд конкретних прикладів:

1. Якщо в діалоговому вікні **Preferences** меню **Options** включена опція **Node Snap**, не обов'язково точно всановлювати курсор на вивід компонента або провідник, необхідно тільки підвести його досить близько (розташувати в сусідньому вузлі сітки), а піктограма сама виконає електричне з'єднання.

2. Електричні з'єднання утворюються, коли провідник закінчується в середній частині іншого провідника, утворюючи Т-подібний ланцюг. Наявність такого з'єднання позначається крапкою, як на звичайних принципових електричних схемах.

3. З'єднання утворюються також, якщо провідник перетинає кінцеву точку іншого провідника або вивід компонента.

4. Якщо в процесі проведення провідника він перетинає інший провідник, не зупиняючись в точці перетину, електричне з'єднання не утворюється і точка не проставляється.

Генератори цифрових сигналів можна задати декількома способами (див. **Help**). За командою **Digital Primitives – Stimulus Generators** з бібліотеки компонентів вибираються готові символи генераторів з різною кількістю сигналів **Stim1, Stim2, ..., Stim16**.

Stim1 – 1- розрядний цифровий сигнал;

Stim2 – 2- розрядний цифровий сигнал;

Stim4 – 4- розрядний цифровий сигнал.

Далі їм надаються імена **Value COM1, COM2, COM3** (залежить від кількості генераторів в схемі).

Формат схем:

Атрибут **PART:** <ім'я>

Атрибут **FORMAT**: <формат>

Атрибут **COMAND**: <команди опису форми сигналів>

Атрибут **I/O MODEL**: <ім'я моделі вхід/вихід>

Атрибут **TIMESTEP**: <крок за часом>

Змінна <формат> - це специфікація формату змінної <дані>, в якій представлені логічні рівні сигналів генератора. Ця змінна являє собою послідовність цифр, загальна кількість яких дорівнює значенню змінної <кількість сигналів>. Кожна цифра приймає значення 1, 3 або 4, що означає двійкову, вісімкову і шістнадцяткову систему числення.

Змінна <t> визначає моменти часу, в яких задаються логічні рівні сигналу. Якщо перед значенням змінної <t> є символ "+", то ця змінна задає приріст відносно попереднього моменту часу, в іншому випадку вона визначає абсолютне значення відносно початку відліку часу $t = 0$. Суфікс "S" вказує розмірність часу в секундах (можливий суфікс "nS" - наносекунди і т.п.) Суфікс "C" означає вимірювання часу в кількості циклів, розмір яких визначається параметром **TIMESTEP** (змінна <крок за часом>).

Наведемо приклад:

PART=U1

FORMAT = 1 - для однорозрядного сигналу, 11 - для дворозрядного, сигналу, 1111 - для чотирирозрядного сигналу;

COMMAND=COM1

I/O MODEL=IO_STD

TIMESTEP

В текстовому полі записати :

```
.define COM1 0 0 LABEL=START 100n 1200n 0 300n GOTO START -1  
TIMES.
```

Для дворозрядного генератора в текстовому полі записується:

```
.define COM2 0 00 LABEL=START 250n 01 450n 10 650n 11 850n 00 1050n  
GOTO START -1 TIMES.
```

Для чотирирозрядного генератора:

PART=U1

FORMAT=4

COMMAND=IN

I/O MODEL=IO_STD

TIMESTEP=0

В текстовому полі записати:
`.define COM3 0ns 0 LABEL=START 100ns INCR BY 1 200ns GOTO START
 - 1 TIMES.`

Якщо сигнал генератора не змінюється, то в текстовому полі записується так:

`.define COM3 01.`

Якщо сигнал змінюється один раз, то запис такий:

`.define COM4 00 20n 1.`

Змінна $\langle n \rangle$ задає кількість повторюваних циклів GOTO; значення $n=1$ задає нескінченне повторення циклу.

Під'єднаємо генератори до схеми, що зображена на рис. 61.

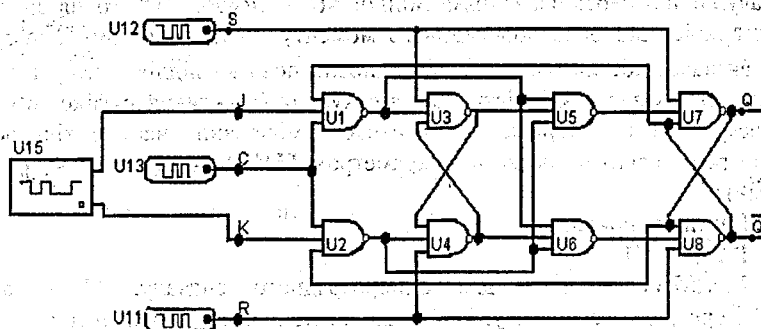


Рис. 61. Схема JK-тригера з забороненими зв'язками

Схема складається з цифрових компонентів, тобто цифрових вузлів, до яких підключені тільки цифрові пристрої.

Виконання моделювання

Після того, як побудована принципова схема, переходимо до розрахунку характеристик схеми, вибираючи в меню **Analysis – Transient, Alt+1** – розрахунок перехідних процесів.

Після переходу в режим аналізу перехідних процесів програма MS перевіряє правильність побудови схеми. При наявності помилок виводиться інформаційне повідомлення. При відсутності помилок в схемі програма складає її топологічний опис і відкриває вікно задання параметрів моделювання **Transient Analysis Limits** (див. рис. 62.).

В рядку **Time Range** вказується тривалість інтервалу часу. Імена цифрових змінних, що відкладаються по осі Y графіка, вказуються в графі **Y Expression**. Наведемо ряд прикладів логічних рівнів сигналів ($d(J)$, $d(K)$, $d(C)$, $d(5)$, $d(10)$...)

Transient Analysis Limits

Run Add Delete Expand Stepping... Properties... Help...

Time Range: 1u
 Maximum Time Step: 0.1
 Number of Points: 5
 Temperature: Linear 27

Run Options: Normal
 State Variables: Zero
☒ Operating Point
☐ Operating Point Only
☒ Auto Scale Ranges

P	X Expression	Y Expression	X Range	Y Range
T	T	d(S)	1e-6,0.2e-7	N/A
T	T	d(R)	1e-6,0.2e-7	N/A
T	T	d(C)	1e-6,0.2e-7	N/A
T	T	d(J)	1e-6,0.2e-7	N/A
T	T	d(K)	1e-6,0.2e-7	N/A
T	T	d(10)	1e-6,0.2e-7	N/A
T	T	d(9)	1e-6,0.2e-7	N/A
T	T	d(Q)	1e-6,0.2e-7	N/A
T	T	d(Q1)	1e-6,0.2e-7	N/A

Defines the expression for the Y-axis. Click the right mouse button for a variable menu.

Рис. 62. Вікно задання параметрів для аналізу перехідних процесів (Transient Analysis)

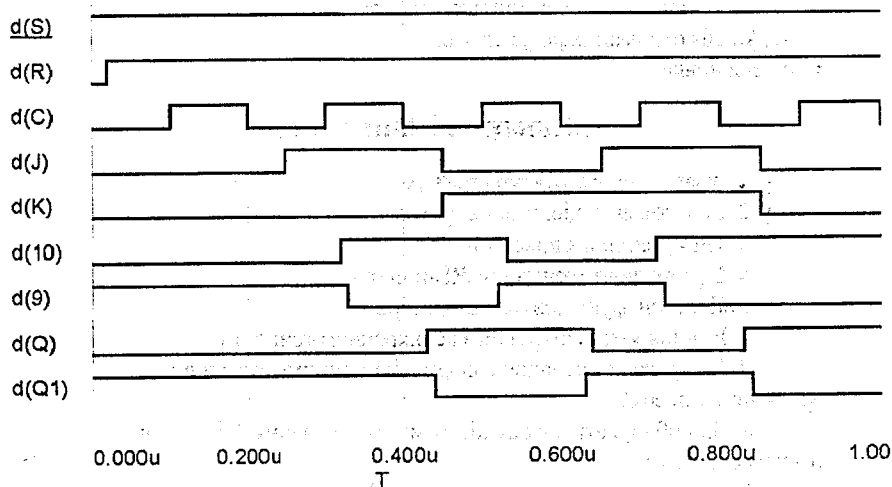


Рис. 63. Часова діаграма роботи схеми JK-тригера

Логічні рівні цифрових вузлів такі:

1 – високий рівень;

0 – низький рівень;

X – невизначений стан (може приймати значення “0”, “1”, проміжні або нестабільні стани).

Моделювання починається після натискання на панель Run або на відповідну піктограму. Приклад зображення результатів моделювання наведений на рис. 63. (часова діаграма роботи JK-тригера)

Графіки розрізняються кольором, який позначається в меню рис. 62. після натискання на певну піктограму.

Мінімальна тривалість сигналу на вході цифрового примітиву, необхідна для зміни його логічного стану, повинна перевищувати час затримки, що приведений в моделі динаміки. Більш короткі входні імпульси не викличуть на вході ніякого ефекту.

Після виконання моделювання схеми необхідно:

1. Провести аналіз роботи схеми по часовій діаграмі.
2. Вивести на друк часову діаграму.
3. Вийти з програми MICRO-CAP.

Зміст звіту

Звіт повинен мати:

1. Мету роботи.
2. Короткі теоретичні відомості, необхідні для виконання завдання, всі схеми, часові діаграми, що отримані при виконанні лабораторної роботи.
3. Необхідні файли для моделювання схеми.
4. Аналіз отриманих результатів.
5. Висновки.

Контрольні питання

1. Узагальнена структура тригера.
2. Способи функціонування тригерів.
3. Типи тригерних пристроїв.
4. Сформулюйте означення RS-тригера.
5. Способи функціонування тригера.
6. Різниця між асинхронним і синхронним тригером.
7. Як проводиться запис інформації в тригер зі статичним керуванням записом?
8. Як побудувати часову діаграму з урахуванням затримок логічних елементів?
9. Як визначається швидкодія тригера?
10. Особливість роботи бістабільної комірки.

11. Властивості синхронного тригера.

12. Різниця статичного і динамічного керування записом.

13. Чи можна в цифровому пристрої замінити синхронний RS-тригер на синхронний JK- тригер (E - R, S-тригер), не порушивши правильність роботи пристрою?

14. Охарактеризуйте динамічні входи D-тригера за схемою трьох тригерів.

15. Наведіть переваги тригерів, що виконані за схемою трьох тригерів.

16. Схеми типу "M-S", їх особливості.

17. Дайте означення JK-тригера.

Додаток А

Circuit : TTL

*

*Micros

*

R1 3 2 5k

R2 3 4 3k

R3 6 0 1k

R4 3 7 60

RN 9 0 50k

V3 3 0 5

Q1met 5 2 1 0 TNA

Q2met 5 2 10 0 TNA

Q1 4 5 6 0 TNA

Q2 7 4 8 0 TNA

Q4 8 8 9 0 TNA

Q3 9 6 0 0 TNA

V1 1 0 PULSE (0.3 4 10n 5n 20n 60n)

V2 10 0 4

*** Model ***

. model TNA npn (is=5.2e-16 rb=160 re=2 rc=15 bf=105 nf=1 vaf=70

+cjc=0,8p cje=0.8p cjs=2.4p tf=0.3n mjs=0.45 mjc=0.4 mje=0.33 ikf=15m

+var=8 br=0.05 tr=20n xtb=1.5 ise=5.2e-12 ne=2.44)

*** ANALIZ ***

.DC V1 0 5 0.1

*.TEMP 100 125 150

.TRAN 5ns 80ns

.probe

.END

Circuit : TTLk

*Micros

R1 3 2 5k

R2 3 4 2k

R3 6 10 50

R4 3 7 60

R5 6 11 1.5k

RN 9 0 50k

V2 12 0 4V

V3 3 0 5V

Q1met 5 2 1 0 TNA

Q2met 5 2 12 0 TNA

Q1 4 5 6 0 TNA

Q2 7 4 8 0 TNA
Q5d 8 8 9 0 TNA
Q3 9 6 0 0 TNA
V1 1 0 PULSE (0.3 4 10n 2n 25n 60n)

*** Model ***

.model tna npn (is=5.2e-16 rb=160 re=2 rc=15 bf=105 nf=1 vaf=70 cjc=1.2p
+cje=1.2p cjs=2.4p tf=0.3n mjs=0.45 mjc=0.4 mje=0.33 ikf=15m var=8
+br=0.02 tr=20n xtb=1.5 ise=5.2e-12 ne=2.44)

*** ANALIZ ***

.DC V1 0 5 0.1

.TRAN 2n 80n

.probe

.END

Circuit : ESL

*Micros

R1 0 3 270

R2 0 5 300

R3 4 2 1.1k

R4 6 2 750

R5 0 7 270

R6 10 2 550

R7 11 2 600

R8 9 2 2.2k

RN 9 0 50k

Rb1 1 2 50k

Rb2 12 2 50k

Rb3 13 2 50k

V4 0 2 5.2V

V1 1 0 PULSE (-1.7 -0.9 5n 1n 1n 15n 30n)

V2 12 0 -1.7V

V3 13 0 -1.75V

Q1 3 1 4 2 TNA

Q2 3 12 4 2 TNA

Q3 3 13 4 2 TNA

Q4 5 6 4 2 TNA

Q5 0 7 6 2 TNA

Q6 0 3 10 2 TNA

Q7 0 5 11 2 TNA

Q8d 7 7 8 2 TNA

Q9d 8 8 9 2 TNA

*** Model ***

```
. model tna npn (is=5.2e-16 rb=160 re=2 rc=15 bf=105 nf=1 vaf=70 cjc=1.2p
+cje=1.2p cjs=2.4p tf=0.3n mjs=0.45 mjc=0.4 mje=0.33 ikf=15m var=8
+br=0.2 tr=20n xtb=1.5 ise=5.2e-12 ne=2.44)
```

```
*****
```

```
**
```

```
*** ANALIZ ***
```

```
.DC V1 0 -2 0.05
```

```
.TRAN 1n 45n
```

```
.probe
```

```
.END
```

Circuit : kmdp4

```
*poltran
```

```
M1 2 3 5 0 nq1 (w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
```

```
M2 5 4 0 0 nq1 ( w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
```

```
M3 2 4 1 1 nq2 ( w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
```

```
M4 2 3 1 1 nq2 ( w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
```

```
V1 3 0 PULSE(0 4.5 5n 5n 5n 65n 130n)
```

```
V2 4 0 4.5
```

```
V3 1 0 5
```

```
*** Model ***
```

```
. model nq1 nmos (level=1 vto=1.5 tox=0.1u xj=2.2u ld=0.2u nsub=5e15 tpg=0
+rs=0.7k rd=0.7k uo=18.0)
```

```
.model nq2 pmos (level=1 vto=-1.5 tox=0.1u xj=2.2u ld=0.2u nsub=1e15
+tpg=0 rs=18.7k rd=18.7k uo=8.0)
```

```
*****
```

```
**
```

```
*** ANALIZ ***
```

```
.DC V1 0 5 0.05
```

```
.TRAN 5n 150n
```

```
.probe
```

```
.END
```

Circuit : kmdp5

```
*
```

```
*poltran
```

```
*
```

```
M1 2 3 0 0 nq1 (w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
```

```

M2 2 4 0 0 nq1 ( w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
M3 2 4 5 1 nq2 ( w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
M4 5 3 1 1 nq2 ( w=10u l=3u pd=37u ps=37u as=85p ad=85p nrd=0.2u
+nrs=0.2u)
V1 3 0 PULSE(0 4.5 5n 5n 5n 65n 130n)
V2 4 0 0
V3 1 0 5
*** Model ***
.model nq1 nmos (level=1 vto=1.5 tox=0.1u xj=2.2u ld=0.2u nsub=5e15 tpg=0
+rs=0.7k rd=0.7k uo=18.0)
.model nq2 pmos (level=1 vto=-1.5 tox=0.1u xj=2.2u ld=0.2u nsub=1e15
+tpg=0 rs=18.7k rd=18.7k uo=26)
*****
**
*** ANALIZ ***
.DC V1 0 5 0.05
.TRAN 5n 150n
.probe
.END

```

Circuit : 12LO

*

*MIKROS

*

R 1 2 10K

V2 1 0 1.5

Q1 4 3 0 0 TNA1

Q2 2 4 0 0 TNA1

I1 0 3 150uA

I2 0 4 150uA

V1 3 0 PULSE(0.1 0.72 5n 2n 2n 20n 45n)

*** Model ***

```

.model tna1 npn (is=5.2e-16 rb=160 re=2 rc=15 bf=50 nf=1 vaf=70
+cjc=0.08p cje=0.08p cjs=1.5p tf=0.3n mjs=0.45 mjc=0.4 mje=0.33 ikf=15m
+var=8 br=1 tr=1.0n xtb=1.5 +ise=5.2e-12 ne=2.44)

```

**

*** ANALIZ ***

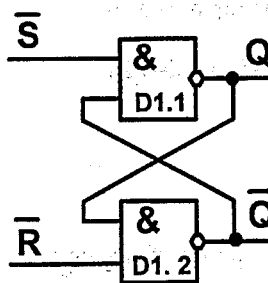
.DC V1 0 0.8 0.01

.TRAN 2n 60n

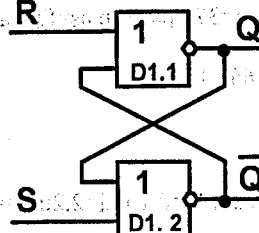
.probe

.END

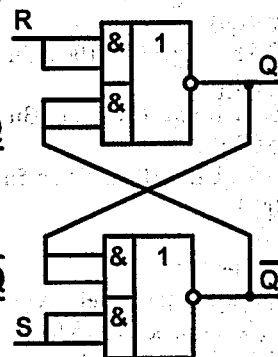
Додаток Б



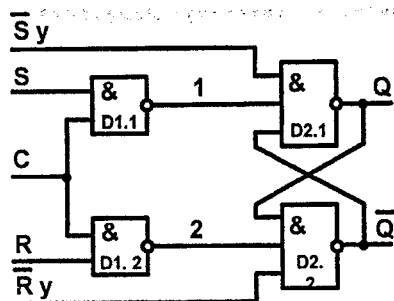
Cx. 1



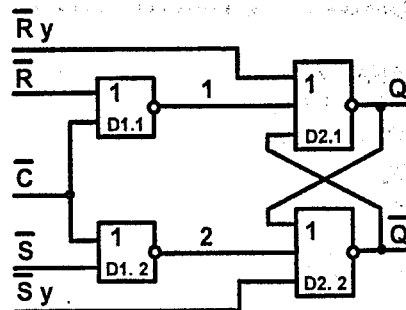
Cx. 2



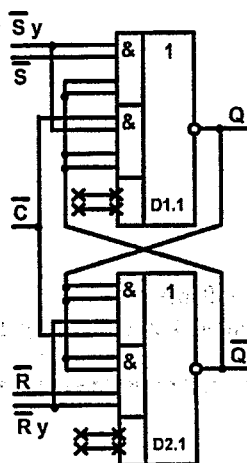
Cx. 3



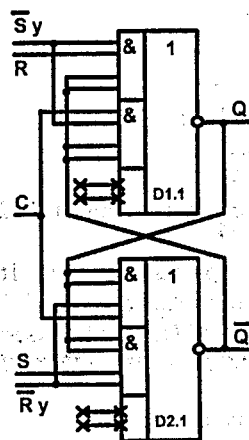
Cx. 4



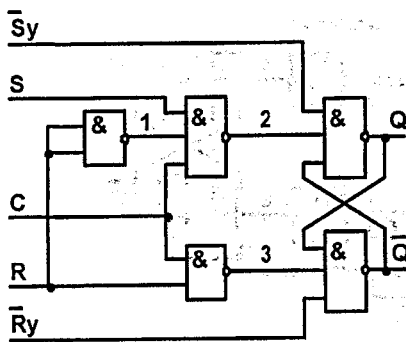
Cx. 5



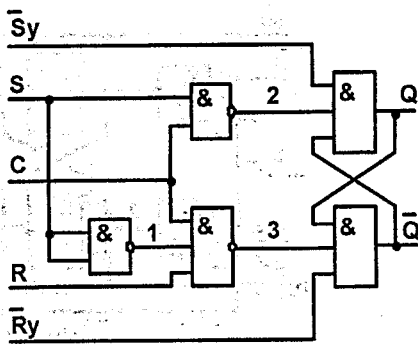
Cx. 6



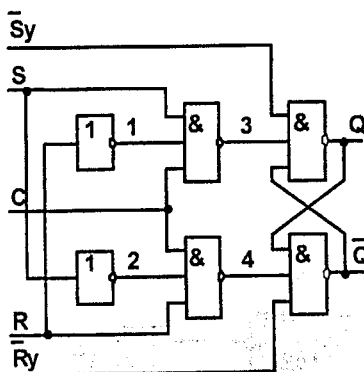
Cx. 7



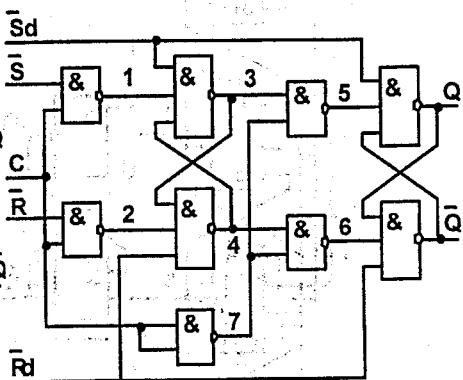
Qx.8



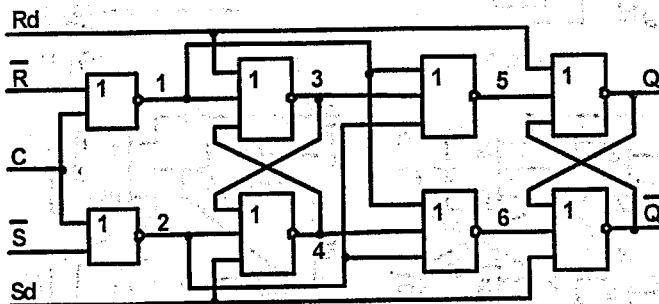
Qx.9



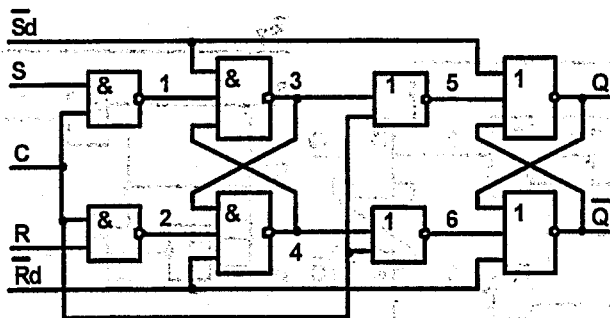
Qx.10



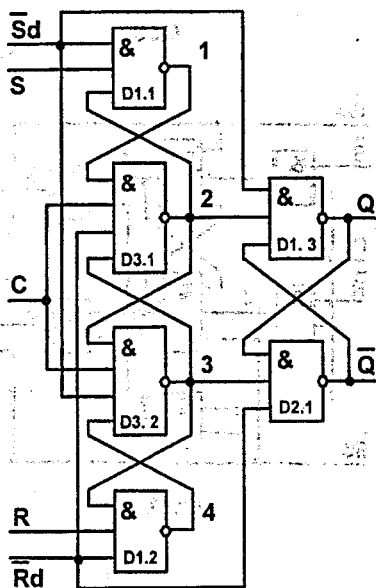
Qx.11



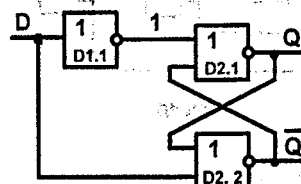
Cx.12



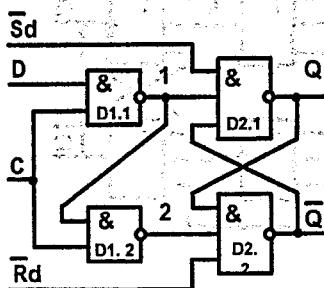
Cx.13



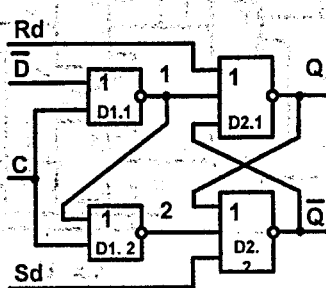
Cx. 14



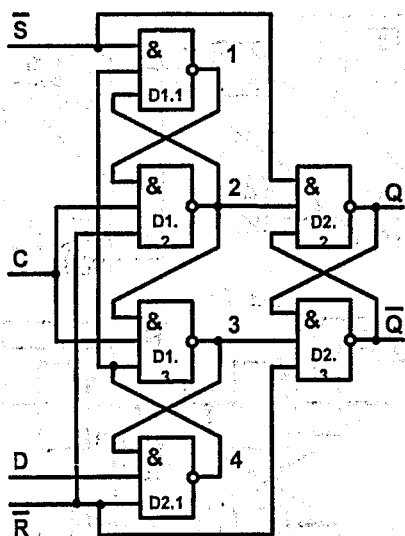
Cx. 15



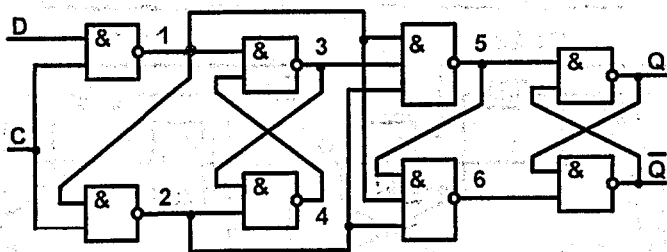
Cx. 16



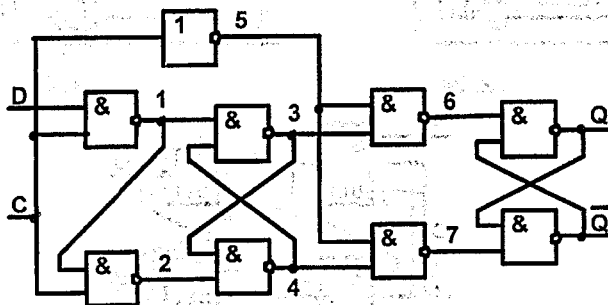
Cx. 17



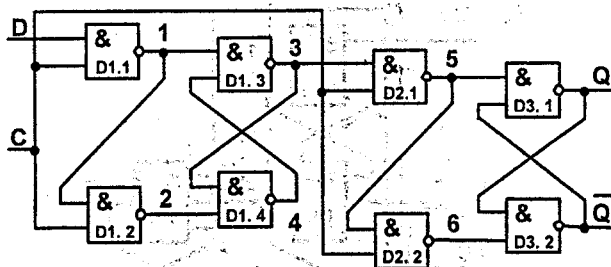
Cx. 18



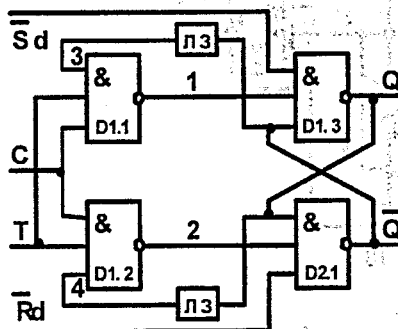
Cx. 19



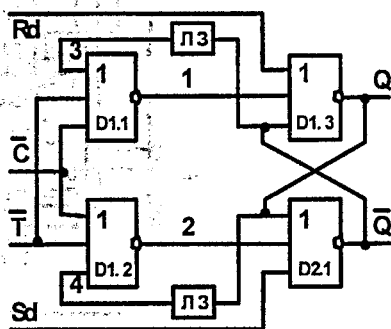
Cx. 20



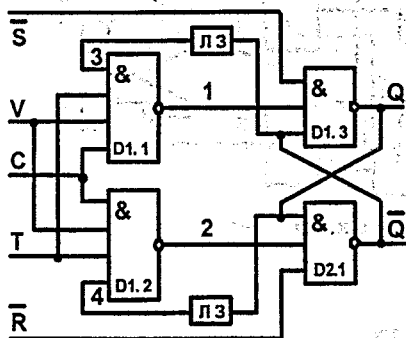
Cx. 21



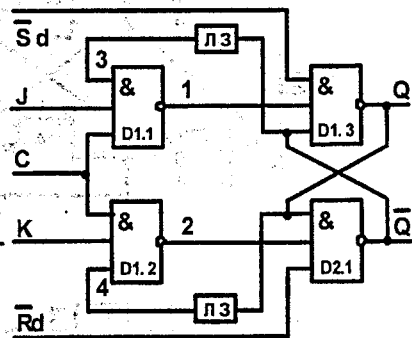
Cx. 22



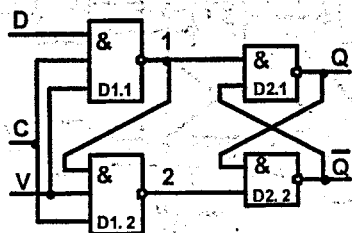
Cx. 23



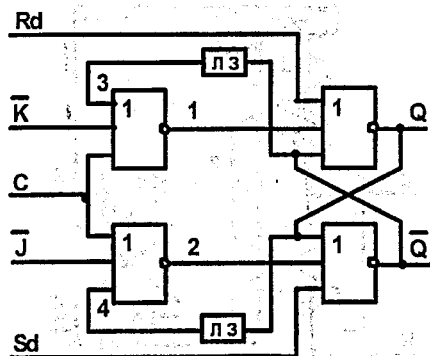
Cx. 24



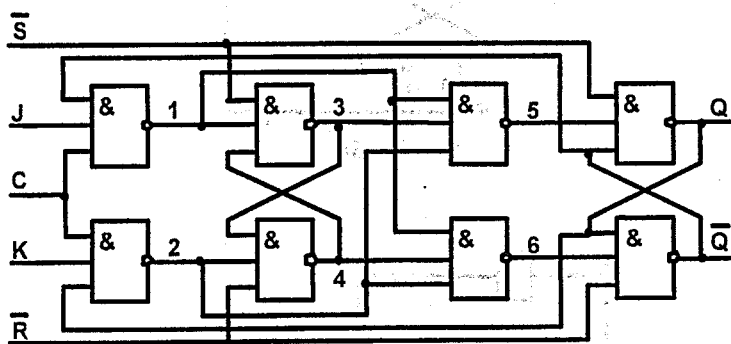
Cx. 25



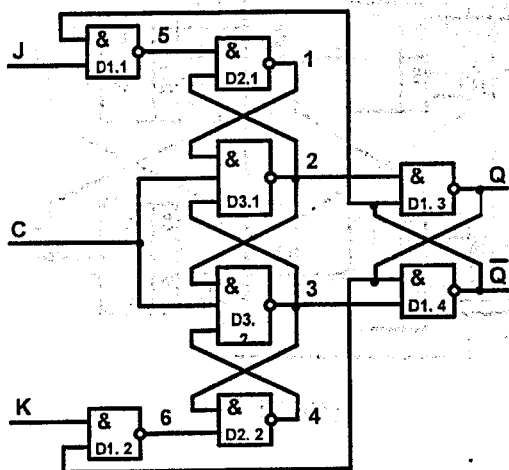
Cx. 26



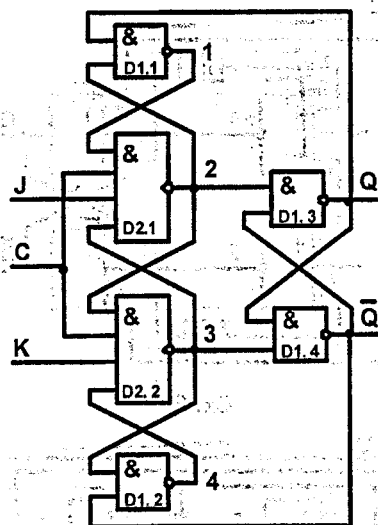
Cx. 27



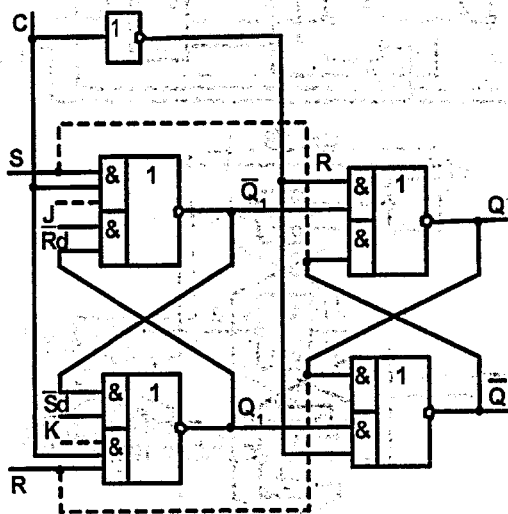
Cx. 28



Cx. 29



Cx. 30



Cx. 31

Зміст

Вступ	3
1. Загальні методичні вказівки	5
1.1. Порядок виконання лабораторних робіт і вимоги до змісту лабораторних протоколів	5
1.2. Опис лабораторних стендів, принципів побудови схем та лабораторного обладнання	6
2. Логічні елементи цифрових мікросхем	11
2.1. Класифікація логічних елементів	11
2.2. Основні характеристики і параметри логічних елементів	13
2.3. Серії цифрових мікросхем	19
2.4. Корпуси цифрових мікросхем	23
3. Застосування логічних елементів	24
3.1. Логічні елементи І, І-НІ, АБО, АБО-НІ	25
3.2. Логічні елементи виключне АБО	27
3.3. Складні логічні елементи	29
4. Принципові базові схеми логічних елементів цифрових пристроїв	31
4.1. Транзисторно-транзисторні логічні елементи	31
4.2. Елементи емітерно-зв'язаної логіки	34
4.3. Логічні елементи на МДН-транзисторах	35
4.4. Елементи інтегральної інжекційної логіки	38
4.5. Параметри цифрових елементів	41
4.6. Лабораторна робота №1	44
4.7. Лабораторна робота №2	50
4.7.1 Каталог типових аналогових компонентів	53
4.7.2 Дослідження транзисторно-транзисторних елементів (ТТЛ)	55
4.7.3 Дослідження транзисторного логічного елемента на перемикачах струму	58
4.7.4 Дослідження логічних елементів на уніполярних транзисторах (КМОН)	60
4.7.5 Дослідження інтегральних інжекційних логічних елементів (І ² Л)	62
Література	65
5 Тригерні схеми цифрових пристроїв	66
5.1. Основні положення	66
5.1.1. Загальні характеристики	66
5.1.2. Вимоги та параметри, які характеризують тригерні пристрої	72
5.2. Різновиди тригерних схем	74
5.2.1. Одноступеневі тригери	74
5.2.2. Асинхронний RS-тригер	74
5.2.3. Синхронний RS-тригер	75
5.2.4. Тригери D-типу	76
5.2.5. T-тригер	79
5.2.6. JK-тригер	79
5.2.7. Синхронні двоступеневі тригери	80
5.2.8. Схема ТП типу "MS" з інвертором	81

5.2.9. Схема ТП типу "MS" з різнополярним керуванням	81
5.2.10. Схема ТП типу "MS" з забороненими зв'язками	82
5.2.11. JK-тригер типу "MS" з забороненими зв'язками	82
6 Лабораторна робота №3	85
Література	88
7 Лабораторна робота №4	89
Додаток А	98
Додаток Б	102

Навчальне видання

О.Д.Азаров, В.В.Байко, Л.В.Крупельницький

КОМП'ЮТЕРНА ЕЛЕКТРОНІКА

Частина II

Лабораторний практикум

Оригінал-макет підготовлено авторами

Редактор В.О.Дружиніна

Коректор З.В.Поліщук

Навчально-методичний відділ ВДТУ

Свідоцтво Держкомінформу України

серія ДК № 746 від 25.12.2001

21021, м. Вінниця, Хмельницьке шосе, 95, ВДТУ

Підписано до друку *Н.О.Зр*

Формат 29, 7х42¹/₄.

Друк різнографічний

Тираж *85* прим.

Зам. № *2003-121*

Гарнітура Times New Roman

Папір офсетний

Ум.друк.арк. *461*

Віддруковано в комп'ютерному інформаційно-видавничому центрі

Вінницького державного технічного університету

Свідоцтво Держкомінформу України

серія ДК № 746 від 25.12.2001

21021, м. Вінниця, Хмельницьке шосе, 95, ВДТУ