

004.3

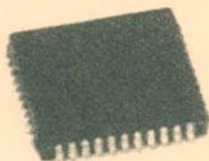
Б 61

линський, В. А. Гикавий, А. О. Мельничук

ЦИФРОВА СХЕМОТЕХНІКА

ЧАСТИНА 1

Базові поняття цифрової схемотехніки



Міністерство освіти і науки, молоді та спорту України
Вінницький національний технічний університет

Й. Й. Білінський, В. А. Гикавий, А. О. Мельничук

ЦИФРОВА СХЕМОТЕХНІКА

ЧАСТИНА 1

Базові поняття цифрової схемотехніки

Навчальний посібник

Вінниця
ВНТУ
2011

УДК 621.38.061 (075.8)

ББК 32.973.2

Б 61

Рекомендовано до друку Вченою радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 5 від 23.12.2010 р.)

Рецензенти:

Ю. В. Куц, доктор технічних наук, професор

В. П. Манойлов, доктор технічних наук, професор

М. А. Філіпчук, доктор технічних наук, професор

Білінський, Й. Й.

Б61 Цифрова схемотехніка. Частина 1. Базові поняття цифрової схемотехніки : навчальний посібник / Й. Й. Білінський, В. А. Гикавий, А. О. Мельничук. – Вінниця: ВНТУ, 2011. – 133с.

У навчальному посібнику розглядаються основи теорії цифрової схемотехніки. Зокрема розглядаються питання: основи теорії сигналів та кодування інформації, елементна база цифрової схемотехніки, методи синтезу та розрахунку цифрових елементів, основні параметри та характеристики цифрових інтегральних мікросхем.

Метою навчального посібника є познайомити читача з основами цифрової схемотехніки, принципами проектування цифрових елементів, сучасною елементною базою цифрових мікросхем. Велика увага приділяється прикладам синтезу та розрахунку цифрових логічних елементів.

УДК 621.38.061 (075.8)

ББК 32.973.2

ЗМІСТ

ВСТУП.....	4
1 ІНФОРМАЦІЙНІ ОСНОВИ ЦИФРОВОЇ СХЕМОТЕХНІКИ.....	5
1.1 Сигнали, види сигналів і їх характеристики.....	6
1.2 Системи числення.....	15
1.3 Основні закони алгебри логіки.....	28
2 ЕЛЕМЕНТИ ЦИФРОВОЇ СХЕМОТЕХНІКИ.....	44
2.1 Параметри та характеристики логічних елементів.....	45
2.2 Елементна база цифрової схемотехніки.....	49
2.3 Інтегральні технології логічних схем.....	77
3 СИНТЕЗ ТА РОЗРАХУНОК ЛОГІЧНИХ СХЕМ.....	80
3.1 Синтез ТТЛ, І2Л, ЕЗЛ, та КМОН-схем.....	80
3.2 Приклади розрахунку логічних елементів.....	91
3.3 Пристрої узгодження та пертворення рівнів і їх розрахунок.....	102
4 ІНТЕГРАЛЬНІ МІКРОСХЕМИ: ЗАГАЛЬНІ ВІДОМОСТІ, КЛАСИФІКАЦІЯ, УМОВНО-ГРАФІЧНЕ ПОЗНАЧЕННЯ, МАРКУВАННЯ.....	111
4.1 Основні поняття інтегральних мікросхем.....	111
4.2 Корпуси та маркування логічних елементів.....	112
4.3 Параметри серій мікросхем.....	119
4.4 Рекомендації по вибору серій ІС	124
ДОДАТОК А.....	128
СЛОВНИК ТЕРМІНІВ.....	130
СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ.....	132

ВСТУП

Інформатизація суспільства – важлива задача, що потребує інтенсивного розвитку обчислювальної техніки та інших засобів обробки інформації. Ера цифрової електроніки, яка почалася на початку 60-х років минулого століття, бурхливо розвивається й сьогодні та згідно із законом Мура кількість транзисторів на кристалі мікросхеми подвоюється кожні 24 місяці. Якщо така тенденція продовжиться, то потужність обчислювальних пристроїв і далі експоненціально зростатиме протягом відносно короткого проміжку часу.

Всі різноманітні засоби цифрової техніки: ЕОМ, мікропроцесорні системи вимірювань та автоматизації технологічних процесів, цифровий зв'язок і телебачення будуються на елементній базі, у склад якої входять різні за рівнем складності цифрові мікросхеми та пристрої – від логічних елементів, що виконують найпростіші операції, до складних програмованих кристалів, що містять мільйони логічних елементів. Тому метою навчального посібника є познайомити читача з основами цифрової схемотехніки, принципами проектування цифрових елементів, сучасною елементною базою цифрових мікросхем.

В основу посібника покладено курс лекцій з дисципліни «Цифрова схемотехніка».

Посібник складається з 4 розділів, що містять базові поняття, інформаційні основи та елементну базу цифрової схемотехніки, синтез та розрахунок цифрових елементів і пристроїв, параметри та характеристики інтегральних мікросхем.

Посібник адресований для широкого кола читачів, які займаються розробкою цифрових схем і пристроїв та розрахований для студентів бакалаврського напрямку 6.050801 – «Мікро- та наноелектронні прилади та пристрої», 6.050802 – «Електронні прилади та пристрої» та може бути корисним студентам інших спеціальностей.



1 ІНФОРМАЦІЙНІ ОСНОВИ ЦИФРОВОЇ СХЕМОТЕХНІКИ

Широке застосування комп'ютерів сприяє науково-технічному розвитку. Сфера використання цифрової апаратури охоплює практично всі види людської діяльності.

Цифрова обчислювальна система – фізична система, призначена для алгоритмічної обробки інформації, поданої сигналами. У широкому сенсі слова інформація є відображенням реального світу. **Інформація** – єдиний невичерпний ресурс життєзабезпечення. Більше того, її об'єм на сьогодні подвоюється щорічно. Інформація, підготовлена для обробки на цифровій апаратурі, називається даними.

Інформаційний процес включає в себе такі етапи:

- збирання інформації від різних джерел і подання її в формі, що необхідна для введення в комп'ютер;
- передача (пересилка) інформації від джерела до приймача;
- зберігання – процес передачі інформації у часі;
- обробка – систематичне виконання операції над даними;
- видача результату обробки користувачу.

На всіх цих етапах використовують засоби цифрової схемотехніки. До інформації висувають такі вимоги:

- коректність (однозначність сприйняття);
- цінність (корисність) і оперативність (актуальність);
- точність, достовірність і стійкість (здатність реагувати на зміни вихідних даних);
- достатність (повнота) – наявність мінімально необхідного об'єму інформації для прийняття правильного рішення.

Упорядковану послідовність символів (букв, цифр, математичних знаків, призначених для передачі інформації), закодовану в матеріальній формі, називають повідомленням.

Інформаційне повідомлення завжди пов'язане із джерелом і приймачем інформації, з'єднаних каналом передачі (рис. 1.1.).

Джерелом і приймачем інформації можуть бути як люди, так і технічні пристрої (комп'ютери, сенсори, індикатори, та ін.). Каналом передачі (зв'язку) називається сукупність пристроїв, що мають один вхід і один вихід, призначений для передачі інформації на відстань.

Повідомлення можуть мати різні форми: звук, текст, зображення, зображення, електричну напругу від датчиків і т. д.

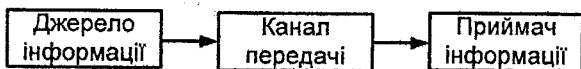


Рисунок 1.1 – Інформаційна модель каналу передачі

1.1 Сигнали, види сигналів і їх характеристики

Сигнал – це будь-яка фізична величина (наприклад, температура, тиск повітря, інтенсивність світла, сила струму й т. д.), що змінюється в часі. Саме завдяки цій зміні сигнал може нести в собі якусь інформацію. Електричний сигнал – це електрична величина (наприклад, напруга, струм, потужність), що змінюється в часі.

Аналоговий сигнал – це сигнал, що може приймати будь-які значення в певних межах (наприклад, напруга може плавно змінюватися в межах від нуля до десяти вольтів). Назва "аналоговий" означає, що сигнал змінюється аналогічно фізичній величині, тобто неперервно.

Цифровий сигнал – це сигнал, що може приймати тільки два (іноді – три) значення з деякими відхиленнями від цих значень (рис. 1.2). Наприклад, напруга може приймати два значення в межах: від 0 до 0,5 В (рівень нуля) або від 2,5 до 5 В (рівень одиниці). Пристрої, що працюють винятково із цифровими сигналами, називаються цифровими пристроями.

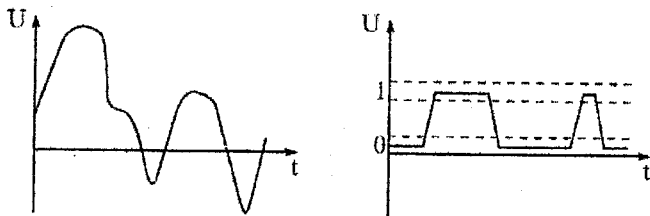


Рисунок 1.2 – Електричні сигнали: аналоговий (зліва) і цифровий (справа)

В природі практично всі сигнали є аналоговими. Саме тому перші електронні пристрої були аналоговими. Вони перетворювали фізичні величини в пропорційні їм напругу або струм, робили над ними якісь операції й потім виконували зворотні перетворення у фізичні величини. Але аналогові сигнали й працюючи з ними аналогова електроніка мають певні недоліки, пов'язані саме із природою аналогових сигналів. Справа в тому, що аналогові сигнали чутливі до дії різних паразитних сигналів – шумів і завад.

Шум – це внутрішні хаотичні слабкі сигнали будь-якого електронного пристрою (мікрофона, транзистора, резистора і т. д.).

Завади – це сигнали, що впливають на електронну систему ззовні та спотворюють корисний сигнал (наприклад, електромагнітні випромінювання від радіопередавачів або від трансформаторів). Крім того, при обробці сигналів (наприклад, при фільтрації) ще й спотворюється їхня форма через недосконалість електронних пристроїв. А при передачі на великі відстані й при зберіганні сигнали до того ж і послаблюються.

У випадку аналогових сигналів все це істотно погіршує корисний сигнал, тому що всі його значення дозволені. Тому кожне перетворення, кожне проміжне зберігання, кожна передача по кабелю погіршує аналоговий сигнал, іноді аж до його повного знищення. Треба ще врахувати, що всі шуми й завади принципово не піддаються точному розрахунку, тому точно описати поведінку будь-яких аналогових пристроїв абсолютно неможливо. До того ж згодом параметри всіх аналогових пристроїв змінюються через старіння елементів, тому характеристики цих пристроїв не залишаються постійними.

На відміну від аналогових, цифрові сигнали, що мають усього два допустимих значення, захищені від дії шумів і завад набагато краще. Невеликі відхилення від допустимих значень ніяк не спотворюють цифровий сигнал, тому що завжди існують зони допустимих відхилень (рис. 1.3).

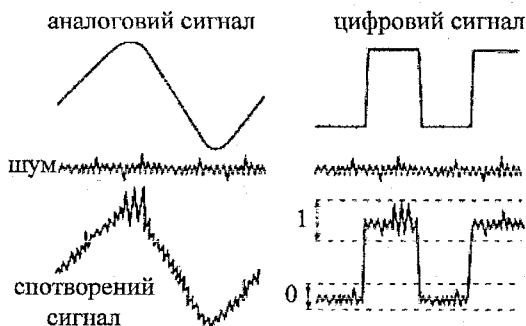


Рисунок 1.3 – Спотворення шумами аналогового (ліворуч) і цифрового (праворуч) сигналів

Саме тому цифрові сигнали допускають набагато більш складну й багатоступеневу обробку, триваліше зберігання без втрат і набагато якіснішу передачу, ніж аналогові. До того ж поведінку цифрових пристроїв завжди можна абсолютно точно розрахувати й передбачити. Цифрові пристрої набагато менше піддані старінню, тому що невелика зміна їх параметрів ніяк не відбивається на функціонуванні. Крім того, цифрові пристрої простіше

проектувати й налагоджувати. Всі ці переваги забезпечують бурхливий розвиток цифрової електроніки.

Однак і у цифрових сигналів є недоліки. Справа в тому, що на кожному зі своїх дозволених рівнів цифровий сигнал повинен залишатися хоча б протягом якогось мінімального часового інтервалу, інакше його неможливо буде розпізнати. А аналоговий сигнал може приймати будь-яке своє значення нескінченно малий час. Можна сказати й інакше: аналоговий сигнал визначений у безперервному часі (тобто, в будь-який момент часу), а цифровий – у дискретному (тобто, тільки у виділені моменти часу). Тому максимально досяжна швидкодія аналогових пристроїв завжди принципово більша, ніж цифрових. Швидкість обробки й передачі інформації аналоговим пристроєм завжди може бути вища, ніж швидкість обробки й передачі цифровим пристроєм. Крім того, цифровий сигнал передає інформацію тільки двома рівнями й зміною одного свого рівня на інший, а аналоговий – ще й кожним поточним значенням свого рівня, тобто він ємніший з точки зору передачі інформації. До того ж, як вже відзначалось, у природі всі сигнали – аналогові, тобто для перетворення їх у цифрові й зворотні перетворення потрібне застосування спеціальної апаратури (аналого-цифрових і цифро-аналогових перетворювачів).

Імпульси, імпульсні послідовності. Підтримувати стабільність і точність аналогових пристроїв досить важко. На їх роботу впливають: технологічні допуски, які закладаються у процесі виробництва електронних компонентів, коливання температури, напруги живлення, космічне випромінювання, шуми і наводки, що створюються електронними приладами, іншими колами та пристроями.

До того ж реалізація математичних і логічних операцій у більшості випадків дуже складна, або навіть неможлива у роботі з аналоговими сигналами. Для того, щоб упевнитись у цьому, достатньо спробувати реалізувати на аналогових компонентах будь-яку з відомих констант. Рекомендовано провести такий дослід: використовуючи операційний підсилювач і решту реальних компонентів, реалізувати схему підсилювача так, щоб на виході підтримувалась напруга у вольтах, рівна за величиною числу $\pi=3,14159\dots$ На практиці забезпечити точність відтворення такого аналогового сигналу навіть з похибкою 1% досить складно.

Окрім синусоїдальних, як базові сигнали часто використовують різні за формою імпульсні послідовності.

На рис.1.4. наведений типовий одиничний імпульс та наведені у взаємозв'язку його амплітудні та часові параметри.

До амплітудних належать U_m – максимальне значення параметра імпульсу (його амплітуда); ΔU – спад вершини, що визначається між рівнями $0,1U_m$ і $0,9U_m$. До часових відносяться: t_ϕ , t_c – тривалість фронту та спаду імпульсу; t_i – тривалість імпульсу.

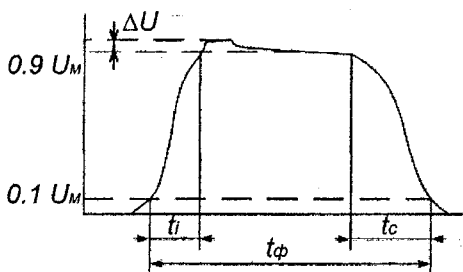


Рисунок 1.4 – Одиночний імпульс

Параметри імпульсу у часі можуть змінюватись у широких межах і, як результат, одиничні імпульси можуть мати різну форму: експоненціальну, пилкоподібну, трикутну.

На рис. 1.5 зображено імпульси експоненціальної, пилкоподібної та трикутної форми.

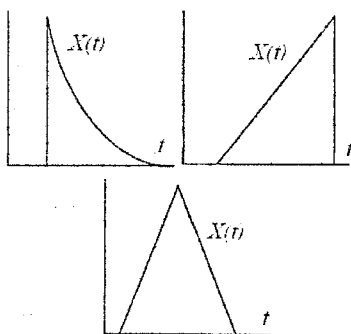


Рисунок 1.5 – Експоненціальний, пилкоподібний та трикутний імпульси

Імпульсна послідовність характеризується наявністю пауз між імпульсами. За паузу тривалістю t_n обирають нульовий рівень напруги чи струму або такий рівень, який прирівнюється до нульового (рис. 1.6). Якщо тривалість імпульсів і пауз між ними у послідовності не змінюється, то говорять про періодичну послідовність, яка характеризується періодом $T=t_i+t_n$, коефіцієнтом заповнення $S=t_i/T$ та шпаруватістю $q=S^{-1}$.

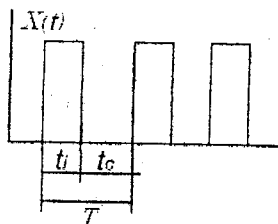


Рисунок 1.6 – Імпульсна послідовність

У теоретичних дослідженнях часто використовують ідеалізації імпульсів. Перша з них – це функція ввімкнення або функція Хевісайда. У загальному випадку функцію ввімкнення, зміщену щодо початку осі координат на величину t_0 , записують у такому вигляді:

$$\sigma(t-t_0) = \begin{cases} 0, & \text{якщо } t < t_0; \\ 0.5, & \text{якщо } t = t_0; \\ 1, & \text{якщо } t > t_0. \end{cases} \quad (1.3)$$

У теорії сигналів функції ввімкнення широко використовують для опису розривних та імпульсних сигналів.

Розглянемо імпульсний сигнал прямокутної форми, зображений на рис. 1.7.

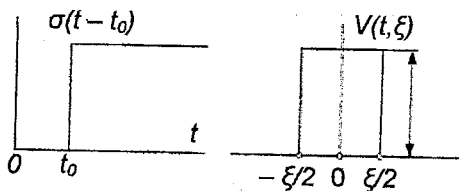


Рисунок 1.7 – Імпульсні сигнали

Його запис в аналітичній формі:

$$V(t, \xi) = \frac{\sigma\left(t + \frac{\xi}{2}\right) - \sigma\left(t - \frac{\xi}{2}\right)}{\xi}. \quad (1.4)$$

Особливість цього імпульсу полягає в тому, що за будь-якої величини параметра ξ його площа постійна і дорівнює одиниці:

$$S = \int_{-\infty}^{+\infty} V(t) dt = 1. \quad (1.5)$$

Якщо $\xi \rightarrow 0$, враховуючи незмінність площі (1.5), (1.6), амплітуда імпульсу $V(t, \xi)$ повинна збільшуватись до нескінченності.

Межа функції $V(t, \xi)$, якщо $\xi \rightarrow 0$ має назву дельта-функції, або функції Дірака [3]:

$$\delta(t) = \lim_{\xi \rightarrow 0} V(t, \xi). \quad (1.6)$$

Таким чином, дельта-функція, будучи рівною нулю всюди, окрім точки $t=0$, характерна одиничним значенням інтегралу $\int_{-\infty}^{+\infty} \delta(t) dt = 1$ і є математичною моделлю короткого імпульсу одиничної площі.

Особливість дельта-функції – її фізична розмірність збігається з розмірністю частоти.

Для передавання інформації імпульсною послідовністю остання модулюється за аналогією із синусоїдою. Залежно від модульованого параметра розрізняють модуляції: амплітудно-імпульсну (АІМ), широтно-імпульсну (ШІМ), часоімпульсну, яка у свою чергу поділяється на фазово-імпульсну (ФІМ) та частотно-імпульсну (ЧІМ).

Рис. 1.7. ілюструє особливості модуляції імпульсної послідовності $x(t)$ (рис. 1.7, б)) функцією $x_\mu(t)$ (рис. 1.7, а)) відповідно до АІМ ($x_a(t)$, рис. 1.7, в)), ШІМ ($x_{ш}(t)$ рис. 1.7, г)), ЧІМ ($x_\omega(t)$ рис. 1.8, д)).

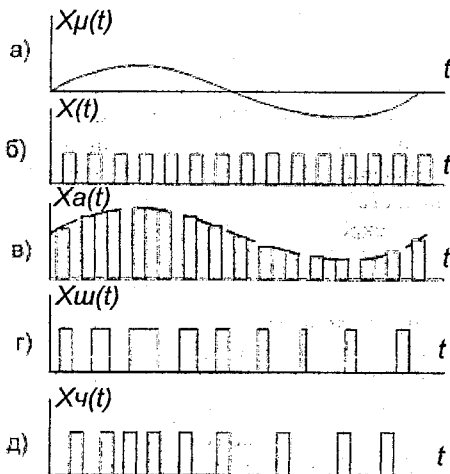


Рисунок 1.7 – Модуляція імпульсної послідовності

Перевага імпульсних сигналів порівняно з аналоговими полягає у тому, що за однакової середньої потужності імпульсного та аналогового сигналу, енергія перших концентрується в інтервалі тривалості імпульсу. Тому у випадку коротких імпульсів миттєве значення потужності імпульсу набагато перевищує її середнє значення. Завдяки цьому відносний вплив зовнішніх факторів на сигнал є значно меншим.

У процесі передавання інформації часто використовуються операції перетворення неперервного сигналу на імпульсний та навпаки. Операція перетворення неперервного сигналу на імпульсний наочно проілюстрована на рис. 1.8.

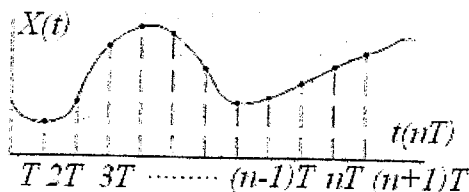


Рисунок 1.8 – Квантування сигналу за часом

Для перетворення аналогового сигналу на імпульсний необхідно здійснити дискретизацію (квантування) за часом. Це означає, що неперервний час осі t змінюється з дискретним кроком (період дискретизації) T .

Залежно від способу реалізації дискретизації за часом сформована імпульсна послідовність може мати різний математичний опис. У перетворенні інформаційних сигналів для цього використовують дельта-функцію (1.6) завдяки особливості її згортки:

$$\int_{-\infty}^{+\infty} x(t) \delta(t - nT) dt = x(nT). \quad (1.7)$$

Ця особливість відображає фільтрувальну властивість дельта-функції і полягає у тому, що після виконання операцій множення та інтегрування функція $x(t)$ буде визначеною лише в точках дискретизації за часом nT (тобто, функція визначається з точністю до кроку дискретизації nT). Функція (1.7) називається дискретною. Величину кроку дискретизації за часом обирають відповідно до необхідної точності відтворення неперервного сигналу.

Дискретні значення функції $x(nT)$ можуть використовуватись для відновлення сигналу. Знову ж таки, на практиці використовують широкий спектр методів відновлення сигналу із квантованої послідовності σ -імпульсів.

Це може бути лінійна апроксимація (рис. 1.9, а), ступінчаста (рис. 1.9, б) або перетворення на імпульсні послідовності із заданими видами модуляції (рис. 1.9, в).

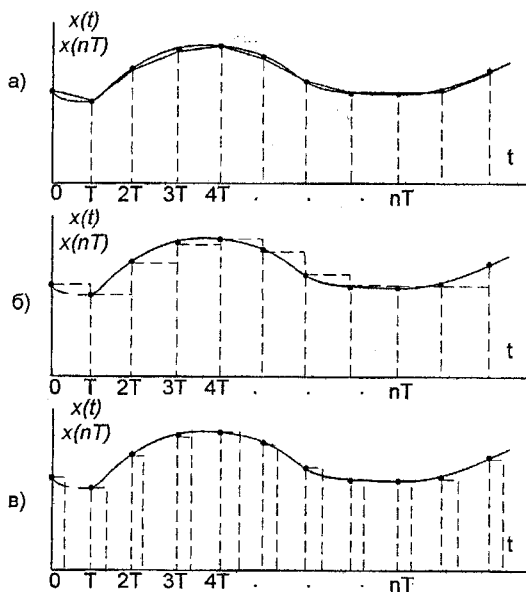


Рисунок 1.9 – Апроксимація сигналу

Оцифровування аналогових сигналів. Для використання сучасних засобів обробки сигналів поряд із дискретизацією за часом використовують дискретизацію за рівнем. Цей спосіб дискретизації, який часто називають квантуванням за рівнем, полягає у тому, що безперервна множина значень рівнів замінюється дискретною з кроком Δx (рис. 1.10).

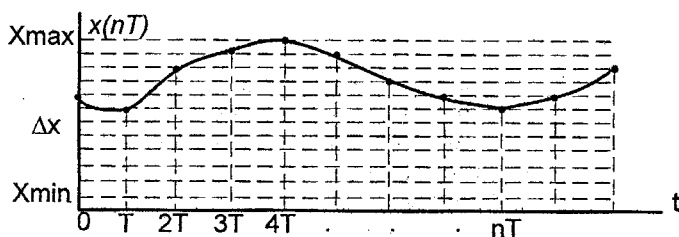


Рисунок 1.10 – Дискретизація сигналу за рівнем

Фактично квантування за рівнем являє собою округлення значень $x(nT)$ функції $x(t)$ із заданою точністю. Квантування за рівнем може бути рівномірним і нерівномірним. За рівномірного квантування кількість можливих рівнів m дорівнює:

$$m = \frac{x_{\max} - x_{\min}}{\Delta x}, \quad (1.8)$$

де $x_{\max}$, $x_{\min}$ – відповідно верхня і нижня межа зміни сигналу $x(t)$.

Величина Δx позначає похибку, що має місце у разі заміни поточного значення $x(t)$ його дискретним рівнем $i \cdot \Delta x = x_i$. Ця похибка, яку обчислюють за формулою $\xi(x) = x(nT) - x_i$, називається шумом квантування за рівнем, будь-якому значенню змінної $x(t)$, що потрапляє в інтервал $\left[x_i - \frac{\Delta x}{2}, x_i + \frac{\Delta x}{2}\right]$, надається рівень x_i , то похибка $\xi(x)$ не повинна перевищувати половини кроку квантування: $|\xi(x)_{\max}| = \frac{\Delta x}{2}$.

У теорії сигналів широко використовують ймовірнісну оцінку шумів квантування.

Важливою характеристикою будь-якого сигналу є його інформативність, яка визначається кількісною характеристикою інформації. Для її визначення розглянемо спрощену модель реального сигналу, заданого на інтервалі часу T_c і квантованого за часом та за рівнем.

Кількість можливих рівнів квантування m визначають за формулою (1.9). Оскільки в кожен дискретний момент часу сигнал може набути одного з m можливих значень, то за час T_c кількість можливих комбінацій сигналу дорівнює $C_c = m^n$.

Число C_c дає комбінаторну оцінку кількості інформації, що міститься у дискретному сигналі. Недолік використання C_c як міри інформації полягає в нелінійній його залежності від величини n , тобто від тривалості інтервалу T_c . Тому як міру кількості інформації I використовують логарифмічне перетворення від C_c :

$$I = \log_b C_c = n \log_b m, \quad (1.9)$$

в якому маємо лінійну залежність між вказаними параметрами. Вибір параметра b впливає лише на розмірність, тобто на одиницю вимірювання кількості інформації. Найчастіше обирають $b=2$, при цьому I вимірюється у бітах. Один **біт** – найменша кількість інформації, що відповідає одному з двох рівно можливих повідомлень (так – ні; ввімкнути – вимкнути тощо). Повідомлення в якому міститься набір з кількох бітів, називається словом. Слово з 8 біт називається байтом. Якщо, наприклад, припустити, що кількість рівнів квантування m описується словом з 1 байта, то це означає, що весь діапазон рівнів $x_{\max} - x_{\min}$ розбивається на $m = 2^8 = 256$ кроків, функція визначатиметься з похибкою $\xi(x) = (256 \cdot 2)^{-1} (x_{\max} - x_{\min})$ і в кожен дискретний момент часу може передаватись повідомлення про одне з її 256 можливих значень.

Звернувшись знову до процесу перетворення сигналів і взявши за «1» наявність короткочасного імпульсу, а за «0» - його відсутність, кожен відлік сигналу можна передати у вигляді одиниць та нулів.

Оскільки сигнали передаються переважно за допомогою провідників, то слово з одного байта може передаватись двопровідною лінією як послідовність «0» та «1» у певні дискретні моменти часу. При цьому як передавач інформації, так і приймач повинні працювати в узгодженому дискретному часі. Така форма передавання інформації називається послідовною і використовується у довгих лініях зв'язку. У коротких лініях застосовується паралельна форма, за якої до кожного біта слова, що передається, використовується свій провідник (паралельний формат).

1.2. Системи числення

Числова інформація характеризується:

- системою числення (двійкова, вісімкова, десяткова, та ін.);
- видом числа (числа дійсні, натуральні, комплексні, масиви);
- типом числа (змішані, цілі, дробові);
- формою подання числа (місце коми): з фіксованою, плаваючою комою;
- розрядною сіткою і форматом числа;
- діапазоном і точністю подання чисел;
- способом кодування від'ємних чисел: прямим, оберненим і додатковим кодами;
- алгоритмами виконання арифметичних операцій.

Системою числення називається сукупність цифр і правил для запису чисел. Запис числа в певній системі числення називається його кодом. Всі системи числення поділяються на позиційні і непозиційні. Для запису чисел в позиційній системі числення використовують певну кількість графічних знаків (цифр і букв), що відрізняються один від одного. Кількість таких знаків називають основою позиційної системи числення. В комп'ютерах використовуються позиційні системи з різними основами.

Система числення з основою два (цифри 0,1) називається двійковою, система з основою вісім (0,1,2,3,4,5,7) – вісімкова, система з основою десять (0,1,2,3,4,5,7,8,9) – десяткова, система з основою шістнадцять (0,1,2,3,4,5,7,8,9,A,B,C,D,E,F) – шістнадцяткова.

В позиційних системах числення значення кожної цифри визначається її позицією в числі. Окремі позиції в записі числа називають розрядами, а номер позиції – номером розряду. Кількість розрядів в запису числа називається його розрядністю і збігається з довжиною числа.

В непозиційних системах числення значення кожної цифри не залежить від її позиції. Найвідомішою непозиційною системою є римська.

Недоліком непозиційної системи є відсутність нуля і формальних правил запису чисел і відповідно арифметичних дій із ними.

Число в позиційній системі можна зобразити поліномом:

$$A_q = a_k \cdot q^k + a_{k-1} \cdot q^{k-1} + \dots + a_0 \cdot q^0 + \dots + a_{-1} \cdot q^{-1} + \dots + a_{-m} \cdot q^{-m} = \sum_{i=-m}^k a_i \cdot q^i, \quad (1.11)$$

де q - основа системи числення,

q^i - вага позиції,

$a_i \in \{0, 1, \dots, (q-1)\}$ - цифри в позиціях числа,

$0, 1, \dots, k$ - номери розрядів цілої частини числа,

$-1, \dots, m$ - номери розрядів дробової частини числа.

На практиці застосовують скорочений запис полінома (1.11) у вигляді послідовності цифр із знаком, залежно від типу числа.

Для мішаного числа:

$$A_q = \pm a_k a_{k-1} \dots a_1 a_0, a_{-1} \dots a_{-m}, \quad (1.12)$$

Для цілого числа:

$$A_q = \pm a_k a_{k-1} \dots a_1 a_0, \quad (1.13)$$

Для правильного дробу:

$$A_q = \pm 0, a_{-1} a_{-2} \dots a_{-m}, \quad (1.14)$$

Для переведення цілого числа із однієї системи числення в іншу необхідно розділити число, яке переводиться, на нову основу за правилами вихідної системи. Отримана перша остача є значенням молодшого розряду в новій системі, а цілу частину від ділення необхідно знову поділити. Цей процес продовжується до отримання неділимої цілої частини. Результат записують в порядку, зворотному отриманому у вигляді формули.

Для переведу правильного дробу із однієї системи числення в іншу необхідно, діючи за правилами вихідної системи, помножити число, що переводиться, на основу нової системи; від результату відділити цілу частину, а дробову частину, що залишиться, знову помножити на цю основу. Процес такого множення повторюється до отримання заданої кількості цифр. Результат записується як цілі частини добутку в порядку їх отримання, що розміщуються у вигляді формули (1.14).



ПРИКЛАД

Переведення цілого десяткового числа $A = 118$ в двійкове наведено в таблиці 1.1.

Таблиця 1.1 – Переведення цілого десяткового числа $A = 118$ в двійкове

Вихідне число	Ціла частина від ділення	Остача
118/2	59	0 - a_0
59/2	29	1 - a_1
29/2	14	1 - a_2
14/2	7	0 - a_3
7/2	3	1 - a_4
3/2	1	1 - a_5
1/2	-	1 - a_6

Результат:

$$A = 118_{10} = 1110110_2.$$

Виконаємо переведення десяткового числа меншого одиниці згідно з формулою (1.14).



ПРИКЛАД

Переведення правильного десяткового дробу $A=0,625$ в двійкове число з точністю до четвертого знака:

$$\begin{array}{lll}
 0, & 625/2 & 0; \\
 1 & 250/2 & a_{-1}=1; \\
 0 & 500/2 & a_{-2}=1; \\
 1 & 000/2 & a_{-3}=1; \\
 0 & 000 & a_{-4}=0.
 \end{array}$$

Результат: $A = 0,625_{10} = 0,1010_2.$

Для переведення мішаних чисел в двійкову систему потрібно окремо переводити їх цілу і дробову частину. В записі результату ціла частина перекладу відділяється від дробової відповідно до формули (1.12).



ПРИКЛАД

Переведення десяткового мішаного числа $A=118,625_{10}$ в двійкове. Використовуючи результати переведення цілого числа 118 і дробового числа в попередніх прикладах, запишемо результат:

$$\text{Результат: } A=118,625_{10}=1110110,1010_2.$$

У вісімкових і шістнадцяткових числах основи системи числення кратні степені двійки: $2^3=8$; $2^4=16$. Тому переведення цих чисел у двійкові реалізовується дуже просто: кожен цифру записують трьома двійковими цифрами (тріадами) для вісімкових чисел і чотирма двійковими цифрами (тетрадами) для шістнадцяткового числа у напрямку вліво і вправо від коми. При цьому крайні незначущі нулі опускаються.



ПРИКЛАД

Переведення вісімкових і шістнадцяткових чисел у двійкові:

$$A=305,42_8=\overbrace{011}^3\overbrace{000}^0\overbrace{101}^5,\overbrace{100}^4\overbrace{010}^2_2;$$

$$A=7AE,EF_{16}=\overbrace{0111}^7\overbrace{1010}^A\overbrace{1011}^B,\overbrace{1110}^E\overbrace{1111}^F_2$$

Для переведення двійкового числа у вісімкове вихідне число розбивають на тріади вліво від коми, крайні цифри, що відсутні, доповнюють нулями. Потім кожен тріаду записують вісімковою цифрою. Аналогічно виконується переведення двійкового числа в шістнадцяткове, при цьому виділяють тетради, що замінюються шістнадцятковими числами.

Формат – спосіб розміщення компонентів числа в розрядній сітці, тобто послідовність позицій знака, мантиси, порядку і т. д. Розрядна сітка – сукупність запам'ятовуваних елементів для розміщення одного двійкового числа. Для різних цифрових обчислювальних систем може дорівнювати 8, 16, 32, 64 і більше розрядів.

В цифрових обчислювальних системах використовуються дві форми представлення числа:

- з фіксованою комою перед старшим розрядом числа (для правильного дробу) чи після молодшого (для цілого числа);
- з плаваючою комою, положення якої задається порядком числа.

У форматі із плаваючою комою число N представляється в наступному вигляді:

$$N = m \cdot q^p, \quad (1.15)$$

де m – мантиса,

p – порядок,

q – основа системи числення.

Місце коми в обох форматах встановлюється неявно, без використання додаткових розрядів. За традицією нумерація розрядів в цифрових автоматах здійснюється справа наліво, а в мікропроцесорах – зліва направо.

В числах зі знаком виділяють додатковий знаковий розряд (зазвичай крайній зліва). В ньому для знака плюс використовується «0», а для знака мінус – «1». В числах без знака всі розряди числа визначають модуль числа. Формати двійкових дробових і цілих чисел зі знаком, з нумерацією розрядів справа наліво і значенням їх ваги показані на рис. 1.11.

Числа в розрядну сітку записують відповідно до ваги позицій. Не зайняті розряди заповнюють нулями, як це показано на рис. 1.12 для чисел $+0,725_{10} = +0,10111_2$ і $-47_{10} = -10111_2$.

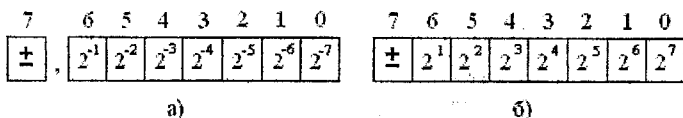


Рисунок 1.11 – Формати двійкових дробових і цілих чисел зі знаком

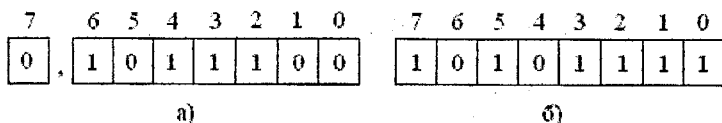


Рисунок 1.12 – Розрядна сітка чисел

Для запису знака числа, заміни операції віднімання чисел додаванням їх кодів, а також визначення переповнення розрядної сітки використовують прямий, обернений та додатковий коди, де для подання знака числа відводиться знаковий розряд, що розміщується зліва від числа і відділяється комою. В знаковий розряд записують нуль (для додатного числа) і оди-

ницю (для від'ємного). Кому в машинному коді в явному вигляді не позначаємо, а тільки масмо на думці.

Числа, що подані в прямому і додатковому кодах називають машинними зображеннями. Вони складаються із знакового розряду і цифрової частини (модуля числа). Додатні числа у всіх кодах записуються однаково. Якщо позначити машинні зображення числа A в прямому коді $[A]_{пр}$, в оберненому коді $[A]_{об}$ і в додатковому коді $[A]_{д}$, то для додатних чисел маємо:

$$[A]_{пр} = [A]_{об} = [A]_{д} . \quad (1.16)$$

Для від'ємних чисел з довжиною мантиси k коди бітів визначають за такими правилами:

прямий код:

$$[A]_{пр} = \begin{cases} 1 + |A| - \text{для дробу} \\ 2^k + |A| - \text{для цілого числа,} \end{cases} \quad (1.17)$$

Обернений код:

$$[A]_{об} = \begin{cases} 2 - |A| - 2^{-k} - \text{для дробу} \\ 2^{k+1} - |A| - \text{для цілого числа,} \end{cases} \quad (1.18)$$

Додатковий код:

$$[A]_{д} = \begin{cases} 2 - |A| - \text{для дробу} \\ 2^{k+1} - |A| - \text{для цілого числа.} \end{cases} \quad (1.19)$$

Обернений код від'ємного числа формується із його коду після інвертування значень розрядів цифрової частини, тобто заміною нуля на одиницю і одиниці на нуль; значення знакового розряду не змінюється. Додатковий код від'ємного двійкового числа формується із його оберненого коду, шляхом додавання одиниці до молодшого розряду.

Із цих прикладів видно, що обернений і додатковий коди цілих і дробових чисел за виглядом запису збігаються, розбіжності між ними відображені в алгоритмах обробки інформації.

Для переходу від оберненого коду від'ємного числа до прямого коду потрібно інвертувати значення розряду. Для переходу від додаткового коду від'ємного числа до прямого коду спочатку отримують його обернений код, а потім додають одиницю до молодшого розряду.



ПРИКЛАД

Запис двійкових чисел $A=1010_2$ і $B=-1010_2$ в прямих кодах:
 $[A]_{пр} = 0,1010$; $[B]_{пр} = 1,1010$.



ПРИКЛАД

Подання в оберненому і додатковому кодах двійкових чисел: цілого $A=1001_2$ і дробового $B=1001_2$: $[A]_{зр} = 1,0110$; $[A]_д = 1,0111$; $[B]_{зр} = 1,0111$; $[B]_д = 1,0111$.

Модифікований код. Важлива особливість оберненого і додаткового кодів полягає в тому, що в процесі виконання операції додавання-віднімання не відбувається переповнення цифрової частини числа і переносу в знаковий розряд. Переповнення виникає тільки в знаковому розряді. Так буває тому, що сума двох доданків за модулем менше одиниці.

При розв'язуванні реальних задач часто важко визначити наперед, чи буде сума двох доданків менше одиниці. Для попередження переповнення можна вводити додаткові обмеження на величину доданків, що слугують діапазоном чисел, з якими оперує машина. І те, і інше є неприйнятним.

Розглянемо такий приклад:

$$X = -0,101 \quad \text{Додатковий код} \quad 1.011 = [X]_{дк}$$

$$Y = -0,111 \quad 1.001 = [Y]_{дк}$$

$$S_- = X_- + Y_- \quad 0.100 = [S]_{дк}$$

Тобто, отримуємо неправильний результат як за знаком, так і у цифровій частині.

Ще один приклад:

$$X = +0,101 \quad \text{В будь-якому із розглянутих} \quad 0.101 = [X]_{дк,ок}$$

$$Y = +0,111 \quad \text{кодів маємо} \quad 0.111 = [Y]_{дк,ок}$$

$$S_+ = X_+ + Y_+ \quad 1.100 = [S]_{дк,ок}$$

Тобто, і в цьому випадку переповнення в цифровій частині спотворює результат операції.

Можна зауважити, що переповнення числової сітки відбувається у випадку однакових знаків доданків, оскільки саме у цьому випадку модуль результату перевищує модуль кожного із доданків, сам факт переповнення може бути зафіксований зміною знака результату.

Таким чином, одним із способів фіксації переповнення є автоматичне визначення переходу від однакових знаків доданків до протилежного знака результату.

Але такий спосіб фіксації переповнення незручний, оскільки попередньо знаки доданків повинні запам'ятовуватись, порівнюватись між собою і після отримання результату.

Існує інший принцип фіксації переповнення. Цей принцип базується на застосуванні так званих модифікованих кодів. Очевидно, що при переповненні розрядної сітки обчислення необхідно припинити чи, принаймні, виробити спеціальну ознаку переповнення, а рішення про припинення обчислень покласти на людину.

Сутність модифікованих кодів полягає у тому, що до знакового розряду додається ще один розряд:

"+" ставиться у відповідність 00

"-" ставиться у відповідність 11

Тоді, за визначенням модифікованим додатковим кодом числа називається

$$[X]_{\text{мдк}} = \begin{cases} X, & \text{якщо } X \geq 0 \\ 100 + X, & \text{якщо } X < 0. \end{cases} \quad (1.20)$$

Перенос, що виникає в знакових розрядах, втрачається. В цілому ж модифікований код не відрізняється від простого додаткового. Аналогічно, за визначенням, модифікованим оберненим кодом є:

$$[X]_{\text{мзк}} = \begin{cases} X, & \text{якщо } X \geq 0 \\ 100 - (10)^{-n} X, & \text{якщо } X < 0. \end{cases} \quad (1.21)$$

Як і у випадку простого оберненого коду, одиниця переносу, що виникає в знакових розрядах, по колу циклічного переносу додається в молодший розряд цифрової частини числа.

Оскільки в додаванні беруть участь тільки числа менші одиниці, то

$$S = X + Y < 2. \quad (1.22)$$

Тому старший знаковий розряд не може бути спотворений переносом із цифрової частини числа, з іншого боку, перенос, що виникає при додаванні чисел у випадку, коли

$$S = X + Y > 1, \quad (1.23)$$

спотворює молодший знаковий розряд.

Незбіг знакових розрядів після виконання операції вказує на факт наявності переповнення.

При цьому розрізняють два типи переповнення:

- "01" – додатне.
- "10" – від'ємне.

Першому ставиться у відповідність комбінація «01» в знакових розрядах, а другому – «10».



Модифікований доповнювальний код:

$$\begin{aligned} \text{а) } [X]_{\text{мдк}} &= 00.101 & +00.101 \\ [Y]_{\text{мдк}} &= 00.111 & 00.111 \\ [S]_{\text{мдк}} &= 01.100 & \text{— додатне переповнення} \end{aligned}$$

$$\begin{aligned} \text{б) } [X]_{\text{мдк}} &= 11.101 & +11.101 \\ [Y]_{\text{мдк}} &= 11.001 & 11.001 \\ [S]_{\text{мдк}} &= 1 \times 10.110 & \text{— від'ємне переповнення} \end{aligned}$$

Модифікований зворотний код

$$\begin{aligned} \text{а) } [X]_{\text{мок}} &= 00.101 & +00.101 \\ [Y]_{\text{мок}} &= 00.111 & 00.111 \\ [S]_{\text{мок}} &= 01.100 & \text{— додатне переповнення} \end{aligned}$$

$$\begin{aligned} \text{б) } [X]_{\text{мок}} &= 11.010 & +11.010 \\ [Y]_{\text{мок}} &= 11.000 & 11.000 \\ & & 1|10.010 \\ & & \longrightarrow 1 \\ [S]_{\text{мок}} &= 10.011 & \text{— від'ємне переповнення} \end{aligned}$$

Буквенно-цифровий код використовується для виведення інформації на пристрої відображення, наприклад дисплей чи принтер, а також для введення чи передачі даних використовують буквенно-цифрові коди. Букви, цифри, математичні символи, розділові знаки, символи для рисування ліній, керуючі символи і певні інші кодуються однобайтовими числами. Існують кілька різновидів таких кодів, наприклад: ASCII, КОИ-7, КОИ-8, альтернативний код ДСТУ, основний код ДСТУ та ін. ASCII і 7-ми бітовий код для обміну інформацією (КОИ-7) відображають перші 128 символів і входять в склад решти кодувань. Додаткові символи і російський алфавіт входять в восьмибітові розширені коди (КОИ-8, альтернативний і основний). Загальна кількість символів в цих кодах дорівнює 256. Таблиця кількох кодів наведена нижче. Варто відзначити, що нульовий код (NULL) не кодує цифру нуль і взагалі ніяк не відображається. На рис. 1.13 наведено відповідності окремих символів у різних системах кодування.

СИМВОЛ	Код(HEX)	СИМВОЛ	Код(HEX)	СИМВОЛ	Код(HEX)
"нічого"	00	"A"	41	"A"	81
"0"	30	"B"	42	"Б"	82
"1"	31	"C"	43	"В"	83
".."	..	".."	..	".."	..
"9"	39	"Z"	5A	"Я"	9F
","	3A	"["	5B	"а"	A0
ASCII кодування					
альтернативне кодування					

Рисунок 1.13 – Записи символів у різних системах кодування

Восьмисегментний код слугує для відображення образу цифри, що висвічується на індикаторі у вигляді набору «0» і «1». Вісім бітів даного коду зображають десяткову цифру чи букву. Прийнята така відповідність між бітами і сегментами:

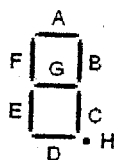


Рисунок 1.14 – Восемисегментный код

Нижче наведено бітовий набір для індикації цифри «4». Одиниці зазвичай відповідають висвітленим сегментам.



ПРИКЛАД

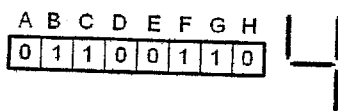


Рисунок 1.15 – Восемисегментный код цифри «4»

Неоднозначність двійкового коду. Набір одиниць і нулів, що зберігається в регістрі чи комірці пам'яті (двійковий набір), для мікропроцесора нічого не означає. Нехай в регістрі знаходиться набір із восьми бітів **10000110**. Він може бути інтерпретований як:

- двійкове число = 10000110, що має шістнадцятковий еквівалент «86», вісімковий еквівалент «206», десятковий еквівалент числа без знака «134»;

- додатковий код від'ємного числа «-122»;
- двійково-десятькове упаковане число «86»;
- альтернативний код букви «Ж»;
- код КОИ-8 символу «ф»;
- восьми сегментний код цифри «1.»;
- частина дійсного числа;
- реалізація множини, що включає 3 елементи із 8-ми;
- частина адреси комірки пам'яті чи зовнішнього пристрою;
- код операції і т. д.

Тому варто пам'ятати про це і завжди означувати ту чи іншу послідовність коду.

Арифметичні операції з двійковими числами. Всі операції в цифровій обчислювальній системі виконуються в арифметико-логічному пристрої. Числа, що беруть участь в операціях – операнди. Основною операцією є додавання. Віднімання замінюється на додавання в оберненому чи додатковому кодах. Операції множення та ділення зводяться до численних додавань і зсувів.

Правила виконання операцій додавання, віднімання, множення і додавання за модулем 2 наведені у таблиці 1.2. При додаванні двох одиниць виникає перенос в старший розряд, при відніманні від нуля одиниці потрібно позичити із старшого розряду.

Таблиця 1.2 – Правила виконання логічних операцій

Додавання	Віднімання	Множення	Ділення
$0+0=0$	$0-0=0$	$0*0=0$	$0:0=0$
$0+1=1$	$1-0=1$	$0*1=0$	$0:1=1$
$1+0=1$	$1-1=0$	$1*0=0$	$1:0=1$
$1+1=10$ – перенос	$0-1=11$ – займ	$1*1=1$	$1:1=0$

При додаванні двійкових n -розрядних чисел $A=a_n,...,a_1$ і $B=b_n,...,b_1$ результат в кожному розряді визначається за формулами:

$$a_i + b_i + Z_i = S_i + 2 \cdot P_{i+1}, \quad (1.24)$$

$$P_{i+1} = \begin{cases} 0, & \text{при } a_i + b_i \leq 1 \\ 1, & \text{при } a_i + b_i \geq 2, \end{cases} \quad (1.25)$$

де a_i, b_i – значення i -х розрядів;

Z_i – перенос із молодшого розряду;

S_i – результат;

P_{i+1} – перенос у старший розряд.



ПРИКЛАД

Додати двійкові числа $A = -1010$ і $B = -0011$ в оберненому і додатковому кодах:

$[A]_{\text{зв}} = 1,0101$	$[A]_0 = 1,0101$
$+ [A]_{\text{зв}} = 1,1100$	$+ [A]_0 = 1,1100$
1,0001	1,0011
+1	$[C]_{\text{зв}} = -1101_2$
$[C]_{\text{зв}} = 1,0010$	

Множення виконується, починаючи з молодших розрядів множника із зсувом його і суми часткових добутоків (СЧД) вправо при нерухомому множеному (рис. 1.16).

Алгоритм множення можна подати у такій послідовності:

1. Взяти модулі співмножників і обнулити СЧД;
2. Якщо молодша цифра множника дорівнює 1, то до СЧД додається множене, якщо 0, то додавання не відбувається;
3. Зсув вправо на один розряд СЧД і множника;
4. Пункти 2 і 3 виконуються послідовно k разів, після чого добутку присвоюється знак, що визначається сумою за модулем 2 знаків співмножників.

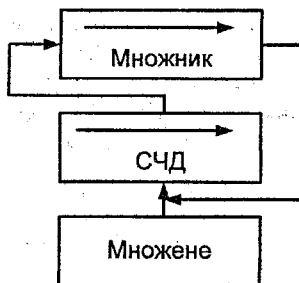


Рисунок 1.16 – Алгоритм множення



ПРИКЛАД

Перемножити числа $A = 13_{10} = 1101_2$ і $B = 11_{10} = 1011_2$, подані прямими кодами.

1101	Модуль множеного
1011	Модуль множника
0000	Вихідна СЧД
+1101	Перший частковий добуток
1101	Перша СЧД
01101	Зсув управо СЧД на 1 розряд
+1101	Другий ЧД
100111	Друга СЧД
0100111	Зсув управо на 1 розряд
+0000	Третій ЧД
100111	Третя СЧД
0100111	Зсув управо на 1 розряд
+1101	Четвертий ЧД
10001111	Четверта СЧД
10001111	Зсув управо на 1 розряд

Добуток $C = A \cdot B = 10001111_2 = 143_{10}$.

Операція ділення числа $C = A / B$ зазвичай зводиться до послідовності віднімань дільника B спочатку від діленого, а потім від утворених у процесі ділення залишків R_i . Числа A і B поступають у прямому коді.

Алгоритм ділення можна зобразити таким виразом:

$$R_{i+1} = \begin{cases} 2R_i + |B| & \text{при } R_i < 0 \\ 2R_i + [B]_0 & \text{при } R_i \geq 0. \end{cases} \quad (1.26)$$



ПРИКЛАД

Поділити числа $A = 4910$ і $B = -710$. Прямий код операндів: $[A]_{\text{пр}} = 0,0110001$, $[B]_{\text{пр}} = 1,111$, $[-B]_{\text{д}} = 1,001$.

$$\begin{aligned} [A]_{\text{пр}} &= 0,0110001 \\ + [B]_{\text{пр}} &= 1,111 \\ 2|A| &= 0,1100010 \\ + \\ -[B]_{\text{д}} &= 1,001 \\ R1 &= 1,1110010 < 0 & C1=0 \\ 2R1 &= 1,1100100 \\ + \\ |B| &= 0,111 \\ R2 &= 0,1010100 > 0 & C2=1 \\ 2R2 &= 1,0101000 \\ + \\ -[B]_{\text{д}} &= 1,001 \\ R1 &= 1,1110010 < 0 & C3=1 \\ 2R1 &= 1,1100100 \\ + \\ -[B]_{\text{д}} &= 1,001 & C4=1 \\ R4 &= 0,0000000 < 0 \end{aligned}$$

$[C]_{\text{пр}} = 1,111$; $C = -111 = -7_{10}$ залишок дорівнює 0.

1.3 Основні закони алгебри логіки

Теоретичною основою для цифрової схемотехніки є алгебра логіки – наука, що використовує математичні методи для розв'язання логічних

задач. Алгебру логіки називають булевою на честь англійського математика Дж. Буля, котрий вніс найбільший вклад в розвиток цієї науки.

Основним предметом булевої алгебри є поняття істинного та хибного значення простого виразу. Істинний позначається символом «1», хибний – символом «0». Зазвичай прості вирази позначаються буквами, наприклад $X_1, X_2, X_3 \dots X_n$, які в цифровій схемотехніці називають змінними (аргументами). За допомогою логічних зв'язків «НЕ», «АБО», «І», «ЯКЩО...ТО...» будують складні вислови, що називають булевими (логічними) функціями і позначають буквами F, L, K, M, P та ін.

Головна задача алгебри логіки – аналіз, синтез і структурне моделювання будь-яких кінцевих дискретних систем. Апарат булевої алгебри розповсюджується на об'єкти найрізноманітнішої природи незалежно від їх суті, єдина вимога: щоб вони характеризувались двома значеннями чи станами: контакт увімкнений чи вимкнений, наявність високого чи низького рівня напруги, виконання чи невиконання певної умови роботи і т. д.

Використання апарату алгебри логіки в цифровій схемотехніці базується на тому, що цифрові елементи характеризуються двома станами і завдяки цьому можуть бути записані булевими функціями.

Змінну з кінцевим числом значень (станів) називають перемикальною, а з двома станами – булевою. Функція, що має як і кожна її змінна кінцеву кількість значень називають *перемикальною (логічною)*. Логічна функція, кількість можливих значень якої і кожної її незалежної змінної дорівнює двом, є *булевою*. Таким чином, булева функція – це окремий випадок перемикальної.

Операція – це чітко визначена дія над одним чи кількома операндами, що створює новий об'єкт (результат). В булевій операції операнди і результат приймають «булеве значення 1» (далі просто «1») і булеве значення «0» (далі просто «0»). Булеву операцію над одним операндом називають одномісною, над двома – двомісною і т. д.

Булеві функції можуть залежати від однієї, двох і в цілому від n змінних. Запис $F(X_1, X_2, X_3 \dots X_n)$ означає, що певна булева функція F залежить від змінних $X_1, X_2, X_3 \dots X_n$. Основними булевими операціями є заперечення (операція «НЕ», інверсія), диз'юнкція (операція АБО, логічне додавання) і кон'юнкція (операція І, логічне множення).

Заперечення – одномісна булева операція $F = \bar{X}$ (читається «не X »), результатом якої є значення, що протилежне значенню операнда.

Диз'юнкція – булева операція $F = X_1 \vee X_2$ (читається « X_1 чи X_2 »), результатом якої є значення «0» тоді і тільки тоді, коли обидва значення «0», у інших випадках – «1».

Кон'юнкція – булева операція $F = X_1 X_2$ (читається « X_1 і X_2 »), результатом якої є значення одиниця тоді і тільки тоді,

коли значення кожного операнда дорівнює «1», у інших випадках – «0». Також можливий запис: « $X_1 \wedge X_2$ », чи « $X_1 \& X_2$ ».

Операції диз'юнкції, кон'юнкції можна задавати за допомогою табл. 1.3 для двох змінних X_1 і X_2 , в яких зліва подані значення операндів, а справа – значення булевої функції.

Таблиця 1.3 – Таблиця істинності операції диз'юнкції, кон'юнкції

X_1	X_2	$F = X_1 \vee X_2$	$F = X_1 X_2$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	1	1

Таблиця 1.4 – Таблиця істинності операції інверсії

X	$F = \overline{X}$
0	1
1	0

Для булевих операцій заперечення, диз'юнкції і кон'юнкції справедливі такі закони, властивості і тотожності:

- **Комутативність** (закон переміщення):

$$X_1 \vee X_2 = X_2 \vee X_1; X_1 X_2 = X_2 X_1. \quad (1.27)$$

- **Асоціативність** (закон групування):

$$X_1 \vee X_2 \vee X_3 = (X_1 \vee X_2) \vee X_3; X_1 X_2 X_3 = (X_1 X_2) X_3. \quad (1.28)$$

- **Дистрибутивність** (розподільний закон):

$$X_1 (X_2 \vee X_3) = X_1 X_2 \vee X_1 X_3; X_1 \vee X_2 X_3 = (X_1 \vee X_2) (X_1 \vee X_3). \quad (1.29)$$

- **Ідемпотентність** (виключне заперечення):

$$X \vee X \vee X = X; X \cdot X \cdot X = X. \quad (1.30)$$

- **Закон поглинання:**

$$X_1 \vee X_1 X_2 = X_1; X_1 (X_1 \vee X_2) = X_1. \quad (1.31)$$

- **Закон склеювання:**

$$X_1 X_2 \vee X_1 \overline{X_2} = X_1; (X_1 \vee X_2) \vee (X_1 \vee \overline{X_2}) = X_1. \quad (1.32)$$

▪ **Закон Де Моргана:**

$$\overline{X_1 \vee X_2} = \overline{X_1} \overline{X_2}; \quad \overline{X_1 X_2} = \overline{X_1} \vee \overline{X_2}. \quad (1.33)$$

▪ **Властивості заперечення і константи:**

$$\begin{aligned} X \vee \overline{X} &= 1; \quad X \overline{X} = 0; \quad \overline{\overline{X}} = X; \quad \overline{1} = 0; \quad \overline{0} = 1; \\ X \vee 0 &= X; \quad X \vee 1 = 1; \quad X \cdot 1 = X; \quad X \cdot 0 = 0. \end{aligned} \quad (1.34)$$

▪ **тотожності:**

$$X_1 \vee \overline{X_1} X_2 = X_1 \vee X_2; \quad X_1 (\overline{X_1} \vee X_2) = X_1 X_2. \quad (1.35)$$

Справедливість наведених законів булевої алгебри перевіряється шляхом підстановки в логічний вираз нуля і одиниці, як показано в табл. 1.5 для формули $\overline{X_1 X_2} = \overline{X_1} \vee \overline{X_2}$.

Областю визначення булевої функції $F(X_1, X_2, X_3, \dots, X_m)$ є кінцева множина різних двійкових наборів довжиною n , на кожному з яких вказується значення функції: «0» чи «1». Кількість різних двійкових наборів дорівнює множині n -розрядних двійкових чисел $m = 2^n$. Наприклад, для функції двох змінних X_1 і X_2 є чотири двійкових набори: $\langle 0, 0 \rangle$; $\langle 0, 1 \rangle$; $\langle 1, 0 \rangle$; $\langle 1, 1 \rangle$.

Таблиця 1.5 – Перевірка законів булевої алгебри

X_1	X_2	$X_1 \cdot X_2$	$\overline{X_1 X_2}$	$\overline{X_1}$	$\overline{X_2}$	$\overline{X_1} \vee \overline{X_2}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

Часто набори нумеруються десятковими еквівалентами двійкових чисел від нуля до $2^n - 1$. Наприклад для $n=4$, набори $\langle 0, 1, 0, 1 \rangle$ і $\langle 1, 0, 0, 1 \rangle$ мають відповідно номери 5 і 9. Дві функції відрізняються одна від одної, якщо їх значення будуть різними хоча б у одному наборі. Кількість різних булевих функцій від n змінних дорівнює 2^m , де $m = 2^n$.

Довільну булеву функцію можна задати різними способами: словесним описом, часовими діаграмами, геометричними фігурами, графами, таблицями істинності і аналітичними виразами.

Словесний опис певної булевої функції $F(X_1, X_2)$ можна подати так: $F=1$ при $X_1 X_2=1$ і $F=0$ при $X_1 X_2=0$. Таку функцію можна зобразити часовою діаграмою (рис. 1.17, а), чи геометрично за допомогою двовимірною куба (рис. 1.17, б), в якому точками виділені одиничні вершини (дана

функція приймає значення одиниці на наборі $\langle 1,1 \rangle$, а також графом, де вершини відображають значення нуля і одиниці, а на орієнтованих дугах змінні вказують умови переходів (рис. 1.17, в).

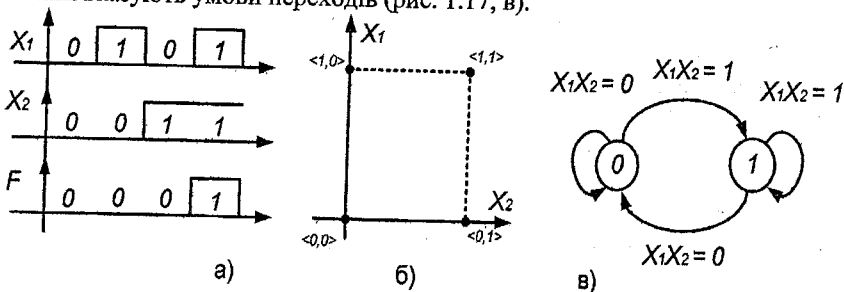


Рисунок 1.17 – Способи задання булевих функцій

Булеві функції однієї змінної подані в таблиці 1.6. Як видно із таблиці із чотирьох булевих функцій практичний інтерес становлять тільки операція заперечення $L_2 = \bar{X}$.

Таблиця 1.6 – Булеві функції однієї змінної

L_i	X_i		Вираз	Назва операції
	0	1		
L_0	0	0	$L_0 = 0$	Константа 0
L_1	0	1	$L_1 = X$	Повторення X
L_2	1	0	$L_2 = \bar{X}$	Заперечення X
L_3	1	1	$L_3 = 1$	Константа 1

Всі 16 булевих функцій $F_0 - F_{15}$ двох змінних X_1 і X_2 подані в таблиці 1.7

Таблиця 1.7 – Булеві функції від двох змінних X_1 і X_2

X_1 0011		Вираз	Назва операції
X_2 0101			
1	2	3	4
F_0	0000	$F_0 = 0$	Константа 0
F_1	0001	$F_1 = X_1 X_2$	Кон'юнкція
F_2	0010	$F_2 = X_1 \overline{X_2}$	Заборона за X_2

Продовження таблиці 1.7.

1	2	3	4
F_3	0011	$F_3 = X_1$	Повторення X_1
F_4	0100	$F_4 = \overline{X_1} X_2$	Заборона за X_1
F_5	0101	$F_5 = X_2$	Повторення X_2
F_6	0110	$F_6 = X_1 \oplus X_2$	Сума за модулем 2
F_7	0111	$F_7 = X_1 \vee X_2$	Диз'юнкція
F_8	1000	$F_8 = X_1 \downarrow X_2$	Заперечення диз'юнкції
F_9	1001	$F_9 = X_1 \sim X_2$	Еквівалентність
F_{10}	1010	$F_{10} = \overline{X_2}$	Заперечення X_2
F_{11}	1011	$F_{11} = X_1 \leftarrow X_2$	Імплікація від X_2 до X_1
F_{12}	1100	$F_{12} = \overline{X_1}$	Заперечення X_1
F_{13}	1101	$F_{13} = X_1 \rightarrow X_2$	Імплікація від X_1 до X_2
F_{14}	1110	$F_{14} = X_1 / X_2$	Заперечення кон'юнкції
F_{15}	1111	$F_{15} = 1$	Константа 1

За допомогою таблиць істинності показують всі можливі функції однієї змінної (всього чотири функції) і двох змінних (всього 16 функцій). Для $n=3$ кількість можливих булевих функцій складає 256, для $n=4$ – їх кількість $-2^{16} = 65536$.

Як видно із таблиці 1.6, функції F_0 і F_{15} – константи, F_3 і F_5 – повторюють, а F_{10} і F_{12} – заперечують одну із змінних, F_1 і F_7 – кон'юнкція і диз'юнкція, описані раніше.

Виключення (заборона) – двовимірна булева операція, результатом якої є значення «1» тоді і тільки тоді, коли значення одного операнда рівне «1», а іншого – «0». Записується у вигляді:

$$F_2 = X_1 \overline{X_2} \text{ або } F_4 = \overline{X_1} X_2. \quad (1.36)$$

Сума за модулем 2 («виключне АБО», заперечення еквівалентності) – двовимірна булева операція, результатом якої є значення одиниці тоді і тільки тоді, коли операнди мають різні значення. Позначається у вигляді:

$$F_6 = X_1 \oplus X_2 = \overline{X_1} X_2 \vee X_1 \overline{X_2}. \quad (1.37)$$

Заперечення диз'юнкції операція («НЕ-АБО», стрілка Пірса) – булева операція, результатом якої є значення одиниці тоді і тільки тоді, коли обидва операнди дорівнюють нулю. Позначається у вигляді:

$$F_8 = X_1 \downarrow X_2 \dots \downarrow X_n = \overline{X_1 X_2 X_3 \dots X_n} = \overline{X_1} \vee \overline{X_2} \vee \overline{X_3} \vee \dots \overline{X_n}. \quad (1.38)$$

Еквівалентність (рівнозначність) – двомісна булева операція, результатом якої є одиниця тоді і тільки тоді всі операнди приймають однакові значення. Позначається у вигляді:

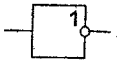
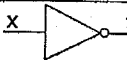
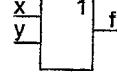
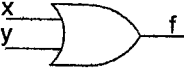
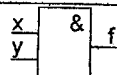
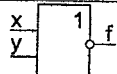
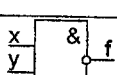
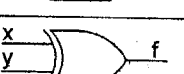
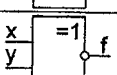
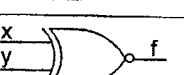
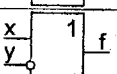
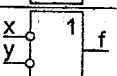
$$F_9 = X_1 \sim X_2 = X_1 X_2 \vee \overline{X_1 X_2}. \quad (1.39)$$

Імплікація (включення) – двомісна булева операція, результатом якої є значення нуля тоді і тільки тоді, коли значення одного із операндів дорівнює нулю, а іншого – одиниці. Позначається у вигляді:

$$F_{11} = X_1 \leftarrow X_2 = X_1 \vee \overline{X_2}, \quad F_{13} = X_1 \rightarrow X_2 = \overline{X_1} \vee X_2. \quad (1.40)$$

Назви і умовні позначення основних логічних елементів, що застосовуються в цифровій схемотехніці, подані в таблиці 1.8.

Таблиця 1.8 – Назви і умовні позначення основних логічних елементів

Назва операції	Назва елемента	Умове графічне позначення (європейський стандарт)	Умове графічне позначення (американський стандарт)
Заперечення	НЕ		
Диз'юнкція	АБО		
Кон'юнкція	І		
Заперечення диз'юнкції	НЕ-АБО		
Заперечення кон'юнкції	НЕ-І		
Заперечення еквівалентності	ВИКЛЮЧНЕ АБО		
Еквівалентність	ЕКВІ-ВАЛЕНТНІСТЬ		
Імплікація	ЯКЩО, ТО		
Заборона	НІ		

Заперечення кон'юнкції (операція «НЕ-І», *штрих Шефера, заперечення перетину*) – булева операція, результат якої дорівнює нулю тоді і тільки тоді, коли обидва операнди дорівнюють одиниці. Позначається як:

$$F_{14} = X_1 / X_2 = \overline{X_1 X_2}. \quad (1.41)$$

Узагальнена для n змінних, маємо:

$$F_{14} = X_1 / X_2 = \overline{X_1 X_2}. \quad (1.42)$$

Булеві функції одного і двох аргументів називають елементарним. Схему, що реалізовує елементарну логічну операцію називають логічними елементом (вентилем). Сукупність взаємозалежних логічних елементів з формальними методами опису називають логічною схемою.

Значення змінних (операндів) відображаються електричними сигналами з двома чітко вираженими рівнями значень.

За допомогою суперпозицій, тобто підстановки в логічні формули замість змінних деяких інших булевих виразів, можна отримати складніші функції будь-якого числа змінних, наприклад:

$$Y = X_1 \vee X_2; X_1 = Z_1 Z_2; X_2 = Z_3 \vee Z_4, \text{ тоді } Y = Z_1 \cdot Z_2 \vee Z_3 \vee Z_4. \quad (1.43)$$

Аналітичне подання булевих функцій

Розроблені універсальні (канонічні) форми подання булевих функцій, що дають можливість отримати аналітичну форму довільної функції, безпосередньо із таблиці істинності. Ця форма в подальшому може бути мінімізована чи спрощена. Оскільки між множиною аналітичних подань і множиною схем, що реалізують цю функцію, є взаємодозначне співвідношення, то пошук канонічної форми запису є початковим етапом синтезу логічних схем. Найширше застосування отримали досконала диз'юнктивна нормальна форма (ДДНФ) і досконала кон'юнктивна нормальна форма (ДКНФ). Для отримання цих форм вводяться поняття мінтермів (конституента 1) і макстермів (конституента 0).

Мінтерм – функція n змінних, що дорівнює одиниці на одному наборі. Мінтерм отримують як кон'юнкцію n змінних, що входять в нього в прямому вигляді, якщо значення даної змінної в наборі $X_i = 1$, і – із запереченням, якщо $X_i = 0$. При n змінних є 2^n мінтермів $m_0, m_1, \dots, m_R$, де $R = 2^n - 1$. Усі мінтерми двох змінних наведені у таблиці 1.9.

Значення функція F_3 , що відповідають згідно з таблицею істинності кожному і-му набору, позначені як $f_0 f_1 f_2 f_3$. Подання функції F_3 в ДКНФ є диз'юнктивною сумою мінтермів, що відповідають наборам змінних, для яких $f_i = 1$:

$$F_9 = f_0 m_0 \vee f_1 m_1 \vee f_2 m_2 \vee f_3 m_3 = 1m_0 \vee 0m_1 \vee 0m_2 \vee 1m_3 = m_0 \vee m_3 = \overline{X_1 X_2} \vee X_1 X_2. \quad (1.40)$$

Таблиця 1.9 – Мінтерми двох змінних

X_1	X_2	F_9	f_i	Мінтерми	Макстерми
0	0	1	$f_0 = 1$	$m_0 = \overline{X_1 X_2}$	$M_0 = X_1 \vee X_2$
0	1	0	$f_1 = 0$	$m_1 = \overline{X_1} X_2$	$M_1 = X_1 \vee \overline{X_2}$
1	0	0	$f_2 = 0$	$m_2 = X_1 \overline{X_2}$	$M_2 = \overline{X_1} \vee X_2$
1	1	1	$f_3 = 1$	$m_3 = X_1 X_2$	$M_3 = \overline{X_1} \vee \overline{X_2}$

Макстерм – функція n змінних, що дорівнює 0 тільки на одному наборі. Макстерм отримують як диз'юнкцію всіх змінних, що входять в нього в прямому вигляді, якщо значення $X_i = 0$ чи в інверсному вигляді, якщо значення $X_i = 1$. Число макстермів дорівнює 2^n , для функції двох змінних вони наведені в табл. 1.9.

$$\begin{aligned} F_9 &= (f_0 \vee M_0)(f_1 \vee M_1)(f_2 \vee M_2)(f_3 \vee M_3) = \\ &= (1 \vee M_0)(0 \vee M_1)(0 \vee M_2)(1 \vee M_3) = M_1 M_2 = \\ &= (X_1 \vee \overline{X_2})(\overline{X_1} \vee X_2). \end{aligned} \quad (1.41)$$

Кількість змінних, що формують кон'юнкцію, називається рангом кон'юнкції. Сума рангів кон'юнкцій, що входять в ДНФ заданої функції, називається рангом диз'юнктивної нормальної форми. Тоді ранг ДНФ, що складається із m диз'юнктивних членів

$$\alpha = \sum_{i=1}^m r_i. \quad (1.42)$$

Диз'юнктивну нормальну форму, що має найменший ранг із всіх ДНФ заданої функції, називають **мінімальною диз'юнктивною нормальною формою (МДНФ)**.

Кількість змінних, що формують диз'юнкцію, називається рангом диз'юнкції. Сума рангів диз'юнкцій, що входять в КНФ заданої функції, називається рангом кон'юнктивної нормальної форми. Тоді ранг КНФ, що складається із m кон'юнктивних членів

$$\alpha = \prod_{i=1}^m r_i. \quad (1.43)$$

Кон'юнктивну нормальну форму, що має найменший ранг із всіх ДНФ заданої функції, називають **мінімальною кон'юнктивною нормальною формою (МКНФ)**.



Подати функцію $F(X_1, X_2, X_3)$, що задана таблицею 1.10 у ДДНФ і ДКНФ.

Таблиця 1.10 – Функція $F(X_1, X_2, X_3)$

X_1	X_2	X_3	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Для ДДНФ слід записати диз'юнктивну суму всіх мінтермів, для яких функція дорівнює 1:

$$F = \overline{X_1}\overline{X_2}X_3 \vee \overline{X_1}X_2X_3 \vee X_1\overline{X_2}\overline{X_3} \vee X_1X_2\overline{X_3} \vee X_1X_2X_3. \quad (1.44)$$

Для ДКНФ слід записати кон'юнкцію мінтермів, для яких функція дорівнює 0:

$$F = (X_1 \vee X_2 \vee X_3)(X_1 \vee \overline{X_2} \vee X_3)(\overline{X_1} \vee X_2 \vee \overline{X_3}). \quad (1.45)$$

За цим способом проводиться запис в ДДНФ і ДКНФ функції довільної кількості змінних.

Система функцій, суперпозицією яких може бути подана будь-яка булева функція, називається *функціонально повною*, вона формує базис в логічному просторі.

Систему функцій називають *мінімально повним базисом*, якщо видалення із неї будь-якої функції перетворює цю систему в неповну. В теорії алгебри логіки доведено, що функціонально повні системи утворюють такі набори функцій:

1. $\overline{X}, X_1 \vee X_2, X_1X_2$ (булевий базис, надлишковий);
2. $\overline{X}, X_1 \vee X_2$
3. $\overline{X}, X_1X_2$
4. $\overline{X_1X_2}$
5. $\overline{X_1 \vee X_2}$ та ін.

Мінімізація булевих функцій

Важливим етапом проектування комп'ютерних схем є мінімізація булевих функцій, тобто знаходження їх виразів з мінімальним числом букв. Мінімізація забезпечує побудову економічних схем комп'ютерів. Для мінімізації функції з кількістю букв $n \leq 6$ використовують карти Карно. Їх будують у вигляді таблиць із 2^n клітинок, з розміткою рядків і стовпців змінними. Карти Карно для функції трьох змінних $F(X_1, X_2, X_3)$ показані на рис. 1.18. Стовпці карти відмічені значеннями змінної X_2 , а рядки – значеннями X_1, X_3 . Кожна клітинка карти Карно однозначно відповідає одному набору таблиці істинності для функції трьох змінних (рис. 1.18, а) чи мінтермам цієї функції (рис. 1.18, б). Клітинки карти Карно часто нумерують десятковими цифрами – номери наборів (рис. 1.18, в). При мінімізації для кожного мінтерма, що входить в ДДНФ функції, ставиться «1», а інші клітинки не заповнюються. Наприклад, заповнення карти Карно для функції, заданої в попередньому прикладі, показано на рис. 1.18, г.

Мінтерми в сусідніх клітинках карти Карно в рядку (включаючи верхні і нижні), чи в стовпці (включаючи крайні), відрізняються значенням однієї змінної, що дозволяє виконати операцію склеювання за цією змінною.

Наприклад, на рис. 1.18, г мінтерми $X_1\bar{X}_2X_3$ і $\bar{X}_1X_2X_3$ (клітинки з номерами 1 і 3) відрізняються значення змінної X_1 , тому вони склеюються за нею і подаються кон'юнкцією двох змінних X_2X_3 . Аналогічно для мінтермів $X_1X_2\bar{X}_3$ і $X_1\bar{X}_2\bar{X}_3$ (номери клітинок 4 і 6) склеювання проходить за змінною X_2 і отримують кон'юнкцію $X_1\bar{X}_3$. В результаті мінімізації функції $P(X_1, X_2, X_3)$ отримують її мінімальний вираз $P = \bar{X}_1X_3 \vee X_2X_3 \vee X_1\bar{X}_3$.

Загальні правила оптимізації

1. Зображають карту Карно для n змінних і проводять розмітку її рядків і стовпців. В клітинки таблиці, що відповідають мінтермам (одиничним наборам) мінімізованої функції, записують одиницю.
2. Склеюванню підпадають прямокутні конфігурації, заповнені одиницями, та такі, що містять 2, 4, чи 8 клітинок. Верхні і нижні рядки, крайні ліві і праві стовпці карти склеюються, формуючи поверхню циліндра.
3. Множина прямокутників, що покривають всі одиниці, називається покриттям. Чим менше прямокутників і чим більше клітинок в прямокутниках, тим краще покриття. Із кількох варіантів обирається той, у якого менший коефіцієнт покриття $z = r/s$, де r – загальна кількість прямокутників, s – їх сумарна площа в клітинках. Для рисунка 1.18, г, $z = 3/5$.
4. Формули, отримані в результаті мінімізації, містять r елементарних кон'юнкцій (за числом прямокутників в покритті). Кожна

кон'юнкція містить тільки ті змінні, що не змінюють свого значення в склеюваних наборах відповідного прямокутника. Кількість змінних в кон'юнкції називається її рангом. При склеюванні двох сусідніх клітинок, отримують ранг кон'юнкції $n-1$, чотирьох клітинок – $n-2$, восьми клітинок – $n-3$ і т.д.

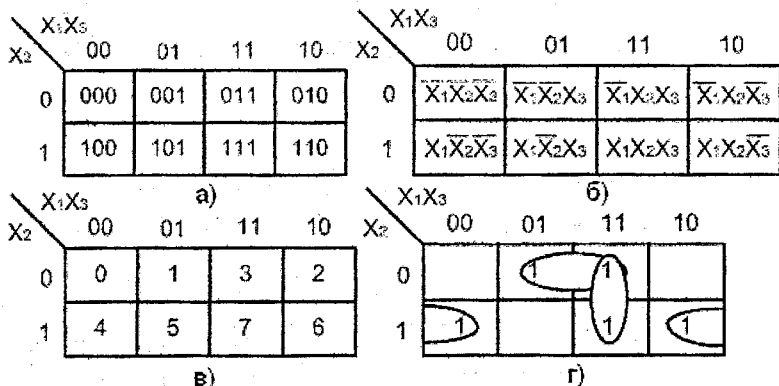


Рисунок 1.18 – Карти Карно для функції трьох змінних

Розмітка карт Карно для функцій чотирьох змінних наведена на рис. 1.19.

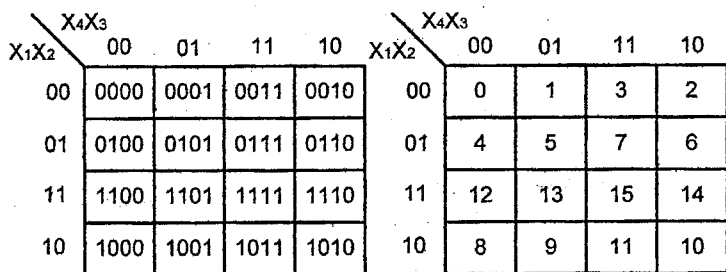


Рисунок 1.19 – Карти Карно для функцій чотирьох змінних

В клітинки карт записані значення мінтермів відповідно в двійковому і десятковому еквівалентах.



ПРИКЛАД

Мінімізувати булеві функції L_1, L_2 і L_3 чотирьох змінних. Функція L_1 задана двома способами – в ДДНФ і з десятковими еквівалентами мінтермів:

$$L_1 = \overline{X_1}X_2X_3\overline{X_4} \vee \overline{X_1}X_2X_3X_4 \vee \overline{X_1}X_2\overline{X_3}\overline{X_4} \vee \overline{X_1}X_2\overline{X_3}X_4 \vee \\ \vee \overline{X_1}X_2X_3\overline{X_4} \vee \overline{X_1}X_2X_3X_4 \vee \overline{X_1}X_2\overline{X_3}\overline{X_4} \vee \overline{X_1}X_2\overline{X_3}X_4 = \\ 0 \vee 1 \vee 2 \vee 3 \vee 4 \vee 8 \vee 12 \vee 15$$

Функції L_2 і L_3 задані для спрощення десятковими еквівалентами мінтермів:

$$L_2 = 2 \vee 3 \vee 6 \vee 7 \vee 8 \vee 9 \vee 12 \vee 13 \quad L_3 = 1 \vee 3 \vee 5 \vee 7 \vee 9 \vee 11 \vee 13 \vee 15$$

Мінімізація функцій L_1, L_2 і L_3 проводиться на основі карт Карно, що показані на рис 1.20. Результати мінімізації:

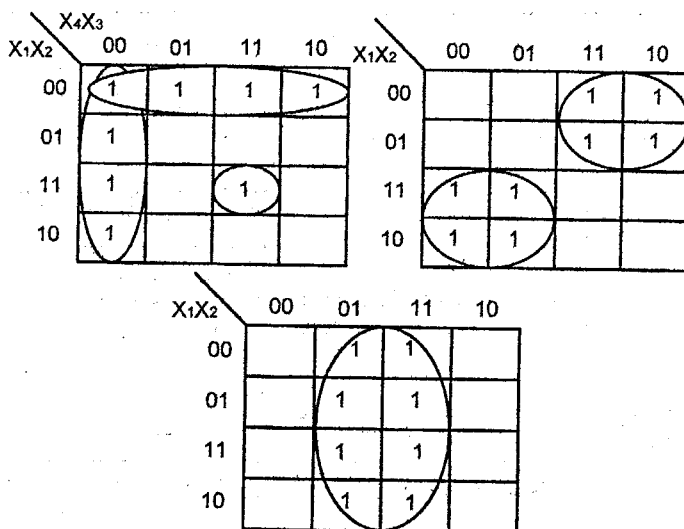


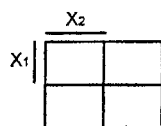
Рисунок 1.20 – Карты Карно для мінімізації булевих функцій чотирьох змінних: $L_1, L_2,$ і L_3

$$L_1 = \overline{X_1}X_2 \vee \overline{X_3}X_4 \vee X_1X_2X_3X_4 \quad z_1 = 3/8$$

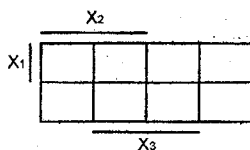
$$L_2 = \overline{X_1}X_3 \vee X_1\overline{X_3} \quad z_2 = 2/8$$

$$L_3 = X_4 \quad z_3 = 1/8$$

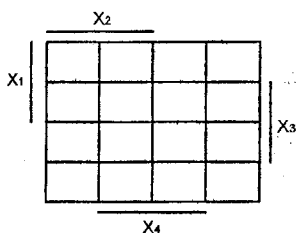
Для мінімізації булевих функцій використовують також діаграми Вейча, що аналогічні картам Карно та відрізняються від них лише способом розмітки: замість символів 0 і 1 використовують булеві позначення аргументів – $X_1, \overline{X_1}, X_2$ та ін. На рис 1.21 наведені діаграми Вейча для 1, 2, 3, 4, 5, 6 змінних.



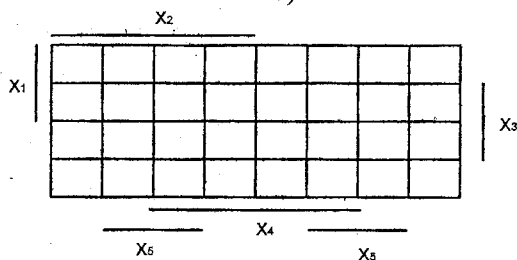
а)



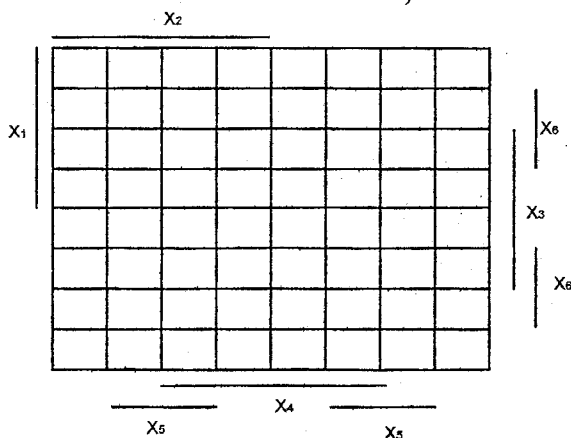
б)



в)



г)



д)

Рисунок 1.21 – Діаграми Вейча для:

а) – двох, б) – трьох, в) – чотирьох, г) – п'яти, д) – шести змінних



ПРИКЛАД

Мінімізувати за допомогою діаграм Вейча функцію L_2 із попереднього прикладу:

$$L_2 = 2\sqrt{3}\sqrt{6}\sqrt{7}\sqrt{8}\sqrt{9}\sqrt{12}\sqrt{13} = 0010\sqrt{0011}\sqrt{0110}\sqrt{0111}\sqrt{1000}\sqrt{1001}\sqrt{1100}\sqrt{1101}.$$

Запис значення мінтермів функції L_2 в клітинки Вейча показано на рис. 1.22. Результат мінімізації:

$$L_2 = \overline{X_1}X_3 \vee X_1\overline{X_3}.$$

Збігається з даними попереднього прикладу.

		X_2					
X_1		1	1	1	1	X_3	
		1	1	1	1		
		X_4					

Рисунок 1.22 – Діаграма Вейча для мінімізації функції L_2



ЗАПИТАННЯ

- Сигнал, типи сигналів, шуми, характеристики.
- Шум, завади, означення.
- Перекручування шумами сигналів.
- Імпульси, параметри імпульсів.
- Типовий одиничний імпульс, характеристики.
- Форми імпульсів.
- Модуляція сигналів. Види модуляції.
- Квантування сигналів. Рівномірне квантування.
- Дискретизація сигналів.
- Апроксимація сигналів.
- Система числення, означення.
- Види систем числення.
- Переведення чисел із однієї системи числення в іншу.
- Обернений, додатковий коди, означення.
- Виконання арифметичних операцій в прямому коді.

- Виконання арифметичних операцій в оберненому коді.
- Виконання арифметичних операцій додатковому коді.
- Множення двійкових чисел.
- Ділення двійкових чисел.
- Основні логічні функції.
- Аксиоми алгебри логіки
- Закони алгебри логіки.
- Наслідки законів алгебри логіки.
- Логічні функції, способи задання логічних функцій
- Мінтерми, макстерми, означення.
- ДДНФ, ДКНФ, означення.
- МДНФ, МКНФ, означення.
- Методи мінімізації логічних функцій, діаграми Вейча й карти Карно.



2 ЕЛЕМЕНТИ ЦИФРОВОЇ СХЕМОТЕХНІКИ

Технічні засоби цифрової схемотехніки залежно від виконуваних функцій поділяють на елементи, функціональні вузли і пристрої, а також мікропроцесори і комп'ютери (рис. 2.1). Вони призначені для обробки дискретної інформації і тому називаються цифровими.

Технічні засоби цифрової схемотехніки на сьогоднішній день базуються на інтегральних мікросхемах (ІМС) різного ступеня складності.

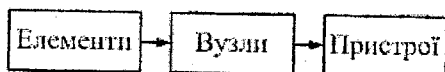


Рисунок 2.1 – Склад технічних засобів комп'ютерної схемотехніки

Елементами в цифровій схемотехніці називаються найменші неподільні мікроелектронні схеми (вироби), призначені для виконання логічних операцій чи зберігання біта інформації. До елементів умовно відносять і допоміжні схеми – підсилювачі, повторювачі, формувачі та ін. Елементи будуються на основі двопозиційних ключів, що технічно реалізуються найпростіше. Елементи з двома стійкими станами називаються двійковими.

На входах і виходах двійкового елемента діють напруги, що приймають в установленому режимі два значення – високого U_H і низького U_L рівнів. Ці напруги відображають електричні сигнали. Сигнал з двома станами називається двійковим. Перехід елемента з одного стану в інший називається його перемиканням. На основі елементів будують типові функціональні вузли.

Елементарні виконувані в цифрових обчислювальних системах за один машинний такт дії називають мікроопераціями. Наприклад, інкремент чи декремент слова, зсув, інверсія додавання та ін. В цифрових обчислювальних системах команди виконують послідовністю мікрооперацій над двійковими словами (числами). Типовими функціональними вузлами цифрових обчислювальних систем називаються мікроелектронні схеми, призначені для виконання однієї чи кількох мікрооперацій. За логікою роботи функціональні вузли поділяють на комбінаційні і послідовні схеми.

В комбінаційних схемах логічний стан виводів елементів залежить тільки від комбінації вхідних сигналів в даний момент часу. До функціональних вузлів комбінаційного типу відносяться суматори, дешифратори, шифратори, мультиплексори, демультиплексори, схеми порівняння (компаратори), схеми контролю парності, кодоперетворювачі.

В послідовних схемах логічне значення виходів визначають комбінацією вихідних сигналів і станом пам'яті схеми в даний момент часу. До функціональних вузлів послідовного типу відносяться регістри, лічильники, генератори чисел і керуючі автомати. На основі типових функціональних вузлів будують різні цифрові пристрої.

Універсальність цифрових обчислювальних систем забезпечує можливість прийому та передачі інформації, її зберігання, арифметико-логічної обробки, а також керування усім обчислювальним процесом. Ці функції реалізують відповідними пристроями введення/виведення, запам'ятовувальними, арифметико-логічними та пристроями керування.

2.1 Параметри та характеристики логічних елементів

Цифрові логічні пристрої описуються групами параметрів: статичними, динамічними, схемотехнічними й конструктивними.

Статичні параметри та характеристики інтегральних мікросхем характеризують їх в статичному режимі, тобто в такому режимі, що не змінюється в часі.

Основними статичними характеристиками є:

▪ **Вхідна характеристика елемента** – залежність вхідного струму від вхідної напруги:

$$I_{\text{вх}} = f_1(U_{\text{вх}}). \quad (2.1)$$

Характеристика знімається для одного входу, решта входів підключаються до кола, в якому залежно від логічної структури елемента діють рівні «0» або «1» при заданій кількості навантажень на виході елемента. З цієї характеристики визначають вхідні струми $I_{\text{вх}}^0$ і $I_{\text{вх}}^1$ при «0» та «1» на вході; крім того, характеристика використовується при аналізі перехідних процесів в лініях зв'язку логічних елементів.

▪ **Передавна характеристика елемента** – залежність вихідної напруги від вхідної:

$$U_{\text{вих}} = f_2(U_{\text{вх}}). \quad (2.2)$$

Характеристика знімається при заданій кількості навантажень на виході елемента і при подачі вхідної напруги на один із входів (решта входів підключаються до кола, в якому діють рівні логічних «0» і «1»). Із цієї характеристики визначаються напруги U^0 і U^1 , порогова напруга $U_{\text{пор}}$ і параметри, що відносяться до завадостійкості елемента.

▪ **Вихідна характеристика елемента** – залежність вихідного струму від вхідної напруги:

$$I_{\text{вих}} = f_3(U_{\text{вх}}). \quad (2.3)$$

Характеристика знімається для двох станів елемента: 1) на виході елемента «0»; 2) на виході елемента «1». Із цієї характеристики визначаються вихід-

ні струми $I_{\text{вх}}^0$ і $I_{\text{вх}}^1$ при «0» і «1» на виході; крім того, ця характеристика використовується при аналізі перехідних процесів в лініях зв'язку логічних елементів.

▪ **Зворотна передатна характеристика** – залежність вхідної напруги від вихідної. Ця характеристика ілюструє однонаправленість елемента

$$U_{\text{вх}} = f_4(U_{\text{вих}}). \quad (2.4)$$

▪ **Порогова напруга логічного елемента** $U_{\text{пор}}$ – вхідна напруга, незначні відхилення від якої в той чи інший бік призводять до переходу логічного елемента на його виході із стану «1» в стан «0» чи навпаки.

▪ **Запас завадостійкості (ЗЗС)** – різниця напруги, що вимірюється по осі вхідних напруг передатної характеристики в робочій точці і найближчій до неї точці з одиничним підсиленням.

▪ **Завадозахищеність (ЗЗ)** – різниця напруги, що вимірюється по осі вхідних напруг передатної характеристики в робочій точці, і порогової напруги.

▪ **Завадостійкість (ЗС)** – відношення завадозахищеності до логічного перепаду

$$ЗС = ЗЗ / (\Delta U_{\text{л}}). \quad (2.5)$$

▪ **Напруга статичної завади** вказується в паспорті на логічний елемент і гарантується для найгіршого випадку роботи даного елемента.

▪ **Вхідний опір логічного елемента** $R_{\text{вх}}$ – відношення приросту вхідної напруги до приросту вхідного струму (визначається для двох значень вхідного сигналу: $R_{\text{вх}}^0$ і $R_{\text{вх}}^1$).

▪ **Вихідний опір логічного елемента** $R_{\text{вих}}$ – відношення приросту вихідної напруги до приросту струму, що її викликає (визначається для двох значень вихідного сигналу: $R_{\text{вих}}^0$ і $R_{\text{вих}}^1$).

▪ **Потужність споживання в стані «1»** $P_{\text{спож}}^1$

▪ **Потужність споживання в стані «0»** $P_{\text{спож}}^0$

▪ **Середня потужність споживання** – визначається при шпаруватості, рівній 2:

$$P_{\text{спож,ср}} = \frac{P_{\text{спож}}^1 + P_{\text{спож}}^0}{2}, \quad (2.6)$$

▪ **Статичні характеристики напруги та струму:** напруга «1» U^1 ; напруга «0» U^0 ; вхідний струм «1» $I_{\text{вх}}^1$; вхідний струм «0» $I_{\text{вх}}^0$; вихідний струм «1» $I_{\text{вих}}^1$; вихідний струм «0» $I_{\text{вих}}^0$; логічний перепад $\Delta U_{\text{л}} = U^1 - U^0$.

Схемотехнічні й конструктивні параметри описують схемні рішення цифрових мікросхем та їх конструктив.

Основні схемотехнічні й конструктивні параметри та характеристики

▪ **Коефіцієнт об'єднання по вході** характеризує максимальне число логічних входів цифрової інтегральної схеми (ЦІС). Збільшення $n = 2 + 8$ розширює логічні можливості схеми, але разом з тим погіршує швидкодію, завадостійкість і навантажувальну здатність. Збільшення n забезпечується за рахунок введення в серію ЦІС спеціального логічного розширювача, підключення якого до основної схеми дає можливість збільшити n до 10 і більше.

▪ **Коефіцієнт розгалуження по виході** $K_{роз}$ (навантажувальна здатність) характеризує максимальне число аналогічних елементів, які можна підключити до виходу даного елемента без порушення його роботоздатності. Чим вища навантажувальна здатність ЦІС, тим ширші його логічні можливості. Однак збільшення $K_{роз} = 4 + 10$ приводить до зниження швидкодії, погіршує завадостійкість і збільшує споживану потужність. Тому до складу серій ЦІС входять буферні елементи (підсилювачі потужності) з $K_{роз} = 20 + 50$.

▪ **Кількість джерел живлення, необхідна для роботи даної серії логічних елементів** – їх номінали, допуски на номінали, величини допустимих пульсацій.

▪ **Тип корпусу.**

▪ **Габарити корпусу.**

▪ **Кількість виводів корпусу.**

▪ **Інтенсивність відмов логічних елементів.**

Динамічні характеристики описують зміну сигналів в часі, які поступають на вхід і які формуються на виході мікросхем.

Основні динамічні параметри та характеристики

Динамічні характеристики сигналу можна описати на прикладі зміни характеру вхідної і вихідної напруг інвертуючого логічного елемента при подачі на вхід елементарного імпульсу, вигляд якого поданий на рис. 2.2.

▪ **Час переходу $t^{1.0}$ на виході логічного елемента із стану «0» в стан «1»** – інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «1» до рівня «0», виміряних при значеннях 0,9 і 0,1 логічного перепаду.

▪ **Час переходу $t^{0.1}$ на виході логічного елемента із стану «1» в стан «0»** – інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «0» до рівня «1», виміряних при значеннях 0,1 і 0,9 логічного перепаду.

▪ **Час затримки $t_{зат}^{1.0}$ ввімкнення логічного елемента** – інтервал часу між вхідним і вихідним сигналами при переході напруги на виході логічного елемента від напруги «1» до напруги «0», виміряний на рівні 0,1 логічного перепаду вхідного сигналу і на рівні 0,9 вихідного сигналу.

▪ **Час затримки $t_{\text{зам}}^{0,1}$ увімкнення логічного елемента** – інтервал часу між вхідним і вихідним сигналами при переході напруги на виході логічного елемента від напруги «0» до напруги «1», виміряний на рівні 0,9 логічного перепаду вхідного сигналу і на рівні 0,1 вихідного сигналу.

▪ **Час затримки $t_{\text{зам.р}}^{1,0}$ розповсюдження сигналу при увімкненні логічного елемента** – інтервал часу між вхідним і вихідним сигналами при переході напруги на виході логічного елемента від напруги «1» до напруги «0», що вимірюється на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

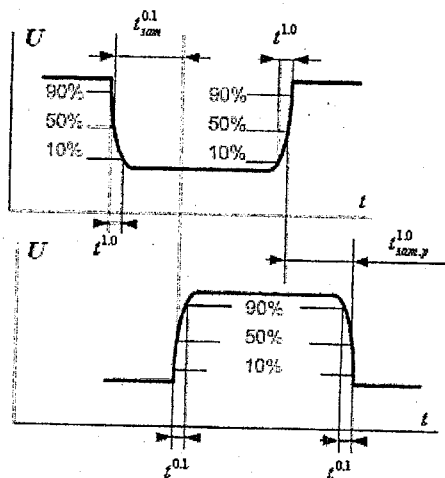


Рисунок 2.2 – Динамічні параметри сигналу

▪ **Час затримки $t_{\text{зам.р}}^{0,1}$ розповсюдження сигналу при вимкненні логічного елемента** – інтервал часу між вхідним і вихідним сигналами при переході напруги на виході логічного елемента від напруги «1» до напруги «0», виміряний на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

▪ **Середній час затримки розповсюдження сигналу логічного елемента** визначається як:

$$t_{\text{зам.сер}} = \frac{t_{\text{зам.р}}^{1,0} + t_{\text{зам.р}}^{0,1}}{2}. \quad (2.7)$$

▪ **Частота перемикання** – максимальна частота, на якій в найгірших умовах гарантується спрацювання лічильного тригера, складеного із логічних елементів даної серії.

▪ **Швидкодія ІМС** визначається максимально припустимою частотою проходження вхідних сигналів, що обумовлюється перехідними процесами

в схемі. Для оцінки швидкодії використовують тимчасові параметри: t_{ϕ}^{10} – тривалість фронту встановлення 0, t_{ϕ}^{01} – тривалість фронту встановлення 1, t_3^{01} – затримка переключення зі стану 0 у 1; t_3^{10} – затримка переключення зі стану 1 у 0, $t_{зср} = 0,5 \cdot (t_3^{10} + t_3^{01})$ – середня затримка поширення сигналу.

■ **Формуюча характеристика** – залежність часу переходу сигналу логічного елемента на його виході із одного стану в другий, що діє на вході елемента.

■ **Залежність потужності споживання від частоти вхідного сигналу:**

$$P_{\text{пот}} = f_s(f). \quad (2.8)$$

■ **Характеристика динамічної завадостійкості** – залежність амплітуди завади від її тривалості. Ця характеристика суттєво залежить від форми сигналу завади, рівня статичної завадостійкості і частоти перемикавання логічного елемента.

2.2 Елементна база цифрової схемотехніки

За елементною базою, на якій виконано логічні елементи, їх підрозділяють на, діодно-транзисторні (ДТЛ), транзисторно-транзисторні (ТТЛ), на К-МОН комплементарних транзисторах (КМОН-логіка), емітерно-зв'язані (ЕЗЛ), інтегрально-інжекційні (I^2L). Підсилення забезпечують елементи, побудовані на основі транзисторних ключів.

Ключі на біполярних транзисторах. Схема найпростішого транзисторного ключа наведена на рис. 2.3, а. Рис. 2.3, б пояснює режими роботи транзистора за допомогою набору вихідних характеристик.

Лінія навантаження АВ, яка описується відомим рівнянням $U_{кв} = E_K - I_K R_K$, задає положення робочої точки транзистора на сім'ї його вихідних характеристик.

У поданій схемі не використовують спеціальних джерел живлення для фіксації або зміщення положення робочої точки. Тому робота транзистора в точці А лінії навантаження забезпечується тільки рівнем вхідної напруги і називається режимом запирання або режимом відсікання. Напруга на виході ключа в цьому режимі $U_3 = E_K - I_{K0} R_K$ є величиною меншою, ніж напруга живлення E_K . Звідси випливає, що сигнал логічної одиниці за рівнем не може досягнути значення напруги E_K і для зменшення цієї різниці необхідно обирати транзистори з малим значенням I_{K0} , а R_K брати якомога меншим.

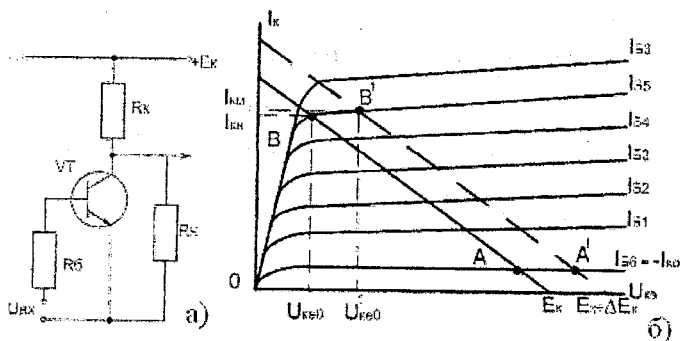


Рисунок 2.3 – Ключ на біполярному транзисторі

а) електрична принципова схема, б) сім'я вихідних характеристик

Точка В характеризує режим, який називається режимом відкритого стану. Для цієї точки справедливе співвідношення:

$$I_{KH} = \beta I_{B5} + I_{K0}(1 + \beta) \approx \beta I_{B5}, \quad (2.9)$$

де β – статичний коефіцієнт передавання струму транзистора, увімкненого за схемою із загальним емітером,

I_{B5} – базовий струм, за якого транзистор перебуває на межі активного режиму і режиму насичення.

Залишкова напруга на колекторі відкритого транзистора $U_{KE,0} = E_K - I_K R_K$ повинна мати мінімальне значення. Реальні величини $U_{KE,0}$ залежно від типу транзистора лежать у межах $0,05 \dots 1B$.

Особливість цієї робочої точки полягає в тому, що робота транзистора в ній забезпечується як базовим струмом I_{B5} , так і струмами бази, більшими ніж I_{B5} .

Розглянемо докладніше особливості робочої точки В, якій відповідає колекторний струм I_{KH} і струм бази I_{B5} . Припустимо, що напруга живлення збільшилась на величину ΔE_K . Лінія навантаження зміститься вправо, і робоча точка В перейде у В'. При цьому транзистор перейде в активний режим, а напруга на транзисторі $U_{KE,0}$, що відповідала рівню логічного нуля, збільшиться до $U_{KE,0}^1$. Подібна ситуація може виникнути також у випадку, коли величина навантаження R_H зміниться у бік зменшення опору. Щоб запобігти такому явищу, необхідно, як випливає з рис. 1.23, б, збільшити струм бази на таку величину, щоб прогнозовані коливання напруги живлення і величини навантаження не могли впливати на положення точки В, тобто повинна мати місце нерівність $I_B > I_{B5}$.

Такий режим роботи транзистора називається режимом насичення:

$$N = \frac{I_B}{I_{BS}}. \quad (2.10)$$

З формули (2.4) знаходимо:

$$I_B = N \frac{I_{KH}}{\beta}. \quad (2.11)$$

Параметр N задається в межах $1,5 \dots 3$, а струм бази для виконання умови (1.48) забезпечується вхідними колами відповідно до формули:

$$I_B = \frac{U_{ex} - U_{be}}{R_g}, \quad (2.12)$$

де U_{be} – спад напруги на відкритому переході база-емітер.

Режим насичення використовують для створення умов надійної роботи транзистора у відкритому стані, адже він забезпечує незалежність вихідного нульового рівня від нестабільності навантаження, напруги живлення, а також від коливань параметрів самого транзистора.

В активному режимі роботи транзистора між струмом бази та струмом колектора існує чітка пропорція, яка визначається коефіцієнтом передачі β . У режимі насичення колекторний струм не залежить від струму бази, якщо його величина перебуває в інтервалі $I_{BS} \leq I_B \leq NI_{BS}$. Суттєве підвищення значення струму бази призводить до накопичення заряду в області бази, що забезпечує стабільність колекторного струму навіть за наявності відзначених вище факторів дестабілізації. Але наявність режиму насичення має свої недоліки, які проявляються у динамічних режимах роботи ключа. Діаграми які пояснюють особливість динамічних режимів, наведено на рис. 2.4. Поява вхідного відкриваючого імпульсу приводить відповідно до появи імпульсу базового струму, який без урахування базових та паразитних ємностей фактично повторює форму імпульсу вхідної напруги. Але характер зміни колекторного струму відрізняється від базового. Пояснюється це інерційністю колекторних кіл транзистора, які можуть бути враховані еквівалентною постійною часу:

$$\tau_T = \tau_\beta + \tau_K, \quad (2.13)$$

де $\tau_\beta = (\beta + 1) / f_\beta$ – постійна часу, що визначається обмеженою швидкістю руху зарядів;

f_β – гранична частота роботи транзистора із загальним емітером;

$\tau_K = r_K C_K$ – постійна часу колекторного переходу (r_K, C_K – його параметри).

Колекторний струм за вказаних умов змінюється за законом:

$$i_K(t) \approx \beta U_{\text{ex}} \frac{1 - \exp\left(-\frac{t}{\tau_T}\right)}{R_E} \quad (2.14)$$

Якщо $I_E \gg I_{B3}$, то забезпечується швидке наростання струму колектора до величини $I_{KH} \gg \beta I_E$. Завдяки цьому тривалість фронту вихідного імпульсу:

$$t_\phi = t_1 - t_0 = \tau_T \ln\left(\frac{N}{N-1}\right). \quad (2.15)$$

Запирання транзистора починається з моменту t_2 , коли імпульс вхідної напруги і відповідно вхідний струм зменшуються до нуля.

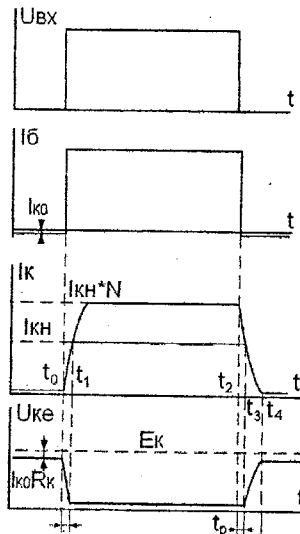


Рисунок 2.4 – Динамічні режими логічних елементів

З цього моменту накопичений заряд в області бази транзистора, обумовлений надмірним струмом бази, починає зменшуватись від величини еквівалентної βI_E , до нуля, з постійною часу $\tau'_\beta \approx (2.4)\tau_\beta$. В інтервалі часу $t_2 - t_3$ величина заряду зменшується до величини, для якої характерною є пропорційність $I_K = \beta I_E$. Для моменту t_3 ця пропорція визначається формулою (2.3). Звідси випливає, що в інтервалі часу $t_2 - t_3$, який називається часом розсмоктування збиткових носіїв в області бази t_p , колекторний струм транзистора залишається незмінним.

Зрозуміло, що вказаний інтервал часу, який визначається за формулою:

$$t_p = \tau'_\beta \ln N, \quad (2.16)$$

є вимушеною затримкою вимикання транзистора, причому вказана затримка пропорційна коефіцієнту насичення N .

Після завершення інтервалу транзистор, перебуваючи в активному режимі, переходить від відкритого стану до закритого стану за інтервал часу спаду t_c :

$$t_c = \tau_\beta \ln 9 \approx 2,2 \tau_\beta. \quad (2.17)$$

Розглянутий ключ належить до типу біполярних насичених ключів зі статичним навантаженням.

Задача створення швидкодіючого біполярного ключа пов'язана із суперечливими вимогами щодо коефіцієнта насиченості.

Ключі на польовому транзисторі. Схемотехніка цифрових систем з використанням польових транзисторів інтенсивно розвивається і її використання швидко розширюється з низькочастотної електронної автоматики в такі галузі як вимірювальна та обчислювальна техніка, завдяки ряду позитивних характеристик польових транзисторів:

- низька залишкова напруга на відкритому ключі, яка дозволяє здійснювати комутацію електронних сигналів низьких рівнів;
- високий опір ключа у закритому стані;
- низька потужність споживання ключа, обумовлена особливостями транзистора і схемотехніки, яку застосовують;
- висока технологічність створення інтегральних схем;
- площа інтегрального транзистора на кристалі значно менша ніж біполярного, що дає змогу суттєво підвищити ступінь інтеграції схем.

В інтегральній схемотехніці використовують різні типи польових транзисторів. Транзистори на базі керованого р-п переходу (JFET-Junction Field Effect Transistor) знаходять використання в аналогових схемах перемикання, а МДН-структури (MOSFET, MISFET – Metal-oxigen-Semiconductor Field Effect Transistor) застосовують у цифровій схемотехніці. Як ключові елементи використовують лише транзистори з індукованим каналом.

Подібно до біполярних польові транзистори найбільш повно визначені сім'єю вихідних характеристик, на яких умовно виділяють дві ділянки. Перша з них (позначена цифрою I) – ділянка наростання струму. У цій ділянці, яка традиційно має назву тріодної, канал транзистора може розглядатись як прилад, що керується напругою затвор-витік $U_{зв}$. У ділянці II, яка називається пентодною, струм мало залежить від напруги стоку U_c .

Принципову схему такого ключа з п-каналом наведено на рис. 2.5.

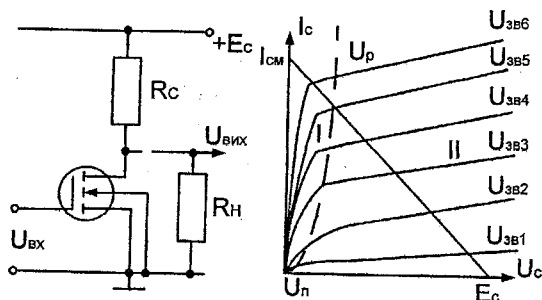


Рисунок 2.5 – Принципова схема ключа з п-каналом, сім'я вихідних характеристик

Вигляд вихідних характеристик ілюструє важливу особливість МДН-транзисторів – відсутність залишкової напруги, яка характерна для біполярних структур.

Зменшення величини опору відкритого каналу досягається або за рахунок підвищення опору R_c , або шляхом підвищення напруги $U_{зв}$, яка має свої обмеження.

Лінія розподілення між двома ділянками характеристики $|U_{зв} - U_{п}| = U_{р}$ визначається роздільною напругою $U_{р}$.

Для аналізу схем з польовими транзисторами широко використовують вхідну стоко-затворну характеристику $I_c = f(U_{зв})$ (рис 2.6) на якій порогова напруга $U_{п}$ визнає той рівень вхідної напруги, за якого з'являється провідність індукованого каналу.

Стоко-затворна характеристика покладена в основу побудови схеми заміщення транзистора із джерелом струму I_c , що задається крутизною цієї характеристики g (рис 2.25), де $r_{вс}$ - динамічний опір витік-стік, $C_{зв}$, $C_{зс}$, $C_{вс}$ - паразитні міжелектродні ємності транзистора (позначення В, З, С – відповідно витік, затвор, стік).

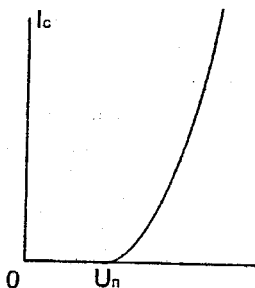


Рисунок 2.6 – Вхідна стоко-затворна характеристика МДН-транзистора

Робота МДН-транзистора в режимі ключа суттєво відрізняється від роботи біполярного транзистора. Доти, доки вхідна напруга є меншою від порогового рівня U_{π} , транзистор перебуває в закритому стані і напруга на його виході дорівнює напрузі джерела живлення E_c . У разі збільшення $U_{вх}$ транзистор спочатку проходить ділянку пентодних характеристик II, а потім досягши співвідношення $U_{вх} > U_{\pi} + U_p$, переходить у тріодну ділянку I, де його внутрішній опір зменшується до величини $R_B \approx (g_0 U_{\pi})^{-1}$.

У зв'язку з тим, що в МДН-транзисторах режим насичення відсутній, величина вихідної напруги ключа (низький рівень) залежить від R_C і її треба розраховувати, виходячи з умов завадостійкості ключа.

Специфіка процесів у випадку зміни станів ключа проявляється у тому, що його внутрішні процеси мають значно більшу швидкість, ніж зовнішні, пов'язані із зарядом та розрядом паразитних конденсаторів. Найбільший вплив на тривалість фронтів має ємність конденсатора $C_{вс}$ (рис 2.7), поєднана з ємністю навантаження, монтажу та ін. Зарядження конденсатора $C_{вс}$ відбувається через резистор R_C від джерела живлення E_c , розрядження – через відкритий канал транзистора з опором R_B . Враховуючи, що $R_C \gg R_B$ (співвідношення між ними перебуває в інтервалі 10...20), зарядний струм приблизно на стільки ж менший, ніж розрядний, а це означає, що швидкодія ключа обмежується часом зарядження конденсатора $C_{вс}$ через резистор R_C . Зменшення часу зарядження конденсатора $C_{вс}$ за рахунок зниження опору резистора R_C недоцільне, оскільки це призводить до зниження завадостійкості ключа.

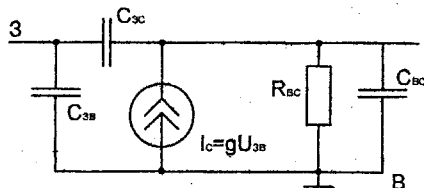


Рисунок 2.7 – Схема заміщення МДН-транзистора

Діодно-транзисторна логіка. Дана технологія побудови цифрових схем базується на використанні біполярних транзисторів, діодів і резисторів. Свою назву технологія отримала завдяки реалізації логічних функцій за допомогою діодних кіл, а посилення і інверсії сигналу – за допомогою транзистора.

Показана на рисунку 2.8 схема є типовим елементом 2I-НЕ: якщо хоч би на одному з входів рівень логічного нуля, то струм тече через $R1$ і діод у вхідне коло.

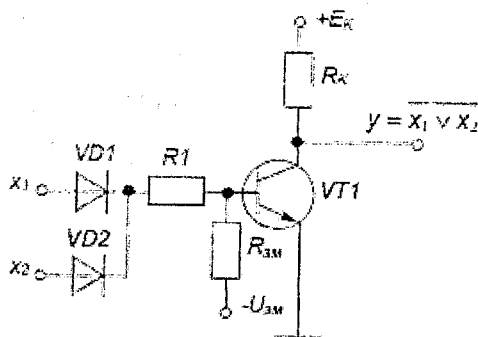


Рисунок 2.8 – Схема двовходового логічного елемента 2I-HE на ДТЛ

На анодах діодів напруга 0,7В, якої недостатньо для відкриття транзистора. Транзистор закритий. На виході формується рівень логічної одиниці. Якщо на всі входи поступає рівень логічної одиниці, струм тече через R1 на базу транзистора, утворюючи на анодах діодів напругу 1,4В. Оскільки напруга рівня логічної одиниці більша цієї величини, входи діодів зворотно зміщені і не беруть участь в роботі схеми. Транзистор відкритий в режимі насичення. У транзистор втікає струм навантаження, за величиною значно більший струму навантаження в стані логічної одиниці.

Основна перевага ДТЛ над попередньою технологією РТЛ - можливість створення великого числа входів. Затримка проходження сигналу як і раніше досить висока, через повільний процес витоку заряду з бази в режимі насичення (коли всі входи мають високий рівень) при подачі на один з входів низького рівня. Цю затримку можна зменшити підключенням бази транзистора через резистор до загального проводу або до джерела негативної напруги.

У сучаснішій і ефективнішій технології ТТЛ дана проблема вирішена шляхом заміни діодів на мультиемітерний транзистор. Це також зменшує площу кристала (в разі реалізації у вигляді інтегральної схеми, і відповідно дозволяє добитися вищої щільності елементів.

Транзисторно-транзисторна логіка. У ІС транзисторно-транзисторної логіки (ТТЛ) вдало поєднуються гарні функціональні показники: швидкодія, завадостійкість, навантажувальна здатність з помірним споживанням енергії і невисокою вартістю. Більше половини обсягу світового виробництва ІС припадає на частку ТТЛ.

Основною особливістю ТТЛ ІС є те, що у вхідному колі використовуються багатоемітерний транзистор (БЕТ), що має кілька емітерів, розташованих у загальній базі.

Залежно від сигналів на вході БЕТ працює в прямому або в інверсному включенні. Для забезпечення оптимальних умов роботи в інверсному

включенні, коли напруга на емітерах вища напруги на колекторі, забезпечується дуже малий коефіцієнт передачі струму ($h_{21r} = 0,005 \pm 0,05$). На емітерних переходах БЕТ виконується логічна операція "І".

Стандартна серія ТТЛ як базовий ЛЕ має схему «І-НЕ», зі складним інвертором, яка має три каскади (рис. 2.9): вхідний – реалізований на транзисторі VT_1 , фазороздільний – на транзисторі VT_2 , вихідний підсилювальний каскад – на транзисторах VT_4, VT_5 .

Вхідний каскад працює в такий спосіб. При подачі на усі виходи напруги високого рівня (логічної «1») струм через резистор R_1 потече через перехід Б-К VT_1 у базу VT_2 , при цьому на колекторі VT_1 буде високий рівень напруги. При цьому БЕТ працює в інверсному режимі, емітерний перехід зміщений у зворотному напрямку, а колекторний – у прямому.

Коли хоча б на один із входів подана напруга низького рівня (логічний «0»), то струм через резистор R_1 буде витікати зі схеми через перехід Б-Е транзистора VT_1 , на колекторі VT_1 установиться низький рівень напруги. Відповідний емітерний перехід буде зміщений у прямому напрямку, оскільки потенціал бази вищий потенціалу емітера.

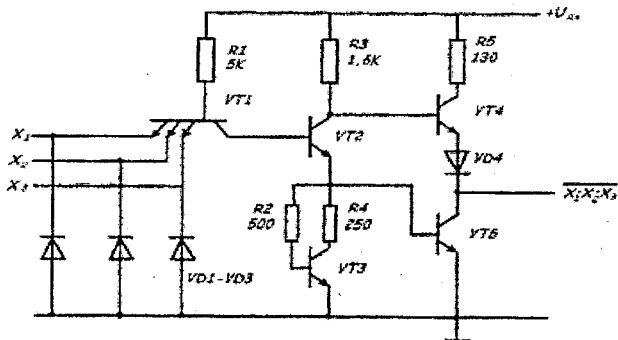


Рисунок 2.9 – Логічний елемент «І-НЕ» ТТЛ-логіки

До усіх входів транзистора VT_1 підключені демпфірувальні діоди VD_1 - VD_3 , що при нормальному використанні ІС зміщені в зворотному напрямку і не впливають на роботу схеми. Вони служать для обмеження імпульсів напруги перешкоди негативної полярності. При цьому потрібний діод відмикається й утримує напругу на вході на рівні - 0,7 В. Фазороздільний каскад виконаний на транзисторі VT_2 , в емітерне коло якого включене коригувальне коло R_2, R_4, VT_3 , що поліпшує передатну характеристику і завадостійкість схеми. При першому розгляді він може бути поданий як резистор $R_{3ЕВБ} = 1\text{кОм}$.

Коли на входи VT_1 подана логічна «1», через його відкритий колекторний перехід тече струм, що підтримує VT_2 у відкритому стані. Якщо VT_2 відкритий, то VT_5 також відкритий і на виході схеми підтримується низький рівень потенціалу (логічний «0»).

Коли на одному з входів присутній логічний «0», на колекторі VT_1 потенціал буде недостатній для відмикання VT_2 . Транзистори VT_2 і VT_5 закриті, VT_4 і VT_4 - відкриті і забезпечують на виході схеми високий рівень напруги, що відповідає логічній одиниці.

У момент зміни рівня вхідного сигналу з високого на низький транзистор VT_5 запирається, а VT_4 починає проводити струм раніше моменту, у який VT_5 буде цілком закритий. При цьому виникає шлях струму від шини живлення на землю, у колі живлення відбуваються кидки струму, котрі резистор R_5 обмежує рівнем $20 \div 30$ мА. Це є основним недоліком ТТЛ ІС зі складним інвертором.

При малих значеннях вхідної напруги, коли запирається фазорозщиплювач на VT_2 і відмикається VT_4 , на виході схеми встановлюється потенціал:

$$U_{ВХ}^1 = U_{ДЖ} - 2U^*, \quad (2.18)$$

де $U^* = 0,7$ В – спад напруги на відкритому кремнієвому р-п-переході. При цьому потенціали бази VT_1 і VT_2 рівні;

$$\begin{cases} U_{Б1} = U_{ВХ} + U^* \\ U_{Б2} = U_{ВХ} + U_{ЗАЛ1}, \end{cases} \quad (2.19)$$

де $U_{ЗАЛ} = 0,1 \div 0,2$ В – залишковий спад напруги на БЕТ.

У процесі збільшення вхідна напруга досягає рівня

$$U_{ВХ_ВЦ2} = U_{ВЦ} + U_{ЗАЛ1}, \quad (2.20)$$

при якому відмикається VT_2 , але усе ще замкнений VT_5 ; при цьому напруга відмикання VT_2 визначається за формулою:

$$U_{ВЦ2} = 1,2\varphi_T \ln \frac{0,01I_{КН2}(1-\alpha_1)}{I_{Е2}}. \quad (2.21)$$

Коли $U_{ВХ_ВЦ} = U_{Б2} + U_{КБ1} + U_{ВЦ5}$, відмикається VT_5 . При цьому:

$$U_{ВХ\min} = U_{ВХ} - R_2(U_{ВХ_ВЦ} - U_{ВХ_ВЦ2})/R_{3ЕКН}. \quad (2.22)$$

При збільшенні $U_{ВХ}$ потенціали $U_{Б1}$ і $U_{Б2}$ ростуть, поки $U_{ВХ}$ не досягне значення порога переключення $V_{П} = 2U^* - U_{ЗАЛ1}$. При цьому $U_{Б1} = 3U^*$; $U_{Б1} = 2U^*$; $U_{Б4} = U_{Б5} = U^*$, транзистори VT_2 , VT_3 , VT_5 відкриті. Починає протікати колекторний струм транзистора VT_2 , внаслідок чого потенціали $U_{К2}$ і $U_{ВХ} = (U_{К1} - 2U^*)$ зменшуються. При подальшому рості $U_{ВХ}$ потенці-

або $U_{Б1}, U_{Б2}, U_{Б5}$ зберігають досягнуті значення, емітерні переходи БЕТ запираються. Струми насичення транзистора VT_2 визначаються за формулами:

$$\begin{aligned} I_{KH1} &\approx (U_{ДЖ} - U^*) / R_2 \\ I_{BH1} &= (1 + M\beta_1)(U_{ДЖ} - 3U^*) / R_1, \end{aligned} \quad (2.23)$$

де M – число входів БЕТ.

При цьому потенціал $U_{K1} = U^*$.

Насичення транзистора VT_3 забезпечується при величині струму насичення

$$I_{KH3} = 1,5 \frac{U^*}{R_4}, \quad (2.24)$$

Звичайно вибирають $R_2 = R_4$.

При величині $U_{BX_IT} = U_{Б2} + U_{ЗЛЛ1} + U_{БН5}$ – вихідний інвертор насичення і на виході встановлюється потенціал $U_{ВИХ}^0 = U_{ЗЛЛ5}$.

При $U_{ДЖ} = 5$ В номінальні значення $U_{ВИХ}^1 = 3,3$ В і $U_{ВИХ}^0 = 0,2$ В.

Струм насичення бази транзистора VT_5 має величину

$$I_{BH5} = I_{BH1} + I_{KH1} - \frac{U^*}{R_4}. \quad (2.25)$$

При $U_{BX} = 2,4$ В вхідний струм дорівнює 10 - 20 мкА. При $U_{BX} = 4$ В цей струм зростає до граничного значення 40 мкА.

Завадостійкість ТТЛ ІС визначається виразами:

$$\begin{aligned} U_{П}^+ &= 2U^* - U_{ЗЛЛ1} - U^0 \\ U_{П}^- &= U_{ДЖ} - 4U^* - U_{ЗЛЛ1}, \end{aligned} \quad (2.26)$$

Практично $U_{П}^+ = 1$ В; $U_{П}^- = 0,4 + 0,6$ В при найгіршому сполученні параметрів режиму.

Коефіцієнт розгалуження визначається за формулою:

$$K_{PO3} = \frac{\beta + 1}{\beta_1} \cdot \frac{R_1}{R_3} \cdot \frac{U_{ДЖ} - 4U^* - U_{П}^- - U_{ЗЛЛ1}}{U_{ДЖ} - U^*}. \quad (2.27)$$

Де типові значення $\beta = 30 \div 50$, $\beta_1 = 0,2 \div 0,5$.

Зі збільшенням опору R_1 зменшується струм, що відбирається емітерами БЕТ, що сприяє поліпшенню навантажувальної здатності ІС.

На рис. 2.10 зображено перемикальну характеристику ТТЛ зі складним інвертором.

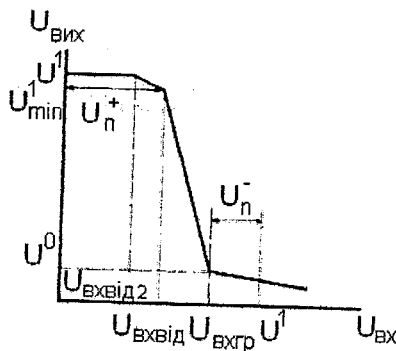


Рисунок 2.10 – Перемикальна характеристика ТТЛ зі складним інвертором

Однією з перших серій даної технології була серія КР 1531 зі споживаною потужністю 10 мВт на елемент І-НЕ; середній час затримки складає 10 нс.

Найбільш швидкодіючими є ТТЛ ІС із транзисторами Шоткі, (ТТЛШ) у яких колекторний перехід шунтується структурою метал-напівпровідник (діодом Шоткі). Цей діод має меншу напругу відмикання в порівнянні з р-п-переходом ($U_{ДШ}^* = 0,2 \div 0,4$ В проти 0,7 В), тому під час дії імпульсу він відкривається раніш, чим запобігається нагромадження надлишкового заряду в базовій області транзистора. Цим забезпечується ненасичений режим роботи транзисторів, що значно знижує час їхнього переключення, а отже, підвищує швидкодію ІС.

Недолік елементів ТТЛШ у порівнянні з ТТЛ ІС - зменшення завадостійкості $U_{п}^+$ внаслідок підвищення рівня $U_{вих}^0$ і зниження порогу переключення $V_{п}$:

а) для серії К 531

$$\begin{aligned} U_{вих}^0 &\approx U^* - U_{ДШ}^* \\ V_{п} &= U^* + U_{ДШ}^* \\ U_{п}^+ &= V_{п} - U_{вих}^0 \approx 2U_{ДШ}^* \end{aligned} \quad (2.28)$$

Практично $U_{п}^+ = 0,8$ В при $+20^{\circ}\text{C}$ та $U_{п}^+ = 0,3 \div 0,5$ В при $+125^{\circ}\text{C}$.

б) для серії К 555

$$V_{п} = 2U^* - U_{ДШ}^*, \quad (2.29)$$

$$U_{п}^+ = U^*. \quad (2.30)$$

Реальне значення $U_{п}^+ = 0,6$ В при $+125^{\circ}\text{C}$.

В елементах серії К 531 досягається затримка 6 нс при споживаній потужності 20 мВт, елементи серії К 555 забезпечують затримку 20 нс при споживаній потужності 2 мВт (малопотужна серія). Перспективними є серії ТТЛШ КР1531 (швидкодіюча) і КР1533 (малопотужна).

Складний інвертор завдяки малим вихідним опорам в обох вихідних станах має гарну навантажувальну здатність на один вихід в залежності від типу ІС можна підключити від 10 до 30 входів ТТЛ тієї ж серії. Якщо ж з'єднати між собою виходи різних мікросхем, то коли в одному елементі відкритим виявиться верхній, а в іншому нижній транзистор, у колі потече струм, небезпечний для вихідних транзисторів. З цієї причини виходи складних інверторів не можна підключати до загального навантаження.

Для забезпечення запасу завадостійкості логічні рівні ТТЛ елементів з відкритим колектором повинні бути в тих же межах, що і для приладів зі складним інвертором: $U_{ВНХ}^1 = 2,4В, U_{ВНХ}^0 = 0,4В$. Значення цих рівнів визначається величиною навантажувального опору R_H , що лежить у межах від $R_{H\min}$ до $R_{H\max}$:

$$\begin{aligned} R_{H\max} &= \frac{U_{ДЖ} - U^1}{K_{ВНХ} \cdot I_{УВНХ} + K_{ВХ} \cdot I_{ВХ}^1}, \\ R_{H\min} &= \frac{U - U^0}{I_{ВНХ\max}^0 - K_{ОБВХ} \cdot I_{ВХ}^0}, \end{aligned} \quad (2.31)$$

де $K_{ВНХ}$ - число об'єднаних виходів;

$K_{ВХ}$ - число підключених входів;

$I_{УВНХ}$ - струм відтоку на виході

$I_{ВНХ\max}^0$ - максимальний припустимий струм логічного «0» одного елемента.

Максимальна швидкодія досягається, коли $R_H = R_{H\min}$.

Мікросхеми емітерно-зв'язаної логіки. Найбільш швидкодіючими ЦС у даний час є елементи емітерно-зв'язаної логіки (ЕЗЛ), що працюють у режимі перемикачання струму. У них висока швидкодія забезпечується за рахунок запобігання насиченню транзисторів шляхом введення глибокого зворотного зв'язку за струмом за допомогою резистора в колі емітера, що сприяє скороченню тривалості перехідних процесів у базі транзисторів.

Найбільш простим є елемент ЕЗЛ, наведений на рис. 2.11. Основу схеми складає перемикач струму на транзисторах з об'єднаними емітерами, у колі яких задається постійний струм I_E шляхом використання високоомного резистора R_E або генератора стабільного струму. Значення I_E вибирається так, щоб вимкнути насичення транзисторів, що утворюють перемикач струму.

Струмовий перемикач на транзисторах $VT_1 - VT_3$ являє собою диференціальний каскад, що працює в ключовому режимі, збільшення числа входів досягається підключенням додаткових транзисторів паралельно транзисторам VT_1, VT_2 .

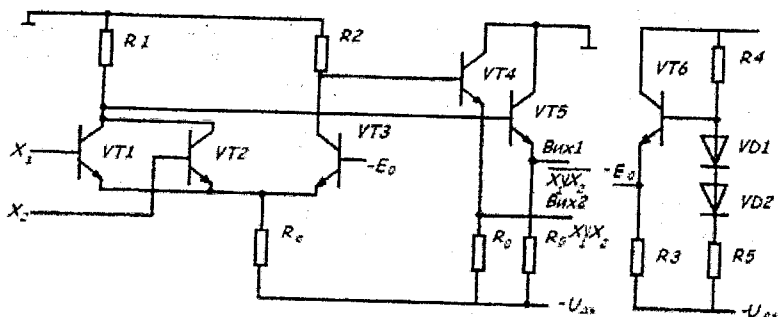


Рисунок 2.11 – Логічний елемент емітерно-зв'язаної логіки

Струмівий перемикач призначений для виконання логічних функцій, посилення входних сигналів по струму, формування прямих та інверсних вихідних сигналів і забезпечення необхідної завадостійкості. Вихідні емітерні повторювачі на VT_4 , VT_5 служать для посилення вихідних сигналів за потужністю, одержання заданої навантажувальної здатності, узгодження ЕЗЛ елементів по входу і виходу.

Джерело опорної напруги на транзисторі VT_6 задає на струмовому перемикачі опорний рівень щодо якого відбувається перемикавання. Коли на усіх входах $U_{BX} = U^0 < -E_0$, то VT_1 і VT_2 закриті. Потенціали колекторів цих транзисторів мають величину:

$$U = \frac{I_{35} \cdot R_1}{\beta + 1}, \quad (2.32)$$

де $I_{35} = I_{R0}$,

$$I_{R0} = \frac{E + U}{R_0}. \quad (2.33)$$

Вхідний струм $I_{BX}^0 = 0$.

На виході 1 устанавлюється потенціал логічної одиниці

$$U^1 = U_{K1} - U^*. \quad (2.34)$$

Транзистор VT_3 відкритий, його емітерний струм

$$I_{35} = \frac{U_{DK} - E_0 - U^*}{R_E}. \quad (2.35)$$

Потенціал колектора цього транзистора

$$U_{K2} \approx \frac{R_2}{R_E} (U_{DK} - E_0 - U^*). \quad (2.36)$$

На виході 2 устанавлюється потенціал логічного нуля

$$U^0 = U_{K2} - U^* = -U^* - \frac{R_2}{R_E} (U_{ДЖ} - 2U^*). \quad (2.37)$$

Якщо на M_0 входах мікросхеми з'являється потенціал $U_{ДЖ} = U^1 > -E_0$, то відповідні входні транзистори відкриті, а VT_3 закритий.

Емітерні струми входних транзисторів

$$I_H = \frac{U_{ДЖ} - U_{ВХ} - U^*}{M_0 R_E}. \quad (2.38)$$

Вхідні струми елемента

$$I_{ВХ}^1 = \frac{I_{E1}}{\beta + 1} = \frac{U_{ДЖ} - 2U^*}{M_0 R_E (\beta + 1)}. \quad (2.39)$$

Протікання колекторних струмів відкритих входних транзисторів викликає зниження їхнього колекторного потенціалу на величину

$$-M_0 \cdot \alpha \cdot I_{E1} \cdot R_1. \quad (2.40)$$

У результаті на виході 1 установиться потенціал U^0 , а на виході 2 - потенціал U^1 .

Для того щоб значення рівня U^0 були однакові на обох виходах, повинне виконуватися співвідношення колекторних навантажень:

$$\frac{R_2}{R_1} = \frac{U_{ДЖ} - E_0 - U^*}{U_{ДЖ} - 2U^*}. \quad (2.41)$$

Величина логічного перепаду визначається виразом

$$U_{Л} = U^1 - U^0 \approx \frac{R_2}{R_E} (U_{ДЖ} - 2U^*). \quad (2.42)$$

Величина $U_{Л}$ вибирається з умови забезпечення ненасиченого режиму роботи VT_1 та інших входних транзисторів:

$$U_{K1} > U_{E1}. \quad (2.43)$$

Оскільки максимальна величина $U_{E1} = U^1 = -U^*$, а мінімальна величина $U_{K1} = -U_{Л}$, то одержуємо обмеження на величину логічного перепаду:

$$U_{Л} \leq U^*.$$

Середній поріг перемикання: $V_{П} = -E_0$.

Для забезпечення завадостійкості $U_{П}^+ = U_{П}^- = \frac{U_{Л} - \Delta V_{П}}{2}$ величину варто вибрати як

$$E_0 = 0,5(U^0 + U^1) \approx -(U^* + 0,5U_{Л}), \quad (2.44)$$

де $\Delta V_{II} = 0,15 \text{ В}$.

Джерело дає опорну напругу:

$$-E_0 = -U^* - (U_{ДЖ} - 2U^*) \cdot \frac{R_4}{R_4 + R_5}, \quad (2.45)$$

$$\frac{R_4}{R_4 + R_5} = 0,5 \frac{R_1}{R_E}. \quad (2.46)$$

Звичайно змінюється одне опорне джерело на 5-10 елементів ЕЗЛ.

На практиці: $U_{II}^+ = U_{II}^- = 0,1 \div 0,2 \text{ В}$.

Коефіцієнт розгалуження визначається за формулою:

$$K_{PO3} = \frac{R_E}{R_1} \cdot \frac{2U_{II}^-}{U_{ДЖ} - 2U^*}. \quad (2.47)$$

ЕЗЛ ІС мають найбільше енергоспоживання серед відомих типів мікросхем. Споживана потужність визначається за формулою:

$$D = U_{AE} \cdot \left(\frac{U_E}{R_1} + 2 \cdot \frac{U_{AE} + U^0 + U^1}{R_4} \right). \quad (2.48)$$

На рис. 2.12 зображено перемикальну характеристику ЕЗЛ-елемента.

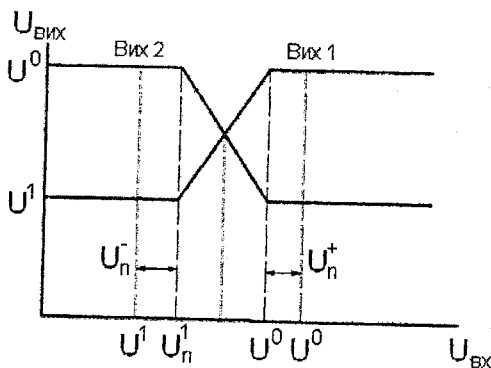


Рисунок 2.12 – Перемикальна характеристика ЕЗЛ-елемента

Використання в елементах ЕЗЛ негативної напруги живлення пояснюється тим, що при цьому коливання напруги Е значно менше впливають на значення рівнів U^0 , U^1 , що важливо для схеми з малим логічним перепадом.

На рис. 2.13 – вхідна характеристика ЕЗЛ-елемента.

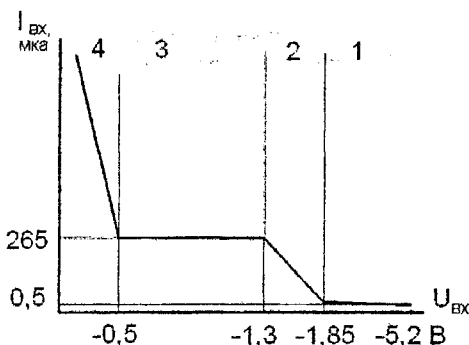


Рисунок 2.13 – Вхідна характеристика ЕЗЛ-елемента

Для побудови цифрових пристроїв широко застосовується серія 500 ЕЗЛ ІС. Напруга живлення мікросхем серії $U_{ДЖ} = -5,2 В$. При використанні в ЕЗЛ-елементі негативної логіки більш додатний потенціал ($-0,9 В$) відповідає логічному нулю, а більш від'ємний ($-1,7 В$) – логічний «1». У негативній логіці елемент виконує функцію $2I / 2I\text{-НЕ}$, тоді як у розглянутому вище прикладі елемент виконує функцію $2АБО / 2АБО\text{-НЕ}$ в позитивній логіці.

Логічний перепад елемента $U_L = 0,8 В$, опорна напруга $E_0 = -1,3 В$ (середнє значення між логічними рівнями). Для зниження потужності, що розсіюється, і можливості організації монтажною логіки на виході ЕЗЛ-елементів навантажувальні резистори вихідних емітерних повторювачів винесені за межі мікросхеми і можуть підключатися до окремого джерела живлення $-2,0$ або $-2,4 В$. Навантажувальні резистори в першому випадку можуть бути $50, 75, 100 \text{ Ом}$, у другому – $75, 100 \text{ Ом}$.

У коло бази вхідних транзисторів ввімкнені опори R_E , котрі служать для стікання зворотного базового струму і надійного запирання незадіяних вхідних транзисторів.

Особливістю схемотехнічного рішення є роздільне підключення шини землі до струмового перемикача і джерела опорної напруги з одного боку, і до кола емітерного повторювача з іншого.

У іншому випадку імпульсний струм колекторів вихідних транзисторів, підключених до загальної шини, створював би в ній напругу перешкоди, що попадає через резистори R_1, R_2 на вихід елемента.

Інтегральна інжекційна логіка ($I^2Л$). За допомогою даного типу ІС вдалося подолати традиційні недоліки біполярних ІС: малу щільність компонування і високу потужність, що розсіюється на венти́ль. За ступенем інтеграції $I^2Л$ ІС перевершують КМОП ІС, за рівнем розсіюваної потужності приблизно відповідають КМОП-схемам, а за швидкістю – біполярним

ІС. Невелика потужність, що розсіюється в І²Л-схемах, пояснюється відсутністю резисторів, велика швидкодія при малих потужностях споживання – незначними паразитними ємностями, відсутністю нагромадження заряду і невеликою різницею логічних рівнів.

Логічні елементи цього класу мікросхем містять ключові п-р-п транзистори, коло бази кожного з яких живиться від індивідуального генератора струму, реалізованого на основі горизонтального п-р-п транзистора (рис. 2.14). Емітерна область цього транзистора називається інжектором, підключається до позитивного джерела живлення. Колектор п-р-п і база п-р-п транзистора являє собою єдину область напівпровідника р-типу. Один інжектор може живити кілька ключів, тобто транзистор VT₁ може мати кілька колекторних областей. В свою чергу п-р-п транзистори звичайно теж мають кілька колекторів (5-10), що є логічними виходами елемента, що здійснює інвертування вхідного сигналу.

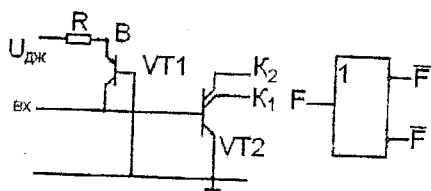


Рисунок 2.14 – Логічний елемент І²Л

При такій структурі не потрібна ізоляція між елементами, тому що вони мають загальну п-область. Оскільки величина п-р-п транзистора залежить від відношення площ колекторного та емітерного переходів $\frac{S_{K1}}{S_E} \ll 1$, то нормальне значення $\beta_N = 2 \div 20$, тоді як інверсне його значення $\beta_I \approx 100$.

Чим більше колекторів, тим менше β . Збільшення відстані від колектора ключового транзистора до інжектора також знижує значення β . Тому в схемах з великою кількістю виходів колектори розташовують з обох боків інжектора або застосовують кілька інжекторів. Однак значне збільшення числа колекторів приводить до погіршення динамічних характеристик через збільшення ємності колекторного переходу.

Принцип дії І²Л-елемента полягає в тому, що емітер транзистора VT₁ інжектує носії заряду, що надходять у емітерну область транзистора VT₂, що одночасно є базою VT₁. Тому схема називається інжекційною. Ці носії, надходячи в базу VT₂, утворюють його колекторні струми. Інвертор включається тоді, коли струм інжектора відбирається з бази VT₂ в інше коло, наприклад, у колекторне коло попереднього ключа. Таке переключення забезпечується шляхом відповідного зменшення $U_{ВХ}$, що керує зсувом на емітерному переході інвертора. При зниженні $U_{ВХ}$ до рівня напруги відми-

кання транзистора $U_{BK_від} = (V_{II} - 5,7\varphi_T)$ струм переключається з вхідного кола інвертора в колекторне коло попереднього ключа. Струм інжектора повинен бути досить великим, щоб забезпечити необхідне значення $\beta > 1$ і швидкий перезаряд паразитних ємностей.

Низький потенціал на вході VT_2 створюється при насиченні транзистора VT_2 попереднього ключа. При цьому $U_{BK} = U^0 \approx 1,2\varphi_T \ln \frac{S_1}{S_1 - 1}$, $S_1 = 3 + 4$.

VT_2 закритий, а транзистор VT_1 працює в активному режимі, забезпечуючи вхідний струм $I_{BK}^0 = \alpha I_I$, де $I_I = \frac{U_{ДЖ} - U^*}{R_I}$ – струм, який входить в інжектор від джерела живлення. При цьому на колекторі закритого транзистора буде потенціал $U^1 = U^*$ (напруга U_{BE} відкритого емітерного переходу наступного каскаду).

Підвищення U_{BK} починається, коли запирається транзистор VT_2 попереднього інвертора. Емітерний перехід VT_1 відкривається, коли U_{BK} досягає порогу переключення: транзистор VT_1 при цьому знаходиться в насиченому стані.

Перемикальна характеристика елемента I^2L наведена на рис. 2.15. Показані на ній характерні точки визначаються за наведеними вище виразами.

Завадостійкість елемента визначається за формулами:

$$\begin{aligned} U_{II}^+ &= U^* - U^0 \\ U_{II}^- &= 1,2\varphi_T \ln S_1. \end{aligned} \quad (2.49)$$

Потужність, споживана елементом, описується виразом $P = U^* \cdot I_I$ за умови, що резистор R_I розташовується поза мікросхемою. Необхідна напруга живлення $U_{ДЖ} = (4 + 6)U^*$, що на практиці складає $3 + 5$ В.

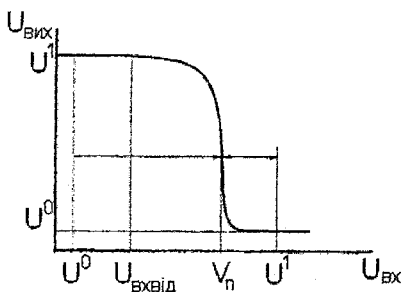


Рисунок 2.15 – Перемикальна характеристика елемента I^2L

Як показує аналіз, коефіцієнт розгалуження I^2L елемента дорівнює 1. Тому до кожного з колекторів транзистора VT_1 підключається тільки один навантажувальний елемент I^2L .

Весь I^2L елемент розміщується на площі, яку звичайно займає БЕТ стандартного елемента ТТЛ типу.

Особливість I^2L схем полягає в тому, що їхні робочі точки можуть змінюватися в широкому діапазоні $10^{-8} \div 10^{-3}$ А. Це дозволяє змінювати роботу частоту елемента простою зміною струму інжектора.

Крім того, на одному кристалі можна реалізувати як мікропотужну I^2L схему, так і елементи з робочими струмами в кілька мА.

Шляхом монтажного з'єднання виходіз інверторів металевими провідниками можна реалізувати логічні операції: монтажне І, монтажне АБО, на основі яких можна реалізувати будь-яку логічну функцію.

Логічні мікросхеми на комплементарних МОН-транзисторах. ІС на основі МОН-транзисторів є перспективними мікросхемами. Потужність, споживана в статичному режимі такими елементами, складає десятки нановат, швидкодія біля 10 МГц. Серед ІС вони мають найбільшу завадостійкість. Такі елементи не чутливі до змін напруги джерела живлення.

В ІС на КМОН-транзисторах логічна операція І-НЕ реалізовується шляхом послідовного включення входних транзисторів, а АБО-НЕ - паралельним включенням. При цьому на кожен вхід потрібно два транзистори.

У мікросхемі І-НЕ навантажувальні транзистори з р-каналом вмикаються паралельно один одному (рис. 2.16, а). Тоді як у мікросхемі АБО-НЕ вони утворюють послідовне коло (рис. 2.16, б).

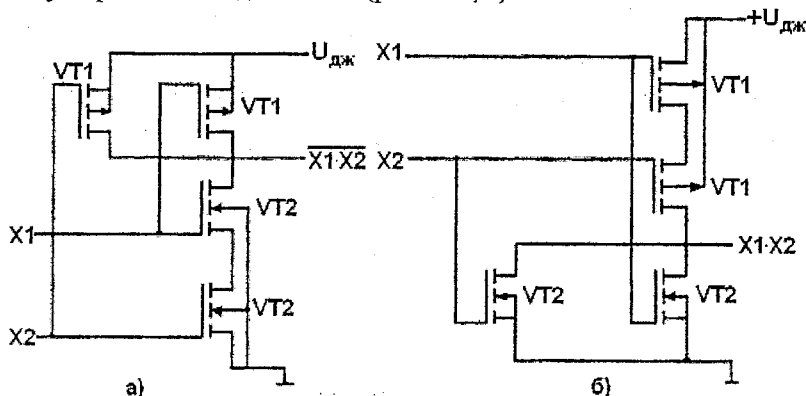


Рисунок 2.16 – Логічні елементи на КМОН-транзисторах

При визначенні статичних характеристик КМОН ІС можна скористатися результатами аналізу ключового елемента. При цьому варто замінити групу з M транзисторів кожного типу в провідному стані одним еквівалентом.

тним транзистором з питомою крутизною S_{0EKB} , обумовленою формулами $S_{0EKB} = S_0 / M$ для послідовно ввімкнених транзисторів і $S_{0EKB} = MS_0$ для паралельно ввімкнених транзисторів.

Коли на всі входи схеми подано низький потенціал $U_{BX} < U_{02}$, транзистори VT₂ закриті, а транзистори VT₁ відкриті. На виході встановлюється потенціал $U^1 = U_{ДЖ}$.

При вхідній напрузі $U_{BX.ВЦ} = U_{02}$ вхідні транзистори відкриваються і починається спад вихідної напруги.

При $U_{BX} = U_{ДЖ} - U_{01}$ замикаються транзистори VT₁ і на виході елемента встановлюється рівень логічного нуля $U^0 \approx 0$.

Завадостійкість визначається формулами:

$$U_{\Pi}^+ \approx U_{02}, \quad U_{\Pi}^- = U_{ДЖ} - U_{01}. \quad (2.50)$$

При типових значеннях $U_{01} = U_{02} = 2 + 3V$ завадостійкість складає 2 В і вище, тобто істотно більше, ніж для всіх інших типів ІС. Напруга живлення вибирається з умови $U > U_{01} + U_{02}$ і складає звичайно 5 + 9 В. У динамічному режимі споживана потужність визначається виразом

$$P = f_{\Pi} \cdot C_{\Pi} \cdot U_{ДЖ}^2, \quad (2.51)$$

де f_{Π} – робоча частота переключення;

C_{Π} – ємність навантаження елемента.

На практиці $C_{\Pi} = 1 + 10$ пФ.

Імпульсна система елементів. В імпульсній системі елементів використовуються тільки імпульсні інформаційні сигнали. В цій системі зазвичай застосовуються логічні елементи АБО, І, НЕ та імпульсні (динамічні) тригери. Інформаційні сигнали з виходів одних логічних елементів поступають на входи інших через конденсатори, обмотки трансформаторів, що виключають взаємозв'язок елементів за постійним струмом.

Імпульсні елементи характеризуються відносно простою схемою і малою споживаною потужністю. Недоліком імпульсних елементів є труднощі реалізації конденсаторів великої ємності і трансформаторів методами інтегральної технології.

Схема імпульсного елемента АБО показана на рис. 2.17. Вона відрізняється від аналогічного потенціального елемента наявністю на вході роздільного RC-кола, причому стала часу $\tau = RC \gg t_i$, де t_i – тривалість вхідних інформаційних імпульсів. Сигнал на виході елемента АБО виникає у випадку наявності імпульсу хоча б на одному вході.

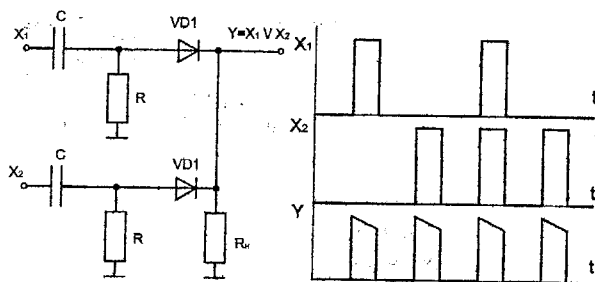


Рисунок 2.17 – Імпульсний елемент АБО та часові діаграми роботи

Схема імпульсного діодного елемента І показана на рис. 2.18, вона аналогічна схемі імпульсного елемента АБО наявністю RC-кола, причому стала часу $\tau = RC \gg t_i$ і повинна виконуватись умова $R1 \gg R$. Сигнал на виході елемента «І» виникає при збігу імпульсів на всіх входах.

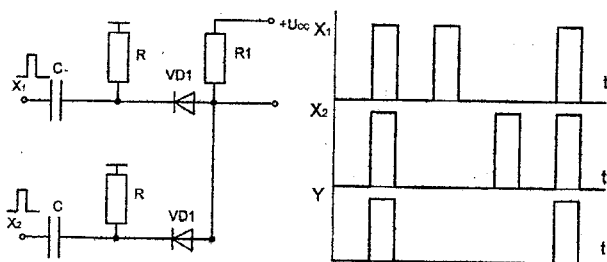


Рисунок 2.18 – Імпульсний елемент І та часові діаграми роботи

Схема імпульсного елемента НЕ, що реалізовує логічну функцію $Y = X_1 \bar{X}_2$, показана на рис. 2.19. Якщо $X_2 = 0$ то на виході елемента повторюється значення змінної X_1 . При наявності імпульсу на вході X_2 на вторинній обмотці W_2 трансформатора Tr наводиться напруга, що компенсує запірне зміщення $+U_{cm}$. Тому діод $VD2$ відкривається і вихід елемента практично підключається до потенціалу землі, тобто забезпечується значення логічного 0.

В імпульсних схемах часто використовуються штучні лінії затримки, що складаються із LC-ланок Т-подібного типу. Тривалість затримки визначається співвідношенням $t_i = n\sqrt{LC}$, де n – кількість ланок, L – індуктивність (мкГн), C – ємність (Пф) (рис. 2.20).

Для усунення завад на вході і виході лінії затримки вмикають резистор з хвильовим опором $\rho = \sqrt{L/C}$.

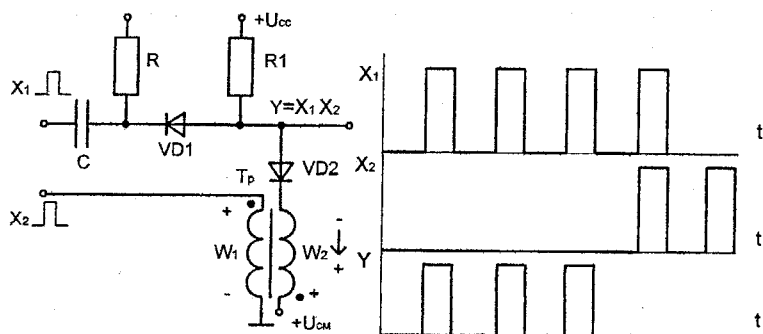


Рисунок 2.19 – Імпульсний елемент НЕ та часові діаграми роботи

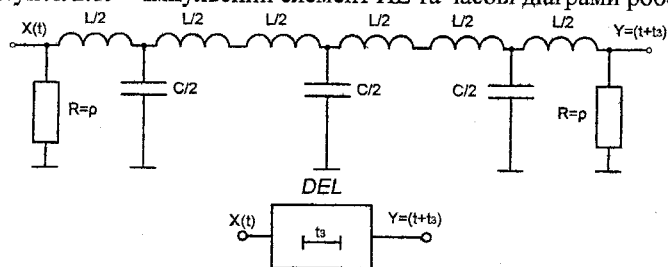


Рисунок 2.20 – Штучна лінія затримки; схема та умовне позначення

Потенціально-імпульсна система елементів. В потенціально-імпульсній системі елементів використовуються потенціальні і імпульсні сигнали. В цій системі застосовують як чисто імпульсні, так і потенціальні елементи, і також спеціальні потенціально-імпульсні схеми на основі діодів, транзисторів і трансформаторів. Потенціально-імпульсні елементи широко застосовувались в комп'ютерах першого і другого поколінь. Зараз їх використовують в спеціалізованих цифрових пристроях. Потенціально-імпульсні елементи за енергоспоживанням займають проміжне положення порівняно з імпульсними і потенціальними схемами. Схема потенціально-імпульсного діодно-трансформаторного логічного елемента І-АБО, що реалізовує функцію $Y = I_1 \Pi_1 \vee I_2 \Pi_2$, де I_1, I_2 – імпульсні сигнали, Π_1, Π_2 – потенціальні сигнали, показана на рис. 2.21. Наявність імпульсу позитивної полярності заданої амплітуди відображає логічну «1», високий рівень – логічний «0».

В діодно-трансформаторній схемі І-АБО діоди VD1 і VD2 виконують роль ключів: вони відкриваються в тому випадку, якщо на аноді діє відкривний позитивний імпульс, а на катоді – потенціал землі. При цьому до первинної обмотки W_{11} W_{12} прикладається імпульс напруги, що трансформується на вихідній обмотці W_2 трансформатора Тр (рис. 2.22). Резистор Rш і діод Дш формують шунтувальне (демпферне) коло, що зменшує вихі-

дні імпульсні коливання. При наявності на потенціальних входах Π_1 і Π_2 високого рівня напруги, діоди VD1 і VD2 закриваються, і первинні обмотки відключаються від імпульсів напруги: на виході імпульсний сигнал відсутній.

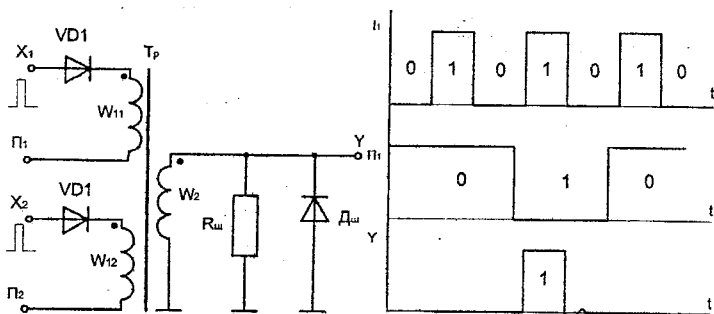


Рисунок 2.21 – Потенційно-імпульсний елемент I-АБО: схема та часові діаграми роботи

Схема потенційно-імпульсного елемента I-АБО з підсилювачем-формувачем на виході показана на рис. 2.22. Підсилювач-формувач побудований на транзисторі VT1 з імпульсним трансформатором T_{p2} в електричному колі колектора.

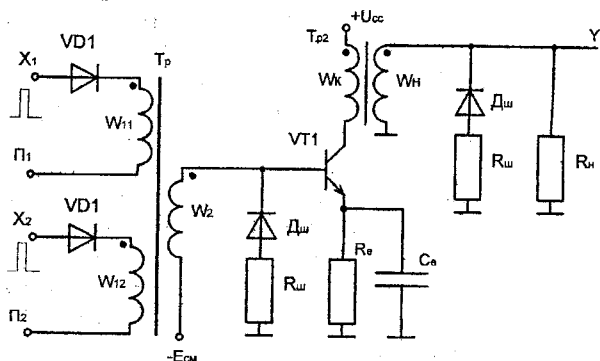


Рисунок 2.22 – Елемент I-АБО з підсилювачем-формувачем

Основне призначення підсилювача-формувача полягає в тому, щоб забезпечити вихідний сигнал необхідної форми (зазвичай прямокутний), амплітуди та тривалості. В вихідному стані транзистор n-p-n типу VT1 закритий негативною напругою зміщення $-E_{зм} = -1В$, що подається через обмотку W_2 трансформатора T_{p1} на базу, струм в електричному колі колектора не протікає і вихідний імпульс відсутній.

При збігу імпульсного і потенціального сигналів на входах обмоток W_{11} і W_{12} (чи обох одночасно) на вихідній обмотці трансформатора T_{p1} індукується напруга, що компенсує запірну напругу і відкриває транзистор VT1. Потенціал між колектором і емітером насиченого транзистора близький до нуля, тому напруга джерела живлення U_{cc} практично повністю прикладається до обмотки W_k трансформатора T_{p2} . На вихідній обмотці W_n формується імпульс напруги з постійною амплітудою $U_m = (U_{cc} \cdot W_n) / W_k$. Тривалість вихідного імпульсу визначається часом заряджання емітерним струмом конденсатора C_e до рівня напруги, що закриває транзистор VT1. Коло із резистора $R_{ш}$ і діода $D_{ш}$ зменшує післяімпульсні викиди у вторинних обмотках трансформаторів.

Цифрові елементи на основі магнітної схемотехніки. Магнітні схеми (МС) будуються на основі електромагнітного кола, частиною якого є магнітний матеріал. Їх застосовують для перетворення, обробки і зберігання інформації. Для побудови МС використовують ряд фізичних явищ: феромагнітних, магнітно-напівпровідникових, магнітооптичних, надпровідності тощо.

Явища феромагнетизму характеризуються:

- нелінійним характером процесу намагнічування і високою магнітною проникністю;

- ефектом магнітного гістерезису, що використовується для зберігання інформації.

До переваг МС відносять: високу надійність роботи і радіаційну стійкість; зберігання інформації, без споживання енергії; високу температурну стабільність і завадозахищеність.

Застосовують кілька методів інтеграції і мініатюризації МС:

- конструктивний (технологічний) – перехід до інтегральної схемотехніки;

- функціональний – МС виконує кілька функцій;

- фізичний – в одному і тому ж феромагнетикі використовуються різні фізичні явища, наприклад магнітні і магнітоакустичні.

За видом оброблюваної інформації МС поділяються на аналогові та цифрові. В магнітній схемотехніці виділяють такі напрями:

- на кільцевих сердечниках;

- на конструкціях зі складним магнітопроводом;

- на магнітних доменах і ефекті Джозефсона.

В комп'ютерній схемотехніці застосовують магнітні елементи на феритових кільцевих сердечниках. Межова крива намагнічування $B = f(H)$ являє собою прямокутну петлю гістерезису (рис. 2.23).

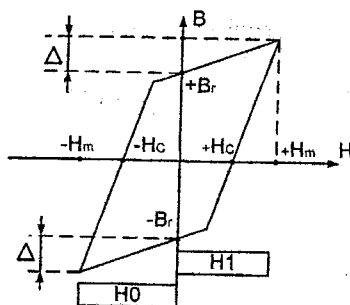


Рисунок 2.23 – Крива намагнічування

На цій характеристиці використовуються позначення: H – напруга магнітного поля; B – магнітна індукція, $\pm B_r$ – залишкова магнітна індукція; B_m – індукція насичення, максимальне значення, що може існувати у сердечнику під дією імпульсної напруги H_m .

Найпростішим магнітним елементом є кільцевий феритовий сердечник з інформаційною, керуючою і вихідною обмотками (рис. 2.24).

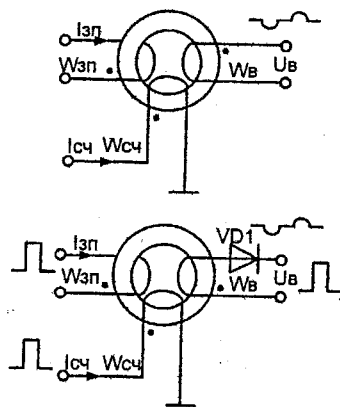


Рисунок 2.24 – Магнітні елементи

Інформаційна і керуюча обмотки служать для запису і зчитування інформації. Вихідна обмотка призначена для отримання електричного сигналу, що відображає значення функції елемента. В загальному випадку кількість обмоток, їх використання і найменування визначаються призначенням даного магнітного елемента.

Зазвичай допускається, що позитивна залишкова індукція плюс B_r відображає стан «1», а негативна B_r мінус – стан «0». Початки обмоток сердечника позначені точками. Умовно вважають, що струм зчитування $I_{сч}$, що втікає в початок обмотки $W_{сч}$ намагнічує сердечник в стан «0», а струм запису $I_{зн}$, що витікає із початку обмотки $W_{зн}$, перемагнічує сердечник в стан «1». Намагнічувальна сила, що діє в сердечнику, визначається алгебраїчною сумою ампервитків у всіх одночасно діючих обмотках. Тому, залежно від напрямку струму і включення обмоток, окремі складові магнітної індукції можуть додаватись чи відніматись, що розширює можливості використання магнітних елементів. Струм запису і струм зчитування повинні мати амплітуду, що забезпечує розрахункове значення напруги поля і тривалість не меншу часу перемикання сердечника. В процесі перемагнічування сердечника із одного стану в інший на виході обмотки W_r індуктується знакозмінний імпульс напруги $U_m = \pm W_r SB / \tau$, де W_r – кількість витків вихідної обмотки, S – площа поперечного перерізу сердечника, $\Delta B = 2B_r + \Delta$, де $\Delta = B_m - B_r$, τ – час перемикання. Перемикання сердечника в стан «1» супроводжується індукцією на вхідній обмотці негативного імпульсу напруги; для його відсікання від навантаження у вихідному колі включається обмежувальний діод VD1.

При повторній подачі імпульсів запису чи зчитування магнітна індукція змінюється на Δ , і на виході виникають імпульси завади невеликої амплітуди. До особливостей кодування інформації відноситься те, що вхідний електричний сигнал запису перетворюється в магнітну залишкову індукцію і тільки при зчитуванні знову перетворюється в електричний сигнал. Наявність позитивного імпульсу на вхідній обмотці в момент зчитування вважається логічною одиницею, а його відсутність – логічним нулем.

Для зображення магнітного елемента використовується «дзеркальний метод», при якому сердечник позначають потовщеною вертикальною лінією, обмотки – у вигляді горизонтальних тонких ліній. Струм по вхідних обмотках протікає зліва направо. Спосіб ввімкнення обмоток наведено тонкими похилими лініями під кутом 45° . Вхідний струм, відбиваючись від похилої лінії уверх, перемикає сердечник в стан «1», а відбиваючись униз – в стан «0». На вихідній обмотці поява позитивного імпульсу напруги виникає у момент перемикання із стану «1» в стан «0» (рис. 2.25).

В магнітних схемах використовують фероїдні і феротранзисторні елементи.

Функціонально повним набором логічних елементів на фероїдних схемах є диз'юнктор, елемент НЕ і генератор «1». Схема диз'юнктора, що реалізовує функцію $F = X1 \vee X2$, показана на рис. 2.25. Сердечник переключається в стан «1», в першому такті сигналами $X1$ чи $X2$ чи одночасно обома. Вихідний сигнал виникає у вихідній обмотці у другому такті при

зчитуванні. Схема «НЕ», що реалізовує функцію $F = X1\overline{X2}$, показана на рис. 2.25. Інформаційні входні обмотки ввімкненні вмонтовано зустрічно, тому перемикання сердечника можливе тільки при умові

$$X1 = 1, X2 = 0.$$

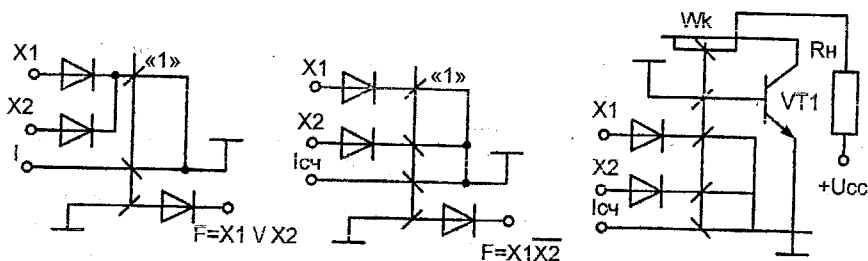


Рисунок 2.25 – Феродіодні і феротранзисторні логічні елементи

Спрощена схема феромагнітного диз'юнктора, в якій за допомогою транзистора і колекторної обмотки утворено позитивний зворотний зв'язок, що прискорює перемагнічування сердечника із стапу «1» в стап «0», показана на рис. 2.25. В вихідному стані транзистор VT1 закритий, при зчитуванні логічної «1» на базовій обмотці виникає позитивний імпульс напруги, що відкриває транзистор VT1. Струм колектора створює додатковий намагнічувальний потік, що діє згідно з потоком обмотки зчитування. В результаті час перемикання сердечника значно зменшується.

Універсальна магнітна схема для реалізації восьми мінтермів для трьох змінних $X1, X2, X3$ має вигляд:

$$\begin{aligned} M0 &= \overline{X1X2X3}; M1 = \overline{X1X2X3}; M2 = \overline{X1X2X3}; \\ M3 &= \overline{X1X2X3}; M4 = \overline{X1X2X3}; M5 = \overline{X1X2X3}; \\ M6 &= \overline{X1X2X3}; M7 = \overline{X1X2X3}. \end{aligned} \quad (2.52)$$

Якщо прошити спільним проводом кілька сердечників, то реалізується диз'юнкція мінтермів. Для прикладу в схемі (рис. 1.46) за допомогою прошивки реалізуються такі функції:

$$F1 = M0 = \overline{X1X2X3}, \quad (2.53)$$

$$F2 = M7 \vee M4 \vee M2 \vee M1 = \overline{X1X2X3} \vee \overline{X1X2X3} \vee \overline{X1X2X3} \vee \overline{X1X2X3}. \quad (2.54)$$

Для підсилення сигналів у з'єднаннях між магнітними схемами використовуються інтегральні підсилювачі і формувачі струму (серії 146, 169, 170), а також діодні і транзисторні мікросбірники.

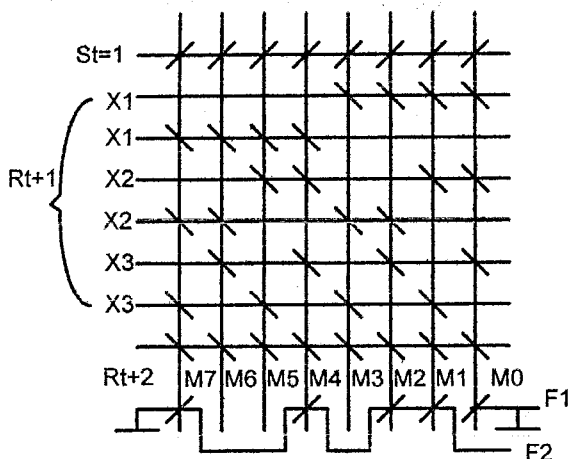


Рисунок 2.26 – Універсальна магнітна схема

Магнітні елементи зі складним магнітопроводом

До магнітних елементів зі складним магнітопроводом відносяться багатоотворові пластини та трансфлюксори.

Багатоотворові пластини – це конструкції із фериту, що мають до ста отворів, діаметром 0,65 мм. На такий пластині може розміщуватись більше 25 RS-тригерів, чи кілька десятків логічних елементів І, АБО, АБО-НЕ.

Трансфлюктор – феритовий диск з двома неоднаковими отворами, що може знаходитись у двох станах, що характеризуються різним розподілом магнітного поля навколо великого отвору і відображають логічну «1» і логічний «0». Характерною особливістю RS-тригера на трансфлюксорі є зчитування інформації без її руйнування (див. рис. 2.27).

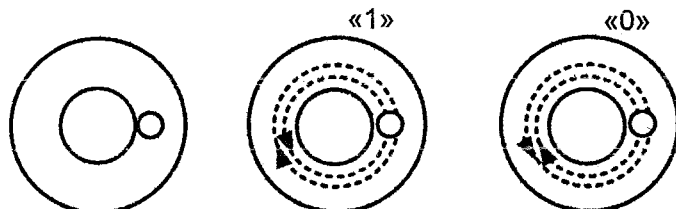


Рисунок 2.27 – Трансфлюктор: конструкція і стани логічних «0» і «1»

2.3. Інтегральні технології логічних схем

Структуру багатомірного біполярного транзистора (у розрізі) наведено на рис. 2.28. Таку структуру можна розглядати як сукупність з n -окремих транзисторів (за кількістю емітерів) із загальною базою і колек-

тором. Для виключення взаємного впливу емітерні переходи розташовують один від одного на відстані 10...15 мкм, що перевищує дифузійну довжину пробігу носіїв в базовому шарі.

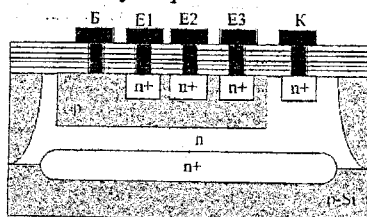


Рисунок 2.28 – Топологія елемента ТТЛ із простим інвертором

МОН-транзистори мають структуру: метал-діелектрик-напівпровідник і в загальному випадку називаються МДН-транзисторами (рис. 2.29).

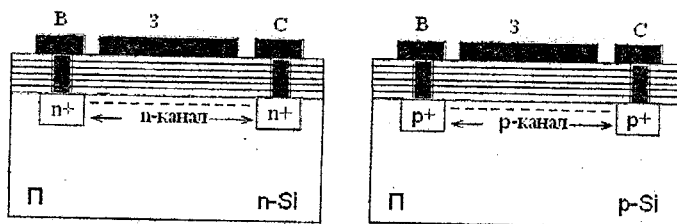


Рисунок 2.29 – Топологія МОН-транзисторів

Металевий електрод, на який поступає керуюча напруга, затвор (З), а два інших – витік (В) і стік (С). Для р-каналу полярність стоку від'ємна, а для п-каналу – додатна. Основна пластина напівпровідника називається підкладкою (П). Канал – приповерхневий провідний шар між стоком і витіком, в якому величина струму визначається за допомогою електричного поля. Процеси інжекції і дифузії в каналі відсутні. Робочий струм в каналі обумовлений дрейфом в електричному полі електронів в п-каналах і дірок в р-каналах.

Структура арсенід-галієвого МЕР-транзистора наведена на рис. 2.30. Транзистор створюється на підкладці із нелегованого арсеніду галію. На поверхні підкладки іонним методом формуються сильно леговані n+-області витоку і стоку, а потім тонкий шар каналу n-типу. На поверхню підкладки наноситься металевий електрод затвора.

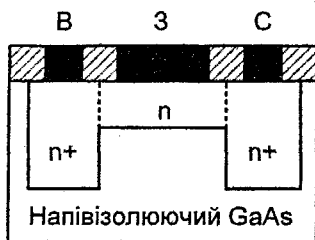


Рисунок 2.30 – Топологія МЕР-транзистора



ЗАПИТАННЯ

- Елементи, вузли, пристрої електронної апаратури.
- Вхідна, вихідна та передатна характеристики логічного елемента.
- Завадозахищеність, завадостійкість, запас завадозахищеності.
- Основні конструктивні та схемотехнічні параметри елементів.
- Час переходу, час затримки, середній час затримки розповсюдження сигналу логічного елемента.
- Частота перемикання, швидкодія ЦС, характеристика динамічної завадостійкості.
- Елементна база для реалізації логічних функцій.
- Ключі на біполярних транзисторах.
- Ключі на польових транзисторах.
- ДТЛ-логіка, основні характеристики.
- ТТЛ-логіка, основні характеристики.
- КМОН-логіка, основні характеристики.
- ЕЗЛ-логіка, основні характеристики.
- І²Л-логіка, основні характеристики.
- Імпульсна схемотехніка, основні характеристики.
- Магнітна схемотехніка, основні характеристики.



3.1 Синтез ТТЛ, ІЗЛ, ЕЗЛ, та КМОН-схем

Для отримання електричної схеми, яка реалізовує задану логічну функцію, можна використати метод струмових графів, вершинами яких слугують потенціально-струмові функціональні елементи (ПСФЕ), що виконують логічні функції. Набір схемних варіантів ПСФЕ включає в себе:

1) джерела вхідних і вихідних струмів (ДС);
2) струмові ключі (СК) реалізуються на транзисторах і відрізняються полярністю керуючого струму;

3) об'єднувачі та розгалужувачі струму (ОС, РС) забезпечують односторонню електричну розв'язку гілок, а також підсилення або послаблення вихідних струмів;

4) фіксатори потенціалу (ФП) використовуються для узгодження логічних рівнів та порогів перемикавання.

Варіанти схемної реалізації ПСФЕ наведені в табл. 3.1. Цифровий індекс в позначенні ДС і СК (0 або 1) задається відповідно до напрямку протікання струму. Для ОС і РС обирається індекс «0», якщо напрямки протікання струму і інформації збігаються або ж «1», якщо вони протилежні.

Ключові елементи на транзисторах, інвертуючи напрямок струму, реалізують логічну функцію НЕ. При використанні емітера ключового транзистора як другого керуючого входу можна виконувати операцію імплікації як показано на рис. 3.1.

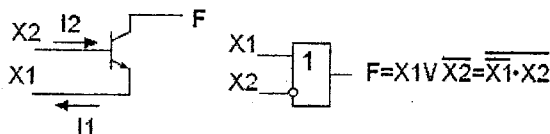


Рисунок 3.1 – Операція імплікації

Різні схемні варіанти ОС₀ виконують операцію диз'юнкції $F = x_1 \vee x_2$, тому що струм на виході тече при наявності струму хоча б в одній з вхідних гілок. При увімкненні ОС₁ аналогічна операція виконується зі струмами протилежного напрямку, що відповідає інверсному значенню змінних:

$$F = \bar{x}_1 \vee \bar{x}_2 = \overline{\bar{x}_1 \cdot \bar{x}_2}, \quad (3.1)$$

тобто виконується операція кон'юнкції.

Розгалужувачі не виконують логічних операцій, а показують розгалуження електричного кола для підключення декількох наступних елементів. Також не виконують логічних операцій джерела струму, які забезпечують необхідний для роботи схеми струм живлення, та фіксатори потенціалу, які служать для отримання потрібних потенціалів вузлів.

Синтез цифрових схем на біполярних транзисторах складається з таких етапів:

1. Для заданої логічної функції знаходиться мінімізована форма подання, за якою складається вихідний струмовий граф з включенням СК для реалізації інверсії, заборони або імплікації, ОС для реалізації диз'юнкції або кон'юнкції, РС для розгалуження сигналу. Вихідні графи містять ПСФЕ, необхідні для виконання логічних перетворень, але їх недостатньо для електричного функціонування схеми.

2. В струмові графи вмикаються ДС, що забезпечують електричне функціонування схеми. При цьому спочатку перевіряється умова струмової сумісності ПСФЕ, яка забезпечує виконання закону Кірхгофа для струмів. Вона виконується, якщо клас та індекс (k, z) попереднього і (k', z') наступного ПСФЕ задовольняють умову:

$$z' = k' \cdot \bar{z} + \bar{k}' \cdot z. \quad (3.2)$$

Якщо ця умова не виконується, то між ПСФЕ вмикається джерело струму, індекс якого z' повинен дорівнювати z .

3. ПСФЕ замінюють їх схемними реалізаціями відповідно до табл.3.1.

Спочатку обирається варіант СК на біполярному транзисторі. Потім обирається ДС. Резисторні ДС доцільно використовувати в швидкодіючих схемах, де потрібні опори не перевищують декількох кОм. Транзисторні ДС доцільні для малопотужних ТТЛ - І²Л схем, а також для схем з високою стабільністю струму живлення. Слід пам'ятати, що послідовне з'єднання монтажних ОС і РС призводить до короткого замикання логічних кіл і порушення роботоздатності пристрою.

Найбільш ефективними є послідовні комбінації монтажних ПСФЕ з транзисторними і резисторними.

В результаті з кожного графа можна отримати декілька варіантів електричних схем, для яких перевіряється виконання потенціальних умов перемикання

$$U^0 < U_n + \Delta U, U^1 > U_n + \Delta U, \quad (3.3)$$

де $U_n = U_a + U^*$ - поріг перемикання наступного СК;

U^0, U^1 - потенціали на виході відкритого і закритого попереднього СК;

U_e - потенціал емітера транзистора в СК;

ΔU - алгебраїчна сума спадів напруги на ПСФЕ;

U^* - спад напруги на відкритому р-п переході ($U^* \approx 0.7V$).

Для виконання останньої умови в емітерні, базові або колекторні кола СК слід вмикати ФП, що забезпечують додаткові спади напруги.

Для ключових транзисторів слід перевірити умову насичення

$$h_{21e} I_{\text{бн}} / I_{\text{кн}} > 1.2 \dots 1.5, \quad (3.4)$$

і у випадку необхідності в базове або колекторне коло увімкнути транзисторні ОТ або РС, що забезпечують зростання струму $I_{\text{бн}}$ або зменшення $I_{\text{кн}}$.

Для прискорення запирання ключових транзисторів до їх баз треба увімкнути транзисторні або резисторні ДС з таким же індексом, як у ТК.

Таблиця 3.1 – Потенціально-струмові функціональні елементи

Тип ПСФЕ	Умовні позначення	Варіанти схемної реалізації	Логічні функції	Електричні функції
Активні (K=1)	Джерело струму		-	Задання струму
			-	Задання струму
	Струмівий ключ		Інверсія	Перемикавання струму
			Інверсія	Перемикавання струму
Пасивні (K=0)	Розгалужувач струму			Розгалуження струму
				Розгалуження струму
	Об'єднувач струму		Диз'юн к-ція	Об'єднан. струмів
			Кон'юн к-ція	Об'єднан. струмів
Фіксатор потенціалу			-	Узгодж. потенціалів

4. Аналізується можливість суміщення декількох компонентів в багатомітерні (ТТЛ) і багатоколекторні ($\Gamma^2\text{Л}$) транзистори.

Приклад проектування логічної схеми, поданої на рис 3.2, описується логічною функцією перетворення:

$$F = \overline{X_1} \overline{X_3} \vee \overline{X_1} X_4 \vee X_2 \overline{X_3}. \quad (3.5)$$

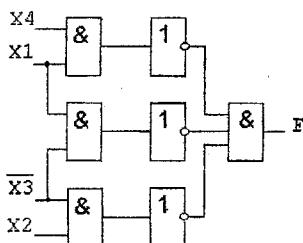


Рисунок 3.2 – Логічна функція F на логічних елементах

Струмовий граф і електричну схему за заданою вхідною функцією перетворення наведено відповідно на рис. 3.3 і 3.4.

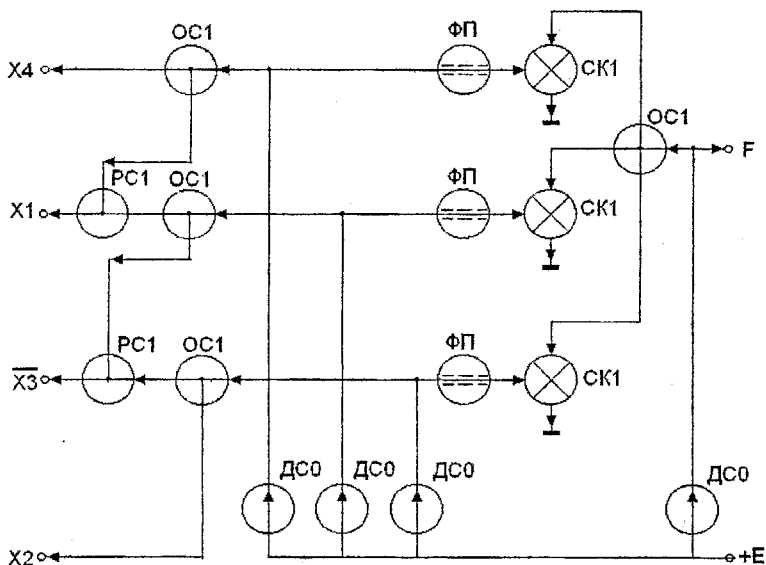


Рисунок 3.3 – Проектування струмового графа синтезованої функції F

Струмовий граф формується на основі таблиці відповідності логічних операцій еквівалентним елементам та їх схемної реалізації (див. табл. 3.1). У розглянутому прикладі для синтезу схеми необхідно виконати: 3 операції диз'юнкції (логічне множення); 1 операцію кон'юнкції (логічне додавання, в даному випадку додавання 3-х доданків), а також 3 рази операцію інвертування. Отже, операції логічного множення реалізують 3 об'єднувачі струмів ОС1 на два входи і один вихід, операцію інвертування реалізують струмові ключі СК1, операцію логічного додавання реалізовує об'єднувач струмів ОС1 на три входи і один вихід. Також у схемі використовуються розгалужувачі струмів РС1 для входів, що використовуються двічі ($\bar{X}_3, X_1$), фіксатори потенціалу ФП для узгодження потенціалів та джерела струму ДС0. Електрична принципова схема формується із струмового графа на основі таблиці відповідності логічних операцій еквівалентним елементам та їх схемної реалізації (див. табл. 3.1). Об'єднувачі струмів ОС1 реалізовані на біполярних транзисторах VT1-VT3 та VT7, фіксатори потенціалу ФП реалізовані на резисторах R6-R8, джерела струму ДС0 реалізовані з використанням резисторів R1-R5, розгалужувачі струмів РС1 реалізовані як монтажні «І», струмові ключі СК1 реалізовані на транзисторах VT4-VT6.

Особливістю схем ЕЗЛ є використання перемикачів струму ПС, які можна розглядати, як різновид СК, що має декілька інвертованих виходів (колекторів вхідних транзисторів) і один інвертований вихід (колектор опорного транзистора), на якому реалізується диз'юнкція вхідних змінних.

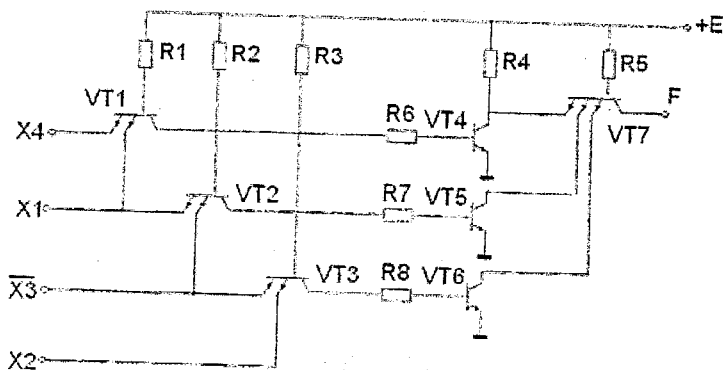


Рисунок 3.4 – Електрична принципова схема синтезованої функції F

Об'єднанням виходів перемикачів на загальному ФП за допомогою монтажного об'єднувача ОС1, реалізовується операція кон'юнкції. Вмиканням між перемикачами транзисторних об'єднувачів ОС0, реалізовується

ся операція диз'юнкції. Однак, синтез ЕЗЛ схем має ряд особливостей порівняно з синтезом ТТЛ схем:

- Логічну функцію схеми слід подати у вигляді мінімальної ДНФ або КНФ.
- Число перемикачів струму, що потрібні для реалізації МДНФ функції, дорівнює числу кон'юнктивних членів в логічному виразі.
- Кожен кон'юнктивний член утворюється за допомогою об'єднання інвертованих виходів одного з ПС на загальному ФП.
- Об'єднані виходи ПС підключаються до вихідного транзисторного ОС₀, який реалізовує диз'юнкцію кон'юнктивних членів відповідно до заданого логічного виразу.
- Число ПСТ, потрібних для реалізації МКНФ логічної функції, дорівнює кількості диз'юнктивних членів в логічному виразі, для отримання якого використовуються неінверсні виходи ПС.
- Об'єднанням цих виходів на загальному ФП за допомогою монтажного ОТ1 реалізовується кон'юнкція диз'юнктивних членів відповідно до заданого виразу.
- Вибір ФП проводиться, виходячи з умови забезпечення заданого перепаду U_n . Якщо через фіксатор при роботі схеми протікає струм тільки одного ДС, то вмикається резисторний ФП і $U_n = IR$. Якщо ж через резистор протікають струми декількох ДС, число яких змінюється в залежності від логічного стану схеми, то включається діодно-резисторний ФП, який забезпечує $U_n = U^*$.
- Використовуються резисторні або транзисторні джерела струму ДС₀, останні включаються в тих випадках, коли необхідно отримати високу стабільність струму і перепаду U_n .
- Після складання схеми проводиться фізичне суміщення компонентів: транзистори, що мають загальний колектор, розташовуються в загальних ізольованих областях, а транзистори, що мають загальні колектор і базу, замінюються багатомітерним транзистором.

Для прикладу розглянемо синтез схеми реалізації МКНФ логічної функції:

$$F_1 = (\overline{X_1} + X_3) \cdot (\overline{X_2} + X_3) \cdot (\overline{X_1} + X_4). \quad (3.6)$$

Також вона може виконувати функції:

$$F_2 = X_1 \overline{X_3} + X_2 \overline{X_3}, \quad F_3 = X_1 X_4. \quad (3.7)$$

Для прикладу розглянемо синтез схеми реалізації МКНФ логічної функції:

$$F_1 = (\overline{X_1} + X_3) \cdot (\overline{X_2} + X_3) \cdot (\overline{X_1} + X_4). \quad (3.6)$$

Також вона може виконувати функції:

$$F_2 = X_1 \bar{X}_3 + X_2 \bar{X}_3, \quad F_3 = X_1 X_4. \quad (3.7)$$

Синтез струмового графа і принципової схеми здійснюється відповідно до наведеної вище методики (див. табл. 3.1, рис. 3.5, 3.6).

Слід відмітити, що можливість реалізації набору логічних функцій є характерною особливістю схем ЕЗЛ, її використання поліпшує параметри мікросхем.

Вмикання ПС, в яких кожний транзистор працює як ключ СК1, керований по двох входах (рис. 3.6). На базу транзистора поступає змінна X , а на емітер — логічна функція Y , яка утворена перемикачами нижніх ступенів. Тому на входах СК1 i -го ступеня виконується функція:

$$\bar{W}_i = \bar{X} \cdot \bar{Y}_i = Y_i + \bar{X}. \quad (3.8)$$

Функція Y_i має інверсно-кон'юнктивну форму, якщо вона отримана на інвертованому виході перемикача попереднього ($i-1$) ступеня, або кон'юнктивну форму, якщо вона отримана на неінверсному виході (колекторі опорного транзистора) цього перемикача:

$$Y_i = (z_1 z_2 \dots z_{i-1}) = (T_1 T_2 \dots T_{i-1}). \quad (3.9)$$

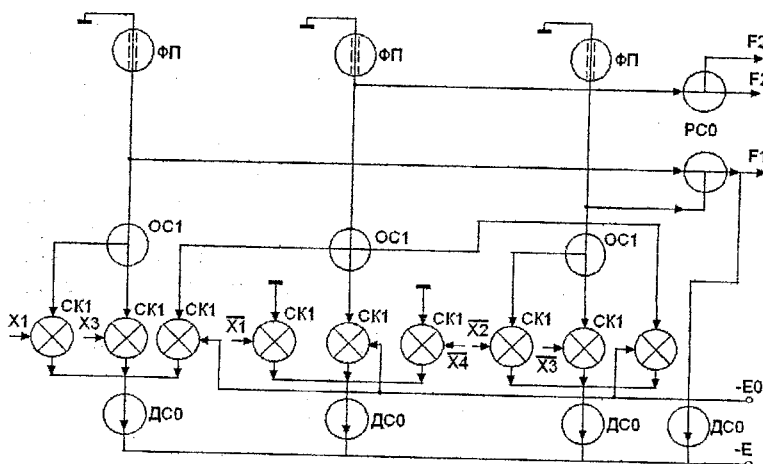


Рисунок 3.5 – Струмовий граф МКНФ логічної функції

Якщо у відповідну гілку струмового графа вмикається інверсний вихід перемикача j -го ступеня, то z_j є інверсією диз'юнкції. Якщо ж вмикається неінверсний вихід, то T_j є диз'юнкцією змінних.

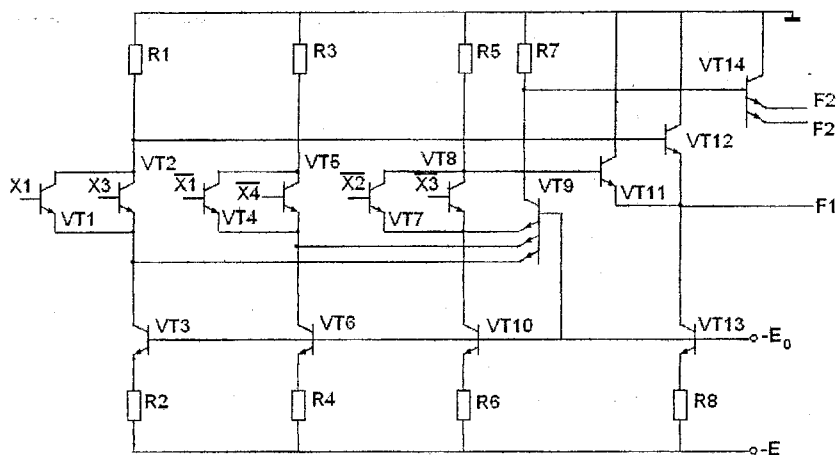


Рисунок 3.6 – Схемотехнічна реалізація МКНФ логічної функції

Синтез багатоступеневих ЕЗЛ-схем слід проводити в такій послідовності.

1. Подають задану функцію в кон'юнктивній $F=W_1W_2...W_i$ або диз'юнктивній $F=W_1W_2 + W_1W_3 + W_2W_3W_4 +$ формах.

2. Спочатку отримують набір ПС, які реалізують потрібні диз'юнкції вхідних змінних z_j або T_j .

3. Починаючи з першого ступеня, підключають перемикачі більш високого ступеня до інверсних або неінверсних виходів перемикача попереднього (нижнього) ступеня для отримання на виходах найвищого ступеня необхідних складових W_1, W_2 і т. д.

4. Проводиться підключення до виходів верхніх ступенів об'єднувачів ОС1 та ФП для реалізації кон'юнктивної форми функції або об'єднувачів ОС та ФП і об'єднувача ОС0 на виході для реалізації її диз'юнктивної форми.

Наприклад, для синтезу багатоступеневої схеми ЕЗЛ, що виконує операцію Виключне АБО, використовується кон'юнктивна форма:

$$F = X_1\bar{X}_2 + \bar{X}_1X_2 = (\bar{X}_1 + X_2)(X_1 + \bar{X}_2) = W_1W_2. \quad (3.10)$$

Згідно з методикою синтезу, диз'юнктивна складова W_1 реалізується на інверсному виході першого ПС другого ступеня, а складова W_2 – на інверсному виході другого ПС другого ступеня, якщо на базові входи цих ПС подається зміна X_1 , а на їх емітерні входи з виходів першого ступеня будуть надходити функції

$$Y_1^1 = \bar{X}_2 \text{ і } Y_1^2 = X_2. \quad (3.11)$$

Функції Y_1^1 і Y_1^2 реалізуються на інверсному і неінверсному виходах ПС першого ступеня, якщо на його вхід подана змінна X_2 .

Кон'юнкція членів W_1 і W_2 виконується об'єднанням виходів перемикачів другого ступеня за допомогою ОС1. В результаті отримаємо струмовий граф (рис. 3.7), в якому додатково включені ФП на виході і на вході і-го ступеня для виконання розглянутих вище умов перемикачів. Наприклад, увімкнення емітерного повторювача як ФП забезпечує зсув опорної напруги вхідного ступеня на $\approx -0,7\text{В}$.

При переході від струмового графа до електричної схеми (рис 3.8) використовується монтажна реалізація ОС1, а підключений до нього ФП є резисторним. Для забезпечення стабільності струму застосовуються транзисторні ДС1.

Для ФП на виході схеми і вході 1-го ступеня використовуються емітерні повторювачі.

Синтез схем на МДН-транзисторах. При послідовному увімкненні однотипних МДН-транзисторів виконується кон'юнкція з інверсією.

Тому розробка схеми проводиться за такою методикою:

1. Функція подається у вигляді інверсії ДНФ або у вигляді інверсії КНФ.
2. З використанням карт Карно отримують оптимальну мінімальну форму логічної функції.
3. Проводиться з'єднання керуючих МДН-транзисторів відповідно до отриманих логічних форм.

При цьому кожній змінній логічного виразу відповідає керуючий МДН-транзистор, при цьому змінна подається на затвор цього транзистора.

Для реалізації кон'юнктивних членів керуючі МДН-транзистори з'єднуються послідовно, а для реалізації диз'юнктивних членів - паралельно. Після з'єднання керуючих транзисторів підключається транзистор навантаження і пини живлення. В результаті отримують електричні схеми, які реалізують задану функцію.

Приклад: Для функції $F = X_1X_2 \vee X_1X_2 \vee X_1X_2$ можна отримати мінімізовані інверсно-диз'юнктивну і інверсно-кон'юнктивну форми:

$$\begin{aligned} F &= (X_1 \vee X_2)(\overline{X_1} \vee \overline{X_2})(X_1 \vee X_2) = (X_1 \vee X_2\overline{X_3})(\overline{X_3} \vee X_4) \\ F &= \overline{X_1}X_3 \vee \overline{X_2}X_3 \vee X_1X_4 = \overline{X_1}(X_3 \vee X_4) \vee X_2X_3. \end{aligned} \quad (3.12)$$

В результаті отримаємо схемні реалізації, показані на рис 3.9.

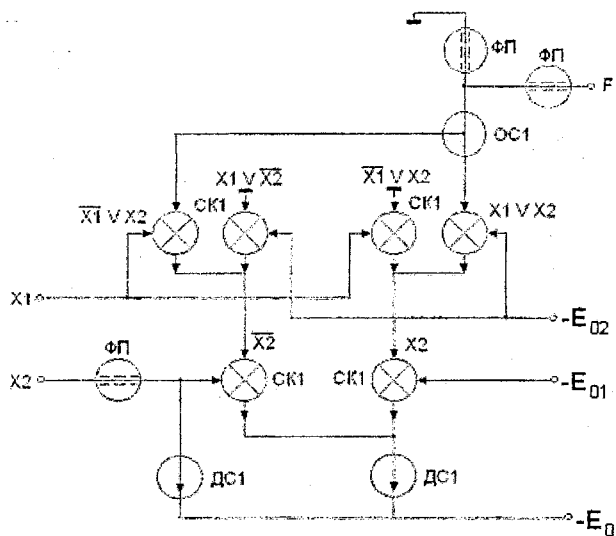


Рисунок 3.7 – Струмовий граф елемента ЕЗЛ

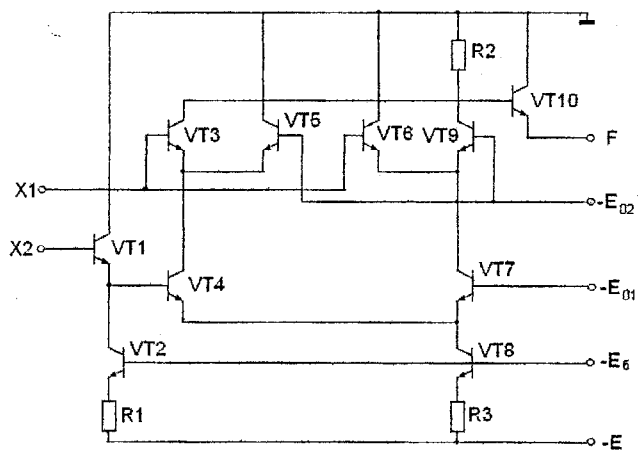


Рисунок 3.8 – Електрична схема елемента ЕЗЛ

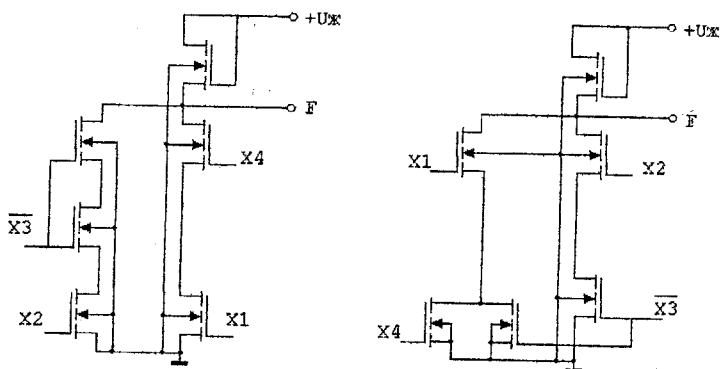


Рисунок 3.9 – Схемні реалізації входних функцій виразу (3.12)

При виборі оптимального варіанта слід врахувати площу, довжину металевих з'єднань та інші конструктивні фактори.

При синтезі схем на КМДН-транзисторах з'єднання p-канальних транзисторів проводиться розглянутим вище способом. При з'єднанні r-канальних транзисторів їх послідовне увімкнення використовується для реалізації диз'юнктивних членів, а паралельне – для реалізації кон'юнктивних. Приклад схемної реалізації мінімальної ДНФ функції F на КМОН-транзисторах показано на рис. 3.10.

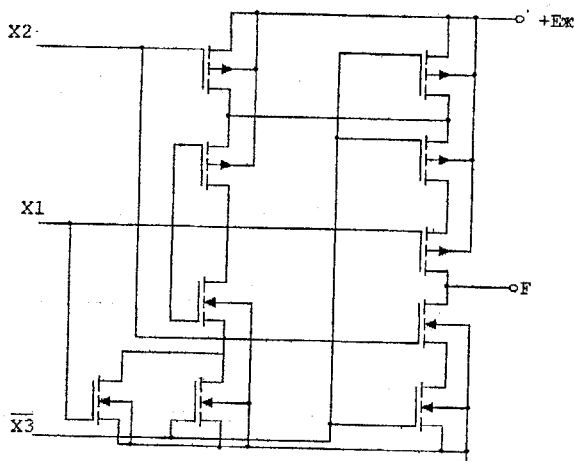


Рисунок 3.10 – Схемні реалізації входних функцій

3.2 Приклади розрахунку логічних елементів

В наступних пунктах наведено порядок розрахунку елементів І-НЕ на КМОН-логіці та ТТЛ.

Розрахунок логічного елемента І-НЕ на КМОН-логіці

Вхідні дані: напруга живлення $U_{дж} = 5B$; коефіцієнт об'єднання $K_{об} = 2$; коефіцієнт розгалуження $K_{роз} = 2$; ємність навантаження $C_n = 15nF$; частота повторення вхідних імпульсів $f = 5MГц$; напруга логічного «0» $U^0 = 0B$; напруга логічної «1» $U^1 = 5B$; напруга порогу переключення транзистора n-типу $U_{порп} = 2B$; напруга порогу переключення транзистора р-типу $U_{порр} = -1.5B$; відносна крутизна транзисторів n- і р-типу відповідно $K_n = 0.3mA/B^2$; $K_p = 0.2mA/B^2$; температура навколишнього середовища $T = 20C^0$. На рис. 3.11 наведено схему розраховуваного логічного елемента.

Розрахунок статичних параметрів елемента

1. Перевіряємо виконання умови «нормальної» роботи схеми:

$$\begin{aligned} & |-U_{порр}| + U_{порп} < U_{дж} \\ & |-1.5| + 2 < 5B \end{aligned} \quad (3.13)$$

2. Рівні напруг логічних «0» і «1», відповідно:

$$U^0 = 0B \quad U^1 = 5B. \quad (3.14)$$

3. Напруга логічного перепаду

$$U_a = U^1 - U^0 = 5 - 0 = 5B. \quad (3.15)$$

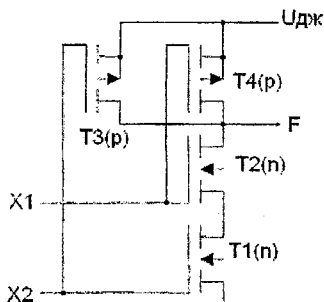


Рисунок 3.11 – Елемент І-НЕ на КМОН базисі

4. Згідно з рис 3.11 знаходимо питому крутизну еквівалентних транзисторів с n-провідністю (T_1, T_2) і p-провідністю (T_3, T_4). Для послідовного включення

$$K_{екв, n, p} = \frac{K}{m}. \quad (3.16)$$

для паралельного

$$K_{екв, n, p} = Km, \quad (3.17)$$

$$\text{де } m = K_{об} = 2, \quad (3.18)$$

$$K_{еквп} = \frac{K_n}{m} = \frac{0,3}{2} = 0,15 \text{ мА} / B^2, \quad (3.19)$$

$$K_{еквр} = K_p m = 0,2 \cdot 2 = 0,4 \text{ мА} / B^2. \quad (3.20)$$

5. Враховуючи, що $K_n = K_{еквп}$ і $K_p = K_{еквр}$ знаходимо напругу порога перемикання

$$V_{II} = \frac{\sqrt{K_n} U_{порт} + \sqrt{K_p} (U_{дж} + U_{порт})}{\sqrt{K_n} + \sqrt{K_p}} = \frac{\sqrt{0,15} \cdot 2 + \sqrt{0,4} (5 - (-1,5))}{\sqrt{0,15} + \sqrt{0,4}} = 2,95 B. \quad (3.21)$$

6. Знаходимо запас завадостійкості за рівнем «0»

$$U_s^+ = V_n = 2,95 B. \quad (3.22)$$

7. Знаходимо запас завадостійкості за рівнем «1»

$$U_s^- = U_{дж} - V_n = 5 - 2,95 = 2,05 B. \quad (3.23)$$

8. Ширина невизначеної зони рівна

$$\Delta V_n \approx 0,1 B. \quad (3.24)$$

9. Струми, які споживає елемент в стані «0» і «1» рівні

$$I_{II}^0 = I_{II}^1 = 0 \text{ мА}. \quad (3.25)$$

10. Отже, споживана потужність в статичному режимі рівна

$$P_{ст} = 0 Bm. \quad (3.26)$$

11. Оскільки вхідного струму майже немає, тому

$$K_{раз} = 20. \quad (3.27)$$

12. Вхідний опір досить великий і рівний

$$R_{\text{вх}} = 10^8 \text{ Ом}. \quad (3.28)$$

13. Вихідний опір для станів «0» і «1» рівний

$$R_{\text{вих}} = 10^5 \text{ Ом}. \quad (3.29)$$

Розрахунок динамічних параметрів елемента

1. Розрахуємо загальну паразитну ємність на виході елемента з врахуванням специфіки схеми І-НЕ: значення паразитної ємності затвор-канал і затвор-витік за формулами:

$$C_{\text{з-к,п}} = K_{\text{об}} C_{\text{з-кп}} = 2 \cdot 0.5 \cdot 10^{-12} = 1 \text{ пФ} - \text{ємність затвор-канал транзисторів};$$

$$C_{\text{з-с,п}} = 2 \cdot K_{\text{об}} C_{\text{з-сп}} = 2 \cdot 2 \cdot 0.5 \cdot 10^{-12} = 2 \text{ пФ} - \text{ємність затвор-стік};$$

$$C_{\text{з-с,р}} = 0.5 \text{ нФ} - \text{ємність затвор-витік транзистора};$$

$C_{\text{мс}} = 1.5 \text{ нФ}$ – ємність металевих з'єднань і ізолюючого п-р переходу об'єднаної області стоку паралельно з'єднаних транзисторів; з врахуванням цього:

$$C_{\text{п}} = C_{\text{з-к,п}} + C_{\text{з-с,п}} + C_{\text{з-с,р}} + C_{\text{з-к,п}} + C_{\text{мс}} + C_{\text{н}} = 1 + 2 + 0.5 + 1.5 + 10 = 15 \text{ нФ} \quad (3.30)$$

2. Час переходу зі стану «1» в стан «0»

$$t^{1,0} = \frac{0.8 C_{\text{п}} U_{\text{джс}}}{K_{\text{н}} \Delta U_{\text{пор}}^2}. \quad (3.31)$$

$$\text{де } U_{\text{пор}} = U_{\text{джс}} - U_{\text{порп}} - |U_{\text{порп}}| = 5 - 2 - |-1.5| = 1.5 \text{ В}. \quad (3.32)$$

$$t^{1,0} = \frac{0.8 \cdot 15 \cdot 10^{-12} \cdot 5}{0.15 \cdot 10^{-3} \cdot 1.5^2} = 181 \text{ нс}. \quad (3.33)$$

3. Знайдемо приблизний час перемикання $\tau_{\text{п}}$ при зміні вхідного сигналу з низького рівня на високий

$$\tau_{\text{п}} = \frac{2 C_{\text{п}}}{K_{\text{н}} (U_{\text{джс}} - U_{\text{порп}})} = \frac{2 \cdot 15 \cdot 10^{-12}}{0.15 \cdot 10^{-3} \cdot (5 - 2)} = 66.6 \text{ нс}. \quad (3.34)$$

4. Час затримки $\tau_{\text{р}}$ при перемиканні з високого рівня в низький

$$\tau_p = \frac{2C_{\Pi}}{K_p (U_{\text{дж}} - |U_{\text{порр}}|)} = \frac{2 \cdot 15 \cdot 10^{-12}}{0,4 \cdot 10^{-3} \cdot (5 - |-1,5|)} = 21,4 \text{ нс}. \quad (3.35)$$

5. Час затримки поширення при вмиканні

$$t_{\text{зм.р}}^{0,1} = \frac{\tau_p V_{\Pi}}{U_{\text{дж}} - U_{\text{порр}}} = \frac{21,4 \cdot 2,95}{5 - |-2|} = 18 \text{ нс}. \quad (3.36)$$

6. Середній час поширення

$$t_{\text{зм.р.ср.}} = \frac{t^{1,0} + t^{0,1}}{2} = \frac{45,5 + 18}{2} = 31,7 \text{ нс}. \quad (3.37)$$

7. Динамічна потужність:

$$P_{\text{дин}} = f_{\text{пер}} C_{\Pi} U_{\text{дж}}^2 = 5 \cdot 10^6 \cdot 15 \cdot 10^{-12} \cdot 5^2 = 1,87 \text{ мВт}. \quad (3.38)$$

Розрахунок базового елемента І-НЕ на ТТЛ

Вхідні дані: напруга живлення $U_{\text{и}} = 5\text{В}$; коефіцієнт об'єднання по входу $K_{\text{об.вх}} = 3$; коефіцієнт розгалуження $K_{\text{роз}} = 8$; коефіцієнт насичення транзисторів $K_{\text{нас}} = 1,5$; коефіцієнт підсилення транзисторів $B = 25$; інверсний коефіцієнт підсилення $B_i = 0,04$; ємність навантаження $C_{\text{н}} = 40 \text{ пФ}$; середня потужність споживання елемента в статичному режимі $P_{\text{н.ср}} = 25 \text{ мВт}$; рівні напруги $U^0 = 0,2\text{В}$, $U^1 = 3,5\text{В}$; частота повторення вхідних сигналів $f_{\text{н}} = 15 \text{ МГц}$; гранична частота підсилення транзисторів $f_{\text{гран}} = 1 \text{ ГГц}$; спад напруги на відкритому р-п переході транзисторів і діодів Шоткі $U_{\text{ш}} = 0,4\text{В}$; на рис. 3.12 наведено логічний елемент, що розраховується.

Розрахунок статистичних параметрів

1. Задаємось відношенням опорів: $R_1 / R_2 = 3$

2. З формули

$$P_{\text{н.ср}} = \frac{\left(\frac{U_{\text{и}} - 3U^*}{R_1} \right) + \left(\frac{U_{\text{и}} - U_{\text{ке.насТТЛ}} - U^*}{R_2} \right) + \left(\frac{U_{\text{и}} - U^* - U_{\text{вх}}^0}{R_1} \right)}{2}, \text{ при зада-}$$

ному $P_{\text{н.ср}} = 25 \text{ мВт}$ визначаємо: $R_1 = 1874 \text{ Ом}$ і $R_2 = 625 \text{ Ом}$.

3. Задаємось відношенням опорів $R_2 / R_3 = 1.5$ визначаємо $R_3 = R_2 / 1.5 = 417 \text{ Ом}$.

4. Задаємось відношенням опорів $R_2 / R_4 = 10$ визначаємо $R_4 = R_2 / 10 = 62.5 \text{ Ом}$.

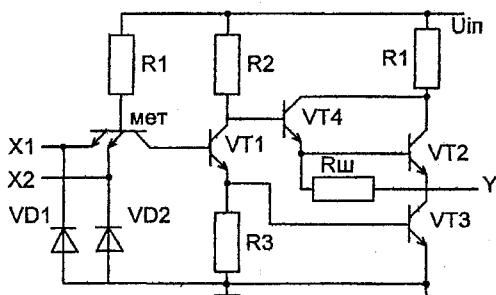


Рисунок 3.12 – Логічний елемент на ТТЛШІІІ-базисі

5. Присвоюємо значення резистора R_2 резистору R_5 , $R_5 = 625 \text{ Ом}$.

6. Визначаємо вхідний струм логічної «1»

$$I_{ex}^1 = B_i (U_{in} - U_{бкм} - U_{бс.насТЗ}) / R_1$$

$$I = 51 \text{ мкА.}$$

7. Вхідний струм логічного «0»:

$$I_{ex}^0 = ((U_{in} - U_{бсм} - U_{вх}^0) / R_1) (1 + B_i (K_{об.вх} - 1)) = 2,56 \text{ мА.} \quad (3.39)$$

8. Порогова напруга:

$$U_{пор} = U^* + U_{ш}^* = 1,1 \text{ В.} \quad (3.40)$$

9. Визначаємо запас завадостійкості для рівня «0»:

$$U_{II}^0 = 2U_{ш}^* = 0,8 \text{ В.} \quad (3.41)$$

10. Визначаємо запас завадостійкості для рівня «1»:

$$U_{II}^- = U_{in} - 4U^* - U_{ост.ш} = 1,9 \text{ В.} \quad (3.42)$$

11. Струм, що споживає елемент в стані «0» на виході:

$$I_n^0 = (U_{in} - 3U^*) / R_1 + (U_{in} - U_{ке.насТТ} - U_{бс.насТЗ}) / R_2 = 7,4 \text{ мА.} \quad (3.43)$$

12. Струм, що споживає елемент в стані «1» на виході:

$$I_n^1 = (U_{in} - U_{бсм} - U_{вх}^0) R_1 = 2,01 \text{ мА.} \quad (3.44)$$

13. Потужність, що споживає елемент в стані «0» на виході:

$$P_n^0 = I_n^0 U_{in} = 37 \text{ мВт.} \quad (3.45)$$

14. Потужність, що споживає елемент в стані «1» на виході:

$$P_n^1 = I_n^1 U_{in} = 10,05 \text{ мВт}. \quad (3.46)$$

15. Середня потужність:

$$P_{n, \text{ср}} = (37 + 10,05) / 2 = 23,5 \text{ мВт}. \quad (3.47)$$

16. Коефіцієнт розгалуження для стану «1» на виході елемента:

$$K_{\text{роз}}^0 = \frac{B_{\text{н/н}}}{K_{\text{нас}}} \times \frac{(1 + K_{\text{об}} B_i)(U_{in} - 3U^*) + (R_1 / R_2)(U_{in} - U^*) - (R_2 / R_3)U^*}{(1 + (K_{\text{об}} - 1)B_i)(U_{in} - U^*)} = 54. \quad (3.48)$$

17. Коефіцієнт розгалуження для стану «0» на виході елемента:

$$K_{\text{роз}}^1 = \frac{B + 1}{B_i} \frac{R_1}{R_2} \frac{U_{in} - 4U^* - U_n^- - U_{\text{оси}}}{U_{in} - U^*} = 83,7. \quad (3.49)$$

18. Вихідний опір елемента при низькій напрузі на вході:

$$R_{\text{ex}}^0 = R_l = 1874 \text{ Ом}. \quad (3.50)$$

19. Вхідний опір елемента при високій напрузі на вході:

$$R_{\text{ex}}^1 = R_{\text{ym}}. \quad (3.51)$$

20. Вихідний опір для стану «1», для випадку коли транзистор T2 працює в активному режимі: $R_{\text{ex}}^1 = 23 \text{ Ом}$.

21. Вихідний опір для стану «1», для випадку коли транзистор T2 працює в режимі насичення:

$$R_{\text{вих}} = R_2 R_4 / (R_2 - R_4) = 69 \text{ Ом}. \quad (3.52)$$

22. Вихідний опір елемента для стану «0» на виході:

$$R_{\text{вих}}^0 = r_{\text{кТЗ}} = 10 \text{ Ом}. \quad (3.53)$$

Розрахунок динамічних параметрів

1. Час затримки включення:

$$\tau_1 = R_l(C_0 + C_1) = R_l(K_{\text{об, ос}} C_{\text{е, зм}} + C_{\text{пл}} + C_{\text{е}} + C_{\text{к}} + C_{\text{н1}}) = 11,2 \text{ нс}. \quad (3.54)$$

$$t_{\text{зд}}^{1,0} = \tau_1(2U^* - U_{\text{оси}} - U_{\text{вих}}^0) / (U_{in} - U^*) = 1,8 \text{ нс}. \quad (3.55)$$

2. Час спаду вихідного сигналу:

$$t_o = \sqrt{2R_1 R_2 C_k (C_k + C_3 / B) (U_{in} - U^*) / (U_m - 3U^*)} = 8,5 \text{ нс}. \quad (3.56)$$

3. Час переходу зі стану «1» в стан «0»:

$$t^{1,0} \approx 2t_c = 17 \text{ нс}. \quad (3.57)$$

4. Час затримки проходження при включенні:

$$t_{зд,р}^{1,0} = t_{зд}^{1,0} + t_o - t_{ex}^{0,1} / 2 = 7,8 \text{ нс}. \quad (3.58)$$

5. Час розсмоктування, якщо $\tau_{pac} = 10 \text{ нс}$:

$$t_{pac} = \tau_{pac} \ln 2 = 6,9 \text{ нс}. \quad (3.59)$$

6. Час наростання вихідного сигналу:

$$\tau_{нар} = R_2 C_2 = 3,1 \text{ нс}. \quad (3.60)$$

$$t_{нар} = \tau_{нар} 2U^* / (U_{in} - 2U^*) = 1,33 \text{ нс}. \quad (3.61)$$

7. Час переходу зі стану «0» в стан «1»:

$$t^{0,1} = 2t_{нар} = 2,66 \text{ нс}. \quad (3.62)$$

8. Затримка проходження при включенні:

$$t_{зд,р}^{0,1} = t_{pac} + t_{нар} = 8,23 \text{ нс}. \quad (3.63)$$

9. Час затримки виключення:

$$t_{зл}^{1,0} = t_{зд,р}^{0,1} - t_c + t_{ex}^{0,1} / 2 = 8,9 \text{ нс}. \quad (3.64)$$

10. Середня затримка проходження:

$$t_{зд,р,ср} = (t_{зд,р}^{1,0} + t_{зд,р}^{0,1}) / 2 = 8,01 \text{ нс}. \quad (3.65)$$

11. Робота переключення:

$$A_{пер} = P_{н,ср} t_{зд,р,ср} = 200,25 \text{ нДж}. \quad (3.66)$$

12. Динамічна потужність:

$$P_{дин} = U_{ш} f_n ((C_{e1} + C_{e3} + C_{e3}) U^* + (C^0 + C^1) 2U^* + (C_{x1} + C_{x2} + C_2)(U_{ш} - U^*) + m + (C_{k3} + C_{н,сх} + C_n)(U^1 - U^0) + I_{кз} t_{рх}^2 / t_{нас,Т2}) = 17 \text{ мВт}. \quad (3.67)$$

13. Повна потужність, що споживається в статичному і динамічному режимах:

$$P = P_{н,ср} + P_{дин} = 23,5 + 17 = 40,5 \text{ мВт}. \quad (3.68)$$

Розрахунок елементів ЕЗЛ-логіки

2. Для опорів резисторів джерела опорної напруги введемо такі співвідношення:

$$R_4 = (2..4)R_1; R_5 = R_1, R_8 = R_3 = R_6 = R_7. \quad (3.70)$$

3. Задаємося необхідними відношеннями й визначимо

$$R_3 = R_{en}; R_4 = 3R_x, R_5 = R_x; R_6 = R_7 = R_{en}; R_8 = R_{en}. \quad (3.71)$$

4. Потужність споживання елементом ЕЗЛ із урахуванням коефіцієнта розгалуження визначається співвідношенням

$$P = E \left[\frac{-(U^1 - U^0)}{R_x} + \frac{(E - U_{on})}{R_4} + \frac{(E - 2U^*)}{R_5 + R_8} + \frac{(E - U^0)}{R_6} + \frac{(E - U^1)}{R_7} + K_{poz} \frac{(E - (U^1 - U^*))}{R_3(1 + \beta)} \right]. \quad (3.72)$$

5. Підставляємо (3.69) і (3.70) в (3.72) і за заданим значенням $P_{сер} = P = 80$ мВт визначаємо $R_k = 0,363$ кОм.

6. З (3.69), (3.70) з врахуванням $R_k = R_1 \approx R_2$; $R_6 = R_7 = R_{en}$ значення резисторів $R_1 = 0,365$ кОм; $R_2 = 0,43$ кОм; $R_3 = 1,2$ кОм; $R_4 = 1,0$ кОм; $R_5 = 0,365$ кОм; $R_6 = 1,2$ кОм; $R_7 = 1,2$ кОм; $R_8 = 1,2$ кОм. Обираємо $R_B = 50$ кОм.

7. З виразу для вхідної характеристики вхідний струм логічної «1» (через кожний відкритий емітерний перехід)

$$I_{ex1} = (U_{ex} - U_{se1} - E) / R_3(1 + \beta) = 0,09 \text{ мА}. \quad (3.73)$$

8. Вхідний струм логічного «0» визначається опором резистора R_6 у колі бази закритого транзистора

$$I_{ex0} = U_{ex0} / R_6 = 0,032 \text{ мА}. \quad (3.74)$$

9. З виразу для напруги порога перемикавання

$$U_{пор} = -U_{on} = -1,2 \text{ В}. \quad (3.75)$$

10. З виразу для ширини активної зони передатної характеристики

$$\Delta U_{ax} \approx 4,4 \varphi_T = 0,15 \text{ В}. \quad (3.76)$$

11. Логічний перепад

$$U_A = U_{вих}^1 - U_{вих}^0 = 0,8 \text{ В}. \quad (3.77)$$

12. Напруга статичної завадостійкості за рівнем «0» і «1»

$$U_n^+ \approx U_n^- \approx 0,5(U_A - \Delta U_{ax}) = 0,325 \text{ В}. \quad (3.78)$$

13. Струм логічної частини елемента

$$I_x = -U_x / R_x = -(U^1 - U^0) / R_x = -2.19 B. \quad (3.79)$$

14. Струми емітерних повторювачів

$$I_{en1} = (E - U^0) / R_6, \quad I_{en2} = (E - U^1) / R_7 + K_{poz} [E - (U^1 - U^*) / R_3 (1 + \beta)]. \quad (3.80)$$

$$I_{en1} = -2.73 \text{ мА}; \quad I_{en2} = -5.33 \text{ мА}.$$

15. Струми джерела опорної напруги

$$I_{on1} = (E - U_{on}) / R_4 = -3.45 B; \quad I_{on2} = (E - 2U^*) / (R_5 + R_8) = -2.27 B. \quad (3.81)$$

16. Загальний струм, споживаний елементом у стані «0» («1»), приблизно однаковий в обох станах

$$I_{\Sigma 0} = I_{\Sigma 1} = I_x + I_{on1} + I_{n2} + I_{en1} + I_{en2} = -15.97 \text{ мА}. \quad (3.82)$$

17. Потужність споживання логічної частини елемента

$$P_x = E \cdot I_x = 10.95 \text{ мВт}. \quad (3.83)$$

18. Потужність споживання емітерними повторювачами

$$P_{en} = E \cdot (I_{en1} + I_{en2}) = 40.3 \text{ мВт}. \quad (3.84)$$

19. Потужність споживання джерелом опорної напруги

$$P_{on} = E \cdot (I_{on1} + I_{on2}) = 28.6 \text{ мВт}. \quad (3.85)$$

20. Сумарна потужність, споживання елементом (однакова для «0» і «1»)

$$P = P_{\Sigma} = P_x + P_{on} + P_{en} = 79.85 \text{ мВт}. \quad (3.86)$$

21. Визначаємо K_{poz1} і K_{poz2} :

$$\begin{aligned} K_{poz1} &= [(-U_{вих1} - U_{бес}) / R_1] [R_3 (\beta + 1)^2 / (U_{ax}^1 - U_{бен} - E)] = 89, \\ K_{poz2} &= [(-U_{вих1} - U_{бес}) / R_2] [R_3 (\beta + 1)^2 / (U_{ax}^1 - U_{бен} - E)] = 76. \end{aligned} \quad (3.87)$$

22. Вхідний опір елемента, коли на вході діє напруга логічного «0» $R_{ax}^0 = R_6 = 50 \text{ кОм}$.

23. Вхідний опір елемента, коли на вході діє напруга логічної «1» $R_{ax}^1 = R_3 (1 + \beta) = 31 \text{ кОм}$.

24. Вихідний опір елемента, коли на виході діє напрута логічного «0» або логічної «1»

$$R_{\text{вих}} = [R_1 R_6 / (1 + \beta)] [(R_1 / (1 + \beta)) + R_6] = 9,6 \text{ Ом}. \quad (3.88)$$

Розрахунок динамічних параметрів

1. Визначимо власний час перемикання струму в транзисторі при $f_T = 800 \text{ МГц}$

$$\tau_T = 1 / 2\pi f_T = 0,2 \text{ нс}. \quad (3.89)$$

2. Еквівалентна ємність на колекторах транзисторів

$$C_1 = (M + 1)C_k + C_{n1} + C_2 / (B + 1). \quad (3.90)$$

де M – кількість транзисторів,

C_{n1} – паразитна ємність металевих з'єднань і ізоляції транзисторів;

B – статичне значення коефіцієнта підсилення транзистора;

C_2 – ємність на виході транзистора VT₆.

$$C_2 = C_H + C_{n2}, \quad (3.91)$$

де C_H – ємність навантаження;

C_{n2} – паразитна ємність ізоляції резистора й металевих з'єднань, підключених до виходу схеми.

3. Визначимо C_2 і C_1 при $f_T = 800 \text{ МГц}$, $M = 4$, $C_k = 2 \text{ пФ}$, $C_{n1} = 1 \text{ пФ}$, $C_H = 30 \text{ пФ}$, $C_{n2} = 2 \text{ пФ}$: $C_2 = 32 \text{ пФ}$; $C_1 = 12 \text{ пФ}$.

4. Постійна часу колекторного кола логічної частини $\tau_k = R_1 C_1 = 4,38 \text{ нс}$.

5. Постійна часу колекторного кола виходу $\tau_c = R_6 C_2 = 38,4 \text{ нс}$.

6. Час досягнення вихідною напругою значення порога переключення на спаді імпульсу

$$t_c = 0,5 \tau_c U_{\text{л}} (E - U^*) = 3,5 \text{ нс}. \quad (3.92)$$

7. Час досягнення вихідною напругою значення порога перемикання при наростанні імпульсу

$$t_n = \tau_k \ln 2 = 3 \text{ нс}. \quad (3.93)$$

8. Затримка розповсюдження при увімкненні

$$t_{\text{в}}^{10} = 2\tau_0 + t_c = 3,9 \text{ нс}. \quad (3.94)$$

9. Затримка розповсюдження при вимиканні

$$t_{zp}^{01} = 2\tau_T + t_n = 3,4 \text{ нс} . \quad (3.95)$$

10. Середня затримка $t_{zp} = 0,5(t_{zp}^{01} + t_{zp}^{10}) = 3,65 \text{ нс}$.

11. Час переходу із стану «1» у стан «0» $t_{10} = 2t_c = 7 \text{ нс}$.

12. Час переходу зі стану «0» у стан «1» $t_{01} = 2t_n = 6 \text{ нс}$.

13. Робота перемикачів $A_{пер} = t_{zp} P_{сер} = 292 \text{ пДж}$.

3.3 Пристрої узгодження та перетворення рівнів і їх розрахунок

Перетворювачами рівнів (адаптерами, драйверами, трансляторами) називають спеціальні елементи цифрових пристроїв, що призначені для забезпечення сумісності логічних рівнів різних сімей цифрової логіки, а також для забезпечення спряження логічних пристроїв з об'єктами керування, датчиками, пристроями індикації, документування і т. д.

Крім забезпечення сумісності рівнів сигналів перетворювачі повинні задовольняти спеціальні вимоги, наприклад такі, як збереження перетворювачем порогового рівня керуючого елемента, рівнів струмів, способу кодування двійкових змінних, забезпечення заданих вимог щодо навантажувальної здатності і параметрів швидкодії.

Схеми керування виконавчим пристроєм від елементу TTL-типу

Необхідно забезпечити керування виконавчим пристроєм, що працює від напруги $U_{in} = 27 \text{ В}$ і має вхідний опір $R_{вх} = 27 \text{ В}$ при керуванні від елементів TTL-типу.

Варіант схеми даного перетворювача рівнів наведено на рис. 3.14. Пристрій являє собою ключову схему з комбінацією транзисторів n-p-n і p-n-p-типів. Обидва транзистори кремнієві.

Схема працює таким чином: при рівні «0» на виході керуючого елемента TTL-типу обидва транзистори закриті, струм, що тече через вхідний опір виконавчого пристрою, дуже малий (зворотний колекторний струм закритого транзистора T2), тобто на вхід виконавчого пристрою подається сигнал з рівнем «0». При рівні «1» на виході елемента TTL-типу обидва транзистори відкриті і насичені, на вхідному опорі виконавчого пристрою розсіюється напруга, що приблизно дорівнює напрузі живлення, тобто подається сигнал з рівнем «1». Для струму навантаження

$$I_n = I_{кн2} , \quad (3.96)$$

де $I_{кн2}$ – колекторний струм насичення транзистора Т2, можна записати:

$$I_n = I_{кн2} = (U_{in} - U_{кен2}) / R_{екс2}. \quad (3.97)$$

Якщо вважати, що $U_{кен2} = 0.3B$, то із (3.97):

$$I_n = I_{кн2} = (27 - 0,3) / 10^3. \quad (3.98)$$

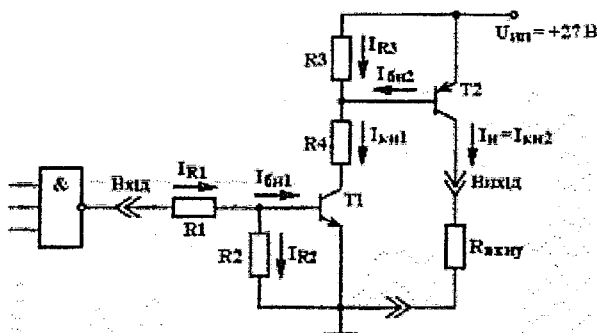


Рисунок 3.14 – Схема перетворювача рівнів елемента ТТЛ-типу у високий рівень

Нехай у вибраного типу транзистора Т2 мінімальне значення коефіцієнта підсилення за струмом $\beta_{\min} = 20$, тоді, приймаючи, що коефіцієнт насичення транзистора Т2 $K_{нас} = 1,5$, знайдемо значення струму бази:

$$I_{бн2} = I_{кн2} \cdot K_{нас} / \beta_{\min}, \quad (3.99)$$

$$I_{бн2} = 26,7 \cdot 1,5 / 20 = 2mA.$$

Значення струму I_{R3} через резистор $R3$, що шунтує перехід база-емітер транзистора Т2 і утримує цей транзистор в закритому стані (коли на виході керуючого елемента ТТЛ-типу рівень «0»), вибирається в межах $5 \pm 20\%$ від струму бази насиченого транзистора Т2. Нехай

$$I_{R3} = 0,1 \cdot I_{бн2}, \quad (3.100)$$

$$I_{R3} = 0,1 \cdot 2 = 0,2mA.$$

Оскільки транзистор Т2 насичений, то між виводами бази і емітера діє напруга $U_{бен2}$. Ця величина наводиться у довідниках для певного режиму, орієнтовно вона складас $0,7 \pm 1,0 B$. Приймаємо $U_{бен2} = 0,75B$, знаходимо опір:

$$R_3 = U_{бен2} / I_{R3}, \quad (3.101)$$

$$R_3 = 0,75 / 0,2 = 3,75k\Omega.$$

Округляємо значення резистора R_3 до найближчого меншого стандартного номінального значення. Номінальне значення вибирається із ряду Е24 випущених промисловістю резисторів.

Номінальні значення опорів резисторів повинні відповідати коефіцієнтам відповідного ряду, чи числам, отриманим шляхом зменшення чи ділення цих чисел на 10^n , де n — ціле додатне чи від'ємне число.

Відповідно до вищенаведеного $R_3 = 3,6 \text{ кОм}$.

Очевидно, що

$$I_{\text{кв1}} = I_{\text{бв2}} + I_{R3}, \quad (3.102)$$

$$I_{\text{кв1}} = 2 + 0,2 = 2,2 \text{ мА}.$$

Оскільки транзистор Т1 насичений, то можна визначити опір R_4 :

$$R_4 = (U_{\text{ін}} - U_{\text{бев2}} - U_{\text{кв1}}) / I_{\text{кв1}}, \quad (3.103)$$

$$R_4 = (27 - 0,75 - 0,3) / 2,2 = 11,8 \text{ кОм}.$$

Округляємо значення R_4 до найближчого меншого стандартного номінального значення 11 кОм: $R_4 = 11 \text{ кОм}$.

Прийнявши для транзистора Т1 $\beta_{\text{мін}} = 20$ і $K_{\text{нас}} = 1,5$, визначаємо струм бази насиченого транзистора Т1:

$$I_{\text{бв1}} = I_{\text{кв1}} K_{\text{нас}} / \beta_{\text{мін}}, \quad (3.104)$$

$$I_{\text{бв1}} = 2,2 \cdot 1,5 / 20 = 0,165 \text{ мА}.$$

Прийнявши $I_{R2} = 0,1 \cdot I_{\text{бв1}} = 0,1 \cdot 0,165 \text{ мА}$, а $U_{\text{бев1}} = 0,75 \text{ В}$, знайдемо опір R_2 :

$$R_2 = U_{\text{бев1}} / I_{R2}, \quad (3.105)$$

$$R_2 = 0,75 / 0,0165 = 45,4 \text{ кОм}.$$

Округляємо значення R_2 до найближчого меншого стандартного номінального значення, $R_2 = 43 \text{ кОм}$.

Оскільки значення R_2 досить велике, необхідно перевірити умову надійного запирання транзистора Т1 при відімкненому керуючому елементі (допускаємо, що зв'язок здійснюється через роз'ємне з'єднання). Ця умова записується у вигляді:

$$I_{\text{кбо}} R_2 < U_{\text{бев}}, \quad (3.106)$$

де $I_{\text{кбо}}$ — зворотний тепловий струм колекторного переходу;

$U_{\text{бев}}$ — напруга на переході база-емітер, при якій транзистор починає відкриватись.

Приймаємо $I_{\text{кбо}} = 8 \text{ мкА}$, $U_{\text{бев}} = 0,5 \text{ В}$

За формулою (3.113)

$$8 \cdot 10^{-6} \cdot 43 \cdot 10^3 = 0,344 \text{ В} < 0,5 \text{ В}.$$

При такій напрузі на переході база-емітер транзистор Т1 надійно закритий.

Уточнюємо значення струму I_{R2} :

$$I_{R2} = 0,75 / 43 \cdot 10^{-3} = 0,017 \text{ мА}.$$

Визначаємо струм через резистор R_1 :

$$I_{R1} = I_{\text{бв1}} + I_{R2}, \quad (3.107)$$

$$I_{R1} = 0,165 + 0,017 = 0,1824 \text{ мА}.$$

Замінивши вихідне коло закритого елемента ТТЛ-типу еквівалентною ЕРС $E_{ТТЛ} = 3,6 \text{ В}$ з вхідним опором $R_{ТТЛ} = 100 \text{ Ом}$

$$R_1 = (E_{ТТЛ} - U_{вх1}) I_{R1} - R_{ТТЛ}. \quad (3.108)$$

Обчислимо R_1 :

$$R_1 = (3,6 - 0,75) 0,1824 \cdot 10^{-3} - 100 = 15,525 \text{ кОм}.$$

Округляємо значення R_1 до найближчого меншого стандартного номінального значення, $R_1 = 15 \text{ кОм}$.

Напруга на виході керуючого елемента:

$$U_{вх} = E_{ТТЛ} - I_{R1} R_{ТТЛ}. \quad (3.109)$$

$$U_{вх} = 3,6 - 0,1824 \cdot 10^{-3} \cdot 100 = 3,58 \text{ В}.$$

Це говорить про те, що керуючий ТТЛ-елемент може працювати не тільки на перетворення рівнів, але і на інші елементи ТТЛ-типу.

Схема керування виконавчим пристроєм від елемента ЕЗЛ-типу

Необхідно забезпечити керування виконавчим пристроєм, що спрацьовує від напруги $U_{in} = -12 \text{ В}$ і має вхідний опір $R_{вх\text{из}} = -12 \text{ В}$ при керуванні від елемента ЕЗЛ-типу з $U_{вх}^0 = -1,7 \text{ В}$ і $U_{вх}^1 = -0,9 \text{ В}$.

Варіант схеми даного перетворювача рівнів наведено на рис. 3.15. Схема працює на принципі перемикання струму і використовується в тих випадках, коли логічний перепад рівнів сигналу може складати частку вольт.

При рівні «0» на неінверсному виході керуючого елемента ЕЗЛ-типу транзистор Т2 закрий, а транзистор Т1 відкритий високим рівнем, що відповідає логічний «1» з інверсного виходу. Потенціал бази транзистора Т3 високий, відповідно, транзистор Т3 закритий, струм через вхідний опір виконавчого пристрою не протікає, тобто подається логічний сигнал з рівнем «0».

При рівні «1» на неінверсному виході керуючого елемента транзистор Т2 відкривається, а транзистор Т1 закривається низьким рівнем, що відповідає логічному «0» з інверсного виходу. Потенціал колектора транзистора Т2, а відповідно, і бази транзистора Т3, зменшується. Транзистор Т3 відкривається, на вхідному опорі виконавчого пристрою виділяється напруга приблизно рівна напрузі живлення, тобто подається логічний сигнал з рівнем «1».

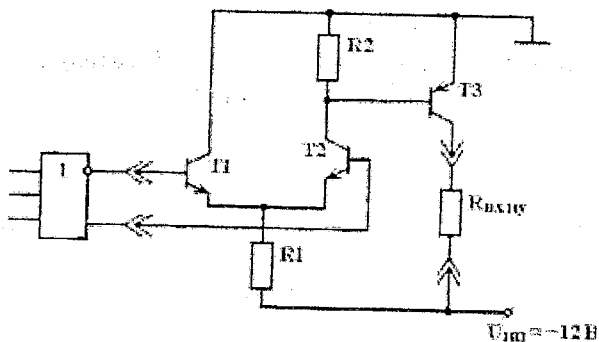


Рисунок 3.15 – Схема перетворювача рівнів елемента ЕЗЛ-типу у високий рівень

Для струму навантаження:

$$I_n = I_{кн3}, \quad (3.110)$$

де $I_{кн3}$ – колекторний струм насичення транзистора ТЗ, можна записати:

$$I_n = I_{кн3} = (U_{ит} - U_{кел3}) R_{вх.лч}. \quad (3.111)$$

Якщо вважати, що $U_{кел3} \approx 0,3В$, то із (3.110):

$$I_n = I_{кн3} = (-12 - 0,3)/10^3 = 11,7 мА.$$

Нехай у вибраного типу транзистора мінімальне значення коефіцієнта підсилення за струмом $\beta_{\min} = 20$, тоді, приймаючи коефіцієнт насичення транзистора ТЗ $K_{нас} = 1,5$, знайдемо значення струму бази:

$$I_{бн3} = I_{кн3} \cdot K_{нас} / \beta_{\min}, \quad (3.112)$$

$$I_{бн3} = 11,7 \cdot 1,5 / 20 = 0,88 мА.$$

Прийmemo $I_{R3} = 0,88 мА$, тоді

$$R2 = U_{бел2} / I_{R2}, \quad (3.113)$$

$$R2 = 0,7 / 0,88 = 0,795 кОм.$$

Округляемо значення $R2$ до найближчого меншого стандартного номінального значення, $R2 = 0,75 кОм$.

Уточнюемо величину струму I_{R2} :

$$I_{R2} = U_{\text{бес}2} / R_2, \quad (3.114)$$

$$I_{R2} = 0,7 / 0,75 \cdot 10^3 = 0,93 \text{ мА}.$$

Перемикальний струм колектора транзистора Т2:

$$I_{\kappa T2} = I_{R2} + I_{\text{бес}3}, \quad (3.115)$$

$$I_{R2} = 0,93 + 0,88 = 1,81 \text{ мА}.$$

Визначимо R_1 :

$$R1 = (U_m - U_{\text{ес}T2} - U_{\text{ес}2}^1) / (1 + \beta_{\text{min}}) \cdot I_{\kappa T2} / \beta, \quad (3.116)$$

$$R1 = (-12 - (-0,7) - (-0,9B)) / (1 + 20) \cdot 1,81 / 20 = 5,47 \text{ кОм}.$$

Округляємо значення R_1 до найближчого меншого стандартного номінального значення, $R_1 = 5,1 \text{ кОм}$.

Схема перетворення рівнів керуючого пристрою в рівні елементів ТТЛ-типу

Необхідно розробити перетворювач рівнів $U^0 = 0B$ і $U^1 = -6B$ в рівні елементів ТТЛ-типу, причому до виходу перетворювача повинно підключатись 10 елементів ТТЛ-типу. Відомо, що на виході керуючого елемента стоїть простий інвертор на транзисторі р-п-р-типу, в колекторі якого включено резистор 1 кОм, а живлення $U_{\text{вн}1} = -6B$. Транзистор працює чи в режимі насичення, чи в режимі відсічки. Схема такого перетворювача рівнів наведена на рис. 3.15.

Схема працює таким чином: коли транзистор Т1 знаходиться в режимі відсічки, параметри схеми забезпечують такий же режим для транзистора Т2. У цьому випадку на виході діє високий потенціал, чи рівень логічної «1». Коли транзистор Т1 насичений, параметри схеми забезпечують такий же режим і для транзистора Т2. На виході схеми діє низький потенціал, чи рівень логічного «0».

Мінімальне значення опору R_4 визначається, виходячи із допустимого струму колектора $I_{\text{кдоп}}$ транзистора Т2. Нехай $I_{\text{кдоп}} = 20 \text{ мА}$.

Тоді:

$$I_{\text{кнас}2} = I_{R4} + K_{\text{роз}} I_{\text{ас}}^0. \quad (3.117)$$

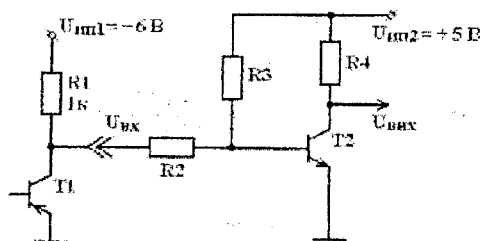


Рисунок 3.15 – Схема перетворювача рівнів в рівні елементів ТТЛ-типу

Замінивши в (3.117) $I_{нас2}$ на $I_{дон}$ і підставивши значення $K_{роз} = 10$, $I_{ex}^0 = 1,6 \text{ мА}$, знайдемо:

$$I_{R4\max} = I_{дон} - K_{роз} I_{ex}^0, \quad (3.118)$$

$$I_{R4\max} = 20 - 10 \cdot 1,6 = 4 \text{ мА}.$$

Визначаємо:

$$R_{4\min} = (U_{in2} - U_{кнас2}) / I_{R4\max}, \quad (3.119)$$

$$R_{4\min} = (5 - 0,3) / 4 \approx 1,17 \text{ кОм}.$$

Максимальне значення опору R_4 визначається, виходячи із забезпечення допустимого рівня U_{ex}^1 в найгірших умовах. Коли транзистор T2 знаходиться в режимі відсічки,

$$U_{ex}^1 = U_{in2} - R_4 K_{роз} I_{ex}^1. \quad (3.120)$$

Визначаємо

$$R_{4\max} = (U_{in2} - U_{ex}^1) / (K_{роз} I_{ex}^1). \quad (3.121)$$

Підставляючи значення, $I_{ex}^1 = 0,04 \text{ мА}$, $U_{ex}^1 = 3,6 \text{ В}$, $K_{роз} = 10$ В (3.121), отримаємо:

$$R_{4\max} = (5 - 3,6) / 10 \cdot 0,04 = 3,5 \text{ кОм}.$$

Обираємо найменше номінальне значення резистора R_4 , що задовольняє вимоги (3.119) і (3.121), $R_4 = 1,2 \text{ кОм}$.

Уточнюємо величину $I_{к нас2}$:

$$I_{к нас2} = (U_{in2} - U_{к нас2}) / R_4 + K_{роз} I_{ex}^0, \quad (3.122)$$

$$I_{K_{нас2}} = (5 - 0,3) / 1,2 \cdot 10^3 + 10 \cdot 1,6 \cdot 10^{-3} = 20 \text{ мА}.$$

Прийнявши $\beta = 20$ і $K_{нас} = 1,5$ для транзистора Т2, знайдемо:

$$I_{б_{нас2}} = K_{нас} I_{K_{нас2}} / \beta, \quad (3.123)$$

$$I_{б_{нас2}} = 15 \cdot 20 / 20 = 1,5 \text{ мА}.$$

Для струмів I_{R3} і I_{R2} можна записати співвідношення:

$$I_{R3} = (U_{in2} - U_{бенас2}) / R_3, \quad (3.124)$$

$$I_{R3} = (5 - 0,7) / R_3 = 4,3 / R_3,$$

$$I_{R2} = (U_{бенас2} - U_{кена1}) / R_2, \quad (3.125)$$

$$I_{R3} = (0,7 - (-0,3)) / R_2 = 1 / R_2,$$

$$I_{б_{нас2}} = I_{R3} - I_{R2}, \quad (3.126)$$

Із (3.126) отримаємо перше рівняння, що пов'язує R_2 і R_3 :

$$4,3 / R_3 - 1 / R_2 = 1,5 \cdot 10^{-3}. \quad (3.127)$$

Розглянемо режим, в якому обидва транзистори знаходяться в режимі відсічки. Транзистор Т2 закритий, якщо $|U_{закр}| \geq |U_{від}|$, де $U_{від}$ — напруга відсічки. Для кремнієвого транзистора $U_{від} \approx 0,5 \text{ В}$. Для надійного запирання транзистора Т2 приймаємо $U_{закр} = -0,1 \text{ В}$ і складаємо друге рівняння для визначення R_2 і R_3 :

$$U_{б2} = U_{закр} = U_{in2} - (U_{in2} - U_{in1}) \cdot R_3 / (R_1 + R_2 + R_3). \quad (3.128)$$

Прийнявши $U_{закр} = -0,1 \text{ В}$ і підставивши у вираз (3.128) числові значення, після спрощення отримаємо:

$$R_2 = 1,16 R_3 - 10^3. \quad (3.129)$$

Розв'язуючи разом (3.127) і (3.129) знайдемо, що $R_2 = 1 \text{ кОм}$, $R_3 = 1,74 \text{ кОм}$.

Округлюємо значення R_2 і R_3 до найближчих номінальних значень резисторів $R_2 = 1 \text{ кОм}$, $R_3 = 1,8 \text{ кОм}$.

З (3.128) перевіряємо $U_{закр}$ на базі транзистора Т2:

$$U_{закр} = 5 - (5 - (-6)) \cdot 1,8 \cdot 10^3 / (10^3 + 10^3 + 1,8 \cdot 10^3) = -0,2 \text{ В}.$$

Таким чином, надійне запирання транзистора Т2 забезпечується.



- Метод струмових графів для реалізації заданої логічної функції.
- Які елементи відносяться до ПСФЕ?
- Умовні позначення ПСФЕ.
- Основні компоненти методу струмових графів.
- Операція імплікації.
- Синтез цифрових схем на біполярних транзисторах.
- Особливості синтезу схем ЕЗЛ.
- Синтез багатоступеневих ЕЗЛ-схем.
- Синтез КМОН-схем.
- Порядок розрахунку логічного ТТЛ-елемента.
- Порядок розрахунку логічного ЕЗЛ-елемента.
- Порядок розрахунку логічного КМОН-елемента.
- Порядок розрахунку схеми керування виконавчим пристроєм від елемента ТТЛ-типу.
- Порядок розрахунку схеми керування виконавчим пристроєм від елемента ЕЗЛ-типу.
- Порядок розрахунку схеми перетворення рівнів керуючого пристрою в рівні елементів ТТЛ-типу.



4 ІНТЕГРАЛЬНІ МІКРОСХЕМИ: ЗАГАЛЬНІ ВІДОМОСТІ, КЛАСИФІКАЦІЯ

4.1 Основні поняття інтегральних мікросхем

Інтегральна (мікро)схема (ІС, ІМС) – електронна схема довільної складності, виготовлена на напівпровідниковому кристалі (чи плівці) і розміщена в нероз'ємний корпус, чи без нього, у випадку входження в склад мікрозбірки.

За технологією виготовлення ІМС поділяються:

- **Напівпровідникові мікросхеми** – усі елементи і міжелементні з'єднання виконані на одному напівпровідниковому кристалі (наприклад, сіліцію, германію, арсеніду галію).

- **Плівкові мікросхеми** – усі елементи і міжелементні з'єднання виконані у вигляді плівок: товсто плівкова інтегральна схема; тонко плівкова інтегральна схема.

- **Гібридні мікросхеми** – крім напівпровідникового кристалу містить кілька безкорпусних діодів, транзисторів та (або) інших електронних компонентів, що вміщені в один корпус.

За видом оброблюваного сигналу ІМС поділяються на:

- **Аналогові схеми** – вхідні і вихідні сигнали змінюються за законом неперервної функції в діапазоні від позитивної до негативної напруги живлення: операційні підсилювачі, компаратори, генератори сигналів, фільтри, аналогові помножувачі і аналогові атенуатори, регульовані підсилювачі, стабілізатори джерел живлення, мікросхеми керування імпульсних блоків живлення, перетворювачі сигналів, схеми синхронізації, різноманітні датчики (температури та ін.).

- **Цифрові схеми** – вхідні і вихідні сигнали можуть мати два значення: логічний нуль чи логічна одиниця, кожному із яких відповідають певний діапазон напруги: логічні елементи, тригери, лічильники, регістри, буферні перетворювачі, шифратори, дешифратори, цифрові компаратори, мультиплексори, демультиплексори, суматори, напівсуматори, ключі арифметико-логічних пристроїв (АЛП), мікроконтролери, мікропроцесори, мікросхеми та модулі пам'яті ПЛІС (програмовані логічні інтегральні схеми).

- **Аналогово-цифрові** суміщають у собі форми цифрової та аналогової обробки сигналів. З розвитком технологій отримують все більше поширення.

Мінімальний склад комплекту інтегральних мікросхем, що необхідний для вирішення певного кола апаратних задач, називається *базовим*.

В останні роки в класифікацію ІС вводяться нові поняття: мікросхеми загального призначення, замовні і напівзамовні.

Замовна мікросхема – мікросхема, розроблена на основі стандартних і (або) спеціально створених елементів, вузлів за функціональною схемою замовника та призначена для певної радіоелектронної апаратури (РЕА).

Напівзамовна інтегральна мікросхема – мікросхема, розроблена на основі базових кристалів (у тому числі матричних).

Аналогові і цифрові інтегральні мікросхеми розробляються і випускаються підприємствами-виробниками у вигляді серій. Кожна серія відрізняється ступенем комплектності і містить кілька мікросхем; які, у свою чергу, поділяються на типономінали. До серії мікросхем відносять сукупність типів мікросхем, які можуть виконувати різні функції, але мають єдине конструктивно-технологічне виконання і призначені для спільного застосування. Як правило, з плином часу склад перспективних серій розширюється.

Тип інтегральної мікросхеми – інтегральна мікросхема конкретного функціонального призначення і певного конструктивно-технологічного і схемотехнічного рішення, має своє умовне позначення.

Група типів мікросхем – сукупність типів мікросхем у межах однієї серії, що мають аналогічні функціональні призначення і принцип дії, властивості яких описуються однаковими чи близьким складом електричних параметрів.

4.2 Корпуси та маркування логічних елементів

Для зображення електронних пристроїв й їхніх вузлів застосовується три основних типи схем: принципова схема; структурна схема; функціональна схема. Розрізняються вони своїм призначенням й ступенем деталізації зображення пристроїв.

Всі вузли, блоки, частини, елементи, мікросхеми вказуються у вигляді прямокутників з відповідними написами. Всі зв'язки між ними, всі передані сигнали зображуються у вигляді ліній, що з'єднують ці прямокутники. Входи повинні бути розташовані на лівій стороні прямокутника, виходи – на правій стороні, хоча це правило часто порушують, коли необхідно спростити рисунок схеми. Виходи й зв'язки живлення, як правило, не прорисовують, якщо, не використовуються нестандартні включення елементів схеми. На рис. 4.1 – найзагальніші правила, що стосуються будь-яких схем.

Для позначення полярності сигналу на схемах використовується правило: якщо сигнал негативний, то перед його назвою ставиться знак мінус, наприклад, -WR або -OE, або ж (рідше) над назвою сигналу ставиться лінія. Якщо таких знаків немає, то сигнал вважається позитивним. Для назв сигналів звичайно використовуються латинські букви, що являють собою ско-

рочення англійських слів, наприклад, WR - сигнал запису (від "write" - "писати").

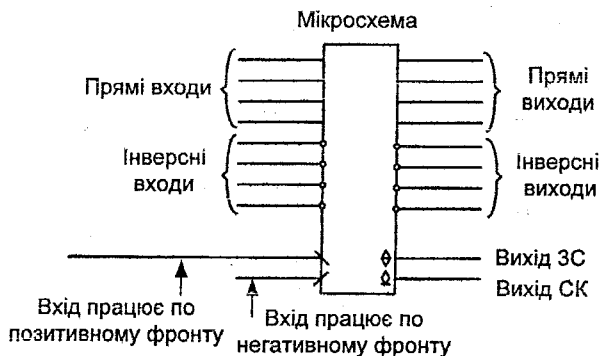


Рисунок 4.1 – Позначення входів і виходів

Інверсія сигналу позначається кружечком на місці входу або виходу. Існують інверсні входи й інверсні виходи.

Якщо якась мікросхема виконує функцію по фронту вхідного сигналу, то на місці входу ставиться похила риска (під кутом 45°), причому нахил вправо або вліво визначається тим, позитивний або негативний фронт використовується в цьому випадку. Тип виходу мікросхеми позначається спеціальним значком: вихід ЗС - перекреслення ромбом, а вихід ВК - підкреслення ромбом. Стандартний вихід (2С) ніяк не позначається. Якщо в мікросхеми необхідно вказати неінформаційні виводи, тобто виводи, що не є ні логічними входами, ні логічними виходами, то такий вихід позначається похилим хрестом (дві перпендикулярні лінії під кутом 45°). Це можуть бути, наприклад, виходи для підключення зовнішніх елементів (резисторів, конденсаторів) або виходи живлення (рис. 4.2).

У схемах передбачаються також спеціальні позначення для шин (рис. 4.3). На структурних і функціональних схемах шини позначаються товстими лініями або подвійними стрілками, причому кількість сигналів, що входять у шину, вказується поруч із похилою рисою, що перетинає шину.

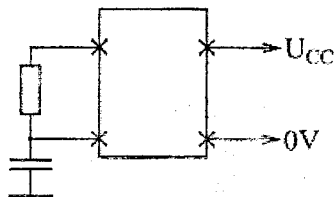


Рисунок 4.2 – Позначення неінформаційних виводів

На принципових схемах шина теж позначається товстою лінією, а вхідні в шину й вихідні із шини сигнали зображуються у вигляді перпендикулярних до шини тонких ліній із вказанням їхнього номера або назви. При передачі по шині двійкового коду нумерація починається з молодшого розряду коду.

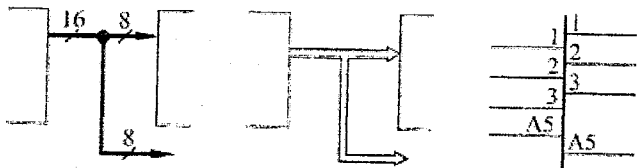


Рисунок 4.3 – Позначення шин

При зображенні мікросхем використовуються скорочені назви вхідних і вихідних сигналів, що відображають їхню функцію. Ці назви розташовуються поруч із відповідним виводом. Також на зображенні мікросхем вказується виконувана ними функція (звичайно в центрі вгорі). Зображення мікросхеми іноді поділяють на три вертикальні поля. Ліве поле ставиться до вхідних сигналів, праве – до вихідних сигналів. У центральному полі міститься назва мікросхеми й символи її особливостей. Неінформаційні виходи можуть указуватися як на лівому, так і на правому полі; іноді їх показують на верхній або нижній стороні прямокутника, що зображує мікросхему.

У табл. 4.1 наведені деякі позначення сигналів і функцій мікросхем, що найбільш часто зустрічаються. Мікросхема в цілому позначається на схемах буквами DD (від англійського "digital" - "цифровий") з відповідним номером, наприклад, DD1, DD20.1, DD38.2 (після крапки вказується номер елемента або вузла усередині мікросхеми).

На сьогодні дуже поширеними є мікросхеми ТТЛ-логіки. Як приклад розглянемо систему позначень фірми Texas Instruments. Повне позначення складається із шести елементів.

1. Ідентифікатор фірми SN (для серій AC й ACT відсутній).
2. Температурний діапазон (тип сімейства):
 - 74 - комерційні мікросхеми (температура навколишнього середовища для біполярних мікросхем - 0...70°C, для КМОН мікросхем - -40...+85°C),
 - 54 - мікросхеми військового призначення (температура - -55...+125°C).
3. Код серії (до трьох символів):
 - Відсутній - стандартна ТТЛ-серія.
 - LS (Low Power Schottky) - малопотужна серія ТТЛШ.
 - S (Schottky) - серія ТТЛШ.
 - ALS (Advanced Schottky) - поліпшена серія ТТЛШ.
 - F (FAST) - швидка серія.

- HC (High Speed CMOS) - високошвидкісна КМОН-серія.
- HCT (High Speed CMOS with TTL inputs) – серія HC, сумісна по входу із TTL.
- AC (Advanced CMOS) – поліпшена серія КМОН.
- ACT (Advanced CMOS with TTL inputs) – серія AC, сумісна по входу із TTL.
- BCT (BiCMOS Technology) – серія з БіКМОН-технологією.
- ABT (Advanced BiCMOS Technology) – поліпшена серія з БіКМОН-технологією.
- LVT (Low Voltage Technology) – серія з низькою напругою живлення.

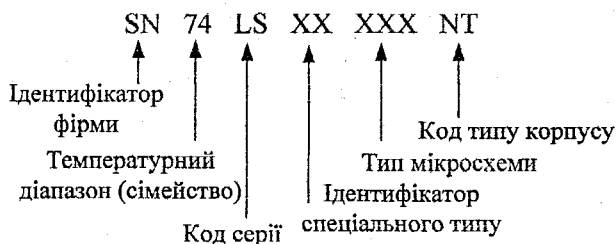


Рисунок 4.4 – Система позначень фірми Texas Instruments

4. Ідентифікатор спеціального типу (2 символи) - може бути відсутнім.
5. Тип мікросхеми (від двох до шести цифр). Перелік деяких типів мікросхем наведений у додатку.
6. Код типу корпусу (від одного до двох символів) - може бути відсутнім. Наприклад, N - пластмасовий корпус DI (DI), J - керамічний DI (DI), T - плоский металевий (рис. 4.4).

Приклади позначень: SN74ALS373, SN74ACT7801, SN7400.

- SN74/SN54 - стандартна - 1963р.;
- SN74H/SN54H - High speed - швидкодіюча - 1967р.;
- SN74L/SN54L - Low power - малопотужна - 1967р.;
- SN74S/SN54S - з використанням діодів Шоттки - 1969р.;
- SN74LS/SN54LS - Low power Schottky - малопотужна з використанням діодів Шоттки - 1971р.;
- SN74AS/SN54AS - Advanced Schottky - удосконалена з використанням діодів Шоттки - 1982р.;
- SN74ALS/SN54ALS - Advanced Low power Schottky - удосконалена малопотужна з використанням діодів Шоттки - 1980р.
- SN74F/SN54F - Fairchild's Advanced Schottky TTL - удосконалена з використанням діодів Шоттки фірми Fairchild - 1979р.;

Вітчизняна система позначень мікросхем відповідних аналогів відрізняється від розглянутої досить істотно (рис. 4.5.).

Таблиця 4.1 – Позначення сигналів і функцій мікросхем

Позначення	Назва	Призначення
&	And	Елемент І
=1	Exclusive Or	Елемент Виключне АБО
1	Or	Елемент АБО
A	Address	Адресні розряди
BF	Buffer	Буфер
C	Clock	Тактовий сигнал (строб)
CE	Clock Enable	Дозвіл тактового сигналу
CT	Counter	Лічильник
CS	Chip Select	Вибір мікросхеми
D	Data	Розряди даних, дані
DC	Decoder	Дешифратор
EZ	Enable, Z-state	Дозвіл третього стану
G	Generator	Генератор
I	Input	Вхід
I/O	Input/Output	Вхід/Вихід
OE	Output Enable	Дозвіл виходу
MS	Multiplexer	Мультиплексор
Q	Quit	Вихід
R	Reset	Скид (установка в нуль)
RG	Register	Регістр
S	Set	Установка в одиницю
SUM	Summator	Суматор
T	Trigger	Тригер
TC	Terminal Count	Закінчення лічби
Z	Z-state	Третій стан

схеми, крапка біля першого вивода або стовплення першого вивода (рис. 4.7). Перший вивід може знаходитися в лівому нижньому або в правому верхньому куті. Мікросхеми мають стандартне число виводів з ряду: 4, 8, 14, 16, 20, 24, 28,... і т. д. Для мікросхем стандартних цифрових серій використовуються корпуси з кількістю виводів, починаючи з 14.

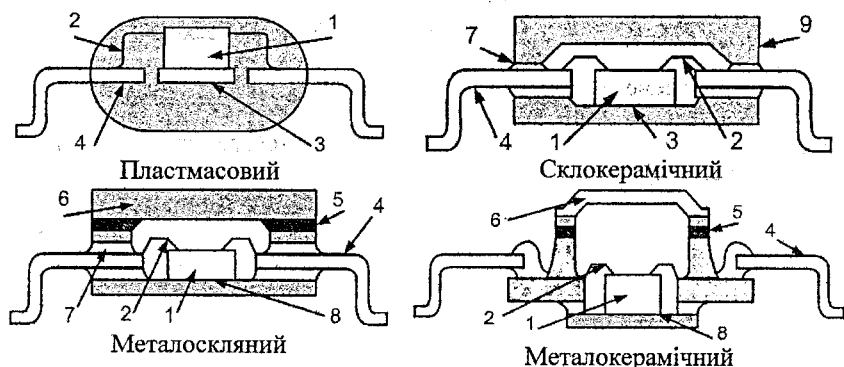


Рисунок 4.6 – Конструкції корпусів.

1 – кристал ІМС, 2 – дрові провідники, 3 – кристалотримач, 4 – виводи, 5 – низькотемпературний припій, 6 – кришка корпуса, 7 – скло (склоприпій), 8 – монтажна площадка, 9 – основа корпуса

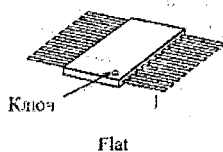
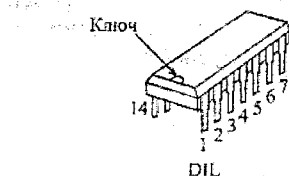


Рисунок 4.7 – Приклади корпусів DI й Flat

Вітчизняні мікросхеми випускаються в корпусах, дуже схожих на DI й Flat, але відстані між їхніми виводами обчислюються за метричною шкалою й тому відрізняються від прийнятих за кордоном. Наприклад, 2,5 мм замість 2,54 мм, 1,25 мм замість 1,27 мм і т.д. Для корпусів з малим числом виводів (до 20) це не суттєво, але для більших корпусів розбіжність у відстані може стати істотною. У результаті на плату, розраховану на закордонні мікросхеми, не можна поставити вітчизняні мікросхеми, і навпаки.

4.3 Параметри серій мікросхем

Параметри серій ТТЛ

Перша серія ІС була виготовлена на транзисторних схемах з безпосереднім зв'язком. Далі були розроблені серії ІС на основі резистивно-транзисторної і діодно-транзисторної технологій. Ці серії не отримали широкого розповсюдження, оскільки трохи пізніше була розроблена досконаліша технологія ІС – транзисторно-транзисторна логіка. Особливістю даної технології є використання на входах ІС багатоемітерних транзисторів.

В таблиці 4.2. наведено відповідність основних вітчизняних та зарубіжних серій ІС, виготовлених за технологією ТТЛ. Серії SN54, SN74 та SN84 відрізняються тільки температурним діапазоном, допустимою величиною відхилення напруги джерела живлення від номіналу і типом корпусу. Серія SN54 призначена для військових застосувань (має більші допуски), а серія SN74 – для промислового застосування. Інтегральні схеми цих серій мають однакові чи близькі статичні та динамічні параметри, тому в подальшому будуть розглядатись мікросхеми серії SN74. Всі серії, наведені в таблиці сумісні за рівнями входних і вихідних сигналів, тобто в одному пристрої можна використовувати ІС різних серій без додаткових узгоджувальних елементів, що перетворюють рівні сигналів. При цьому необхідно враховувати взаємну навантажувальну здатність ІС різних серій.

В табл. 4.3 наведені основні статичні параметри серій ТТЛ-мікросхем, виробництва Texas Instruments. В табл. 4.4. наведені гранично допустимі значення параметрів ІС серій SN74.

Таблиця 4.2 – Відповідність вітчизняних та зарубіжних серій ІС

Серія ІС		Серія ІС	
Вітчизняна	Зарубіжна	Вітчизняна	Зарубіжна
155	SN74	133	SN54
158	SN74L	136	SN54L
131	SN74H	130	SN54H
555	SN74LS	533	SN54LS
531	SN74S	530	SN54S
KP1533	SN74ALS	1533	SN54ALS
KP1531	SN74F	1531	SN54F

Серії ІС розшифровуються таким чином:

SN74/SN54 - стандартна - 1963р.;

SN74H/SN54H - High speed - швидкодіюча - 1967р.;

SN74L/SN54L - Low power - малопотужна - 1967р.;

SN74S/SN54S - з використанням діодів Шоттки - 1969р.;

SN74LS/SN54LS - Low power Schottky - малопотужна з використанням діодів Шоттки - 1971р.;

SN74AS/SN54AS - Advanced Schottky - удосконалена з використанням діодів Шоттки - 1982р.;

SN74ALS/SN54ALS - Advanced Low power Schottky - удосконалена малопотужна з використанням діодів Шоттки - 1980р.;

SN74F/SN54F - Fairchild's Advanced Schottky TTL - удосконалена з використанням діодів Шоттки фірми Fairchild - 1979р.;

Таблиця 4.3 – Основні статичні параметри серій SN74

Серія IC	$t_{з.сер.},$ нс	P, мВт/вент	$I_{вх}^1$ мКА	$I_{вх}^0$ мА	F_{max} МГц	$I_{вих}^1$ мКА	$I_{вих}^0$ мА	n	$t_{з.сер.},$ нс
SN74	10	10	40	-1.6	35	-400	16	10	100
SN74L	33	1	10	-0.18	3	-200	3.6	10	33
SN74H	6	22	50	-2	50	-500	20	10	132
SN74LS	9.5	2	20	-0.36	45	-400	8	20	19
SN74S	3	19	50	-2	125	1000	20	10	57
SN74AL	4	1	10	-0.2	50	-400	8	40	4
SN74AS	1.5	22	-	-	200	-1000	20	100	33
SN74F	2	4	20	-0.6	130		20	33	8

Таблиця 4.4 – Гранично допустимі значення параметрів IC серій SN74

Серія IC	Діапазон робочих температур, °C	Напруга живлення, В
SN54	-55...+125	4,5...5,5
SN74	0...+70	4,75...5,25
SN84	-25...+85	4,75...5,25

В табл. 4.5. наведено показники, що характеризують завадостійкість IC КМОН серій.

В табл. А.1 (див. Додаток) наведено порогові значення параметрів серії SN74.

В табл. А.2 (див Додаток) наведені час затримки, та струми високого і низького рівня сигналу мікросхем ТТЛ.

Таблиця 4.5 – Показники характеристик завадостійкості ІС КМОН серій

Тип ІС	U_{OH} тип, В	U_{OL} тип, В	U_{TH} В	ΔU_H тип, В	ΔU_L тип, В	U_{OH} мін, В	U_{IH} мін, В	U_{OL} макс, В	U_{IL} макс, В	ΔU_H В	ΔU_L В
TTL	3.4	0.2	1.2	2.2	1.0	2.4	2.0	0.4	0.8	0.4	0.4
S	3.4	0.55	1.2	2.2	0.65	2.4	2.0	0.5	0.8	0.4	0.3
LS	3.4	0.5	1.1	2.3	0.6	2.4	2.0	0.4	0.8	0.4	0.4
ALS, AS	3.2	0.35	1.4	1.8	1.05	2.4	2.0	0.5	0.8	0.4	0.3
74F	3.3	0.42	1.4	1.9	0.98	2.4	2.0	0.55	0.8	0.4	0.25

Параметри інтегральних схем КМОН-логіки

Перші КМОН ІС серії CD4000 були розроблені фірмою RCA в 1968 р. Пізніше з'явилися серії CD4000A, CD4000B, з покращеними характеристиками. Дані серії випускають багато фірм: Motorola (ІС серії MC14000B), National Semiconductor (ІС серії CD4000B), Philips Components (ІС серії HEF4000B), SGS-Ates (ІС серії HCC4000B/HCF4000B) та ін.

В табл. 4.6. наведено відповідність вітчизняних та зарубіжних серій КМОН ІС. Напругу живлення у КМОН ІС можна змінювати у широких межах – чим вища напруга живлення, тим вища швидкодія мікросхеми ІС. За виконуваними функціями і (чи) нумерацією виводів ІС серії 4000 взагалі відрізняються від ТТЛ ІС аналогічного функціонального призначення. Функціональний ряд ІС серій 54НС/74НС включає в себе частину ІС як ТТЛ серій 54/74, так і КМОН серій 4000 (ІС з однаковими номерами у всіх цих серіях мають однакове функціональне призначення і нумерацію виводів).

Таблиця 4.6 – Відповідність вітчизняних та зарубіжних серій КМОН ІС

Вітчизняні серії ІС	Зарубіжні серії ІС	Фірма	Напруга живлення, В
164, 176	CD4000	RCA	9 і 3...15
564, 561	CD4000A	RCA	3...15
KP1561	CD4000B	Motorola	3...18
1561	54НС	NS, Motorola	2...6
KP1554	74АС	Texas Instruments	3...5,5
KP1594	74АСТ	Texas Instruments	3...5,5

Різниця між серіями CD4000A і CD4000B полягає в наявності на виходах ІС останніх додаткових буферів для розв'язки ІС від зовнішнього середовища. Порівняльна характеристика цих серій наведена в табл. 4.7.

Таблиця 4.7 – Порівняльна характеристика серій CD4000A і CD4000B

Параметр	CD4000B	CD4000UB
Вихідний опір при $U_{DD} = 5B$, Ом	400	Залежить від кількості входів
Затримка розповсюдження, виміряна на рівні 50% від U_{DD} , нс	150 ($U_{DD} = 5B$) 65 ($U_{DD} = 10B$) 50 ($U_{DD} = 15B$)	60 ($U_{DD} = 5B$) 23 ($U_{DD} = 10B$) 25 ($U_{DD} = 15B$)
Коефіцієнт підсилення за змінним струмом, дБ	68	28 ($U_{DD} = 5B$) 23 ($U_{DD} = 10B$) 18 ($U_{DD} = 15B$)
Ширина полоси пропускання, кГц	230 ($U_{DD} = 5B$) 280 ($U_{DD} = 10B$) 295 ($U_{DD} = 15B$)	710 ($U_{DD} = 5B$) 885 ($U_{DD} = 10B$) 2800 ($U_{DD} = 15B$)
Вхідна ємність, пФ (тип.), пФ (макс)	1 – 2 2 – 4	2 – 3 5 – 10
Допустима величина завад, В	1 ($U_{DD} = 5B$) 2 ($U_{DD} = 10B$) 2,5 ($U_{DD} = 15B$)	0,5 ($U_{DD} = 5B$) 1 ($U_{DD} = 10B$) 1 ($U_{DD} = 15B$)

В табл. 4.8. наведені завадостійкість ІС КМОН серій та допустимі значення ІС серій SN 74. В табл. 4.9. наведені гранично допустимі значення параметрів ІС серій SN74.

Таблиця 4.8 – Завадостійкість ІС КМОН серій

Тип ІС	U_{OH} тип, В	U_{OL} тип, В	U_{TH} В	ΔU_H тип, В	ΔU_L тип, В	U_{OH} мін, В	U_{IH} мін, В	U_{OL} макс, В	U_{IL} макс, В	ΔU_H , В	ΔU_L , В
1	2	3	4	5	6	7	8	9	10	11	12

Продовження таблиці 4.8

1	2	3	4	5	6	7	8	9	10	11	12
НС	3,84	0,33	2,25	1,59	1,92	3,84	3,15	0,33	0,9	0,69	0,57
НСТ	3,84	0,33	1,3	2,54	0,97	3,84	2,0	0,33	0,8	1,84	0,47
АС	3,8	0,44	2,25	1,55	1,81	3,8	3,15	0,44	1,35	0,65	0,91
АСТ	3,8	0,44	1,5	2,39	1,05	3,8	2,0	0,44	0,8	1,8	0,36
ВСТ	3,2	0,35	1,4	1,8	1,05	2,4	2,0	0,5	0,8	0,4	0,3

Таблиця 4.9 – Гранично допустимі значення параметрів ІС серій SN74

Параметр	НС	НСТ	АС	АСТ
Напруга живлення, В	7,0	7,0	6,0	6,0
Від'ємна напруга живлення, В	-0,5	-0,5	-0,5	-0,5
Додатна напруга живлення, В	$U_{cc} + 0,5$	$U_{cc} + 0,5$	$U_{cc} + 0,5$	$U_{cc} + 0,5$
Від'ємна вхідна напруга, В	-0,5	-0,5	-0,5	-0,5
Вхідний струм, мА, (макс.)	± 20	± 20	± 20	± 20
Температурний діапазон, °C	-65... +150	-65... +150	-65... +150	-65... +150
$U_{IL \text{ макс.}}$, В	2-6	4,5-5,5	3-5,5	4,5-5,5
$U_{IH \text{ мин.}}$, В	3,15	2,0	3,15	2,0
Крутизна фронтів вхідних сигналів, нс/В	110	125	10	10

4.4 Рекомендації щодо вибору серій ІС

Розробники ІС головну увагу приділяють чотирьом параметрам, що визначають їх властивості: швидкодії, енергоспоживанню, навантажувальній здатності і допустимому рівню завад. Оскільки через взаємне протиріччя властивостей ІС неможливо розробити одну серію, що має найвищі показники всіх цих параметрів, розробники намагались створити нові сімейства ІС, що мають кращі значення будь-яких двох параметрів. Це призвело до різкого збільшення кількості випущених серій ІС, деякі із них майже не відрізняються одна від одної.

Вибір серії ІС при проектуванні цифрових пристроїв найпростіший при урахуванні тільки двох параметрів: швидкодії та споживаної потужності. Для зменшення загальної споживаної потужності в одному пристрої як правило необхідно використовувати декілька серій ІС. Задача їх оптимального вибору значно ускладнюється при урахуванні всіх чотирьох параметрів. При цьому кожний із параметрів неможливо охарактеризувати одним числом, що ще більше ускладнює проблему вибору серії ІС. Наприклад, споживана потужність характеризується трьома числами, що відповідають статичній і динамічній потужності споживання і додатковій потужності розсіювання КМОН ІС при їх взаємодії з ТТЛ ІС.

В табл. 4.10 на прикладі представлені чотири групи серій ІС: серії ACQ і ACTQ (фірма National Semiconductor) – удосконалені КМОН ІС другого покоління (сімейство CMOS), у яких особлива увага приділяється зниженню рівня шумів, серії FCTx і FCTxT, де $x = A, B, \text{чи } C$ – три градації швидкодії (фірма National Semiconductor) – друге покоління сімейства CMOS, удосконалених КМОН ІС, для яких головний наголос ставився на підвищенні швидкодії, серія FASTr (фірма National Semiconductor) – друге покоління удосконалених біполярних ТТЛ ІС, серія BCT (фірма Texas Instruments) – перше покоління БІКМОН (BICMOS) ІС.

Таблиця 4.10 – Параметри груп серій мікросхем КМОН-логіки

Серія	Технологія	Рівні вх/вих	t_{pd} , нс	I_{cc} , мА	I_{OH} / I_{OL} , мА
ACQ	КМОН	КМОН	6,0	0,08	24/24
ACTQ	КМОН	ТТЛ/КМОН	7,5	0,08	24/24
FCTx	КМОН	ТТЛ/КМОН	4,1-4,8	1,5	15/64
FCTxT	КМОН	ТТЛ	4,1-4,8	1,5	15/64
FASTR	ТТЛ	ТТЛ	3,9	50	15/64
BCT	БІКМОН	ТТЛ	5,5	10	15/64

Аналіз енергоспоживання. Для ІС всіх ТТЛ-серій і серії ВСТ потужність споживання в основному визначається статичною складовою, а її динамічна складова дуже мала. Перевага ІС серії ВСТ перед ІС серії FASTr – це набагато менше енергоспоживання в Z-стані ($I_{CCZ} = 9$ мА для серії ВСТ і 50 мА для серії FASTr). Для ІС КМОН-серій струм живлення складається із дуже незначної статичної складової, динамічної складової і із так званої складової I_{CCZ} - додаткового струму, що пов'язаний із енергоспоживанням КМОН ІС при роботі із вхідними ТТЛ-рівнями.

Аналіз швидкодії. В мікропроцесорних системах на частку інтерфейсних ІС відводиться приблизно 25% загального часу перемикання. Щоб знизити це співвідношення в системах на основі швидкодіючих RISC-процесорів, в яких команди виконуються за один такт, і мікропроцесорів сімейства 486, необхідно використовувати серії FASTr, ВСТ і FCTA. Для систем на базі мікропроцесорів серій 286 і 386 підходять серії ACQ і ACTQ.

Аналіз навантаження. За струмовою навантажувальною здатністю можливі застосування можна поділити на два типи: статичне навантаження і керування лініями передачі. Перевага за статичною навантажувальною здатністю мають серії ІС з великим вихідним струмом $I_{OL} = 64$ мА (FCTx, FASTr і ВСТ). При роботі на лінії зв'язку важливе значення має симетричність виходів (рівність вихідних струмів), тому у цьому випадку перевагу слід надати серіям ІС ACQ і ACTQ.

Аналіз завод. Всі завади можна поділити на дві групи: завади, що виникають в самій ІС і завади, що генеруються системою. Завади, що пов'язані із самою ІС, зводяться до викидів напруги на земляних шинах. Вони є наслідком перемикальних перехідних струмів, що протікають по індуктивності виводів заземлення і живлення. Завади, що створюються самою системою, завжди можна понизити до прийнятного рівня за допомогою належних методів проектування незалежно від використовуваної серії ІС.

Методика вибору серій ІС. Для вибору серій ІС, що наведені у табл. 4.11, можна використовувати блок-схему, що наведена на рис. 4.8. Вибір починається з прийняття рішення щодо пріоритетного параметру (швидкодія, енергоспоживання чи рівень завод). Далі слід визначити, який із параметрів знаходиться на другому за значимістю місці, і який – на третьому. В кожній із точок прийняття рішення блок-схема «запитує» наскільки жорсткі вимоги висуваються до даного параметра.

Якщо обирається гілка з менш жорсткими параметрами, то параметр, що залишився, оптимізується автоматично. Якщо ж рух іде за напрямом з більш жорсткими вимогами, то необхідно провести наступний вибір параметрів. На жаль всі параметри не можна оптимізувати одночасно і чим далі заходить процес оптимізації, тим вища ймовірність, що доведеться піти на компроміс відносно вибору основного параметра.

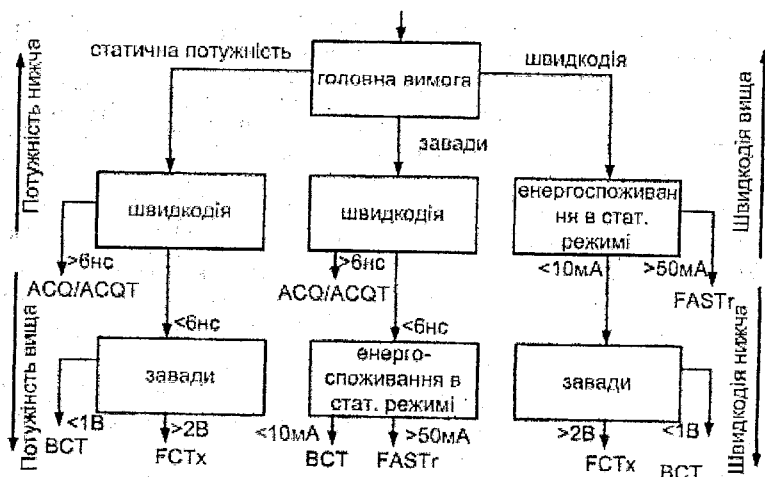


Рисунок 4.8 – Методика вибору серії ІС



ЗАПИТАННЯ

- Поняття інтегральної схеми.
- Класифікація інтегральних схем за видом оброблюваного сигналу.
- Класифікація інтегральних схем за технологією виготовлення.
- Основні умовні позначення на зображеннях інтегральних схем.
- Літерні позначення інтегральних схем.
- Вітчизняне та зарубіжне маркування ТТЛ-мікросхем.
- Корпуси інтегральних схем.
- Основні параметри серії ТТЛ-мікросхем – SN-74.
- Параметри інтегральних схем КМОН-логіки.
- Рекомендації щодо вибору серій ІС, основні положення, алгоритм.
- Позначення на схемі входів і виходів мікросхем.
- Позначення логічних елементів на схемі.
- Позначення сигналів і мікросхем.

- Маркування мікросхем ТТЛ вітчизняного виробництва.
- Маркування іноземних мікросхем ТТЛ.
- Корпуси цифрових мікросхем.

Таблиця А.1

Вітчизняна ІС	SN74	t_{PHL}/t_{PLH} , нс	I_{CCL}/I_{CCH} , мА	I_{OL}/I_{OH} , мА	Функція
155ЛА1	20	15/22	11/4	16/0.4	4І-НЕ×2
531ЛА1	S20	4.5/5	18/8	20/1	
555ЛА1	LS20	15/15	2.8/0.8	8/0.4	
1531ЛА1	F20	3.8/3.9	5.1/1.4	20/1	
1533ЛА1	ALS20	12/12	1.5/0.4	8/0.4	
155ЛА2	30	15/22	6/2	16/0.4	8І-НЕ
531ЛА2	S30	7/8	10/5	20/1	
555ЛА2	LS30	20/15	1.8/0.48	8/0.4	
1531ЛА2	F30	5/5.5	7/1.5	20/1	
1533ЛА2	ALS30	12/12	0.9/0.36	8/0.4	
155ЛА3	00	15/22	22/8	16/0.4	2І-НЕ×4
531ЛА3	S00	8/7	36/16	20/1	
555ЛА3	LS00	15/15	4/1.6	8/0.4	
1531ЛА3	F00	3.6/3.9	10.2/2.8	20/1	
1533ЛА3	ALS00	12/12	3/0.85	8/0.4	
155ЛА4	10	15/22	16.5/6	16/0.4	3І-НЕ×3
531ЛА4	S10	5/4.5	27/12	20/1	
555ЛА4	LS10	15/15	3/1.2	8/0.4	
1531ЛА4	F10	3.7/3.9	7.7/2.1	20/1	
1533ЛА4	ALS10	10/11	2.2/0.6	8/0.4	
155ЛЕ2	23	15/22	15/9	16/0.8	4АБО-НЕ×2
155ЛЕ3	25	15/22	19/16	16/0.8	4АБО-НЕ×2
155ЛЕ4	27	11/15	26/16	16/0.4	3АБО-НЕ×3
555ЛЕ4	LS27	15/15	3.3/1.5	8/0.4	3АБО-НЕ×3
155ЛЕ5	28	12/9	57/21	48/2.4	2АБО-НЕ×4
155ЛЕ6	128	12/9	57/21	48/2.4	2АБО-НЕ×4
531ЛЕ7	S260	6/5.5	45/29	20/1	5АБО-НЕ×2

Таблиця А.2

Параметр	TTL	S	LS	ALS	AS	F
Напруга живлення, В	7.0	7.0	7.0	7.0	7.0	7.0
Від'ємна напруга живлення, В	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5
Додатна вхідна напруга, В	5.5	5.5	7.0	7.0	7.0	7.0
Від'ємна вхідна напруга, В	-0.5	-0.5	-0.5	-0.5	-0.5	-1.2
Додатний вхідний струм, мА	1	1	0.1	*	*	*
Від'ємний вихідний струм, мА	-12	-18	-18	-30	-30	-30
Додатна вихідна напруга, В	V_{cc}	V_{cc}	V_{cc}	V_{cc}	V_{cc}	V_{cc}
Від'ємна вихідна напруга, В	-0.5	-0.5	-0.5	-0.5	-0.5	-0.5
Температурний діапазон, °C	-65... +150	-65... +150	-65... +150	-65... +150	-65... +150	-65... +150
Допуск по напрузі живлення, В	$\pm 5\%$	$\pm 5\%$	$\pm 5\%$	$\pm 10\%$	$\pm 10\%$	$\pm 10\%$
U_L макс, В	0.8	0.8	0.8	0.8	0.8	0.8
U_H макс, В	2.0	2.0	2.0	2.0	2.0	2.0
Крутизна фронтів вхідних сигналів, нс/В	100	50	50	15	8	8

* додатний вхідний струм не протікає.

СЛОВНИК ТЕРМІНІВ

Аналоговий сигнал – Сигнал, що може приймати будь-які значення в певних межах (наприклад, напруга може плавно змінюватися в межах від нуля до десяти вольтів).

Біт – Найменша кількість інформації, двійкова система.

Булева алгебра – Наука, що використовує математичні методи для розв'язання логічних задач.

Вхідна характеристика логічного елемента – Залежність вхідного струму від зміни напруги.

Вихідна характеристика логічного елемента – Залежність вихідної напруги від струму навантаження для станів високого і низького рівнів.

Двійкова система числення – Система числення з основою два.

Двомісна булева операція – Булева операція над двома змінними.

Диз'юнкція – Булева операція, результатом якої є значення нуля тоді і тільки тоді, коли обидва операнди мають значення нуля.

Дискретизація за часом – Перетворення функції неперервного аргументу в функцію дискретного аргументу.

Завади – Сигнали, що впливають на електронну систему ззовні та спотворюють корисний сигнал (наприклад, електромагнітні випромінювання від радіопередавачів або від трансформаторів).

Імпульсний сигнал – Сигнал, що наростає в тактовий момент, а спадає в межах даного такту.

Інверсія – Одномісна булева операція, результатом якої є значення, протилежне значенню операнда.

Інтегральна мікросхема – Мікроелектронний пристрій, з високою щільністю упакування електрорадіоелементів і з'єднань між ними.

Квантування за рівнем – Перетворення неперервної функції в дискретну множину значень

Код числа – Запис числа в будь-якій системі числення.

Кон'юнкція – Булева операція, результатом якої є значення одиниці тоді і тільки тоді, коли обидва операнди мають значення “одиниця”.

Логічний елемент – Схема, що виконує елементарну логічну операцію.

Логічна функція – Складна функція з використанням логічних зв'язок НЕ, І, АБО, і т. д.

Макстерм – Функція n змінних, що дорівнює нулю на одному наборі.

Мінтерм – Функція n змінних, що дорівнює одиниці на одному наборі.

Основа позиційної системи числення – Кількість графічних знаків, що використовуються для кодування чисел.

Передатна характеристика логічного елемента – Залежність вихідної напруги від вхідної.

Сигнал – Будь-яка фізична величина (наприклад, температура, тиск повітря, інтенсивність світла, сила струму й т. д.), що змінюється в часі.

Система числення – Сукупність цифр і правил запису цифр.

Тетрада – Чотири двійкових розряди.

Цифрова обчислювальна система – Фізична система, призначена для алгоритмічної обробки інформації, поданої сигналами.

Цифровий сигнал – Сигнал, що може приймати тільки два (іноді – три) значення з деякими відхиленнями від цих значень.

Шум – Внутрішні хаотичні слабкі сигнали будь-якого електронного пристрою.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Бабич Н. П. Основы цифровой схемотехники: учебное пособие / Бабич Н. П., Жуков И. А. – М. : Издательский дом «Додэка-XXI», К. : «МК-Пресс», 2007. – 480 с.
2. Рябенкий В. М. Цифрова схемотехніка: навч. посібник / Рябенкий В. М., Жуйков В. Я., Гулий В. Д. – Львів: «Новий світ-2000», 2009. – 736 с.
3. Бойко В. І. Основи технічної електроніки: У 2 кн. Кн.2. Схемотехніка: підручник / Бойко В. І., Гуржій А. М., Жуйков В. Я. та ін. – К. : Вища школа, 2007. – 510 с.
4. Расчет и конструирование микросхем / [Ю. Калниболотский, Ю. Королев, Г. Богдан, В. Рогоза.]. – К. : Вища школа, 1983 – 279 с.
5. Пухальский Г. И. Цифровые устройства: учебное пособие для ВТУЗов / Г. Пухальский, Т. Новосельцева. – СПб. : Политехника, 1996. – 885 с.
6. Зельдин Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре / Зельдин Е. А. – Л. : Энергоатомиздат, 1986. – 280 с.
7. Преснухин Л. Н. Расчет элементов цифровых устройств / Преснухин Л.Н., Воробьев Н. В., Шишкевич А. А. – М. : Высшая школа, 1991. – 526 с.
8. Зубчак В. И. Справочник по цифровой схемотехнике / Зубчак В. И. – К. : Техника, 1990. – 448 с.
9. Евреинова Э. В. Цифровая и вычислительная техника / Евреинова Э. В. – М. : Радио и связь, 1991. – 446 с.
10. Рицар Б. С. Цифрова техніка / Рицар Б. С. – К. : НМК ВО, 1991. – 371 с.
11. Мальцев П. П. Цифровые интегральные микросхемы: справочник / П. П. Мальцев, Н. С. Долидзе. – М. : Радио и связь, 1994. – 240 с.
12. Зубчук В. И. Справочник по цифровой схемотехнике / Зубчук В. И., Сигорский В. П., Шкуро А. Н. – К. : Техніка, 1990. – 448 с.
13. Угрюмов Е. П. Цифровая схемотехника / Угрюмов Е. П. – СПб. : БХВ-Петербург, 2004. – 528 с.
14. Агаханян Т. М. Интегральные микросхемы: учеб.пособие для ВУЗов / Агаханян Т. М. – М. : Энергоатомиздат, 1983. – 464 с.

Навчальне видання

**Білинський Йосип Йосипович
Гикавий Віктор Арсентійович
Мельничук Андрій Олександрович**

ЦИФРОВА СХЕМОТЕХНІКА

ЧАСТИНА 1

Базові поняття цифрової схемотехніки

Навчальний посібник

Редактор В. Дружиніна

Коректор З. Поліщук

Оригінал-макет підготовлено А. Мельничуком

Підписано до друку 6.05.2011 р.
Формат 29,7 × 42 ¹/₄. Папір офсетний
Гарнітура Times New Roman
Друк різнографічний. Ум друк. арк. 8.4.
Наклад 75 прим. Зам. № 2011-101

Вінницький національний технічний університет,
навчально-методичний відділ ВНТУ
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, к. 2201.
Тел. (0432) 59-87-36.
Свідоцтво суб'єкта видавничої справи
Серія ДК № 3516 від 01.07.2009р.

Віддруковано у Вінницькому національному технічному університеті
В комп'ютерному інформаційно-видавничому центрі.
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, ГНК, к.114.
Тел. (0432) 59-87-38.
Свідоцтво суб'єкта видавничої справи
Серія ДК № 3516 від 01.07.2009 р.