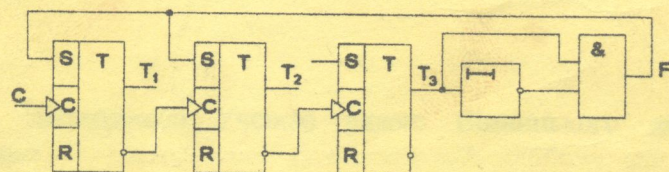
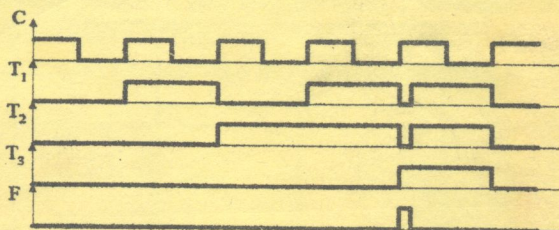


Анатолій Петух, Дем'ян Обідник

СХЕМОТЕХНІКА ЕОМ



	T_3	T_2	T_1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1



3068-6

Міністерство освіти України
Вінницький державний технічний університет

Анатолій Петух, Дем'ян Обідник

СХЕМОТЕХНІКА ЕОМ

Затверджено Ученою радою Вінницького державного технічного університету як навчальний посібник для студентів спеціальностей "Програмне забезпечення автоматизованих систем" та "Інтелектуальні системи прийняття рішень" денної та заочної форм навчання, протокол №5 від 21 січня 1999 р.

НТБ ВДТУ



3068-6

681.31(075) П 31

1999

Петух А. М. Схемотехніка ЕОМ

05

Вінницький державний технічний університет

Вінниця ВДТУ 1999

УДК 681.31

Схемотехніка ЕОМ. Навчальний посібник/ А.М.Петух, Д.Т.Обідник - В.:
ВДГУ, 1999 - 83 с. Укр.мовою

В навчальному посібнику розглянуто в рамках програми дисципліни "Схемотехніка ЕОМ" її зміст, викладені основні положення, наведені приклади і рекомендації по їх засвоєнню, приведені рекомендації по розширеному опануванню. Велика увага приділена сучасним засобам машинного моделювання схем. Приведені контрольні запитання, задачі і приклади, рекомендації щодо лабораторного практикуму і курсового проектування.

Навчальний посібник призначено для студентів спеціальностей "Програмне забезпечення автоматизованих систем" та "Інтелектуальні системи прийняття рішень" денної та заочної форм навчання.

Бібліогр. 16 назв., табл. 3, іл. 48.

Рецензенти: Азаров О.Д., доктор технічних наук
Качуровський В.Є., кандидат технічних наук



ЗМІСТ

ВСТУП	4
1. Форми зображення інформації	5
2. Логічні основи побудови елементів.....	8
3. Інтегровані системи елементів.....	14
4. Схемотехніка цифрових елементів.....	18
5. Схемотехніка комбінаційних вузлів.....	23
6. Схемотехніка цифрових вузлів.....	30
7. Схемотехніка обслуговуючих елементів.....	36
8. Схемотехніка аналогових та комбінованих вузлів.....	40
9. Джерела живлення ЕОМ.....	45
10. Перспективи розвитку схемотехніки ЕОМ.....	48
11. Моделювання цифрових пристроїв в системі PCAD.....	49
12. Моделювання цифрових пристроїв в системі OrCAD	58
ЛАБОРАТОРНИЙ ПРАКТИКУМ	69
КУРСОВЕ ПРОЕКТУВАННЯ	74
ЛІТЕРАТУРА	80
Додаток 1. Зразок титульного листа звіту про виконання лабораторної роботи	81
Додаток 2. Зразок титульного листа пояснювальної записки до курсової роботи	81
Додаток 3. Функціональне позначення деяких вузлів, які досліджуються в лабораторних роботах.....	82
Додаток 4. Зміст дисципліни "Схемотехніка ЕОМ"	83

ВСТУП

Дисципліна «Схемотехніка ЕОМ» передбачена навчальним планом для студентів бакалаврського напрямку «Комп'ютерні науки». Вона базується на таких дисциплінах, як

- фізика,
 - організація і функціонування ЕОМ та систем,
 - основи електротехніки і електроніки,
 - прикладна теорія цифрових автоматів
- і є базовою для вивчення дисциплін,
- ЕОМ та мікропроцесорні системи,
 - системне програмування і операційні системи,
 - методи та засоби комп'ютерних інформаційних технологій,
 - комп'ютерні мережі,
 - комп'ютерна графіка,
 - мікропроцесори,
 - основи автоматизованого проектування складних об'єктів і систем,
 - САПР засобів обчислювальної техніки.

В результаті вивчення дисципліни набуваються знання механізмів роботи аналогових та дискретних схем обчислювальної техніки, основних систем напівпровідникових інтегральних елементів, основних характеристик, галузі застосування та тенденції розвитку елементної бази електронних обчислювальних машин та уміння синтезувати і аналізувати складні функціональні вузли на основі інтегрованої схемотехніки, налагоджувати схеми обчислювальної техніки, користуватися довідниковими даними схемотехнічної бази обчислювальних систем.

В зв'язку з тим, що схемотехнічні основи елементної бази обчислювальної техніки є досить усталеними і розглядаються в багатьох навчальних та довідникових виданнях, а обсяг посібника обмежений, автори поставили за мету викласти в стислому вигляді в рамках діючої програми основний зміст дисципліни і дати рекомендації по розширеному його опануванню, а основну увагу приділити сучасним засобам машинного моделювання схем, тому що в даний час навчальні видання в цій галузі практично відсутні.

Поєднання в одному посібнику викладення змісту дисципліни, теоретичного матеріалу, рекомендацій, контрольних запитань, задач, прикладів, лабораторного практикуму і курсового проектування особливо актуальне для студентів заочної форми навчання, де високий відсоток самостійної роботи при вивченні дисциплін, передбачених навчальним планом.

Автори висловлюють подяку інженеру кафедри обчислювальної техніки Бойко В.В. і студенту гр. ЗКІ-95 Поліщуку Р.С. за допомогу в підготовці розділів, пов'язаних з моделюванням схем.

1. ФОРМИ ЗОБРАЖЕННЯ ІНФОРМАЦІЇ

Носіями інформації можуть бути такі фізичні величини, як переміщення, щільність, температура, напруга, струм та ін. Подання інформації на носії називають сигналом. Сигнали розрізняються не тільки фізичною природою носія, а й формою подання інформації на носіїві.

Сигнал може використовуватись для передачі і зберігання інформації. При передачі інформації сигнал долає простір, переноситься в просторі, а при зберіганні сигнал переносить інформацію в часі. Перший тип сигналів, які переносять інформацію в просторі і змінюються в часі, називають динамічними, а сигнали які переносять інформацію в часі і мало змінюються в ньому - статичними. В загальному випадку поняття статичних і динамічних сигналів можуть бути відносними.

На носії інформації може бути зображена множина значень сигналу, ця множина може бути безперервною або дискретною. В відповідності з цим сигнали поділяються на дискретні і безперервні по значенню (рівню).

В цифрових ЕОМ букви двійкового алфавіту відображаються фізичними сигналами у відповідних елементах і можуть приймати одне з двох значень, які легко відрізнити одне від одного, наприклад напруги високого і низького рівня, наявність і відсутність імпульсів струму, додатній і від'ємний імпульс струму, протилежні по знаку значення напруги магнітного поля і т.п. Ці два значення сигналу позначаються символами двійкової змінної "0" і "1".

В схемах цифрових пристроїв змінні і відповідні їм сигнали змінюються і сприймаються в дискретні моменти часу які позначаються цілими невід'ємними числами. Інтервал між двома сусідніми дискретними моментами часу називають тактом або періодом подання інформації, а самі дискретні моменти - тактовими.

В цифрових ЕОМ використовують три способи фізичного подання букв двійкового алфавіту: потенціальний, імпульсний і динамічний.

При потенціальному способі (рис. 1.а) двом значенням змінної 0 і 1 відповідає низький і високий рівні напруги. Потенціальний сигнал зберігає постійний рівень на протязі такту, а його значення в перехідні моменти не є визначеними.

При імпульсному способі (рис. 1.б) одиничне і нульове значення двійкової змінної зображається, або додатнім і від'ємним електричними імпульсами, або наявністю і відсутністю електричного імпульсу в відповідній точці схеми. В ідеальному випадку імпульсні сигнали повинні з'являтися в тактові моменти дискретного часу. Імпульсний сигнал характеризується амплітудою імпульсу в основі. Переднім і заднім фронтом називають відповідно час наростання і спаду сигналу.

Іноді виділяють імпульсно-потенціальний спосіб кодування, при якому двійкові сигнали в одних елементах (найчастіше запам'ятовуваль-

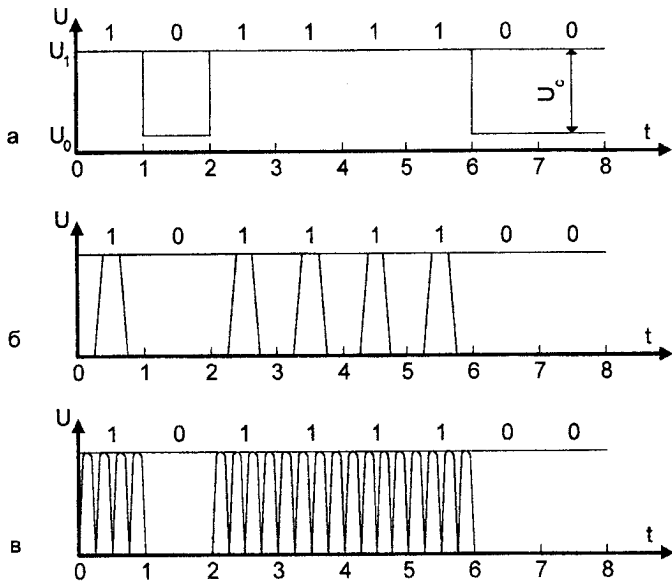


Рис. 1. Часові діаграми зображення цифрової інформації сигналів типу:
 а - потенціального, б - імпульсного, в - динамічного

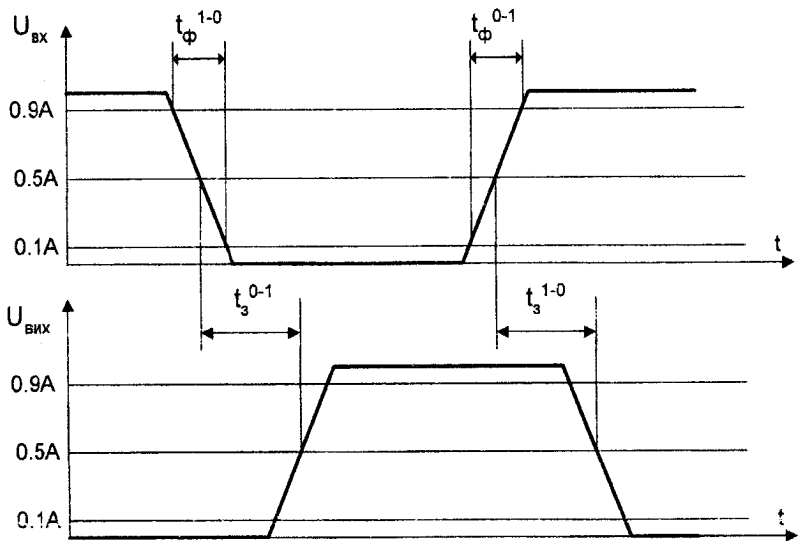


Рис. 2. Основні часові параметри двійкового сигналу

них) кодуються потенціалами, а в інших (наприклад, логічних) - імпульсами.

При динамічному способі (рис. 1.в) подання інформації двом можливим значенням змінної відповідає наявність або відсутність серії імпульсів (або синусоїдальних коливань), які заповнюють весь період подання.

Для подання і передачі двійкових машинних слів, код яких має декілька двійкових розрядів, застосовують два способи: послідовний і паралельний.

При послідовному способі подання інформації кожен часовий такт призначений для відображення одного розряду коду слова. При цьому слово передається по каналу і фіксується по черзі одним і тим же елементом послідовно, розряд за розрядом. Якщо цифри зображаються в вигляді потенціальних інформаційних сигналів, то при передачі декількох однакових цифр підряд, рівень напруги (струму) зберігається незмінним. При цьому, для передачі слова, його розряди повинні поступати в чітко визначені дискретні моменти часу, які задаються допоміжними тактовими сигналами. Якщо для кодування використовуються додатні і від'ємні імпульси, можна обійтись без тактових сигналів. Однак, для підвищення завадостійкості каналів зв'язку, а також для синхронізації роботи вузлів і пристроїв, тактові сигнали використовуються і для імпульсних, і для потенціальних послідовних кодів. Достоїнством послідовного способу є те, що для передачі слова потрібна тільки одна кодова шина, однак для передачі багаторозрядного слова витрачається порівняно багато часу.

При паралельному способі зображення цифр в вигляді потенціальних і імпульсних інформаційних сигналів всі розряди слова передаються по декільком електричним лініям одночасно. Кількість ліній дорівнює числу розрядів слова. В один і той же дискретний момент часу на всіх лініях виникають сигнали в відповідності зі значеннями цифр розрядів слова, яке передається.

Важливими параметрами, які визначають швидкодію елементної бази, є часові параметри двійкових сигналів (рис. 2). Це тривалість переднього фронту сигналу t_{ϕ}^{0-1} , тривалість заднього фронту сигналу t_{ϕ}^{1-0} і затримка розповсюдження сигналу t_3^{0-1} , t_3^{1-0} . Тривалість фронту визначається проміжком часу зміни сигналу між рівнями $0.1 \cdot A$ і $0.9 \cdot A$, де A - амплітуда сигналу. Затримка розповсюдження сигналу визначається на рівні $0.5 \cdot A$ вхідного і вихідного сигналів.

Контрольні запитання і задачі

1. В чому принципова різниця між аналоговою і цифровою формами подання інформації?
2. В чому принципова різниця між імпульсною і потенціальною формами подання інформації?

3. Охарактеризуйте послідовний спосіб передачі інформації.
4. Охарактеризуйте паралельний спосіб передачі інформації.
5. Яким чином часові параметри сигналу визначають швидкодію елементної бази?
6. В чому різниця між статичними і динамічними сигналами?
7. Побудуйте часову діаграму передачі коду 100101110 послідовним способом потенціальним сигналом.
8. Побудуйте часову діаграму передачі коду 100101110 паралельним способом потенціальним сигналом.
9. Побудуйте часову діаграму передачі коду 100101110 послідовним способом імпульсним сигналом.
10. Побудуйте часову діаграму передачі коду 100101110 паралельним способом імпульсним сигналом.

2. ЛОГІЧНІ ОСНОВИ ПОБУДОВИ ЕЛЕМЕНТІВ

Для формалізації опису процесів, які відбуваються в ЕОМ, використовують математичний апарат алгебри логіки, або бульової алгебри (за іменем її творця англійського математика Джорджа Буля). Ця алгебра оперує змінними, які можуть набувати тільки одне з двох різних значень - "хибність" та "істина", що відповідає значенням "0" і "1" двійкових змінних. Основою алгебри логіки є поняття логічної (бульової, перемикальної) функції виду $f(x_1, x_2, \dots, x_n)$, відносно аргументів x_1, x_2, \dots, x_n , яка, як і її аргументи, може приймати тільки два значення - 0 і 1. Логічна функція може бути задана словесно, алгебраїчним виразом, діаграмою або таблицею істинності. Іноді логічні функції розглядають як логічні операції над двійковими величинами, тому що вони вказують на правило перетворення одних двійкових величин в інші.

Найпростіших логічних операцій три: заперечення (інверсія, "НІ", позначається як $\bar{}$, або " \neg "), логічне множення (кон'юнкція, "І", позначається як \cdot , або " \wedge ", або "&") і логічне додавання (диз'юнкція, "АБО", позначається як $+$, або " \vee "). На рис.3 приведені таблиці істинності для булевих функцій "НІ", "І", "АБО".

x	$y = \bar{x}$
0	1
1	0

x1	x2	$y = x1 \cdot x2$
0	0	0
0	1	0
1	0	0
1	1	1

x1	x2	$y = x1 + x2$
0	0	0
0	1	1
1	0	1
1	1	1

Рис 3. Таблиці істинності для булевих функцій "НІ", "І", "АБО"

Операція заперечення виконується над однією змінною. Кон'юнкція

і диз'юнкція можуть здійснюватися з багатьма змінними. Сукупність різних значень змінних називають набором. Бульова функція n аргументів може мати до $N=2^n$ наборів. Оскільки функція приймає тільки два значення, загальна кількість булевих функцій n аргументів дорівнює 2^N . Може бути чотири функції одного аргументу: $y=\bar{x}$ - заперечення, $y=0$ - константа нуля, $y=1$ - константа 1, $y=x$ - повторює значення аргументу. 16 функцій двох змінних показані в таблиці 1.

Таблиця 1

Логічні функції двох змінних

Функція	x1x2				Примітки
	00	01	10	11	
f_1	0	0	0	0	константа нуля
f_2	0	0	0	1	x_1x_2 - кон'юнкція
f_3	0	0	1	0	$x_1\bar{x}_2$ - заборона x_2
f_4	0	0	1	1	$x_1\bar{x}_2 \vee x_1x_2 = x_1$
f_5	0	1	0	0	$y=\bar{x}_1x_2$ - заборона x_1
f_6	0	1	0	1	$\bar{x}_1x_2 \vee x_1x_2 = x_2$
f_7	0	1	1	0	$x_1 \oplus x_2$ - сума по модулю два
f_8	0	1	1	1	x_1+x_2 - диз'юнкція
f_9	1	0	0	0	$x_1 \downarrow x_2$ - функція Пірса
f_{10}	1	0	0	1	$x_1 \equiv x_2$ - рівнозначність
f_{11}	1	0	1	0	$\bar{x}_1x_2 \vee x_1\bar{x}_2 = x_2$
f_{12}	1	0	1	1	$x_2 \rightarrow x_1$ - імплікація
f_{13}	1	1	0	0	$\bar{x}_1x_2 \vee \bar{x}_1x_2 = \bar{x}_1$
f_{14}	1	1	0	1	$x_1 \rightarrow x_2$ - імплікація
f_{15}	1	1	1	0	x_1/x_2 - функція Шеффера
f_{16}	1	1	1	1	константа одиниці

Алгебра логіки основана на декількох аксіомах, із яких виводять основні закони для перетворень з двійковими змінними. Обґрунтованість вибору цих аксіом підтверджується таблицями істинності для розглянутих операцій. Кожна аксіома представлена в двох видах, що впливає з принципу дуальності (двоїстості) логічних операцій, згідно з яким операції кон'юнкції та диз'юнкції допускають взаємну заміну, якщо одночасно поміняти логічну 1 ну 0, 0 на 1 і знаки операцій між собою.

Аксіоми алгебри логіки:

$$\begin{aligned} \bar{0} &= 1; & \bar{1} &= 0; \\ 0 \cdot 0 &= 0; & 1 \vee 1 &= 1; \\ 1 \cdot 0 = 0 \cdot 1 &= 0; & 0 \vee 1 = 1 \vee 0 &= 1; \\ 1 \cdot 1 &= 1; & 0 \vee 0 &= 0. \end{aligned}$$

Нижче приведені закони алгебри логіки, які використовуються при

перетвореннях логічних функцій та їх мінімізації.

Комутативний закон

$$x_1 \cdot x_2 = x_2 \cdot x_1; \quad x_1 \vee x_2 = x_2 \vee x_1.$$

Асоціативний закон

$$x_1(x_2 \cdot x_3) = (x_1 \cdot x_2)x_3 = x_1 \cdot x_2 \cdot x_3;$$
$$x_1 \vee (x_2 \vee x_3) = (x_1 \vee x_2) \vee x_3 = x_1 \vee x_2 \vee x_3.$$

Закон повторення (тавтології)

$$x \cdot x = x; \quad x \vee x = x.$$

Закон обернення

$$\text{Якщо } x_1 = x_2, \text{ то } \overline{x_1} = \overline{x_2}.$$

Закон подвійної інверсії

$$\overline{\overline{x}} = x.$$

Закон нульової множини

$$x \cdot 0 = 0; \quad x \vee 0 = x.$$

Закон універсальної множини

$$x \cdot 1 = x; \quad x \vee 1 = 1.$$

Доповняльний закон

$$x \cdot \overline{x} = 0; \quad x \vee \overline{x} = 1.$$

Дистрибутивний закон

$$x_1 \cdot (x_2 \vee x_3) = x_1 \cdot x_2 \vee x_1 \cdot x_3;$$
$$x_1 \vee (x_2 \cdot x_3) = (x_1 \vee x_2) \cdot (x_1 \vee x_3).$$

Закон поглинання

$$x_1 \vee x_1 \cdot x_2 = x_1;$$
$$x_1 \cdot (x_1 \vee x_2) = x_1.$$

Закон склеювання

$$(x_1 \vee x_2) \cdot (x_1 \vee \overline{x_2}) = x_1;$$
$$x_1 \cdot x_2 \vee x_1 \cdot \overline{x_2} = x_1.$$

Закон інверсії (правила де Моргана)

$$\overline{x_1 \cdot x_2} = \overline{x_1} \vee \overline{x_2}; \quad \overline{x_1 \vee x_2} = \overline{x_1} \cdot \overline{x_2};$$
$$x_1 \cdot x_2 = \overline{\overline{x_1} \vee \overline{x_2}}; \quad x_1 \vee x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}.$$

Одна і та ж логічна функція може бути представлена різними формулами. В зв'язку з цим виникає задача знаходження такої форми запису функції, коли кожній функції відповідає тільки одна формула, а формулі відповідає тільки одна функція. Такі форми називають канонічними, або досконалими. Існують досконалі диз'юнктивна (ДДНФ) і кон'юнктивна (ДКНФ) нормальні форми. Для їх визначення використовуються поняття конститuent одиниці і нуля.

Конституентою одиниці називають кон'юнкцію всіх змінних, взятих з інверсією або без неї. Конституента одиниці дорівнює одиниці тільки на одному наборі. Конституентою нуля називають диз'юнкцію всіх змінних, взятих з інверсією або без неї. Конституента нуля дорівнює нулю тільки на

одному наборі.

ДКНФ називають кон'юнкцію конститuent нуля, які дорівнюють нулю на тих же наборах, що й задана функція.

ДДНФ називають диз'юнкцію конститuent одиниці які дорівнюють одиниці на тих же наборах, що й задана функція.

Наприклад, ДКНФ і ДДНФ можуть мати такий вигляд:

$$\text{ДКНФ} \quad y = (x_1 + \overline{x_2} + x_3) \cdot (\overline{x_1} + x_2 + \overline{x_3}) \cdot (\overline{x_1} + \overline{x_2} + x_3) \cdot (x_1 + x_2 + x_3);$$

$$\text{ДДНФ} \quad y = \overline{x_1} \cdot \overline{x_2} \cdot x_3 + x_1 \cdot \overline{x_2} \cdot x_3 + x_1 \cdot \overline{x_2} \cdot \overline{x_3} + x_1 \cdot x_2 \cdot x_3.$$

Будь-яка логічна функція має єдину досконалу нормальну форму. Мінімальною (МДНФ) називають ДНФ, яка складається з найменшої сумарної кількості змінних та їх заперечень в усіх диз'юнктивних членах, порівняно з усіма іншими еквівалентними ДНФ цієї функції.

Проектування елементів і схем, як правило, супроводжується мінімізацією логічних функцій, тобто приведенням їх до мінімальних форм. Це викликано тим, що реалізація функцій, поданих в мінімальній формі, забезпечує, в свою чергу, мінімум апаратних витрат на їх реалізацію.

Найпоширенішими методами мінімізації функцій відносно невеликої кількості змінних є діаграми Вейча, карти Карно, метод Квайна-Мак-Класкі і аналітичні перетворення функцій з використанням аксіом і законів алгебри логіки [1].

Діаграми Вейча зручно застосовувати для мінімізації логічних функцій, що містять не більш, як 4-6 змінних. Ці діаграми являють собою спеціально організовані таблиці істинності. Кількість клітинок у таблиці відповідає кількості можливих наборів аргументів - 2^n . Набори в клітинках таблиці розташовані так, що два сусідні набори у стовпці, чи в рядку відрізняються значенням однієї змінної - в одному з них вона із запереченням, а в іншому - без нього. При такому розташуванні два сусідніх набори можна склеювати. В клітинках діаграми Вейча проставляють значення функції на відповідному наборі. Якщо на деяких наборах значення функції може бути будь-яким, їх відмічають буквою "X", або зірочкою, що вказує на можливість визначення значення функції на цих наборах так, щоб функція була мінімальною.

Мінімізація полягає в охопленні клітинок з одиничним значенням функції на діаграмі Вейча спеціальними контурами, які охоплюють 1, 2, 4, 8 і т.д. сусідніх клітинок у вигляді прямокутника чи квадрата.

На рис. 4 показаний порядок заповнення діаграми Вейча і охоплення клітинок контурами. Значення функції записують таким чином, що для кожного контуру в МДНФ включають кон'юнкцію змінних або їх інверсій, які не змінюють свого значення для всіх клітинок, охоплених контуром.

По діаграмі Вейча можна записати інверсне значення функції. При цьому контурами охоплюють клітинки, де значення функції дорівнює

нулю.

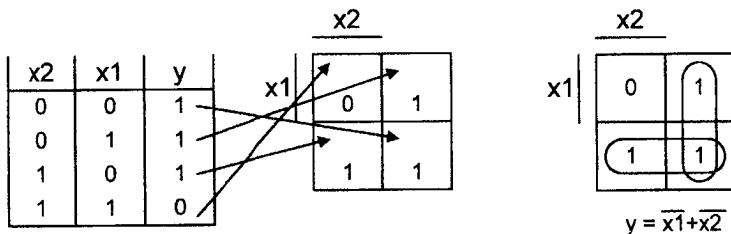


Рис. 4. Порядок заповнення діаграми Вейча і проведення контурів

На рис. 5 показані діаграми Вейча для двох, трьох, чотирьох і п'ятьох змінних.

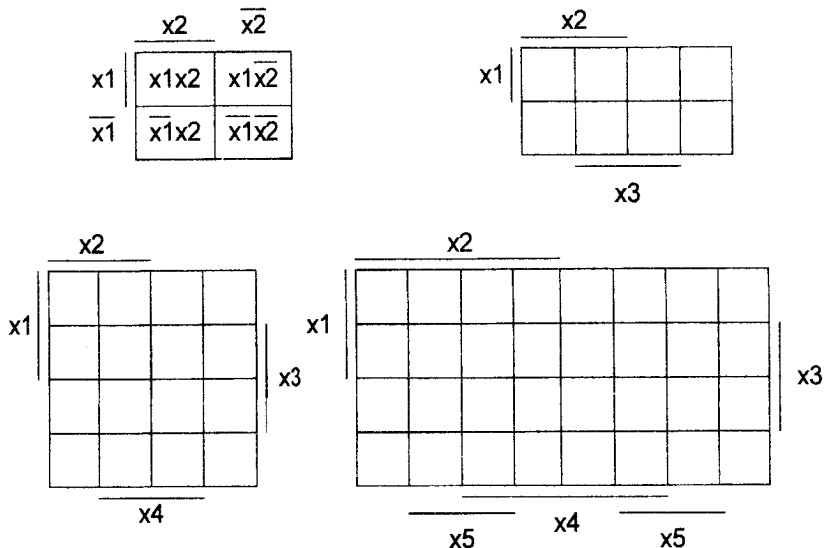


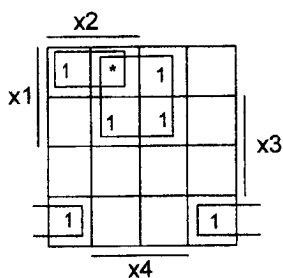
Рис. 5. Діаграми Вейча для двох, трьох, чотирьох і п'ятьох змінних

На рис. 6 приведений приклад мінімізації функції чотирьох змінних, заданої діаграмою Вейча.

Логічні основи обчислювальної техніки детально розглядаються в підручниках з дисципліни "Прикладна теорія цифрових автоматів" [1].

В апаратурі логічні операції реалізуються логічними елементами. В сучасних цифрових пристроях логічні стани визначаються двома рівнями напруги (потенціалів): високим, близьким до напруги джерела живлення, і

низьким, близьким до нуля (додатна логіка).



ДДНФ: $y = x_1 \overline{x_2} x_3 x_4 + x_1 \overline{x_2} x_3 \overline{x_4} + x_1 x_2 x_3 x_4 + x_1 x_2 x_3 \overline{x_4} + x_1 \overline{x_2} x_3 x_4 + x_1 x_2 x_3 x_4 + x_1 \overline{x_2} x_3 x_4$

МДНФ: $y = x_1 x_4 + x_1 x_2 \overline{x_3} + x_1 \overline{x_3} x_4$

Рис.6. Приклад мінімізації функції чотирьох змінних

Контрольні запитання і задачі

1. Що таке логічні змінні і логічні функції?
2. Якими способами можна задавати логічні функції?
3. Що таке конституента одиниці і нуля?
4. Приведіть основні аксіоми алгебри логіки.
5. Приведіть основні закони алгебри логіки.
6. Побудуйте таблиці істинності для кожної з 16 функцій двох змінних.
7. Що таке ДДНФ і ДКНФ?
8. Навіщо потрібна мінімізація логічних функцій?
9. Що таке МДНФ?
10. Які способи мінімізації логічних функцій Ви знаєте?
11. Як задати і мінімізувати логічну функцію за допомогою діаграми Вейча?
12. Записати ДКНФ, ДДНФ та МДНФ функцій, заданих таблицями істинності:

x3	x2	x1	y1	x3	x2	x1	y2	x3	x2	x1	y3
0	0	0	0	0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0	0	0	1	1
0	1	0	1	0	1	0	0	0	1	0	0
0	1	1	0	0	1	1	0	0	1	1	1
1	0	0	1	1	0	0	1	1	0	0	0
1	0	1	1	1	0	1	1	1	0	1	0
1	1	0	1	1	1	0	1	1	1	0	0
1	1	1	0	1	1	1	1	1	1	1	1

13. Як перейти від аналітичного виразу функції до діаграми Вейча?

3. ІНТЕГРОВАНІ СИСТЕМИ ЕЛЕМЕНТІВ

Елементи перетворюють електричні сигнали або зберігають числову і логічну інформацію. Якщо електричне перетворення сигналів елементами приводить до зміни їх логічного змісту, такі елементи називають логічними. Якщо елементи змінюють тільки форму сигналу або рівня, їх відносять до допоміжних підсилюючих або перетворюючих.

Системою елементів ЕОМ називають функціонально- і технічно-повний набір елементів (включаючи елементи пам'яті), який використовує однакові способи подання інформації і міжелементних зв'язків. Система логічних елементів буде функціонально повною, якщо вона дозволяє реалізувати будь-яку логічну функцію. Система елементів вважається технічно- повною, якщо вона забезпечує всі електричні і часові особливості взаємопов'язаної роботи логічних елементів. В даний час до елементів відносять також вузли ЕОМ, оскільки вони випускаються в вигляді інтегральних схем (ІС) і використовуються для побудови пристроїв, як складових вищого рівня ієрархії.

Основними параметрами елементів є споживча потужність, рівні напруги живлення, вихідних напруг, вхідних і вихідних струмів, час затримки розповсюдження сигналу, коефіцієнти об'єднання по входу і розгалуження по виходу, завадостійкість, надійність, вартість.

Коефіцієнт об'єднання по входу визначає кількість рівнозначних входів, які має логічний елемент. Коефіцієнт розгалуження по виходу визначається максимальним числом входів схем тієї ж серії, які можна підключити до виходу елемента, не порушуючи працездатності схеми.

Потенціальні схеми, в даний час, складають основу виробів мікроелектроніки для обчислювальної техніки. Вони представлені серіями мікросхем різних ступенів інтеграції.

Основними вимогами на вироби мікроелектроніки для обчислювальної техніки є функціональна і технічна повнота, єдність конструктивного оформлення, уніфікація сигналів і напруг живлення, технологічність виготовлення.

Схемотехнічна реалізація ІС потенціального типу здійснюється на основі ряду типових базових схемотехнічних рішень реалізації логічних функцій "І-НІ", "АБО-НІ", а також трьохступеневих функцій "І-АБО-НІ", "АБО-І-НІ". Потенціальні системи елементів представлені найбільш масовими серіями ІС (133, 155, 555, 530, 564, 500, 100 та ін.), виконаними по планарно-епітаксильній технології в єдиному кристалі кремнію. В кожній логічній схемі, яка працює на зовнішній зв'язок, на виході використовується підсилювач потужності, що скорочує кількість допоміжних елементів в схемах. Склад і характеристики систем елементів, які випускаються в вигляді інтегральних схем, представлені в довідковій літературі [5-10.]

За типом компонентів, за допомогою яких виконуються логічні операції, розрізняють ІС з:

- ТЛБЗ - транзисторною логікою і безпосередніми зв'язками
- РТЛ - резистивно-транзисторною логікою
- ДТЛ - діодно-транзисторною логікою
- ТТЛ - транзисторно-транзисторною логікою
- ТТЛШ - транзисторно-транзисторною логікою з діодами Шоткі
- ЕПЛ - емітерно-пов'язаною логікою
- І²Л - інтегральною інжекційною логікою
- МОН - логікою на МОН-транзисторах одного типу провідності
- КМОН - логікою на комплементарних (взаємодоповнюючих) МОН-транзисторах

Найбільш поширеними є елементи ТТЛ, ТТЛШ, ЕПЛ, І²Л і КМОН. Особливості їх побудови, принцип дії і характеристики детально приведені в джерелах [2,3,4].

Елементи ТТЛ з'явилися на початку 1960-х років і стали широко розповсюдженими. Схеми базисних елементів ТТЛ приведені на рис.7 і 8.

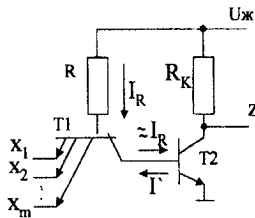


Рис. 7. Схема базисного елемента ТТЛ з простим інвертором

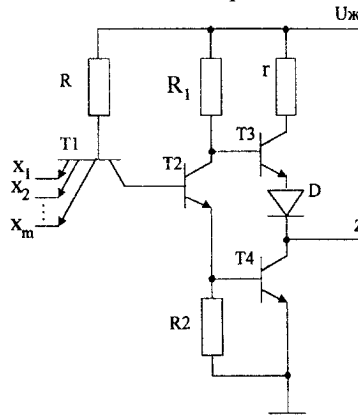


Рис. 8. Схема елемента ТТЛ зі складним інвертором

В елементі ТТЛ (рис.7) багатоемітерний транзистор Т1 включений на вході інвертора, в схему якого входять транзистор Т2 і резистор R_K . Елемент виконує логічну операцію "І-НІ". Щоб впевнитися в цьому, достатньо розглянути дві ситуації: на всіх входах діють логічні одиниці і коли хоча б на одному із входів присутній логічний нуль. Для підвищення навантажувальної здатності і швидкого перезаряду навантажувальної ємності до розглянутої схеми додають складний вихідний каскад (рис.8).

В схемі з трьома станами виходу, яка показана спрощено на рис.9, є додатковий керуючий вхід, присутність сигналу логічної одиниці на якому закриває всі транзистори вихідного каскаду. При цьому струм у вихідному колі дуже малий і схема (її вихід) буде знаходитись в стані "відключено",

який часто називають третім або високоімпедансним станом. На функціональних схемах такі виходи позначають знаком \blacklozenge .

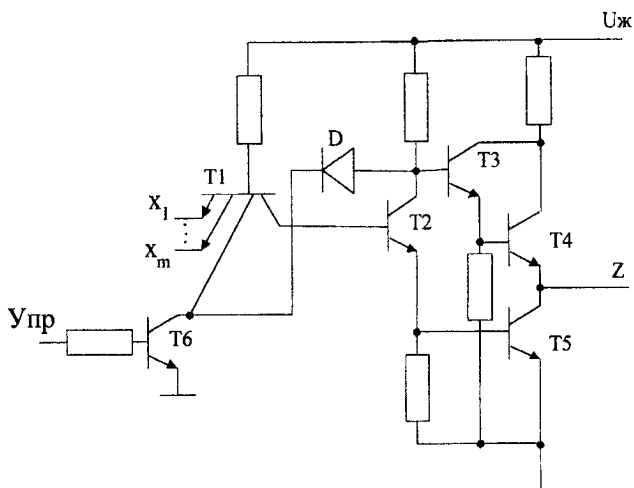


Рис.9. Схема елемента ТТЛ з трьома станами виходу

Типовими параметрами для ТТЛ-серій є напруга живлення - 5В, рівень логічної одиниці - 2,4-5В, рівень логічного нуля - 0-0,4В, час затримки розповсюдження сигналу - десятки нс, споживча потужність на один елемент - одиниці-десятки мВт.

В елементах ТТЛШ, на відміну від ТТЛ, замість звичайних транзисторів використовуються транзистори Шоткі, в яких паралельно колекторному переходу підключений діод Шоткі. Це виключає режим насичення відкритого транзистора, що призводить до підвищення швидкодії.

Елементи ЕПЛ - є найбільш швидкодіючими з освоєних промисловістю на основі кремнію. В них використовується струмовий ключ, в якому струм емітера приблизно постійний і під дією вхідного сигналу перемикається в одно з двох плечей електричного кола. Елементи ЕПЛ характеризуються високою швидкодією, навантажувальною здатністю, можливістю роботи на довгі лінії (до 15м). Напруга живлення для них становить $-5,2В \pm 5\%$. Одним з головних недоліків ЕПЛ-схем є їх відносно велика споживча потужність.

Елементи I^2L зручні для виготовлення в вигляді ІС, оскільки в них відсутні резистори, які займають на кристалі велику площу. Вони є подальшим розвитком схем з безпосередніми зв'язками і характеризуються технологічністю, компактністю і невисокою вартістю при зберіганні достатньо високої швидкодії. Схемотехніка I^2L використовується в ІС високого ступеня інтеграції.

Переваги схем на МОН-транзисторах полягають в відносній простоті виготовлення (приблизно в 2 рази зменшується кількість технологічних операцій порівняно з виробництвом біполярних транзисторів), компактності схем (МОН-транзистор займає на кристалі в декілька раз меншу площу, ніж біполярний транзистор), малій споживчій потужності. Недоліки МОН-транзисторів пов'язані з їх високою пороговою напругою і високою напругою живлення, невисокою швидкодією.

Використання взаємодоповнюючих (комплементарних) МОН-транзисторів відкриває нові можливості підвищення їх ефективності. Якщо об'єднати затвори і стоки двох транзисторів n- і p-типу, як показано на рис.10, то вийде інверторний каскад, який в статичному стані розсіює нульову потужність. Це пояснюється тим, що постійний струм через нього проходити не може, оскільки один з транзисторів завжди закритий. Базовим принципом схемотехніки логічних елементів КМОН-технології є така організація схем, яка не пропускає постійний струм через схему при будь-якій комбінації вхідних сигналів. Недоліки КМОН ІС пов'язані з відносною технологічною складністю їх виготовлення і високою напругою живлення (9В).

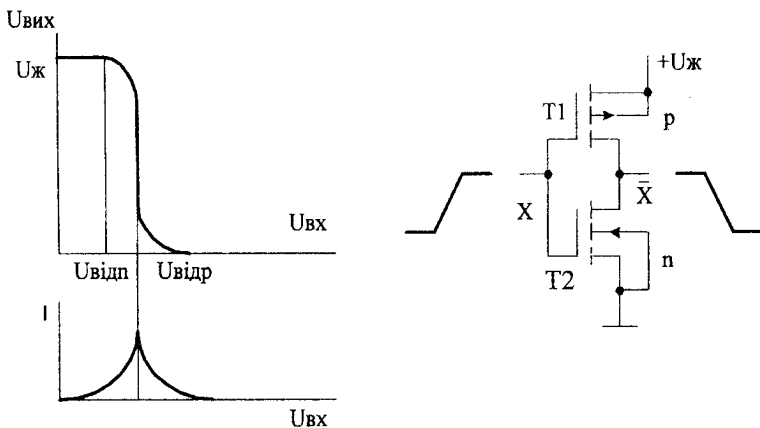
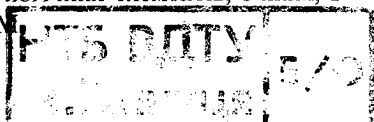


Рис.10. Базова схема транзисторної логіки на КМОН-транзисторах

На транзисторах КМОН може бути реалізований двонаправлений ключ (перемикач), який не має функціональних аналогів серед мікросхем інших видів логіки і може передавати сигнали в обидві сторони. Він складається з двох МОН-транзисторів з каналами різних типів провідності. Поряд з інверторами двонаправлені ключі знаходять використання не тільки в дискретній, але і в аналоговій техніці.

Базові елементи є основою побудови логічних елементів, з яких, в свою чергу, складаються тригери і вузли ЕОМ.



Контрольні запитання і задачі

1. Які елементи ЕОМ Ви знаєте?
2. Які системи елементів називають функціонально і технічно повними?
3. Приведіть основні параметри елементів і дайте їм характеристику.
4. Охарактеризуйте системи елементів, які випускаються в вигляді ІС.
5. Дайте характеристику елементам ТТЛ, ТТЛШ, ЕПЛ, І²Л, МОН і КМОН.
6. Побудуйте схему двонаправленого ключа на КМОН-транзисторах.

4. СХЕМОТЕХНІКА ЦИФРОВИХ ЕЛЕМЕНТІВ

В ЕОМ в процесі обробки інформації виникає необхідність в її проміжному зберіганні. З цією метою використовуються тригери - елементи з двома стійкими станами, які мають відповідні входи для сигналів керування. Вихідні сигнали таких елементів залежать не тільки від вхідних, а й від внутрішнього стану тригера. Тригери можуть розглядатися як елементарні автомати. Математичним апаратом для опису їх функціонування є теорія абстрактних автоматів.

Основу тригерів складають найпростіші запам'ятовуючі комірки, які отримують з'єднанням двох потенціальних елементів "І-НІ" ("АБО-НІ"). Вони являють собою найпростіший асинхронний RS-тригер (рис.11).

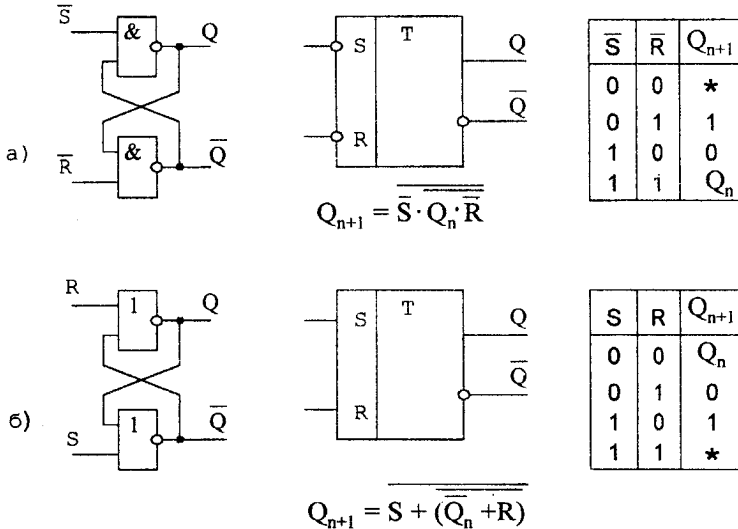


Рис.11. Асинхронний RS-тригер: а) - на елементах "І-НІ",
б) - на елементах "АБО-НІ"

На рис.11 для кожного тригера приведена функціональна схема, умовне позначення, таблиця функціонування і характеристичне рівняння. Активне значення на S-вході тригера діє таким чином, щоб установити тригер (прямий вихід Q) в одиничний стан. Активне значення на R-вході

встановлює тригер (прямий вихід Q) в нульовий стан. При пасивних значеннях сигналів на R- і S-входах тригер зберігає попередній стан за рахунок зворотних зв'язків. Коли ж на обох входах присутнє активне значення сигналу (що відповідає одночасній установці тригера в 1 і 0), таку комбінацію називають забороненою (в таблицях вона позначена зірочкою).

Для тригера на елементах "І-НІ" активними є нульові значення вхідних сигналів. В цьому випадку на схемі R і S зображаються з інверсією, а в функціональному позначенні на входах малюються кружечки. Такі входи називають інверсними.

Для тригера на елементах "АБО-НІ" активними є одиничні значення вхідних сигналів. Такі входи називають прямими, вхідні змінні для них пишуться без інверсії і кружечки в позначенні не ставлять.

Тригери називають асинхронними, коли вони мають тільки інформаційні (логічні) входи. Вони спрацьовують безпосередньо за зміною сигналів на входах.

Синхронні тригери мають додатковий тактовий вхід (синхронізуючий або синхровхід). Перейти до нового стану такі тригери можуть тільки при активному значенні сигналу на тактовому вході. На рис.12 приведені функціональні схеми і умовні позначення одноступене-

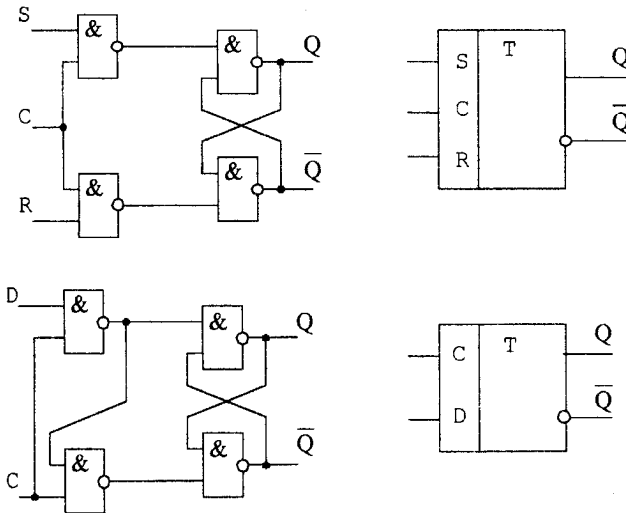


Рис.12. Одноступеневі синхронні RS- і D-тригери

вих синхронних RS-і D-тригерів. Ці тригери мають тактовий C-вхід, одиничне значення сигналу на якому дозволяє впливати сигналам RS-входів на стан тригера. Тобто, активним на цих входах є потенціал логічної одиниці. Такі входи є прямими потенціальними входами. Коли на

потенціальному вході діє логічний нуль, такий вхід називають інверсним і зображають з кружечком.

D-тригер встановлюється в такий стан, який відповідає значенню сигналу на D-вході при активному сигналі на тактовому вході. З цієї причини іноді D-тригер називають тригером затримки.

Одноступеневі синхронні тригери прості за побудовою однак при активному значенні тактового потенціального сигналу при зміні сигналів на керуючих входах змінюється стан тригера. Це практично виключає введення зовнішніх зворотних зв'язків для організації, наприклад, лічильного тригера.

Коли потрібно використовувати зовнішні зворотні зв'язки, будують двоступеневі тригери з потенціальним керуванням (рис.13.). Такі тригери іноді називають тригерами з MS-структурою або за принципом "раб-хазйін".

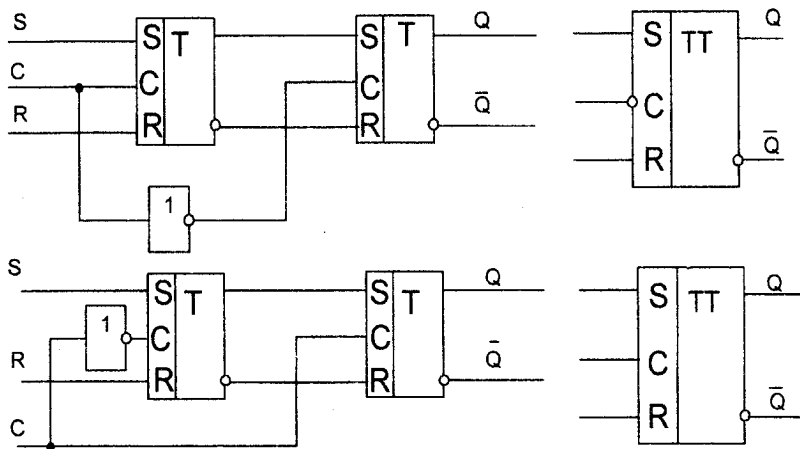


Рис.13. Двоступеневі RS-тригери

Вони містять в собі два одноступеневих тригери. Двоступеневі тригери дозволяють організувати зовнішні зворотні зв'язки без втрати працездатності. Одним з прикладів введення таких зв'язків є побудова JK-тригера на основі двоступеневого RS-тригера (рис.14). Такий тригер функціонує подібно RS-тригеру за виключенням забороненої комбінації для RS-тригера. При такій комбінації на входах JK-тригер змінює свій стан на інверсний.

Окрім синхронних тригерів з потенціальними тактовими входами існують тригери з динамічними тактовими входами, які реагують на зміну (фронт) сигналу на тактовому вході. Одним з прикладів такого тригера є тригер, побудований по схемі трьох тригерів (рис.15). Це синхронний

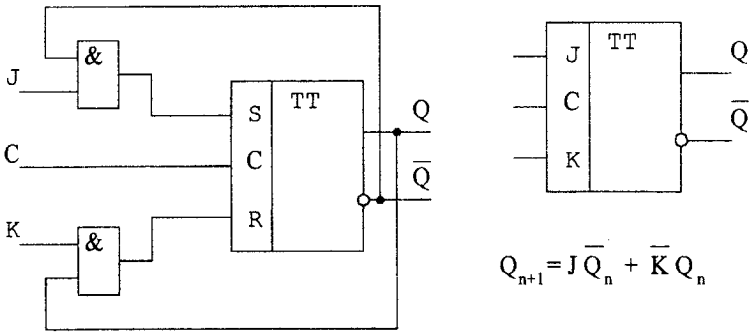


Рис.14. JK-тригер на основі двоступеневого RS-тригера

D-тригер з додатковими установочними RS-входами, які є потенціальними і інверсними. Як видно зі схеми, коли RS-входи активні, стан тригера по

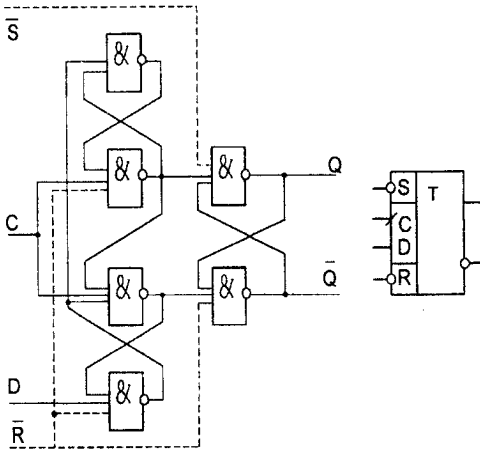


Рис.15. D-тригер з динамічним С-входом

D-входу змінитися не може. По D-входу тригер змінює свій стан в момент зміни сигналу на C-вході з 0 на 1. В цьому випадку кажуть, що тригер реагує на передній фронт сигналу. Коли на тактовому вході присутній потенціал (1 або 0), при зміні сигналів на D-вході стан тригера змінитися не може (якщо RS-входи пасивні). Умовні позначення потенціальних і динамічних входів приведені на рис.16.

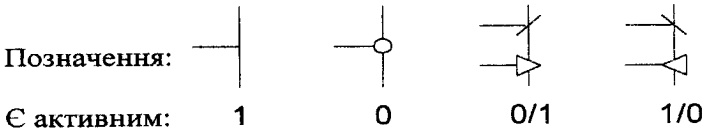


Рис.16. Умовні позначення потенціальних і динамічних входів

Лічильним називають тригер, який з кожним вхідним імпульсом змінює свій стан на протилежний. Різновидністю лічильного тригера є T-тригер, який має додатковий керуючий вхід, де активне значення сигналу дозволяє змінювати стан тригера, а пасивне - забороняє. Варіанти

реалізації лічильного тригера і його умовне зображення приведені на рис.17.

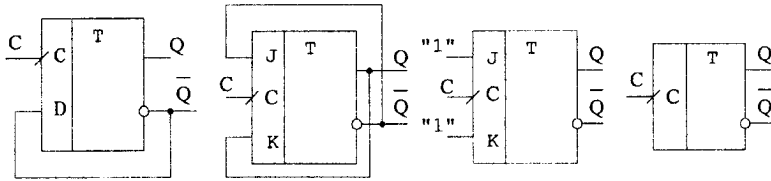
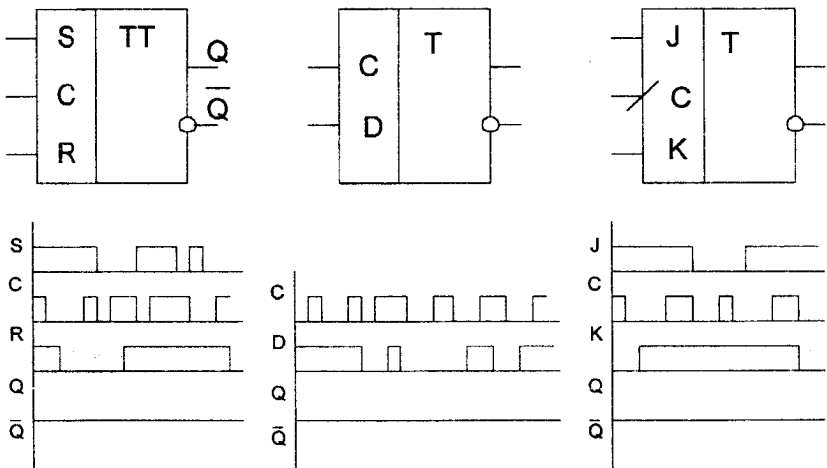


Рис.17. Варіанти реалізації лічильного тригера і його умовне зображення

В залежності від функціональних властивостей, елементної бази, вимог до технічних характеристик існує велика кількість різновидів тригерів, основні з яких розглядаються в [2 - 12].

Контрольні запитання і задачі

1. Побудуйте таблицю функціонування для тригерів: RS, JK, D, T.
2. Запишіть характеристичне рівняння для основних типів тригерів.
3. Чим відрізняються синхронні тригери від асинхронних?
4. В чому полягає різниця між одно- і двоступеневими тригерами?
5. В чому полягає різниця між потенціальними і динамічними входами?
6. Побудуйте лічильний тригер на основі одноступеневих D-тригерів.
7. Побудуйте лічильний тригер з додатковим керуючим входом на основі двоступеневого JK-тригера.
8. При яких умовах можлива стійка робота лічильного тригера, побудованого з використанням одного одноступеневого RS- або D-тригера з потенціальним керуванням?
9. Побудуйте часові діаграми для тригерів при заданих вхідних сигналах.



5. СХЕМОТЕХНІКА КОМБІНАЦІЙНИХ ВУЗЛІВ

Вузли комбінаційного типу будуються на логічних елементах без зворотних зв'язків і не містять запам'ятовуючих елементів (тригерів). Вони реалізують найпростіші перетворення інформації, які називають мікроопераціями. До основних параметрів комбінаційних вузлів відносять швидкість і складність апаратної реалізації.

Швидкодія комбінаційного вузла визначається часом встановлення істинного значення вихідних сигналів відносно часу зміни вхідних сигналів для найбільш несприятливого випадку (час затримки). На рівні функціональної схеми час затримки найчастіше вимірюється сумарною кількістю затримок одного логічного елемента (τ).

Складність апаратної реалізації комбінаційного вузла на рівні функціональної схеми визначається по Квайну - сумарною кількістю входів всіх елементів схеми вузла.

Найбільш поширеними вузлами комбінаційного типу є дешифратори, шифратори, мультиплексори, кодоперетворювачі, схеми порівняння (цифрові компаратори) та суматори.

Ризик збою в комбінаційних схемах

Вплив затримок логічних елементів може суттєво впливати на роботу комбінаційних схем. Затримки не тільки обмежують швидкість, але й можуть приводити до короткочасного створення на виходах хибних сигналів, які називають ризиками. Ризики виникають найчастіше за рахунок так званої різниці ходу, коли сигнал проходить різними шляхами (з різними затримками) до входів певного елемента. Розрізняють статичний ризик, коли сигнал на виході повинен бути незмінним, але короткочасно виникає додатній або від'ємний імпульс. Динамічний ризик виникає, коли на виході замість зміни вихідного сигналу з одного рівня на інший виникають багатократні зміни значення сигналу. Приклади статичного і динамічного ризику приведені на рис.18.

Для усунення можливих збоїв в роботі схем, викликаних явищами статичного і динамічного ризику, використовується синхронізація процесів прийому інформації елементами пам'яті, які підключені до виходів комбінаційної схеми. Синхросигнал повинен приймати активне значення після завершення всіх перехідних процесів в комбінаційній схемі.

Явище ризику збою в комбінаційних схемах є не тільки шкідливим. Воно може використовуватись для побудови спеціальних формувачів коротких сигналів (див. розділ 7).

Дешифратори

Дешифратором називають базовий вузол ЕОМ, який перетворює позиційний код в унітарний (тобто такий, коли активне значення присутнє

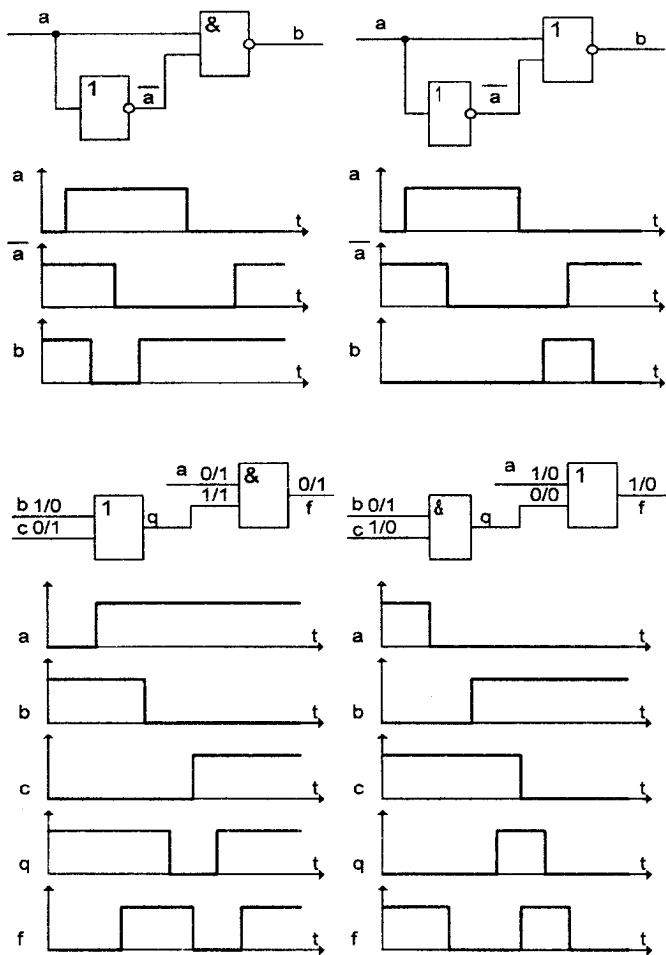


Рис. 18. Приклади статичного і динамічного ризику збою

тільки в одному розряді: для дешифратора з прямими виходами - 1, а з інверсними - 0).

Дешифратор називають двійковим, якщо входним є двійковий позиційний n -розрядний код, а кількість виходів складає 2^n .

За принципом побудови дешифратори бувають лінійними, пірамідальними та багатоступеневими (каскадними). Функції, основні параметри, схеми і позначення вказаних типів дешифраторів приведені на рис.19.

Дешифратори окрім основних (адресних) входів можуть мати додаткові (один або декілька) входи, які називають стробовими

(тактовими). Ці входи використовуються для розширення дешифратора за кількістю виходів і для встановлення істинності вихідних сигналів тільки під час активного значення стробових сигналів. Дешифратори, які виконуються у вигляді інтегральних схем, як правило мають інверсні виходи. Приклад розширення дешифратора приведений на рис.20.

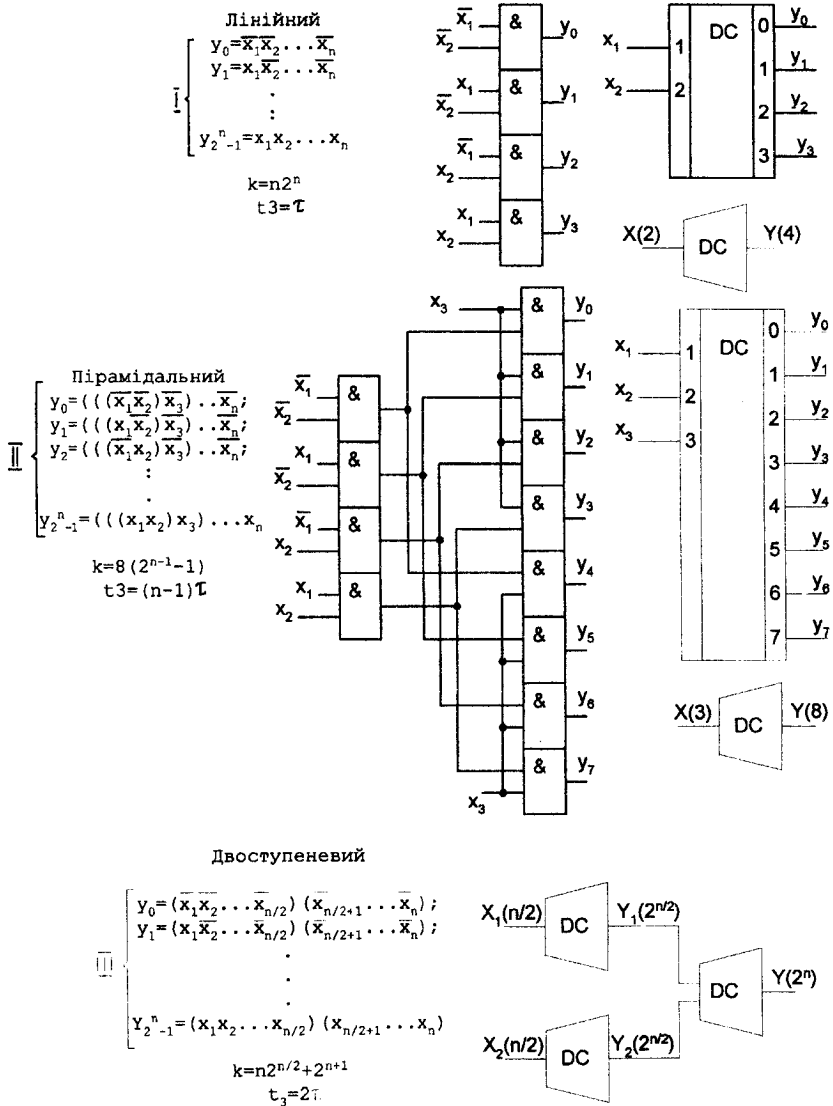


Рис.19. Функції, основні параметри, схеми і позначення дешифраторів

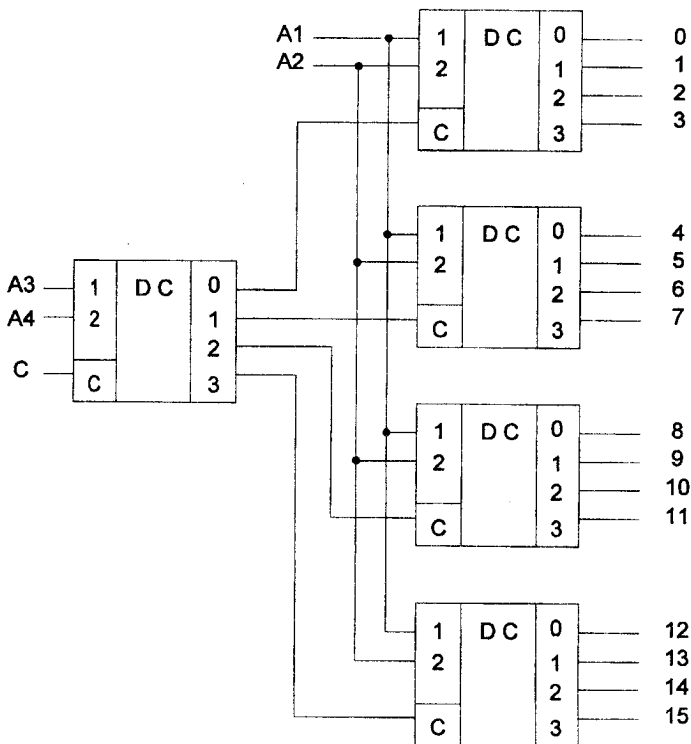


Рис.20. Приклад розширення кількості виходів дешифратора

Шифратори

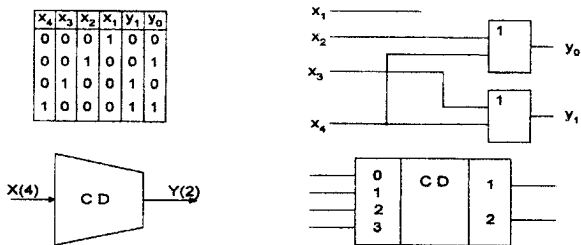


Рис.21. Двійковий шифратор на 2 виходи

Шифратор перетворює унітарний код у двійковий. Повний двійковий шифратор має 2^n входів і n виходів. Шифратори широко використовуються в клавіатурах і в схемах перетворювачів кодів. Таблиця істинності, функціональна схема і умовне позначення шифратора на два виходи приведені на рис.21.

Мультиплексори

Мультиплексор здійснює передачу інформації з одного із багатьох інформаційних входів на вихід. Адресні входи мультиплексора визначають номер інформаційного входу, з якого інформація передається на вихід. Мультиплексори серійно випускаються у вигляді інтегральних схем середнього ступеня інтеграції. Одним з прикладів такого мультиплексора є КП15, функціональна схема і позначення якого приведені на

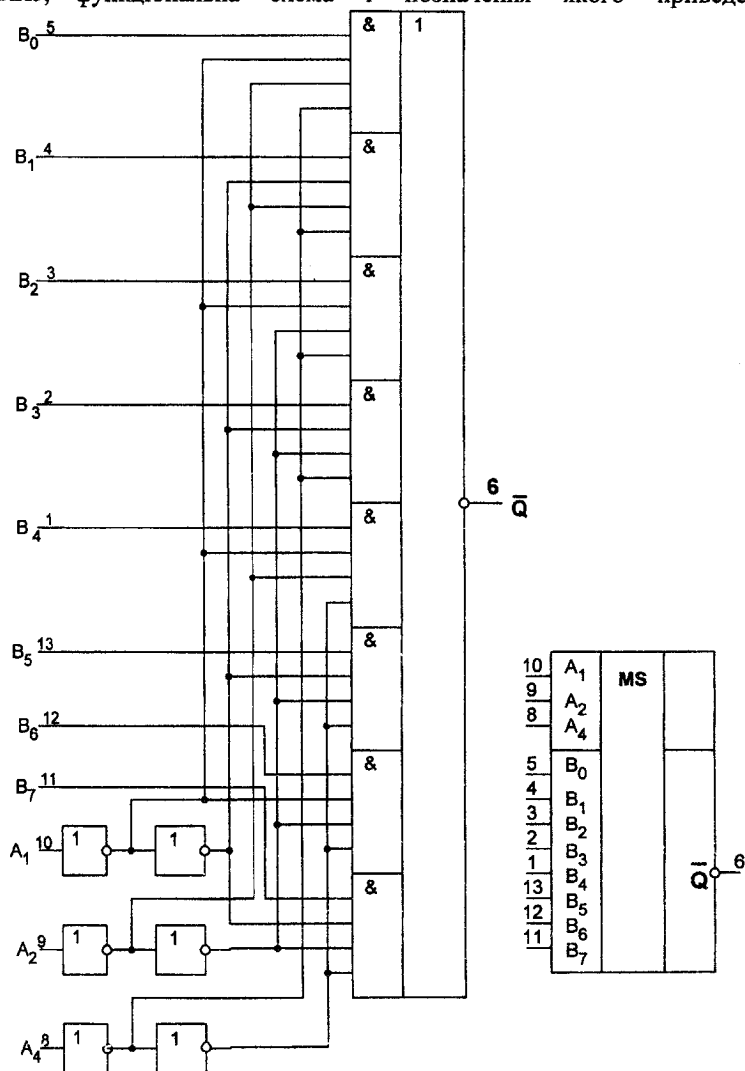


Рис.22. Функціональна схема і умовне позначення мультиплексора КП15

Функція мультиплексора на 8 інформаційних входів має вигляд:

$$Q = \overline{A_4} \cdot \overline{A_2} \cdot \overline{A_1} \cdot B_0 + \overline{A_4} \cdot \overline{A_2} \cdot A_1 \cdot B_1 + \overline{A_4} \cdot A_2 \cdot \overline{A_1} \cdot B_2 + \overline{A_4} \cdot A_2 \cdot A_1 \cdot B_3 + \dots$$

$$A_4 \cdot \overline{A_2} \cdot \overline{A_1} \cdot B_4 + A_4 \cdot \overline{A_2} \cdot A_1 \cdot B_5 + A_4 \cdot A_2 \cdot \overline{A_1} \cdot B_6 + A_4 \cdot A_2 \cdot A_1 \cdot B_7.$$

Її аналіз показує, що за допомогою мультиплексорів можна реалізовувати логічні функції, подаючи на інформаційні входи відповідні константи "0" або "1", а на адресні входи - вхідні змінні. Реалізація логічних функцій за допомогою мультиплексорів, дешифраторів та шифраторів розглядається в [9]. ІС мультиплексорів приведені в [5 - 10].

Схеми порівняння

Схеми порівняння (компаратори) визначають ознаки відношення між кодами. Розрізняють схеми порівняння на рівність, більше, менше та їх комбінації. Приклади побудови схеми порівняння на рівність і більше показані відповідно на рис. 23 і рис. 24.

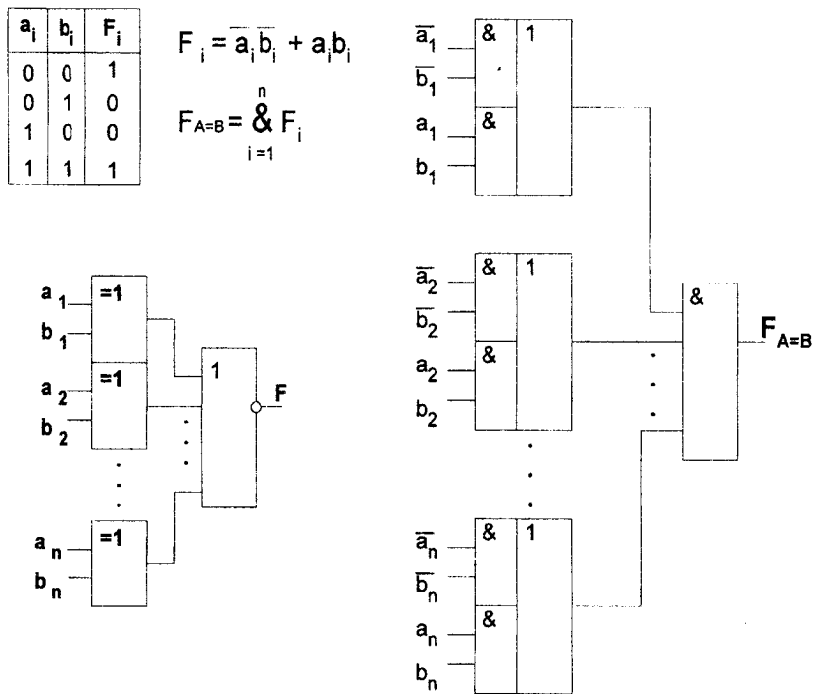


Рис. 23. Схема порівняння на рівність

Суматори

Суматором називають базовий вузол ЕОМ, який визначає суму кодів. Вони бувають комбінаційними і накопичувальними. Комбінаційні суматори виконують мікрооперацію додавання двох кодів: $SM := A+B$.

ai	bi	Fi
0	0	0
0	1	0
1	0	1
1	1	0

$$F_i = a_i b_i$$

$$F_{A>B} = a_1 b_1 + (a_1 \bar{b}_1 + a_1 b_1)(a_2 \bar{b}_2 + a_2 b_2)(a_3 \bar{b}_3 + \dots)(a_n \bar{b}_n) \dots$$

$$F_{A>B} = a_1 \bar{b}_1 + a_1 b_1 (a_2 \bar{b}_2 + a_2 b_2)(a_3 \bar{b}_3 + \dots)(a_n \bar{b}_n) \dots$$

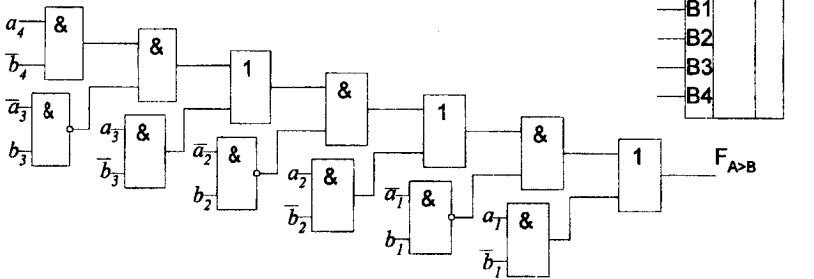


Рис. 24. Схема порівняння на більше

При побудові суматорів використовують блочний метод, коли синтезують однорозрядний комбінаційний суматор, а багаторозрядний будують із однорозрядних за допомогою відповідного їх включення (з послідовним, паралельним, наскрізним або груповим перенесенням). Комбінаційні суматори детально розглядаються в [2,3,11,12]. Їх позначення приведені на рис. 25.

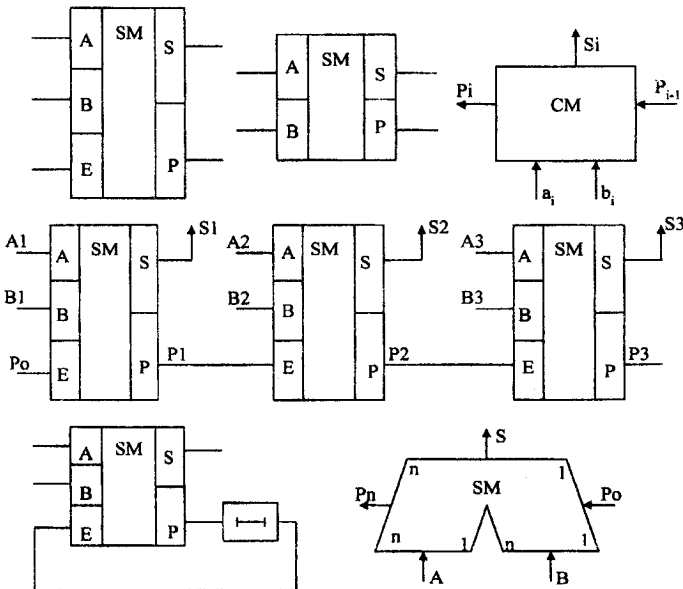


Рис. 25. Приклади позначень комбінаційних суматорів

Контрольні запитання і задачі

1. Що таке комбінаційна схема?
2. Які основні параметри комбінаційних схем Ви знаєте?
3. В чому полягає аналіз і синтез комбінаційних схем?
4. Що таке статичний ризик збою?
5. Що таке динамічний ризик збою?
6. Приведіть основні характеристики лінійного, пірамідального і двоступеневого дешифраторів.
7. Побудуйте двійково-десятковий дешифратор за критерієм мінімуму апаратних витрат на його реалізацію.
8. Побудуйте двійково-десятковий шифратор.
9. Синтезуйте схему порівняння на "менше" на чотири розряди.
10. Реалізуйте задані функції за допомогою мультиплексора КП5:
 - a) $Y_1 = X_1 \cdot X_2 + \overline{X_1} \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3$;
 - b) $Y_2 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} + \overline{X_1} \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3$;
 - c) $Y_3 = \overline{X_1} \cdot \overline{X_3} + \overline{X_2} \cdot X_3 + X_1 \cdot X_2 \cdot X_3$.
11. Проведіть синтез однорозрядного комбінаційного суматора на елементах "І-НІ".
12. Для чого використовуються стробові входи дешифраторів та мультиплексорів?
13. Назвіть основні типи дешифраторів в інтегральному виконанні та приведіть їх основні характеристики.
14. Визначте вихідні сигнали дешифратора ИДЗ та мультиплексора КП1 при різноманітних значеннях вхідних сигналів.

6. СХЕМОТЕХНІКА ЦИФРОВИХ ВУЗЛІВ

Цифрові вузли (вузли накопичувального типу) характеризуються внутрішнім станом і містять запам'ятовуючі елементи (тригери). Основними параметрами таких вузлів є розрядність, кількість робочих станів, швидкодія, складність апаратної реалізації. Найбільш поширеними з таких вузлів є регістри, лічильники та накопичувальні суматори.

Регістри

Регістри містять впорядковану сукупність тригерів зі схемою керування ними і виконують функції встановлення нульового стану, занесення, зберігання, перетворення (зсуву) і видачі (передавання) кодів.

В паралельних регістрах коди приймаються й видаються за всіма розрядами одночасно. Їх основна функція - зберігання слова інформації.

Послідовні або зсувні регістри послідовно записують код числа, починаючи з молодшого або старшого розряду, завдяки послідовному зсуву коду тактовими імпульсами.

Паралельно-послідовні регістри мають одночасно виводи

паралельного й послідовного приймання (видавання) слів і можуть перетворювати паралельні коди в послідовні й навпаки.

На рис. 26 показаний регістр з мікроопераціями занесення, видачі коду і встановлення нульового стану. Також тут наведений приклад міжрегістрової передачі інформації.

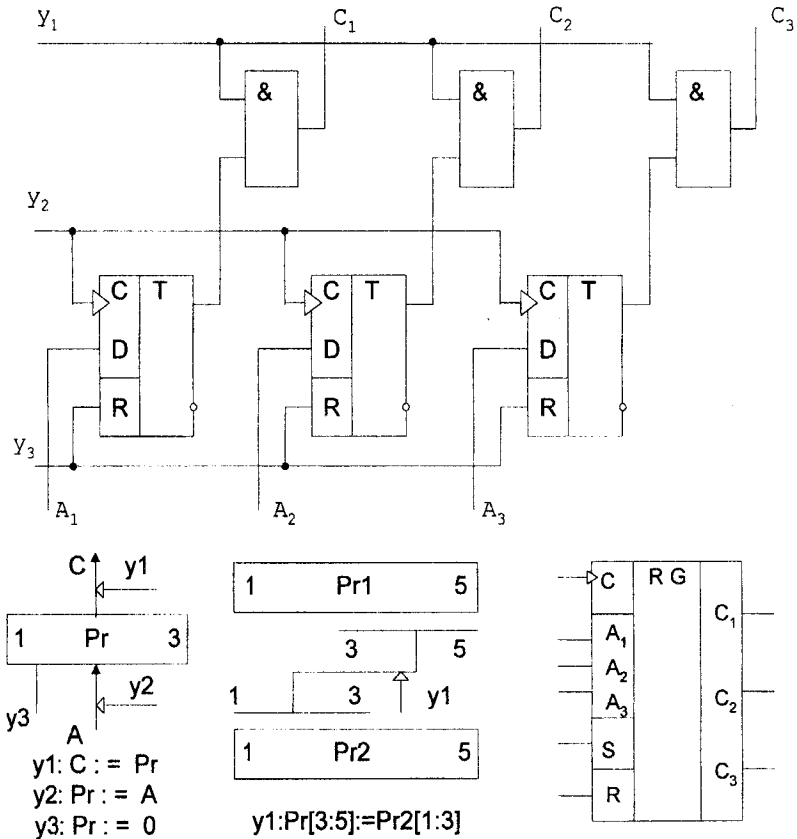


Рис.26. Функціональна схема і умовні позначення трьохрозрядного регістра з мікроопераціями занесення, видачі коду і встановлення нульового стану. Приклад міжрегістрової передачі

Регістри зсуву реалізують мікрооперації, які полягають в переміщенні кодового вмісту регістра відносно його розрядів вправо або вліво на один або декілька розрядів. Під час зсуву в звільнені ліворуч або праворуч розряди може вводиться інформація від зовнішнього джерела. На рис.27 приведені функціональна схема, умовні позначення і часова діаграма роботи зсувного регістру зі зсувом вправо на один розряд.

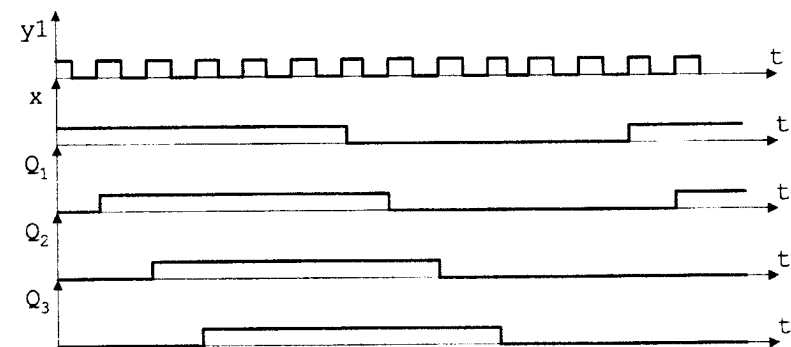
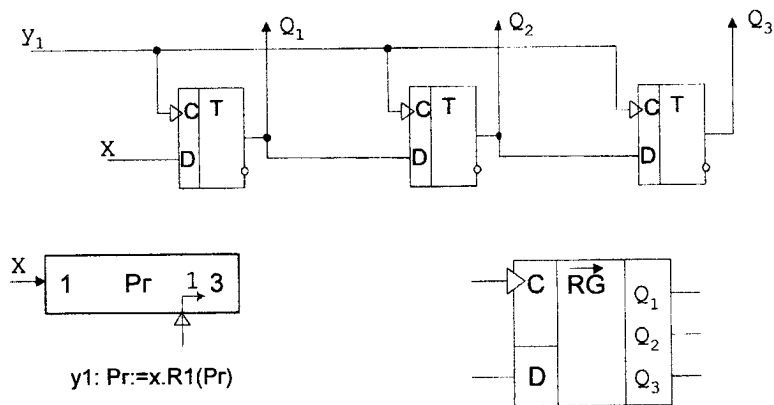


Рис. 27. Зсувний регістр зі зсувом вправо на один розряд і часова діаграма його роботи

Приклад зсувного регістра зі зсувом вліво на один розряд на основі JK-тригерів приведений на рис.28.

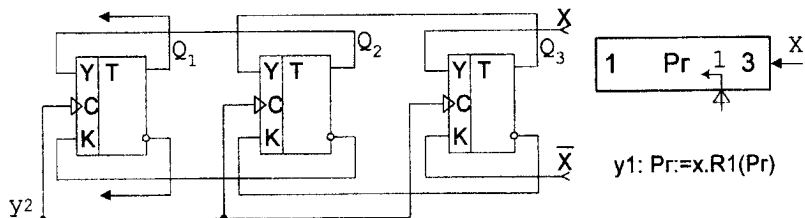


Рис.28. Зсувний регістр зі зсувом вліво на один розряд

Зсувні регістри, які можуть виконувати зсув в обидві сторони, називаються реверсивними. Принципи побудови і характеристики ІС регістрів приведені в [2 - 12].

Лічильники

Лічильник забезпечує зберігання слова інформації й виконання з ним мікрооперації лічби, яка полягає в збільшенні (підсумовувальний) або зменшенні (віднімальний) вмісту лічильника на одиницю. Реверсивні лічильники можуть виконувати обидві мікрооперації. Крім того лічильники можуть виконувати також допоміжні мікрооперації з набору регістрових мікрооперацій.

У цифрових ЕОМ лічильники використовують для утворення послідовності адрес команд, для організації циклів виконання операцій, поділу частоти імпульсів тощо.

До основних параметрів лічильників відносять модуль лічби (ємність), час установлення та роздільну здатність.

Модуль лічби - це кількість різних стійких станів лічильника, в які він переходить у процесі одного циклу лічби. Для двійкових лічильників модуль лічби дорівнює 2^n , де n - розрядність лічильника.

Час установлення - це проміжок часу від початку дії вхідного сигналу до встановлення нового стану лічильника для найбільш несприятливого випадку.

Роздільна здатність - це мінімально припустимий період проходження лічильних імпульсів, коли лічильник працює без перебоїв.

За способом організації міжрозрядних зв'язків розрізняють лічильники з послідовним, наскрізним, паралельним і комбінованим перенесенням.

На рис.29 приведена схема, таблиця функціонування і часова діаграма роботи трьохрозрядного лічильника з послідовним перенесенням на основі лічильних тригерів.

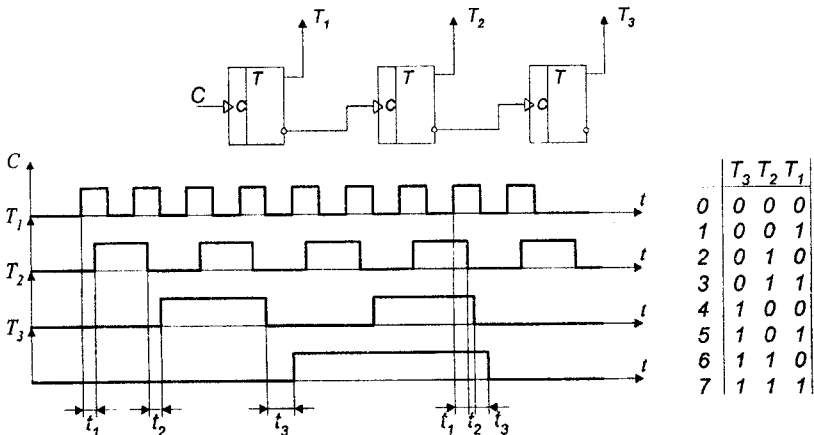


Рис.29. Двійковий лічильник з послідовним перенесенням
Лічильники з послідовним перенесенням характеризуються

простотою побудови. Їх основними недоліками є низька швидкодія (час установлення дорівнює затримці переключення всіх тригерів) і поява хибних станів на переходах.

Лічильники з наскрізним і паралельним перенесенням можуть бути побудовані на основі лічильних тригерів з додатковим керуючим входом. Приклади таких лічильників приведені на рис.30 і рис.31.

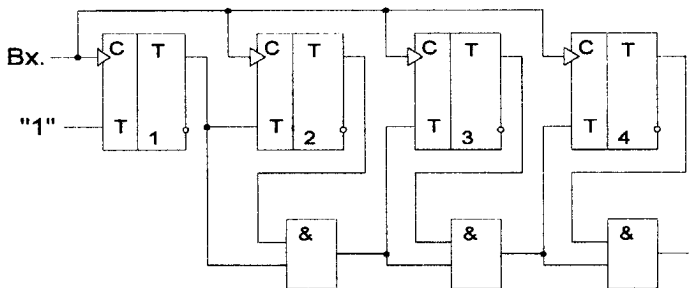


Рис.30. Двійковий лічильник з наскрізним перенесенням

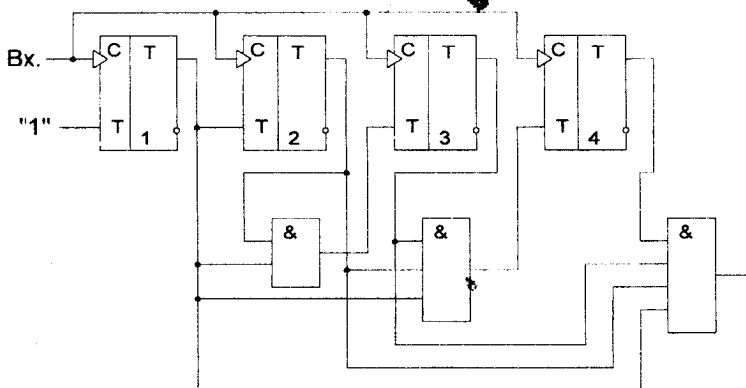


Рис.31. Двійковий лічильник з паралельним перенесенням

Лічильники з наскрізним і паралельним перенесенням забезпечують більш високу швидкість порівняно з лічильниками з послідовним перенесенням. Лічильники, в яких всі тригери переключаються одночасно, називають синхронними. В лічильниках, показаних на рис.29 і рис.30, час установлення дорівнює затримці переключення одного тригера, але роздільна здатність різна, що викликано різними затримками встановлення сигналів на керуючих входах лічильних тригерів.

Лічильники, кількість робочих станів в циклі яких відрізняється від 2^n , називають недвійковими. Вони можуть бути синтезовані як цифрові автомати або побудовані на основі двійкових лічильників шляхом введення зворотних зв'язків. На рис.32 приведений приклад лічильника з

імпульсним зворотним зв'язком на п'ять робочих станів.

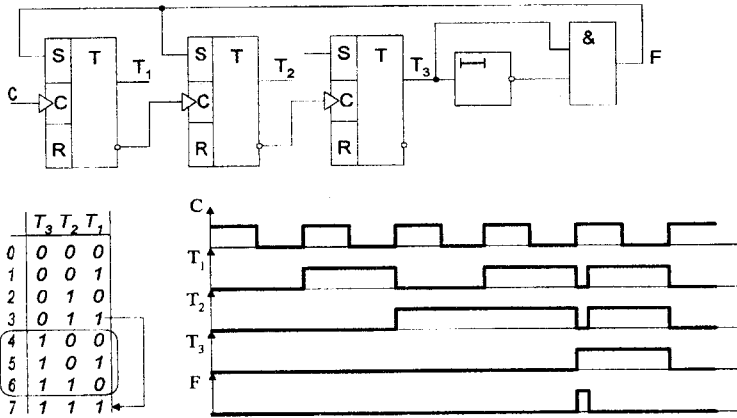


Рис.32. Недвійковий лічильник з імпульсним зворотним зв'язком на п'ять робочих станів

В зв'язку з великою кількістю різновидів тригерів можлива побудова багатьох варіантів лічильників з заданими функціональними властивостями. Основні принципи побудови лічильників приведені в [2 - 4, 11, 12]. Реалізації ІС лічильників приведені в [5 - 10].

Накопичувальні суматори

Накопичувальним називають суматор, який реалізує мікрооперацію підсумовування кодів у вигляді: $SM := SM + A$. Такі суматори мають внутрішній стан, який і є одним з операндів. Вони можуть бути побудовані на основі лічильних тригерів, або, як це найчастіше буває на практиці, з використанням комбінаційного суматора і регістра (рис.33).

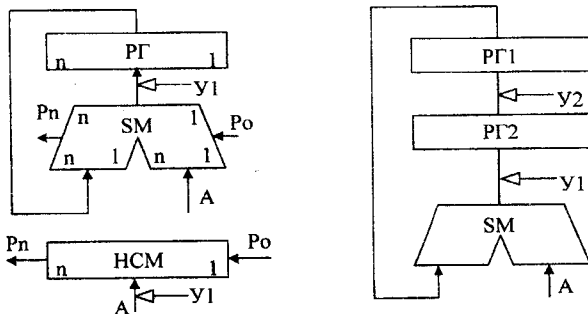


Рис. 33. Структури накопичувальних суматорів

Контрольні запитання і задачі

1. Які базові вузли називають вузлами накопичувального типу і чому?

2. Які основні мікрооперації виконують регістри?
3. Що таке регістри зсуву? Які вони бувають?
4. Приведіть основні параметри лічильників.
5. Побудуйте чотириохрозрядний зсувний регістр зі зсувом на два розряди вліво на основі двоступеневих RS-тригерів.
6. Побудуйте чотириохрозрядний реверсивний зсувний регістр зі зсувом на один розряд на основі JK-тригерів з динамічним керуванням.
7. Побудуйте таблицю функціонування і ідеалізовану часову діаграму роботи трьохрозрядного двійкового віднімального лічильника.
8. Синтезуйте недвійковий лічильник на 7, 11, 13 робочих станів відповідно на основі тригерів D-, JK- і RS-типу.
9. Проведіть аналіз ІС регістрів IP13, IP15, IP22.
10. Чому в одній зі схем накопичувального суматора (рис.33) використовуються два регістри?

7. СХЕМОТЕХНІКА ОБСЛУГОВУЮЧИХ ЕЛЕМЕНТІВ

В обчислювальній та інформаційно-вимірювальній апаратурі поряд з вузлами цифрової техніки використовуються також різноманітні імпульсні пристрої: формувачі, одновідбратори, генератори різних типів (прямокутних імпульсів, пилкоподібної і ступінчатої напруги і т.п.). Для їх побудови доцільно використовувати ІС. В деяких серіях ІС є спеціалізовані мікросхеми для генерації і перетворення імпульсів. Максимальна швидкодія імпульсних схем визначається часовими характеристиками мікросхем які використовуються. Для визначення затримок використовують зовнішні RC-кола. Коли ж необхідні інтервали часу малі (десятки і сотні наносекунд), з цією метою використовують час затримки сигналів в самій мікросхемі. Мікросхеми КМОН-структури порівняно з TTL більше підходять для роботи в імпульсних пристроях завдяки високому вхідному опору, хорошій температурній стабільності і передатній характеристиці, близькій до ідеальної.

Формувачі

Основне призначення формувачів - перетворювати вхідні сигнали довільної форми в нормалізовані по амплітуді і крутизні фронтів прямокутні імпульси для керування іншими мікросхемами. Прості формувачі можна зібрати на основі логічних елементів нерівнозначності (рис.34). В схемі *а*) в статичному стані на виході існує напруга низького рівня, а в схемі *б*) - високого. Тривалість імпульсів визначається часом затримки сигналів в інверторах. В якості інверторів і повторювачів можуть бути використані інші логічні елементи з того ж корпусу ІС.

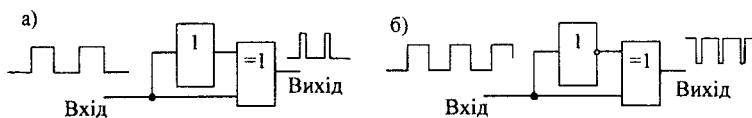


Рис.34. Формувачі на основі логічних елементів нерівнозначності

Для виділення одиночного імпульсу з безперервної послідовності можна використати схему, зображену на рис.35.

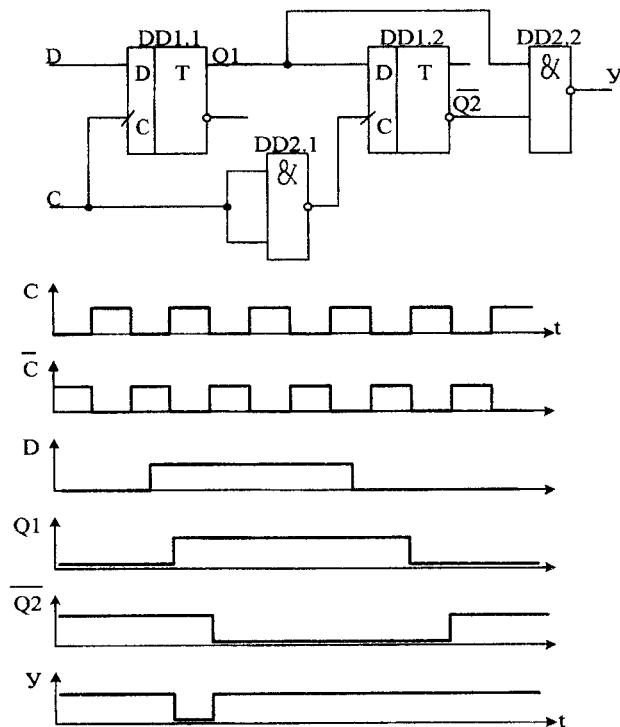


Рис.35. Пристрій для виділення одиночного імпульсу з безперервної послідовності і часова діаграма його роботи

Одновібратори

Ці пристрої призначені для генерації під дією вхідних сигналів одиночних прямокутних імпульсів заданої тривалості. Від простих формувачів вони відрізняються наявністю зворотного зв'язку і кола, що задає час, які забезпечують регенеративні процеси перемикавання. Цим досягається велика крутизна фронтів вихідних імпульсів і краща стійкість до факторів, які дестабілізують роботу схеми.

Одновібратори випускаються у вигляді самостійних мікросхем (АГ1, АГ3), а також будуються на основі тригерів або типових логічних елементів "І-НІ", "АБО-НІ". Логічна структура одного одновібратора і умовне зображення мікросхеми К155АГ3 показані на рис.36. Особливості його запуску і під'єднання зовнішніх компонент розглядаються в [4,5,8].

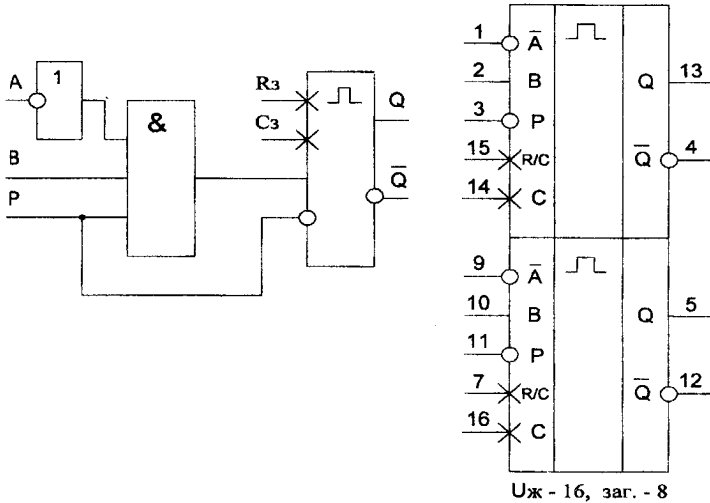


Рис.36. Мікросхема К155АГ3: логічна структура і умовне позначення

Мультивібратори

Цифрові мікросхеми широко використовуються також для створення генераторів з самозбудженням типу мультивібраторів, частота коливань яких визначається додатковими елементами або кварцовими резонаторами. В схемотехнічному відношенні існує велика різноманітність подібних пристроїв. Деякі з них повторюють рішення, відомі в транзисторній техніці, інші побудовані з врахуванням специфічних особливостей мікросхем. Типова схема мультивібратора на елементах ТТЛ приведена на рис.37.

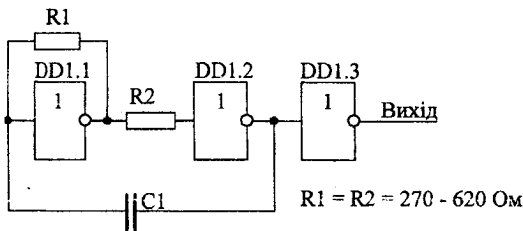


Рис.37. Схема мультивібратора на елементах ТТЛ

Елемент DD1.1 працює в лінійному режимі. Коливання виникають і підтримуються за рахунок додатного зворотного зв'язку, який створюється конденсатором C1. Мультивібратор стійко генерує на низьких і високих частотах. Зміна частоти здійснюється заміною конденсатора. Приблизне значення частоти генерації при $R_1=R_2=390$ Ом можна знайти по формулі: $f_r=1000/C_1$, де C_1 - в нанофарадах, а f_r - в кілогерцах. Загальний недолік мультивібраторів, виконаних на логічних елементах ТТЛ, - низька стабільність частоти генерації при коливаннях напруги живлення і температури зовнішнього середовища.

На основі одновібраторів ТТЛ типу K155АГ1 і K155АГ3 можуть бути створені оригінальні мультивібратори з високими експлуатаційними характеристиками. Схема мультивібратора, показана на рис.38, ілюструє побудову мультивібратора з незалежним керуванням періодом імпульсів і коефіцієнтом заповнення. Генерацію забезпечує елемент DD1.1 за рахунок

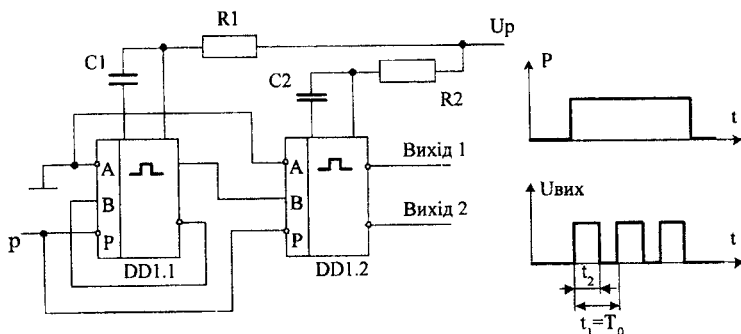


Рис.38. Мультивібратор на мікросхемі K155АГ3: принципова схема і часова діаграма

зворотного зв'язку з інверсного виходу на прямий вхід. При цьому генеруються короткочасні ($t_f \approx 30$ нс) імпульси напруги. Другий елемент (DD1.2) використовується для розширення цих імпульсів. Частота вихідних імпульсів визначається елементами R_1 , C_1 , а потрібний коефіцієнт заповнення - елементами R_2 , C_2 . Очевидно, що для нормальної роботи потрібно забезпечити $t_1 > t_2$. Вхід установки нуля може бути використаний як тактовий або синхронізуючий. При $P=0$ коливання зриваються.

Контрольні запитання і задачі

1. Для чого призначені формувачі, одновібратори, мультивібратори?
2. За рахунок чого формуються коливання мультивібратором, схема якого показана на рис.37? Чим визначається період коливань в цій схемі?
3. Розрахуйте параметри елементів схеми мультивібратора, показаної на рис.38, щоб частота коливань дорівнювала 8 МГц.

8. СХЕМОТЕХНІКА АНАЛОГОВИХ ТА КОМБІНОВАНИХ ВУЗЛІВ

Використання ЕОМ для розв'язування різноманітних задач керування, контролю й збирання інформації ґрунтується на існуванні математичних моделей - одного з видів моделювання. Моделювання називають математичним, коли фізика явищ, які відбуваються в моделі та оригіналі, має різний характер, а математичні й логічні залежності для цих явищ у моделі та об'єкті однакові.

Цифрові ЕОМ (ЦОМ) оперують з цифровими кодами, розв'язання ними задач полягає у послідовному виконанні окремих арифметичних, логічних та інших операцій з відповідними величинами. В аналогових ЕОМ (АОМ) інформація подається в аналоговій формі (найчастіше напругами і струмами). Математичні дії тут відповідають певним перетворенням фізичних величин, які виконуються паралельно. Тому АОМ мають високу швидкість. Але точність розв'язання задач на АОМ обмежена. Гібридні ЕОМ поєднують зображення інформації як в аналоговій, так і в цифровій формі.

Операційні підсилювачі

Операційні підсилювачі (ОП) є основними елементами АОМ. Вони забезпечують виконання лінійних і нелінійних математичних операцій над змінними, зображеними у вигляді електричних напруг.

ОП - це специфічний клас підсилювачів напруги постійного струму з великим коефіцієнтом підсилення, які працюють в режимі паралельного зворотного зв'язку по напрузі. Якість ОП визначає точність і швидкість аналогових обчислень.

ОП є двох типів - з одним інвертувальним входом і з інвертувальним та прямим входами (диференціальний ОП). Їх умовні позначення приведені на рис.39.

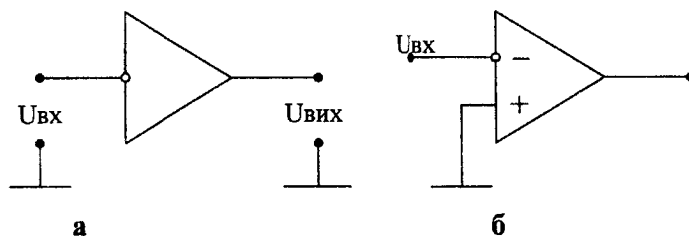


Рис.39. Умовні позначення ОП: а - з одним входом, б - диференціального

Для виконання математичних операцій ОП, звичайно, використовують за схемою з від'ємним зворотним зв'язком і разом з елементами кола цього зв'язку називають розв'язувальним підсилювачем (РП), який може виконувати такі лінійні операції, як масштабування, підсумовування, інтегрування, диференціювання (рис.40-43).

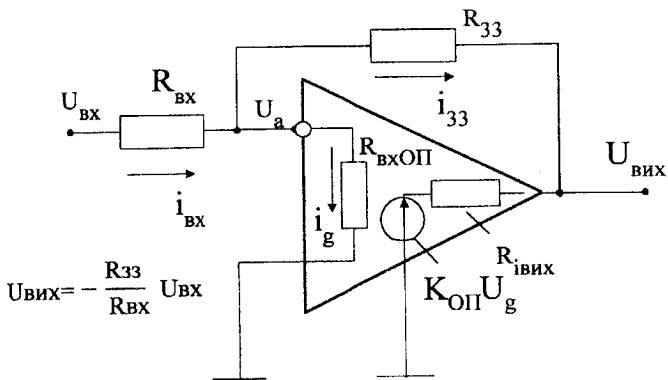


Рис.40. Схема масштабувального РП

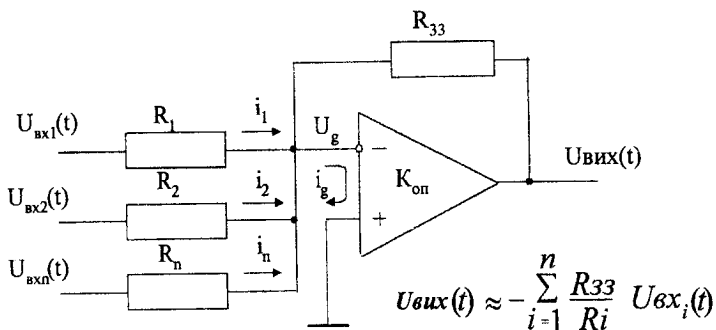


Рис.41. Схема підсумувального підсилювача

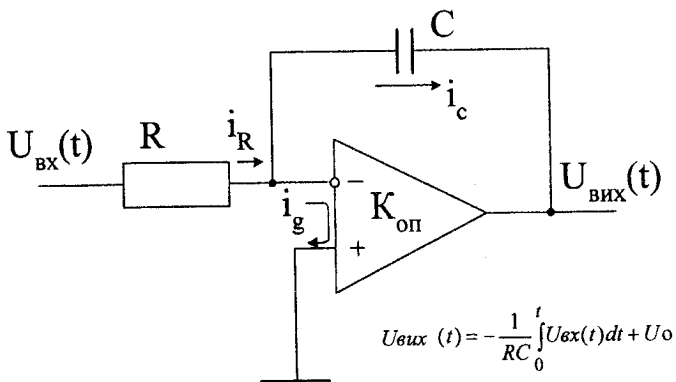


Рис.42. Схема інтегрувального РП

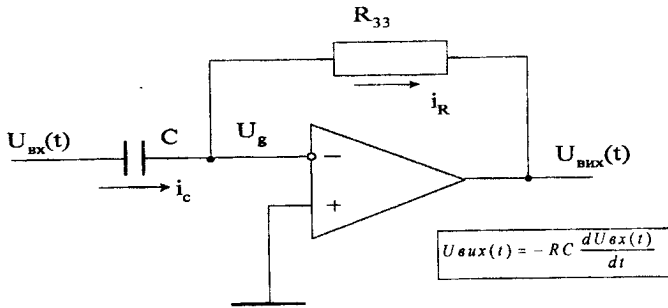


Рис.43. Схема диференціатора

Аналогові компаратори

Аналоговим компаратором називають елементи, які виконують логічну операцію порівняння аналогових величин у вигляді електричних напруг. Компаратор є аналого-цифровим елементом і має аналогові входи та цифровий вихід. При цьому компаратор, за своїми функціями, відповідає однорозрядному перетворенню «напруга-код». Компаратори використовуються при перетворенні напруг в часовий інтервал, при аналого-цифровому перетворенні, для побудови гістограм випадкових процесів.

В основі побудови інтегрального компаратора є диференційний підсилювач напруги постійного струму з великим коефіцієнтом підсилення по напрузі, вихідний логічний каскад і коло зміщення.

Основними параметрами компараторів є роздільна здатність, напруга зміщення, вхідний струм і різниця вхідних струмів, час відгуку.

Аналогові ключі

Аналоговий ключ - це елемент, який в відкритому стані передає сигнал з мінімальними викривленнями, а в закритому стані відключає коло передачі сигналу. Ключ має два входи, на один з яких надходить вхідний сигнал в аналоговій формі, а на інший - керуючий сигнал у вигляді низького або високого рівня напруги (двійковий логічний сигнал). Розрізняють ключі напруги і струму. За принципом побудови ключі бувають електромеханічні (реле), діодні, на біполярних і польових транзисторах, оптронні.

Основними параметрами аналогових ключів є прямий опір, залишкова напруга, зворотний опір, зворотний струм, час включення і виключення, а також діапазон напруг або струмів, величини логічних рівнів, напруга живлення, розсіювана потужність, діапазон робочих температур та ін.

Багатоканальні комутатори

Багатоканальними комутаторами називають пристрої, які

здійснюють послідовне підключення аналогових сигналів з різних каналів до одної загальної вихідної шини. Керування підключенням вхідного сигналу до виходу здійснюється за допомогою вхідного коду. Як правило, комутатори мають ще один цифровий, так званий тактовий вхід, активне значення якого дозволяє передачу інформації, а пасивне - забороняє. Для їх побудови найширше використовуються МОН-транзистори.

Широке використання багатоканальні комутатори мають в пристроях послідовного перетворення і обробки аналогової інформації. В телеметричних системах вони забезпечують послідовну передачу великої кількості сигналів по одному каналу зв'язку.

Аналого-цифрові перетворювачі

Цифрові обчислювальні машини працюють тільки з дискретними величинами, тому для вводу, безперервні величини повинні бути перетворені в дискретні, що досягається за допомогою спеціальних пристроїв - аналого-цифрових перетворювачів (АЦП).

Процес дискретизації включає квантування безперервного сигналу по рівню і по часу і полягає в тому, що діапазон безперервних величин розбивається на ряд дискретних значень по рівню і по часу, і будь-якому значенню безперервної функції ставиться в відповідність найближча пара дискретних значень рівня і часу.

Дискретизація безперервних величин супроводжується кодуванням інформації, яке полягає в тому, що кожному дискретному значенню ставиться у відповідність певна кодова комбінація.

Перетворення аналогової величини в цифровий код є вимірювальним процесом і відбувається шляхом виконання ряду операцій порівняння вимірюваної величини з набором еталонних дискретних величин, які мають однакову природу з перетворюваною аналоговою. При цьому відбуваються характерні перетворення форми інформації. За допомогою датчика фізична величина, яка досліджується, однозначно перетворюється в іншу аналогову величину, придатну для сприймання АЦП. Вона надходить на вхід компаратора АЦП. На інший вхід цього пристрою в певній послідовності подаються еталонні величини однакової природи з вимірюваною величиною, які виробляються блоком еталонних величин. Порядок видачі еталонних величин визначається керуючим цифровим автоматом, який реалізує заданий алгоритм перетворення. Компаратор видає послідовність кодових комбінацій, яка є результатом порівняння вимірюваної величини з еталонними. Дискретні сигнали компаратора використовуються для керування цифровим автоматом. Дискретний вихід компаратора або стан цифрового автомата в кінці перетворення визначає цифровий код вимірюваної величини.

За принципом дії розрізняють АЦП прямого перетворення (розімкнуті, без зворотного зв'язку) і урівноважувальні (замкнуті, зі

зворотнім зв'язком, компенсатори). В залежності від алгоритму функціонування виділяють АЦП зчитування (вимірювана величина порівнюється одночасно зі всім набором еталонних елементів, а результат перетворення одержується в процесі одного відліку), розгортувальні АЦП (монотонне наближення еталонної величини до вимірюваної, причому наближення здійснюється з одного боку і закінчується в момент рівності еталонної і вимірюваної величин), порозрядні АЦП (еталонна величина наближається до вимірюваної по кривій, яка здійснює затухаючі коливання відносно вимірюваної величини - АЦП порозрядного урівноваження або порівняння-віднімання), інтегруючі АЦП (вимірювана величина в процесі перетворення інтегрується і порівнюється з еталонними величинами).

Основними характеристиками АЦП є діапазон вимірюваних величин, похибка вимірювання (абсолютна, відносна, приведена, нормована, інструментальна, методична, систематична, випадкова, основна, додаткова, динамічна), швидкодія, вхідний опір, завадостійкість.

Цифро-аналогові перетворювачі

В складі пристроїв зв'язку ЕОМ з об'єктами керування використовують цифро-аналогові перетворювачі (ЦАП). В даний час найбільш широко використовують перетворювачі типу код-напруга. Найбільш поширеним є ЦАП паралельної дії. Його принцип роботи полягає в формуванні суми еталонних струмів, значення яких відповідають вазі розрядів вибраного коду. Основними параметрами ЦАП є роздільна здатність (найменша стандартна зміна вихідного сигналу ЦАП), похибка зміщення (нуля), масштабу, нелінійності.

Аналогові та комбіновані вузли розглядаються в [2,11-13].

Контрольні запитання і задачі

1. Що таке операційний підсилювач? Які вони бувають?
2. Виведіть основні співвідношення для масштабувального, підсумовувального, інтегрувального та диференціувального РП (рис.40-43).
3. Що таке аналоговий ключ? Якими параметрами він характеризується?
4. Що таке аналоговий компаратор? Якими параметрами він характеризується?
5. Які основні процеси відбуваються при аналого-цифровому перетворенні?
6. Які принципи побудови АЦП і ЦАП Ви знаєте? Приведіть їх основні характеристики.
7. Для чого потрібні багатоканальні комутатори?

9. ДЖЕРЕЛА ЖИВЛЕННЯ ЕОМ

Призначення джерела живлення - перетворювати напругу змінного струму в напругу постійного струму, яка потрібна для живлення відповідних схем. Найчастіше вхідною напругою джерела живлення є змінна напруга 220 В з частотою 50 Гц.

Джерело живлення складається з 4 основних частин: трансформатора, випрямляча, фільтра та стабілізатора.

Тому що трансформатори, випрямовувачі і фільтри є предметом дисципліни "Основи електротехніки і електроніки", основну увагу звернемо на стабілізатори напруги.

Стабілізатор - це пристрій, який автоматично і з необхідною точністю підтримує напругу (струм) на навантаженні в певних межах при виникненні факторів, що дестабілізують.

Найбільш поширеними є два методи стабілізації - параметричний і компенсаційний.

Принцип дії параметричного стабілізатора оснований на зміні опору (або інших параметрів) нелінійних елементів. В результаті перерозподілу струмів і напруг між елементами схеми досягається стабілізація. Розповсюдженими є параметричні стабілізатори з використанням стабілітронів [14]. Вони є простими і недорогими, однак мають суттєві недоліки, до яких відносять низьку ефективність через втрати потужності на баластному резисторі, відсутність можливості регулювання вихідної напруги, залежність напруги стабілізації від температури та ін.

Принцип дії компенсаційних стабілізаторів полягає в автоматичному регулюванні вихідної напруги. Порівняно з параметричними вони забезпечують значно вищу якість стабілізації, більшу вихідну потужність і ширший діапазон стабілізації напруги. Компенсаційні стабілізатори бувають послідовного і паралельного типу.

В стабілізаторах послідовного типу (рис. 44) регульовальний елемент

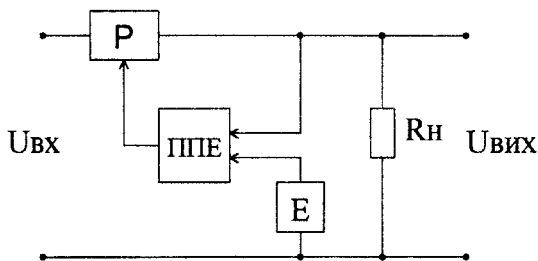


Рис.44. Компенсаційний стабілізатор послідовного типу

P включений послідовно з джерелом вхідної напруги і навантаженням R_n . Порівнювальний і підсилювальний елемент ППЕ порівнює вихідну напругу з еталонною (яка надходить з джерела опорної напруги E) і керує

роботою регулювального елемента. Напряга на регулювальному елементі росте з ростом напруги на навантаженні, а струм, приблизно, дорівнює струмові навантаження. Особливістю такої схеми є те, що при короткому замиканні на виході вся вхідна напруга прикладена до регулювального елемента.

В стабілізаторах паралельного типу (рис.45) регулювальний елемент

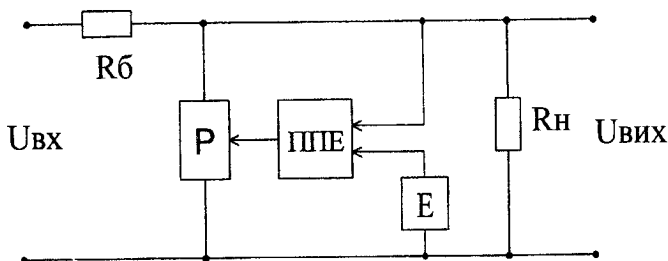


Рис.45. Компенсаційний стабілізатор паралельного типу

включений паралельно навантаженню. Напряга на регулювальному елементі не залежить від вхідної напруги, а струм знаходиться в прямій залежності від напруги на навантаженні. Однак такі стабілізатори мають невисокий коефіцієнт корисної дії (ККД) і використовуються рідко.

В простих схемах компенсаційних стабілізаторів як регулювальний елемент використовують транзистор.

В компенсаційних стабілізаторах безперервної дії регулювальний елемент працює в активному режимі і на ньому безперервно виділяється потужність. Через те що зміни опору регулювального елемента повинні скомпенсувати зміни всіх дестабілізаційних факторів, то падіння напруги на P (запас на регулювання) повинно досягати значної величини (до 25-45% від $U_{вх}$.), що приводить до низького ККД.

В імпульсних компенсаційних стабілізаторах P працює в ключовому режимі, втрати потужності в ньому мінімальні. Це дозволяє одержати ККД до 92-98%. Регулювальний елемент перетворює (модулює) вхідну постійну напругу в серію імпульсів певної тривалості і частоти, а згладжувальний фільтр демодулює їх знов в постійну вихідну напругу. При зміні вхідної напруги або струму (або навантаження в імпульсному стабілізаторі) за допомогою кола зворотного зв'язку тривалість імпульсів змінюється таким чином, що вихідна напруга залишається, в певних межах точності, стабільною. Імпульсні стабілізатори характеризуються високим ККД, малими габаритами і масою, низькою розсіюваною потужністю.

Коли регулювальний елемент включений в коло вторинної обмотки трансформатора, тоді стабілізатор напруги називають вторинним, а якщо він включений на первинному боці силового трансформатора -

стабілізатор називають первинним.

До основних параметрів стабілізаторів відносять коефіцієнт стабілізації, вихідний опір, ККД, дрейф (допустима нестабільність) вихідної напруги, температурний коефіцієнт стабілізації.

Абсолютний коефіцієнт стабілізації - це відношення приросту вхідної напруги до приросту вихідної.

Відносний коефіцієнт стабілізації визначається як частка від ділення відношення приросту вхідної напруги до вхідної напруги на відношення приросту вихідної напруги до вихідної напруги.

Вихідний опір визначається відношенням приросту вихідної напруги до приросту вихідного струму при постійній вхідній напрузі. Бажано, щоб вихідний опір був малим. При цьому зменшується загальний внутрішній опір блока живлення, що призводить до зменшення падіння напруги на ньому і підвищує стійкість роботи багатокаскадних схем.

Коефіцієнт корисної дії визначається відношенням вихідної потужності (яка виділяється на навантаженні) до вхідної.

Часовий або температурний дрейф характеризується величиною відносної або абсолютної зміни вихідної напруги за певний проміжок часу або в певному інтервалі температур.

Температурний коефіцієнт напруги стабілізації - це виражене в відсотках відношення приросту напруги стабілізації до добутку напруги стабілізації на приріст температури.

Контрольні запитання і задачі

1. Що таке джерело живлення? Для чого воно призначене?
2. З яких основних частин складається джерело живлення?
3. Що таке випрямляч? Які випрямлячі Ви знаєте?
4. Що таке фільтр? З якою метою фільтри використовуються в джерелах живлення?
5. Що таке стабілізатор? Для чого він потрібен в джерелах живлення?
6. Охарактеризуйте принцип дії стабілізаторів параметричного типу.
7. Які властивості мають стабілізатори параметричного типу?
8. Які стабілізатори називають компенсаційними і чому?
9. Які види компенсаційних стабілізаторів Ви знаєте?
10. Поясніть принцип дії компенсаційного стабілізатора послідовного і паралельного типу.
11. Які переваги мають компенсаційні стабілізатори перед параметричними і навпаки?
12. Що таке імпульсні стабілізатори напруги? Поясніть їх принцип дії.
13. Які стабілізатори називають первинними і вторинними?
14. Назвіть основні параметри стабілізаторів і дайте їм характеристику.
15. Якого типу стабілізатори забезпечують високий ККД?

10. ПЕРСПЕКТИВИ РОЗВИТКУ СХЕМОТЕХНІКИ ЕОМ

Основними факторами, які визначають тенденції розвитку схемотехніки ЕОМ, є удосконалення технології виробництва виробів мікроелектроніки і поступове зниження часу затримки розповсюдження сигналів, підвищення степеня інтеграції мікросхем.

З ростом функціональної складності інтегральних схем час і собівартість їх проектування ростуть по експоненціальному закону. В результаті виникає одно з основних протиріч мікроелектроніки: при рості степеня інтеграції число типів ІС росте і тільки при дуже великих степенях інтеграції воно знижується до одного типу. Вимушена спеціалізація ВІС приводить до зниження валової кількості схем, оскільки кожна спеціалізована ВІС має відносно вузьку область використання.

Вказане протиріччя розв'язується: шляхом використання технологічних методів введення спеціалізації на останніх етапах технологічного процесу виготовлення ВІС (матричні ВІС або базові матричні кристали - БМК) або шляхом використання логічних методів спеціалізації, коли шляхом програмування ВІС налаштовується на виконання певних функцій (програмовані логічні інтегральні схеми - ПЛІС). Для проектування схем на основі БМК і ПЛІС використовуються спеціалізовані пакети застосовних програм. При цьому можуть бути використані елементи стандартних бібліотек або створені власні.

В схемотехнічному плані, останнім часом набувають поширення дискретні обчислювальні середовища, які характеризуються рівнем однорідності, структурою зв'язків, способом розміщення елементів середовища в просторі, логічними можливостями елементів, способом взаємодії елементів при виконанні логічних операцій, рівнем керованості і способом керування.

Один з перспективних напрямів розвитку елементної бази ЕОМ - оптоелектроніка. В оптоелектронних схемах відбувається взаємне перетворення оптичного і електричного сигналів. Повна або часткова заміна електричного сигналу, як носія інформації, світловим, значно розширює частотний діапазон і швидкість передачі інформації, дає можливість організації зв'язків між елементами без механічного контакту, дозволяє здійснити паралельну передачу інформації по одному і тому ж каналу без взаємних завад, а також електричну розв'язку кіл при зберіганні сильних функціональних зв'язків.

Розрізняють два напрямки в оптоелектроніці: електронно-оптичний і оптичний. Електронно-оптичний напрямок оснований на принципі фотоелектричного перетворення, яке реалізується в твердому тілі внутрішнім фотоефектом і електролюмінесценцією. Оптичний напрямок оснований на тонких ефектах взаємодії твердого тіла з електромагнітним випромінюванням і використовує лазерну техніку, голографію, фотохімію. Відповідно існує два класи оптичних елементів - оптрони і квантооптичні елементи.

11. МОДЕЛЮВАННЯ ЦИФРОВИХ ПРИСТРОЇВ В СИСТЕМІ PCAD

Загальні відомості про систему проектування PCAD

Програмний комплекс системи PCAD включає в себе взаємопов'язані пакети програм та окремі програми, які утворюють систему наскрізного проектування радіоелектронної апаратури.

Зі складу підсистеми моделювання найчастіше використовуються такі програмні модулі:

PCCAPS – графічне введення і редагування символів електронних компонентів (створення файлів з розширенням .SYM) та принципів електричних схем (створення файлів з розширенням .SCH);

PCNODES – викликання списку електричних зв'язків із графічного образу принципової схеми у вигляді двійкового файла, який мав розширення .NLT;

PCPRINT – виведення креслення електричної принципової схеми на принтер;

PROBE – графічне відображення на екрані дисплея документування результатів моделювання принципів схем;

PRESIM – складання логічного опису цифрового пристрою у форматі програми моделювання PCLOGS (створюються файли з розширенням .NET);

PCLOGS – логічне асинхронне трійкове моделювання цифрових пристроїв;

POSTSIM – графічне відображення на екрані дисплея документування результатів логічного моделювання цифрових пристроїв за допомогою програми PCLOGS.

Загальні принципи роботи з графічним редактором

Графічний редактор принципів електричних схем PCCAPS використовується для вирішення двох задач:

- побудова/редагування графічного зображення (символу) окремого елемента (компонента) принципової електричної схеми (створюється файл з розширенням .CYW);

- побудова/редагування принципової електричної схеми аналогового або цифрового пристрою (створюється файл з розширенням .SGH).

Побудова креслення схеми виконується за допомогою маніпулятора «миша», який переміщується по горизонтальній поверхні робочого столу. При цьому на екрані дисплея синхронно переміщується курсор у вигляді хреста.

В програмі PCCAPS повна інформація про креслення заноситься у 18 шарів. Кожний шар має один із трьох станів (статусів):

OFF – шар невидимий і недоступний для редагування;

ON – шар видимий, але недоступний для редагування;

ABL – шар видимий і може стати активним (доступним для редагування) в режимі ABL A.

Зона меню команд вміщує перелік основних команд і підкоманд. Щоб вибрати команду з цього меню, необхідно помітити курсором ім'я команди та натиснути кнопку 1 маніпулятора "миша" або клавішу "пропуск" на клавіатурі. Якщо у вибраній команді є підкоманди, вони відсвічуються жовтим кольором в середній частині лівої колонки зони меню команд. Після вибору підкоманди вона активізується, в рядку станів з'являються параметри, а в рядку повідомлень – інформація про дальші дії.

Приведемо перелік команд графічного редактора PCCAPS в черзі їх проходження в зоні меню команд:

<i>Команда / Підкоманда</i>		<i>Призначення</i>
		<u>Вибір режиму</u>
DETL		Редагування принципової схеми
		<u>Робота з файлами</u>
FILE	/SAVE	Запис файла на диск
	/LOAD	Зчитування файла даних з диску
	/ZAP	Очищення екрана
		<u>Системні команди</u>
SYS	/PLOT	Створення файла з розширенням .PLT (виведення креслення на принтер)
	/QUIT	Завершення роботи з редактором
		<u>Опитування</u>
QRY	/COMP	Видача інформації про зазначений компонент
	/PIN	Видача інформації про зазначений контакт компонента
	/NET	Видача інформації про зазначений ланцюг
		<u>Графічне введення</u>
ENTR	/COMP	Введення зображення компонента з бібліотеки файлів з розширенням .SYM
	/WIRE	Введення провідника (ланцюга)
		<u>Малювання</u>
DRAW	/TEXT	Введення тексту
		<u>Введення імені</u>
NAME	/COMP	Надання імені компоненту
	/NET	Надання імені ланцюгу
	/SUBN	Перейменування ланцюга
		<u>Робота з атрибутами</u>
ATTR	/SCHG	Зміна значення атрибута
	/ACOM	Доповнення атрибутом

	/ DATR	Видалення атрибута <u>Редагування креслення</u>
EDIT	/ ADDV	Вставка вершини
	/ MOVA	Зсув всіх сегментів, вершин, компонентів і точок паяння
	/ DELS	Видалення сегмента
	/ MOVS	Зсув сегмента
	/ WIRE	Введення провідника (ланцюга) <u>Зсув об'єктів</u>
MOVE		Переміщення об'єкта, поміченого курсором
	/ WIN	Зсув об'єктів, які знаходяться у вікні
	/ IDEN	Зсув групи індивідуально-вказаних об'єктів
	/ ATRB	Вибір атрибутів для зсуву і редагування <u>Копіювання об'єктів</u>
COPY		Копіювання об'єкта
	/ WIN	Копіювання об'єктів, які знаходяться у вікні
	/ IDEN	Копіювання групи об'єктів <u>Вилучення об'єктів</u>
DEL		Вилучення об'єкта
	/WIN	Вилучення об'єктів, які знаходяться всередині і на кордоні вікна
	/IDEN	Вилучення групи об'єктів <u>Керування екраном</u>
ZIN		Збільшення зображення в два рази
ZOUT		Зменшення зображення в два рази <u>Виклик меню шарів</u>
VLRV		Установлення стану і кольору шарів

Моделювання цифрових пристроїв

Перед моделюванням цифрового пристрою за допомогою програми PCLOGS необхідно виконати нижчезазначене. Спочатку за допомогою графічного редактора PCCAPS складається принципова схема пристрою і заноситься в файл з розширенням .SGH. Потім з цього файла за допомогою програми PCNODES викликається перелік електричних зв'язків, який заноситься в файл з розширенням .NIT. Після цього викликається програма PRESIM для складання опису цифрового пристрою, що моделюється в форматі програми PCLOGS. Вихідний файл програми PRESIM за замовчуванням мав те ж ім'я, що і вхідний файл, і розширення NET. Файл з розширенням .NET є вхідним файлом програми моделювання PCLOGS.

Часто використовується пакетний режим завантаження кількох

програм системи проектування PCAD. Для цього, за допомогою текстового редактора, створюється файл з розширенням .BAT, в який заносяться командні рядки виклику послідовності програм. Зміст пакетного файлу залежить від структури принципової схеми, яка досліджується. Наприклад:

```
< ім'я файла >.bat
pcnodes % 1. Sch
presim % 1. nlt
pclogs % 1. cmd
```

Командний файл створюється за допомогою будь-якого текстового редактора. В ньому використовуються дві безрозмірні цілочисельні одиниці вимірювання часових інтервалів: крок (time step) і цикл (cycle).

Крок – це мінімальний інтервал часу, який використовується для вимірювання затримок сигналу.

Цикл складається з кількох кроків. У синхронних пристроях це часто період тактової частоти. Тривалість сигналу може задаватися як в циклах, так і в кроках. Частіше визначають тривалість сигналів в циклах.

Приведемо перелік команд, які входять в командний файл для програми PCLOGS <ім'я файла>.cmd:

```
LOAD <ім'я файла>.NET
CYCLE 96
GEN [0 0] X1 (S0/1 S1/1)
GEN [0 0] X2 4(S0/2 S1/2) S0/1 S1/2
GEN [0 0] X3 2(S0/4 S1/4) S0/2
GEN [0 0] X4 (S0/8 S1/8)
.....
GEN [0 0] XN (S0/16 S1/16)
DISPLAY 4
MONITOR X1 X2 X3 ... XN Y1 Y2 ... YM
PROBE X1 X2 X3 ... XN Y1 Y2 ... YM
SPOOL ALL
SIM 32
```

Розглянемо зміст команд файлу з розширенням .CMD .

Спочатку за допомогою команди LOAD завантажується файл <ім'я файла>.NET, потім за командою GEN задаються часові діаграми вхідних сигналів X1, X2, X3, ..., XN. При моделюванні необхідно перебрати 2^N комбінацій вхідних сигналів.

Наприклад, команда

```
GEN [0 0] X1 (S0/1 S1/1)
```

означає, що вузол X1 протягом одного циклу мав логічний стан "0", а протягом наступного циклу - "1", після чого вони циклічно повторюються, оскільки розміщені в круглих дужках. Затримка переднього і заднього

фронту сигналів, яка вказана в квадратних дужках, дорівнює нулю.

Після цього за командою DISPLAY устанавлюється режим графічного виведення на екран часових діаграм вузлів, перелічених у команді PROBE. Команда DISPLAY має параметри масштабування часових діаграм. Часто приймається такий формат команди:

DISPLAY n ,

де n - період показу результатів на екрані (в часових кроках).

Команди SPOOL ALL і MONITOR забезпечують передачу результатів моделювання в файл <ім'я файла>.SPL, який можна буде пізніше подивитись за допомогою програми POSTSIM.

Команда SIM використовується для завдання тривалості моделювання в циклах. Власне моделювання починається після подачі команди SIM, внаслідок чого, на екрані будуть одержані результати моделювання.

Моделювання завершується командою EXIT.

Побудова принципової схеми цифрового пристрою та її моделювання в системі PCAD

Побудова принципової схеми цифрового пристрою та її моделювання в системі PCAD включає такі етапи:

- Ввійти в систему PCAD і в свій розділ (вказаний викладачем)
- Записати командний файл для програми PCLOGS. Для цього необхідно натиснути клавіші [Shift + F4] і на запит системи:

Edit the file:

набрати з клавіатури < ім'я файла. cmd. > і натиснути клавішу <Enter>. Тут необхідно набрати зміст командного файла. Записати командний файл (натиснути клавішу F2)

- Завантажити програму PCCAPS (рссaps або рссaps -r)
- Встановити середовище проектування командою VLYR.

Параметри шарів повинні бути:

WIRES	ABL A
GATE	ABL
PINCON	ABL
SDOT	ABL
NETNAM	ABL
CMPNAM	ABL
ATTR	ABL
REFDES	ABL

Решта шарів знаходяться в стані OFF.

- З бібліотеки викликати необхідні компоненти і розмістити їх на полі креслення у відповідності з вашою принциповою схемою. На полі

креслення компоненти розміщуються за командою ENTR/COMP в шарі GATE. Спочатку у відповідь на запит:

Comp file name G/T-scales (F1 for list) необхідно надрукувати ім'я файлу, який має компонент, або натиснути клавішу F1. В меню засвічується:

Level 1
lib\

Натиснути ліву клавішу миші два рази. Вибрати курсором необхідний елемент з бібліотеки та натиснути ліву клавішу миші. На запит:

Select loc -to place comp (Orientation OK?)

необхідно прямокутником, який визначає розмір компонента, вказати розміщення цього компонента на екрані (ліва клавіша миші). Зображення компонента можна вмістити в кількох місцях на полі креслення, кожен раз підводячи його до нового місця і фіксуючи зображення натиском лівої клавіші миші.

Повторити вище вказані операції для інших компонентів. Для виходу із команди ENTR/COMP необхідно натиснути праву клавішу миші два рази.

- Побудувати зображення електричних зв'язків. Для того, щоб з'єднати компоненти у відповідності з принциповою схемою, необхідно подати команду ENTR/WIRE. Після активізації цієї команди в рядку станів встановлюються параметри:

WIRES – шар ланцюгів, встановлюється автоматично;

ORTH – введення ліній та міжз'єднань під кутом 90 град.;

L – режим захвату (символ L зеленого кольору).

Змінюючи ORTH на ANGLE, отримаємо введення ліній та міжз'єднань під будь-яким кутом.

Далі за запитом системи:

Select start point . . .

курсор підводиться до початку ланцюга, який фіксується натиском лівої клавіші миші, після чого за запитом:

Select next point . . .

курсор підводиться до наступного елемента. Натискають ліву клавішу миші і потім аналогічно проводять наступний відрізок провідника в тому ж напрямку або під кутом 90°. Введення ланцюга закінчується натиском правої клавіші миші. При з'єднанні контактів компонентів незакінчений ланцюг до натиску правої клавіші миші забарвлений в білий колір, а після її натиску – в зелений.

При введенні на кресленні зображень компонентів їх контакти помічені хрестиком, після підключення до них ланцюгів хрестики

зникають, що свідчить про наявність контакту.

В точці перехрещення ланцюгів електричне з'єднання автоматично не відбувається. Для одержання електричного з'єднання спочатку зображується T-подібне перехрещення, після чого у відповідь на запит системи про з'єднання двох відрізків ланцюгів

Merge the nets? Yes No

слід вибрати відповідь Yes; місце з'єднання відзначається як "місце пайки". При необхідності з "місцем пайки" можна з'єднати ще один або декілька ланцюгів.

Ланцюги редагуються командами EDIT.

- Присвоїти імена ланцюгам та компонентам. Імена присвоюються за командами NAME. Ім'ям ланцюга може бути довільна послідовність латинських букв і цифр. Ім'я ланцюга вводиться по команді NAME / NET (при цьому повинен бути включений шар NETNAM). На запит системи:

Select a net . . .

курсором вибрати ланцюг, якому присвоюється ім'я (він яскраво висвічується).

На запит системи:

Enter net name:

набрати на клавіатурі його ім'я і натиснути клавішу < Enter >. На запит системи:

Name=<ім'я ланцюга> Select location...

курсором відмітити місце його розміщення на кресленні. Для виходу натиснути праву клавішу миші.

Імена компонент вводяться по команді NAME/COMP в шарі CMPNAM. Спочатку по запити:

Select a component . . .

курсором вибрати компонент, який після цього яскраво висвічується. Далі на запит системи:

Enter component name:

з клавіатури ввести ім'я компонента (наприклад D2.I). Місце розміщення цього позначення на кресленні вказується по запити:

NAME=<ім'я> Select location . . .

ім'я компонента на кресленні фіксується натиском правої клавіші миші.

- Ввести атрибути схеми командою ATTR/ACOM і по запити:

Select a component . . .

курсором вибрати компонент і натиснути ліву клавішу миші.

Даний компонент яскраво висвічується. На підказку системи:

Select location.(Text attributes OK?) . . .

знайти курсором місце (біля компонента) для задання атрибутів.

Натиснути ліву клавішу миші. На підказку системи

Tape in attribute spec.

з клавіатури ввести час затримки елемента, наприклад:

PCL=7, 10

і натиснути клавішу <Enter>.

Таким же чином ввести атрибути і для інших компонентів. Якщо компонент виведений із бібліотеки з позначенням model, то необхідно подати команду ATTR / SCHG і на підказку:

Select one attribute . . .

курсор сумістити з написом model і натиснути ліву клавішу миші, з'являється: PCL=model.

На підказку:

Enter new value

набрати на клавіатурі параметри затримки і натиснути клавішу <Enter>.

- Записати графічне зображення схеми. Запис у файл з розширенням .SCH виконується за командою FILE/SAVE. У відповідь на запит:

Enter file name

вводиться ім'я файла (без розширення .SCH, що встановлюється по замовчуванню).

- Створити вихідний файл для програми PCPRINT з розширенням .PLT для виведення принципової схеми на принтер.
- Вийти із програми PCCAPS.
- Провести моделювання принципової схеми, тобто одержати часові діаграми її роботи. Для цього необхідно завантажити пакетний файл з розширенням .BAT, в який заносяться командні рядки виклику послідовності програми. Наприклад, файл пакетної обробки < start.bat >.

Подати команду

start.bat <ім'я файла схеми>

Ім'я файла принципової схеми необхідно вводити без розширення .sch.

- Провести аналіз роботи схеми за часовою діаграмою.
- Видати на друк часову діаграму.

Виведення часових діаграм на принтер

Після перевірки на достовірність часових діаграм, тобто перевірки на правильність функціонування схеми, необхідно вийти з режиму моделювання. Викликати пакетний файл PLOT.CMD та внести зміни. Він має вигляд:

Load e:\pcad\workpr\ім'я розділу \ім'я файла.SPL
monitor (ввести через пропуск параметри, які виводяться
на друк в необхідній послідовності)

plot n/p (зміст параметрів n,p такий же, як у команді DISPLAY)

review from 0

Командний файл завантажується програмою POSTSIM за допомогою командного рядка

—> POSTSIM PLOT.CMD

Закомандою review from 0 часова діаграма виводиться на принтер.

Робота з програмою POSTSIM завершується командою EXIT.

Виведення креслення схеми на принтер

Після створення графічного зображення схеми за допомогою програми PCCAPS усю схему цілком або її частину можна вивести на принтер. Для цього, знаходячись у програмі PCGAPS, за командою SYS/PLOT зображення схеми або її частину замикають в прямокутну рамку, указуючи координати її протилежних кутів по запитам:

PLOT: Select Page Corner 1 . . .

PLOT: Select Page Corner 2 . . .

Після цього по запити:

Plot file name:

виводять ім'я файла, якому по замовчуванню надається розширення .PLT.

Креслення схеми виводиться на принтер за допомогою програми PCPRINT, яку можна викликати безпосередньо командою >pcprint

Після цього на екран виводиться початкове меню програми:

Configure PC-PRINT (установлення конфігурації)

«Plot a file» (виведення креслення)

Exit PC-PRINT (вихід з програми)

Вибирається в даному меню програми виведення креслення на принтер plot a file. В меню побудови креслення внести такі зміни:

Plot filename - ввести ім'я файла (по замовчуванню установлюється розширення .PLT)

Printer: Epson MX-80 (вибирається тип принтера FX-80 клавішею "пропуск")

Plot orientation - запит на нормальне або повернуте зображення схеми. Змінюється натиском клавіші "пропуск".

Scale Factor: 1,5- максимально допустимий масштаб зображення схеми на кресленні. Отриманий розмір необхідно зменшити на 0,1 в зв'язку з нестандартними розмірами аркуша паперу.

Після установлення всіх параметрів подається команда початку друку (натиснути клавішу <Enter>).

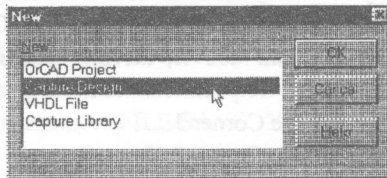
12. МОДЕЛЮВАННЯ ЦИФРОВИХ ПРИСТРОЇВ В СИСТЕМІ OrCAD

В цьому розділі приведені стислі рекомендації щодо проектування і моделювання схем цифрових пристроїв з використанням бібліотеки символів в програмі OrCAD Express for Windows.

Схема складається з компонентів. Компонентами схеми є символи. Подання символів міститься в бібліотечному файлі з розширенням .olb.

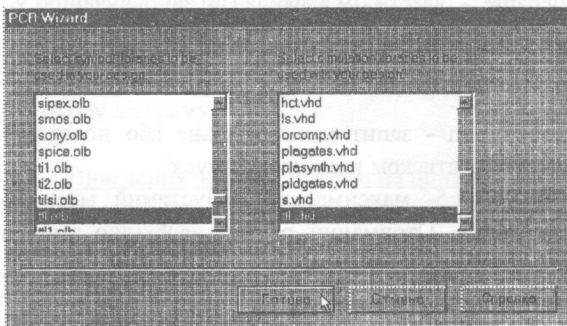
Перед створенням схеми необхідно створити проект.

- Для створення проекту виконайте команду File\New... або натисніть на кнопку Create document (створити документ) на панелі інструментів. У діалоговому вікні New виберіть Capture Design в списку New і натисніть кнопку ОК.



Діалогове вікно New. Створення Capture Design

- У діалоговому вікні New Project заповніть поле Name ім'ям проекту. У полі Location введіть ім'я папки, в якій буде розташовуватися Ваш проект. При цьому користуються кнопкою Browse... для перегляду дерева папок. У списку Create a New Project Using виберіть пункт PC Board Wizard. Після заповнення всіх полів натисніть кнопку ОК.
- У вікні PCB Wizard в списку Select symbol libraries to be used in your design виберіть бібліотеку tl.olb. У списку Select simulation libraries to be used with your design виберіть бібліотеку tl.vhd. Після цього натисніть кнопку Готово.



Діалогове вікно PCB Wizard. Бібліотеки символів і моделювання.

У головному вікні пакету OrCAD Express for Windows з'являться два

вікна: вікно менеджера проекту і вікно схеми (Schematic Page). У вікні схеми вводиться принципова схема цифрового пристрою. Коли активне вікно схеми, то праворуч, за звичай, з'являється панель інструментів для створення схеми.



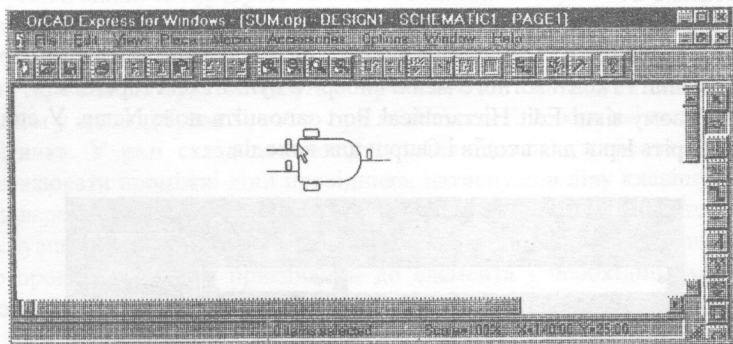
Введення схеми можна розділити на 3 етапи:

- a) вибір елемента з бібліотеки;
- b) розміщення вибраного елемента;
- c) встановлення електричних зв'язків між розміщеними елементами за допомогою провідників або за іменами.

Пункти a), b), c) повторюються необхідне число разів, поки не буде отримана необхідна схема. Розглянемо кожний з етапів детальніше.

Вибір елемента з бібліотеки

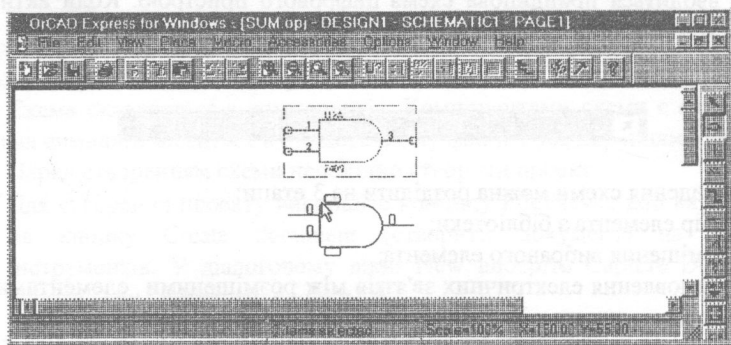
Для отримання доступу до бібліотек графічних представлень елементів необхідно виконати команду Place\Part... або натиснути на кнопку Place part (друга зверху при вертикальному розташуванні панелі інструментів). У діалоговому вікні Place Part в списку Libraries виберіть необхідну бібліотеку. У списку Part виберіть потрібний елемент. Для прискорення пошуку елемента в списку можна в рядку введення Part, розташованого над списком, ввести шаблон імені елемента. У шаблоні можуть використовуватися символи заміни (* - будь-яке число будь-яких символів; ? - один будь-який символ). Після введення шаблону імені натисніть клавішу <Enter>. Після вибору елемента натисніть кнопку ОК. Діалог вибору елемента закриється, а у вікні схеми під курсором миші з'явиться контурне зображення елемента.



Розміщення вибраного елемента

Для розміщення вибраного елемента необхідно виконати натиснути ліву

клавішу миші. Останній розміщений елемент буде виділений.



Встановіть у вікні схеми необхідну кількість елементів даного типу. Для розміщення елементів іншого типу необхідно знов виконати команду Place\Part...

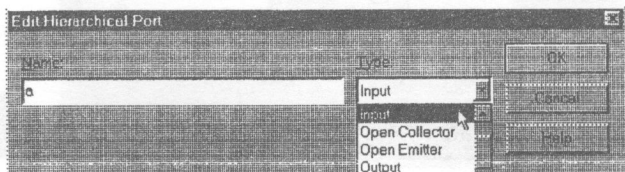
Для завершення розміщення елементів викличте контекстне меню, натискаючи праву клавішу миші, і виберіть опцію End Mode. Також, для завершення розміщення елементів, можна вибрати інструмент Select, натиснувши на кнопку Select на панелі інструментів (перша кнопка зверху при вертикальному розташуванні панелі інструментів).

Для підключення схеми необхідно встановити входні і вихідні елементи (порти). Для установки портів виконайте команду Place\Hierarchical Port... або натисніть кнопку Place port на панелі інструментів (одинадцята зверху при вертикальному розташуванні панелі інструментів). У діалоговому вікні Place Hierarchical Port виберіть потрібний порт з списку Symbol і натисніть кнопку OK.

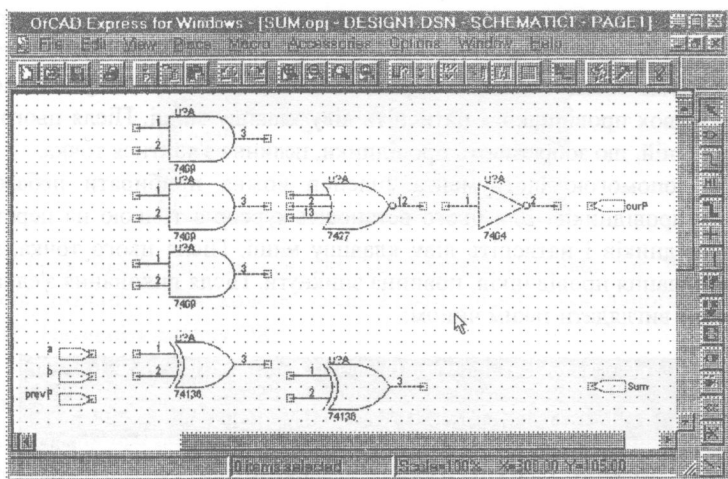
Для входів схеми краще використати - PORTRIGHT-R, а для виходів - PORTLEFT-L.

Для настройки порту встановіть курсор на символ порту і натисніть ліву клавішу миші. Символ порту виділиться, після цього натисніть праву клавішу миші і з контекстного меню виберіть пункт Edit Properties...

У діалоговому вікні Edit Hierarchical Port заповніть поле Name. У списку Type виберіть Input для входів і Output для виходів.



Після цього натисніть кнопку OK.



Розташувавши всі елементи у вікні схеми, виконаємо побудову зображення електричних зв'язків елементів.

Побудова електричних зв'язків розміщених елементів

Для побудови електричних зв'язків використовується інструмент Wire (провід). Виконайте команду Place\Wire... або натисніть кнопку Place wire на панелі інструментів (третя зверху при вертикальному розташуванні панелі інструментів). Курсор миші змінить свою форму на хрестоподібну. На кінцях виводів елементів зображені маленькі квадратики, які зникають при приєднанні до виводу провідника.

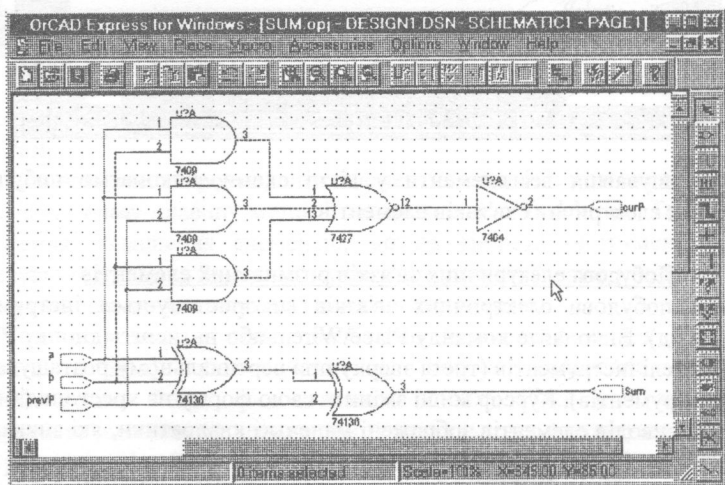
Для з'єднання двох елементів провідником натисніть ліву клавішу миші при розміщенні курсору на виводі першого елементу. Тепер, при пересуванні миші, за курсором тягнеться тонка лінія. Рухайте курсор миші до виводу другого елемента і, підвівши до маленького квадратики на кінці виводу, натисніть ліву клавішу миші. Квадратики на кінцях виводів зникнуть, а виводи будуть сполучені провідником. Провідник тягнеться за курсором у вигляді букви Г, тобто при необхідності можна змінити напрям провідника. У разі складного розташування багатьох елементів можна встановлювати проміжні лінії провідника, натиснувши ліву клавішу миші. Для завершення роботи з інструментом Wire викличте контекстне меню, натиснувши праву клавішу миші, і виберіть опцію End wire. У випадку, якщо провідник не був приєднаний до елемента і необхідно закінчити лінію, виберіть в контекстному меню опцію End wire.

При простому перетині двох ліній, що зображають провідники, контакт між ними відсутній.

Для з'єднання двох пересічних ліній необхідно скористатися інструментом Junction (з'єднання, вузол). Виконайте команду

PlaceJunction... або натисніть кнопку Place junction (шоста зверху при вертикальному розташуванні панелі інструментів) на панелі інструментів. Під курсором миші з'явиться чорна точка. Встановіть точку на місце перетину двох провідників і натисніть ліву клавішу миші. Після цього на перетині ліній, що зображають провідники, повинна з'явитися точка.

За допомогою інструмента Junction можна прибирати небажані перетини провідників. Для цього встановіть курсор з точкою на перетин двох провідників і натисніть ліву клавішу миші. Після цього точка, яка вказує з'єднання провідників, повинна зникнути. Після виконання з'єднань схема буде виглядати таким чином:



Після завершення процесу створення схеми збережіть її на диску.

Моделювання цифрових схем

До початку моделювання необхідно виконати оновлення посилки на елементи. У вікні менеджера проекту виділіть папку. \design1.dsn (якщо Ви зберігали файл розробки під іншим ім'ям, то виберіть відповідну папку).

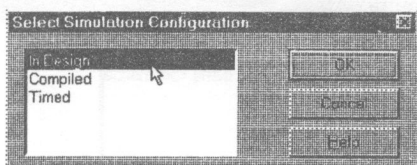
Після цього виконайте команду Tools\Update Part Reference...

У діалоговому вікні Update Part Reference перемикач Score (діапазон) встановіть в положення Update entire design (оновити весь проект), перемикач Action (дія) - в положення Incremental reference update (інкрементне коригування посилань). Після цього натисніть кнопку OK.

До початку моделювання виконайте команду Tools\Simulate. Звичайно при цьому пакет пропонує зберегти файли проекту і дизайну.

В діалоговому вікні Select Simulation Configuration виберіть в списку

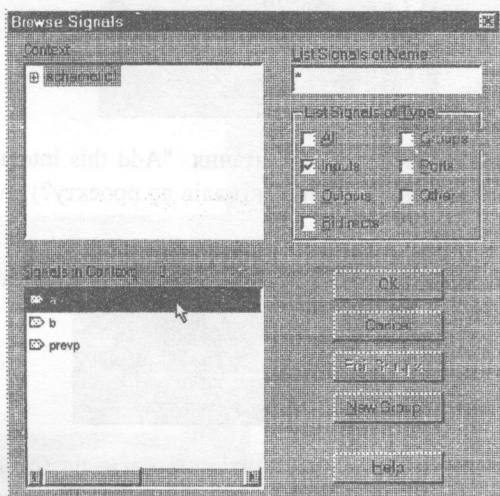
опцію In Design і натисніть клавішу ОК.



Після цього запуститься OrCAD Express Simulate for Windows і задасть питання: "Ви хочете завантажити дизайн для даного проекту зараз?". Натисніть кнопку ОК.

У разі наявності в проекті помилок буде видане повідомлення з пропозицією переглянути журнал реєстрації, в який записуються повідомлення про помилки. При благополучному завантаженні виконайте команду Stimulus\New Interactive...

У діалоговому вікні Interactive Stimulus виберіть потрібну закладку: Absolute, Relative або Clock. Для вибору входу, на який буде подаватися сигнал, натисніть кнопку Browse... і в діалоговому вікні Browse Signals в списку Signal in Context виберіть потрібний сигнал і натисніть кнопку ОК.



В діалоговому вікні Interactive Stimulus зробіть налагодження сигналу.

В полі введення Start at введіть момент часу, в який буде поданий даний сигнал.

В полі введення Set to встановлюється значення сигналу (можливі 9

значень):

- U невизначений;
- X невідомий;
- 0 логічний нуль;
- 1 логічна одиниця;
- Z високоімпедансний стан;
- W слабе невідоме;
- L слабкий нуль;
- H слаба одиниця;
- значення не важливе.

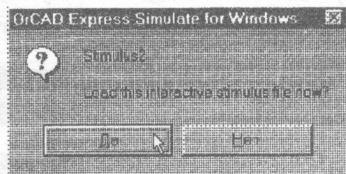
Значення за замовчуванням U - не визначене.

В полі for введіть тривалість сигналу.

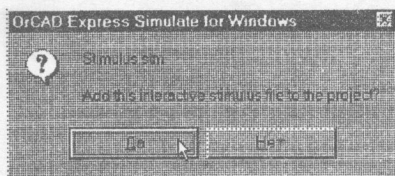
Після заповнення параметрів сигналу натисніть на кнопку Add для доповнення параметрів сигналу в список вхідних сигналів.

Після налагодження всіх сигналів натисніть кнопку ОК.

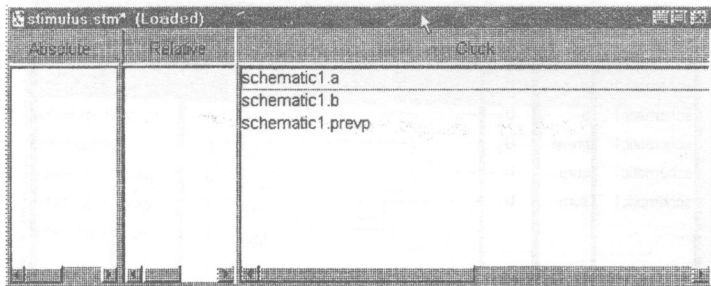
На питання "Load this interactive stimulus file now?" (Завантажити цей файл сигналів зараз?) дайте відповідь "Так".



Збережіть файл сигналів і на питання "Add this interactive stimulus file to the project?" (Додати цей файл сигналів до проекту?) дайте відповідь "Так".

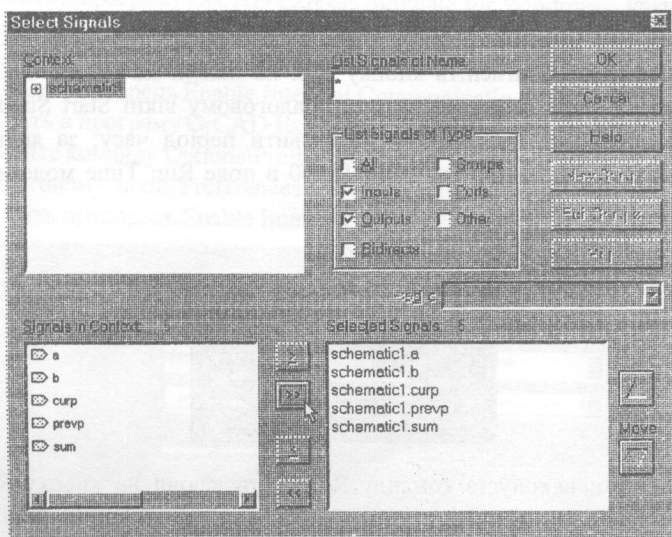


Нижче показаний вигляд вікна вхідних сигналів (стимулів). Вікно стимулів розділене на три частини: Absolute (абсолютні) Relative (відносні) Clock (періодичні). Абсолютні стимули приймають певне значення в певний момент часу. Як відносні, задаються вхідні сигнали на шинах, коли вони повинні змінюватися з часом на певне значення. Як періодичні, задаються тактові сигнали або набір сигналів для перебору всіх комбінацій двійкового коду.



Виконайте команду Trace\New Wave Window...

У діалоговому вікні Select Signals встановіть вмикачі Inputs і Outputs у включений стан, всі інші вимкніть. Потім перенесіть в список Selected Signals вхідні і вихідні сигнали і натисніть кнопку OK. Для перенесення сигналу із списку Signal in Context в список Selected Signals виділіть ім'я сигналу в першому списку й натисніть кнопку \geq (перенесення виділеного сигналу) або \gg (перенесення всіх сигналів в даному контексті, тобто видимих в списку Signals in Context).



Після цього повинно з'явитися вікно тимчасових діаграм, вигляд якого приведений нижче.

Вікно тимчасових діаграм розділене на чотири частини: Context (контекст), Signal (сигнал - ім'я висновку або псевдонім провідника), State (стан) і область діаграм.

В області контексту відображається ім'я ієрархічного блоку, в якому знаходиться висновок або провідник.

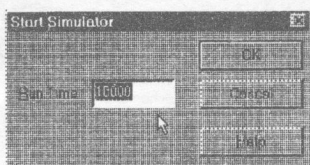
Context	Signal	Status	0Hz	4000Hz	8000Hz	16000Hz
schematic1	a	U
schematic1	b	U
schematic1	prevp	U
schematic1	curp	U
schematic1	sum	U

В області сигналів відображається ім'я сигналу.

В області стану відображається стан (U, X, 0, 1, Z, W, L, H, -) сигналу в момент часу, який задається курсором, що пересувається по області тимчасових діаграм. Курсор зображений вертикальною межею, що проходить через все вікно, при цьому, над верхнім кінцем виводиться момент часу.

Для початку процесу моделювання виконайте команду Simulate\Run... або натисніть кнопку Run на панелі піктограм. Якщо Ви виконаєте команду Run з меню, то в діалоговому вікні Start Simulator в полі введення Run Time можна встановити період часу, за який буде моделюватися схема. При значенні 10000 в поле Run Time моделювання буде проводитися від $t_0 = 0$ до $t = 10000$.

Після цього натисніть кнопку ОК.



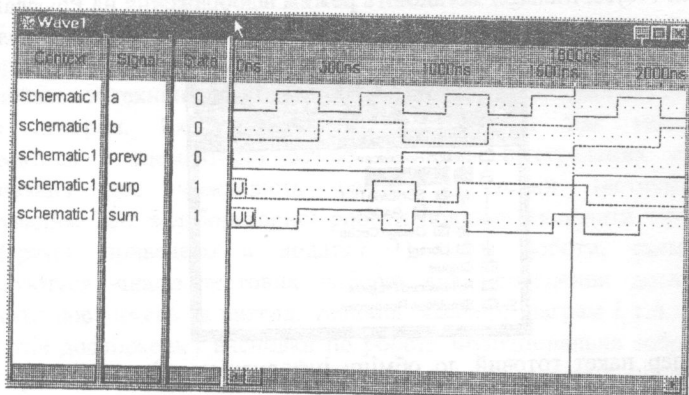
Якщо Ви виконаєте команду Run, натискаючи на кнопку Run, то діалогове вікно Start Simulator не відображається.

Після проведення моделювання вікно тимчасових діаграм буде мати вигляд, як показано нижче.

Масштаб змінюється за допомогою команд View\Zoom In і View\Zoom Out.

Іноді, після редагування стимулів, необхідно здійснити скидання поточного часу і почати моделювання з початку. Для цього виконайте команду Simulate\Restart. Після цього можна знов виконувати команду

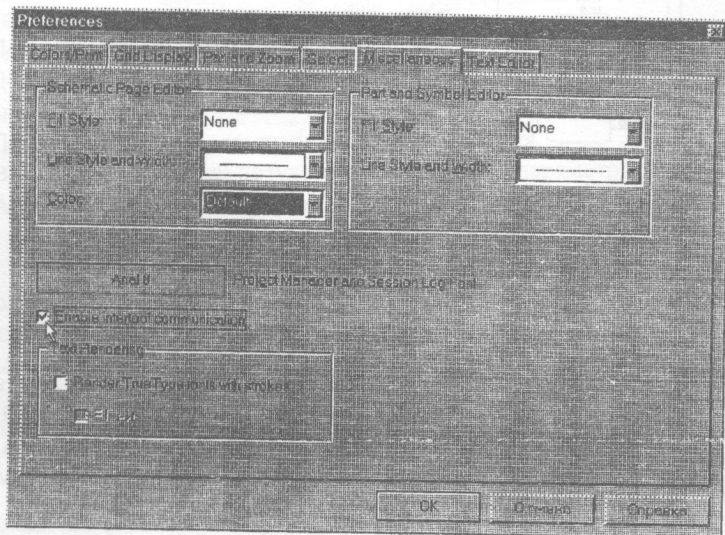
Run.



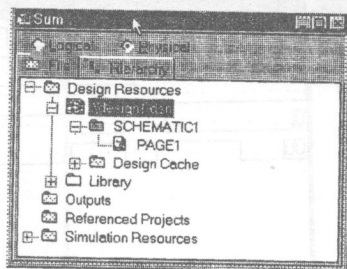
Перегляд значень сигналів у вікні схеми пакету OrCAD Express for Windows

У пакеті OrCAD Express for Windows існує можливість перегляду значень на виводах схеми у її вікні. Для цього виконайте такі дії.

1. Перейдіть в програму OrCAD Express Simulate for Windows.
2. Виконайте команду Options\Project...
3. У діалоговому вікні Project Options перейдіть на закладку Run і встановіть прапорець Enable Intertool Communication.
4. Перейдіть в програму OrCAD Express for Windows.
5. Виконайте команду Options\Preferences...
6. У діалоговому вікні Preferences перейдіть на закладку Miscellaneous і встановіть прапорець Enable Intertool Communication.



7. У вікні Project Manager встановіть режим відображення на Physical. При цьому папки дизайну, підсхем і сторінок схем змінять свій колір на сірий.



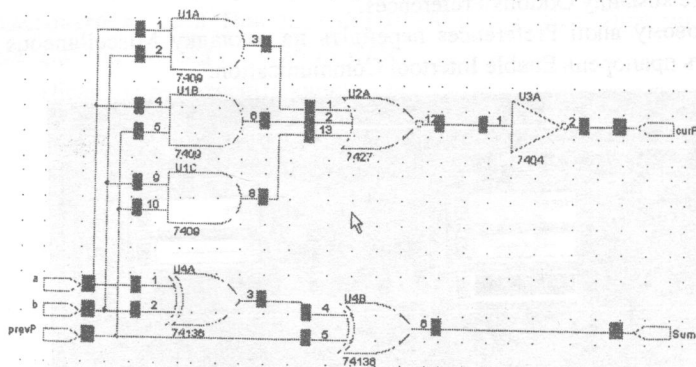
Тепер пакет готовий до обміну інформацією між додатками і до відображення інформації у вікні схеми.

Перейдіть в OrCAD Express Simulate for Windows і запустіть моделювання схеми.

Перейдіть у вікно тимчасових діаграм і встановіть курсор на необхідну точку.

Перейдіть в OrCAD Express for Windows і перейдіть у вікно схеми. У вікні схеми будуть відображатися значення сигналів в даний момент часу на входах і виходах схеми.

Нижче приведений вигляд схеми на екрані монітора при її моделюванні за допомогою пакета OrCAD.



Сучасні пакети застосовних програм типу PCAD і OrCAD дають користувачу (проектанту електронних схем) потужний інструментарій, який суттєво підвищує ефективність роботи під час проектування, скорочує її тривалість і забезпечує високу якість. Моделювання схем виключає їх макетування, тому що забезпечує перевірку працездатності.

ЛАБОРАТОРНИЙ ПРАКТИКУМ

Лабораторні роботи з дисципліни «Схемотехніка ЕОМ» можуть мати орієнтацію як на експериментальне дослідження елементів і схем обчислювальної техніки, так і на їх моделювання за допомогою сучасних пакетів програм. Експериментальне дослідження дає можливість ознайомитись з елементною базою на рівні інтегральних схем, а моделювання дає можливість освоїти сучасний інструментарій проектування. Звіт з лабораторної роботи повинен включати титульний лист (зразок приведено в додатку 1), мету роботи, схеми, що досліджуються, аналіз тестових наборів для проведення досліджень, результати досліджень (в вигляді таблиць, часових діаграм і т.п.), аналіз результатів досліджень і висновки по роботі. Функціональне зображення деяких вузлів, які використовуються в лабораторних роботах, приведене в додатку 3.

Лабораторна робота №1

ЗНАЙОМСТВО З ЛАБОРАТОРНИМ СТЕНДОМ «СХЕМОТЕХНІКА» І ДОСЛІДЖЕННЯ ПАРАМЕТРІВ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Мета роботи: знайомство з функціональними можливостями лабораторного стенду «Схемотехніка», основними прийомами роботи з осцилографом, дослідження основних параметрів логічних елементів.

Порядок виконання роботи

1. Знайомство з функціональними можливостями стенду «Схемотехніка» і правилами роботи з ним.
2. Знайомство з функціональними можливостями осцилографа, основними прийомами його використання для спостереження сигналів, вимірювання напруг і часових параметрів.
3. Дослідження електричних параметрів логічних елементів.
4. Дослідження часових параметрів двійкових сигналів і логічних елементів.
5. Перевірка логічних елементів на функціонування.
6. Визначення статичної потужності і порівняння параметрів з типовими.
7. Аналіз результатів і висновки.

Методичні вказівки

Стенд «Схемотехніка» призначений для експериментального дослідження цифрових і аналогових елементів і схем обчислювальної техніки. Досліджувані елементи оформлені в вигляді мікромакетів. Поле комутації дозволяє встановлювати зв'язки між досліджуваними елементами. Має місце індикація виходів всіх елементів мікромакета. Є можливість задавати на входах елементів постійні і змінні потенціальні сигнали, одиночні імпульси або їх серії.

За допомогою осцилографа можна спостерігати сигнали, які періодично змінюються, приблизно вимірювати рівні сигналів і їх часові

параметри.

Вимірювання слід проводити під керівництвом викладача.

При дослідженні електричних параметрів логічних елементів слід виміряти рівні потенціальних сигналів, вхідні струми при різних значеннях сигналу на вході.

При дослідженні часових параметрів двійкових сигналів і логічних елементів слід виміряти за допомогою осцилографа тривалість переднього і заднього фронтів та час затримки логічного елементу (щоб точніше визначити час затримки, слід послідовно включити декілька елементів і сумарну затримку поділити на їх кількість).

При перевірці логічних елементів на функціонування, слід подавати на їх входи тестові набори, фіксуючи вихідні сигнали з наступним аналізом на відповідність закону функціонування логічного елементу.

Лабораторна робота №2

ДОСЛІДЖЕННЯ ОДНОСТУПЕНЕВИХ ТРИГЕРНИХ СХЕМ

Мета роботи: експериментальне виявлення властивостей одноступеневих тригерних схем.

Порядок виконання роботи

1. Дослідження асинхронного RS-тригера, побудованого на елементах "І-НІ".
2. Дослідження асинхронного RS-тригера, побудованого на елементах "АБО-НІ".
3. Дослідження асинхронного D-тригера.
4. Дослідження одноступеневого синхронного RS-тригера, побудованого на елементах І-НІ.
5. Дослідження одноступеневого синхронного D-тригера.
6. Дослідження лічильного тригера на базі одноступеневого синхронного D-тригера.
7. Аналіз результатів і висновки.

Методичні вказівки

При дослідженні заданих типів тригерів останні складають з відповідних елементів. Результати досліджень показують в вигляді часових діаграм. Аналіз результатів проводять, співставляючи їх з відповідними таблицями функціонування тригерів.

Лабораторна робота №3

ДОСЛІДЖЕННЯ ДВОСТУПЕНЕВИХ ТРИГЕРНИХ СХЕМ ТА ТРИГЕРІВ З ДИНАМІЧНИМ КЕРУВАННЯМ

Мета роботи: експериментальне виявлення властивостей двоступеневих тригерних схем та тригерів з динамічним керуванням.

Порядок виконання роботи

1. Дослідження D-тригера з динамічним керуванням.

2. Дослідження JK-тригера з динамічним керуванням.
3. Дослідження двоступеневого D-тригера.
4. Аналіз результатів і висновки.

Методичні вказівки

Для дослідження двоступеневий тригер складають з логічних елементів, а тригери з динамічним керуванням - виконані в вигляді ІС (ТМ2, ТВ1, ТВ9). Тестові набори задають таким чином, щоб найбільш повно дослідити властивості відповідних тригерів. Результати досліджень показують у вигляді часових діаграм.

Лабораторна робота №4 ДОСЛІДЖЕННЯ РЕГІСТРІВ

Мета роботи: знайомство з розповсюдженими регістрами в серіях інтегральних схем і експериментальне виявлення функцій регістрів ТМ9 та ІР13 а також вузлів на їх основі.

Порядок виконання роботи

1. Дослідження регістра ТМ9.
2. Дослідження регістра ІР13.
3. Дослідження розподільвача сигналів на основі регістра ІР13.
4. Дослідження лічильника Джонсона на основі регістра ТМ9.
5. Знайомство з розповсюдженими регістрами в серіях ІС.
6. Аналіз результатів і висновки.

Методичні вказівки

Окремо досліджують функції регістрів ТМ9 та ІР13. Розподільвач сигналів на основі регістра ІР13 організують таким чином. Що спочатку в регістр заносять одиницю, а потім починають її послідовно зсувати, представляючи результати в вигляді часової діаграми.

Лічильник Джонсона - це такий зсувний регістр, коли на послідовний вхід надходить інверсний сигнал з послідовного виходу. На основі регістра ТМ9 зсув організують за допомогою занесення коду (стану регістра з відповідним зміщенням). Результати досліджень також подають у вигляді часової діаграми.

Лабораторна робота №5 ДОСЛІДЖЕННЯ ЛІЧИЛЬНИКІВ

Мета роботи: знайомство з розповсюдженими лічильниками в серіях інтегральних схем і експериментальне дослідження лічильників.

Порядок виконання роботи

1. Дослідження лічильника К155ІЕ7.
2. Побудова і дослідження трирозрядного підсумовуючого двійкового лічильника на основі D-тригерів (ТМ2).
3. Побудова і дослідження трирозрядного віднімального двійкового лічильника на основі JK-тригерів (ТВ9).
4. Знайомство з розповсюдженими лічильниками в серіях ІС.

5. Аналіз результатів і висновки.

Методичні вказівки

При дослідженні для трирозрядних лічильників одержують повну часову діаграму. Для лічильника ІЕ7 одержують окремо часові діаграми роботи в режимі додавання і віднімання з врахуванням сигналів перенесення.

Лабораторна робота №6 ДОСЛІДЖЕННЯ ДЕШИФРАТОРІВ, МУЛЬТИПЛЕКСОРІВ ТА СХЕМ НА ЇХ ОСНОВІ

Мета роботи: експериментальне виявлення властивостей дешифраторів і мультиплексорів.

Порядок виконання роботи

1. Дослідження дешифратора ІДЗ.
2. Дослідження дешифратора ІД7.
3. Дослідження розподільвача сигналів на основі лічильника ІЕ7 та дешифратора ІДЗ.
4. Реалізація заданої функції на основі мультиплексора КП1 і експериментальне дослідження схеми.
5. Аналіз результатів і висновки.

Методичні вказівки

Результати дослідження дешифраторів і мультиплексора доцільно показати в вигляді таблиць, а розподільвача сигналів - у вигляді часової діаграми. Розподільвач сигналів будують таким чином, що лічильник працює в режимі додавання, формуючи лінійну послідовність комбінацій змінних, які надходять на адресні входи дешифратора. При наявності на стробових входах дешифратора активного значення сигналів активне (нульове) значення сигналу буде лінійно розподілене на виходах дешифратора.

Задану логічну функцію приводять до ДДНФ і реалізують на основі мультиплексора КП1. Дослідження полягає в експериментальному визначенні значень заданої функції і порівнянні їх з теоретичними.

Лабораторна робота №7

ПРОЕКТУВАННЯ І ДОСЛІДЖЕННЯ ТРИГЕРНИХ СХЕМ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ В СИСТЕМІ PCAD

Мета роботи: дослідження характеристик тригерів і здобуття навичок моделювання за допомогою програм PCAD.

Порядок виконання роботи

1. Ввійти в систему PCAD і в свій розділ (який вказує викладач, режим DETL).
2. Записати командний файл. Для цього необхідно натиснути клавіші [Shft-F4] і на запитання системи Edit the file: набрати з клавіатури <ім'я файла.cmd> і натиснути клавішу [Enter]. Набрати склад командного файла і зберегти командний файл (натиснути клавішу F2).

3. Завантажити програму PCCAPS, набравши з клавіатури команди PCCAPS або PCCAPS-R і натиснути клавішу [Enter]. При цьому екран дисплея форматується, на ньому з'являється графічний курсор "хрест", справа від головної зони показу з'являється меню команд.

4. Вивести на екран схему, що досліджується. Для цього необхідно подати команду FILE/LOAD і в рядку повідомлення набрати ім'я схеми (наприклад CX12). Перевірити його на відповідність заданій схемі.

5. При необхідності ввести атрибути компонентів (затримки сигналів і навантаження мікросхем) командою ATTR/ACOM по запитанню:

Select a component ...

курсором вибрати компонент і натиснути ліву клавішу миші. Цей компонент яскраво висвічується. На підказку системи:

Select location (Text attributes OK?) ...

знайти курсором місце (біля компонента) для задання атрибутів. Натиснути ліву клавішу миші. На підказку системи:

Tap in attribute spec

з клавіатури ввести часові затримки елемента (наприклад):

PCL - 25,23

і натиснути клавішу [Enter]. При змінах в схемі її необхідно записати на диск командою FILE/SAVE. У відповідь на запитання:

Enter file name

вводиться ім'я файлу (без розширення .SCH, яке встановлюється за **замовчуванням** в режимі DETL). Цей файл заноситься в поточний підкаталог.

6. Вийти з програми PCCAPS командою SYS/QUIT.

7. Провести моделювання принципової схеми, тобто одержати часові діаграми її роботи. Для цього необхідно завантажити пакетний файл з розширенням .BAT, в який заносяться командні рядки виклику послідовності програм. Наприклад, файл пакетної обробки start1.bat:

pcnodes %1.sch

presim %1.nlt

pclogs %1.cmd

Подати команду start1.bat <ім'я файлу>. Ім'я файлу принципової схеми необхідно вводити без розширення .sch.

8. Провести аналіз роботи вашої схеми по часовій діаграмі.

9. Для виходу з програми необхідно з клавіатури ввести команду EXIT.

10. Внести необхідні зміни в пакетний файл plot.cmd.

11. Видати на друк часову діаграму. Для цього необхідно подати команду POSTSIM і ім'я пакетного файлу для друку:

POSTSIM plot.cmd

Зберегти її для звіту з лабораторної роботи.

12. Вийти з програми POSTSIM командою EXIT A.

КУРСОВЕ ПРОЕКТУВАННЯ

Організація курсового проектування здійснюється згідно "Положення про виконання курсових проектів та робіт у ВДГУ", затвердженого Ученою радою ВДГУ 30.12.98 р. Матеріал цього розділу може бути використаний при виконанні курсової роботи з дисципліни «Схемотехніка ЕОМ» студентами денної та заочної форм навчання.

Курсова робота з дисципліни «Схемотехніка ЕОМ» виконується згідно з індивідуальним завданням і є самостійною роботою студента, призначеною для закріплення, розширення, узагальнення і практичного використання знань, умінь і навичок, одержаних під час навчання. В процесі курсового проектування студенти здобувають навички аналізу і синтезу схем, їх моделювання за допомогою сучасних пакетів прикладних програм.

Відповідальність за правильність прийнятих рішень, обґрунтувань, розрахунків та якість оформлення несе студент - автор роботи.

Згідно з затвердженим графіком студент зобов'язаний своєчасно подавати керівникові результати роботи над курсовою роботою.

Тематика курсових робіт може бути типовою і спеціалізованою. Завдання на спеціалізовані курсові роботи незалежно від об'єкту проектування повинно передбачати схемотехнічне проектування та машинне моделювання спроектованого вузла, бути узгодженим з керівником і консультантом курсової роботи і затвердженим на засіданні кафедри.

Типове завдання на курсову роботу передбачає синтез двійково-десятичного лічильника і його моделювання на ЕОМ згідно заданого варіанта. Варіанти завдання приведені в табл.2. Вони визначають вагу розрядів і типи тригерів.

Таблиця 2

Варіанти завдання на курсову роботу

Старша цифра номера варіанта	Типи тригерів				Молодша цифра номера варіанта	Вага розрядів			
	T ₄	T ₃	T ₂	T ₁		T ₄	T ₃	T ₂	T ₁
0	JK	JK	D	D	0	5	2	1	1
1	D	D	D	JK	1	4	3	1	1
2	D	D	JK	D	2	4	2	2	1
3	D	D	JK	JK	3	6	2	2	1
4	D	JK	D	D	4	6	3	1	1
5	D	JK	D	JK	5	4	3	2	1
6	D	JK	JK	D	6	3	3	2	1
7	D	JK	JK	JK	7	7	3	2	1
8	JK	D	JK	D	8	4	4	2	1
9	JK	D	JK	JK	9	5	4	2	1

Критерій проектування лічильника передбачає максимум швидкодії при відносному мінімумі апаратних витрат. Для моделювання лічильника слід використовувати сучасні програмні засоби (PCAD, OrCAD та ін.).

Зміст пояснювальної записки до курсової роботи

При оформленні тексту пояснювальної записки до курсової роботи слід користуватися рекомендаціями стандарту ДСТУ 3008-95, де встановлені вимоги до оформлення звітної наукової документації.

Текст пояснювальної записки має бути викладений в лаконічному обґрунтовальному стилі.

Пояснювальна записка повинна включати такі розділи:

- титульний лист
- вступ
- зміст (лист з основним написом)
- завдання
- аналіз завдання і вибір методу синтеза
- синтез заданого вузла
- машинне моделювання вузла
- оцінка результатів проектування
- перелік використаної літератури

Пояснювальна записка виконується на листах стандартного формату А4 (функціональні схеми вузла і результати моделювання можуть бути представлені на листах більшого формату) згідно діючих стандартів. Орієнтовний обсяг пояснювальної записки 10-15 листів друкованого тексту. Зразок титульного листа приведений в додатку 2.

Захист курсових робіт

Захист робіт проводиться перед комісією з двох-трьох викладачів при безпосередній участі керівника роботи в присутності студентів групи. В результаті захисту курсова робота оцінюється чотирибальною оцінкою і відповідною їй модульною оцінкою за модульно-рейтинговою системою в залежності від якості виконання роботи та рівня відповідей на запитання при захисті роботи. Курсові роботи, виконані не за своїм варіантом завдання, або не в повному обсязі чи з суттєвими помилками, виконані не самостійно (про що свідчить некомпетентність у рішеннях та матеріалах), до захисту не допускаються і направляються керівником роботи на доопрацювання. В цьому випадку у заліковій відомості робиться запис "не допущений", що еквівалентно одержанню оцінки "незадовільно", тобто свідчить про появу академзаборгованості, яка може бути ліквідована на загальних підставах.

Основні етапи проектування

Основними складовими курсової роботи є синтез функціональної

схеми лічильника і її машинне моделювання.

Розглянемо приклад синтезу синхронного двійково-десятькового лічильника на основі тригерів D-типу, який працює в коді з вагою розрядів 5-3-2-1.

Синхронний лічильник на D-тригерах - це лічильник, на тактові входи тригерів якого надходять вхідні імпульси, а на D-входи - сигнали, керуючі переходом тригерів до нового стану в відповідності з законом функціонування лічильника. Закон функціонування лічильника задамо табл.3, в якій в кожному з десяти станів лічильника поставимо у відповідність значення станів тригерів лічильника, враховуючи, що вага розрядів тригерів відповідно дорівнює 5, 3, 2 і 1. Оскільки зображення десяткових цифр в коді 5-3-2-1 на деяких наборах неоднозначне, слід прагнути до вибору таких варіантів, реалізація яких призводить до менших затрат обладнання, якщо послідовність станів не обумовлена.

В таблиці відмітимо значення сигналів на D-входах тригерів, які необхідно сформувати, щоб забезпечити роботу лічильника в відповідності з законом функціонування. З логіки роботи D-тригера випливає, що вказані сигнали будуть відповідати значенням тригерів в наступному такті.

Згідно з табл.3 запишемо функції D-входів тригерів в залежності від змінних T та проведемо їх мінімізацію за допомогою діаграм Вейча.

Таблиця 3

Таблиця переходів лічильника

Десяткова цифра	Вага розрядів				Функції D-входів			
	5 T ₁	3 T ₂	2 T ₃	1 T ₄	D ₄	D ₃	D ₂	D ₁
0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	1
4	0	1	0	1	1	0	0	0
5	1	0	0	0	1	0	0	1
6	1	0	0	1	1	0	1	0
7	1	0	1	0	1	0	1	1
8	1	0	1	1	1	1	0	1
9	1	1	0	1	0	0	0	0

Діаграма станів лічильника згідно заданої ваги розрядів і діаграми, які відповідають функціям D₁-D₄, показані відповідно на рис.46. Стани, відмічені знаком X, є надлишковими. Вони можуть використовуватись для спрощення (мінімізації) функцій D₁-D₄, оскільки вважається, що відповідні їм коди ніколи не будуть з'являтися при поданні двійково-

десяткових цифр. На наборах, відмічених знаком X, функції D₁-D₄ визначають таким чином, щоб вони були подані в мінімальній формі. Це дозволить скоротити апаратні витрати на реалізацію лічильника.

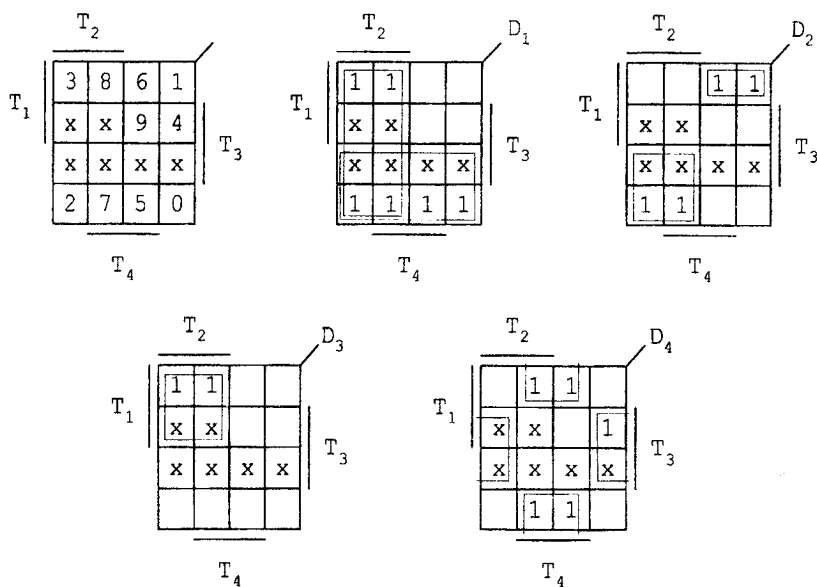


Рис.46. Діаграми Вейча для функцій збудження тригерів

Згідно діаграм Вейча запишемо значення функцій на D-входах тригерів і перетворимо їх до виду, зручного для реалізації на елементах "І-НІ", "І-АБО-НІ".

$$D_1 = \bar{T}_1 + T_2 = \overline{\bar{T}_1 + T_2} = \overline{\bar{T}_1} * \overline{T_2};$$

$$D_2 = \bar{T}_1 T_2 + T_1 \bar{T}_2 \bar{T}_3 = \overline{\bar{T}_1 T_2 + T_1 \bar{T}_2 \bar{T}_3} = \overline{\bar{T}_1 T_2} * \overline{T_1 \bar{T}_2 \bar{T}_3};$$

$$D_3 = T_1 * T_2 = \overline{\bar{T}_1 * \bar{T}_2};$$

$$D_4 = T_3 \bar{T}_4 + \bar{T}_3 T_4 = \overline{T_3 \bar{T}_4 + \bar{T}_3 T_4} = \overline{T_3 \bar{T}_4} * \overline{\bar{T}_3 T_4} = (\overline{T_3 + T_4}) * (\overline{T_3 + \bar{T}_4}) = \\ = \overline{0 + \bar{T}_3 \bar{T}_4 + T_3 T_4 + 0} = \overline{\bar{T}_3 \bar{T}_4 + T_3 T_4}.$$

Реалізуючи вирази функції для D-входів тригерів, отримаємо схему, показану на рис.47. Аналіз цієї схеми показує, що лічильник є синхронним (всі тригери можуть змінювати свій стан одночасно під дією вхідного сигналу), що, згідно критерію проектування, забезпечує високу

швидкодію. Мінімізація функцій D-входів тригерів забезпечує мінімум апаратних витрат на реалізацію комбінаційної частини лічильника. Наявність обох факторів дозволяє задовольнити критерій проектування.

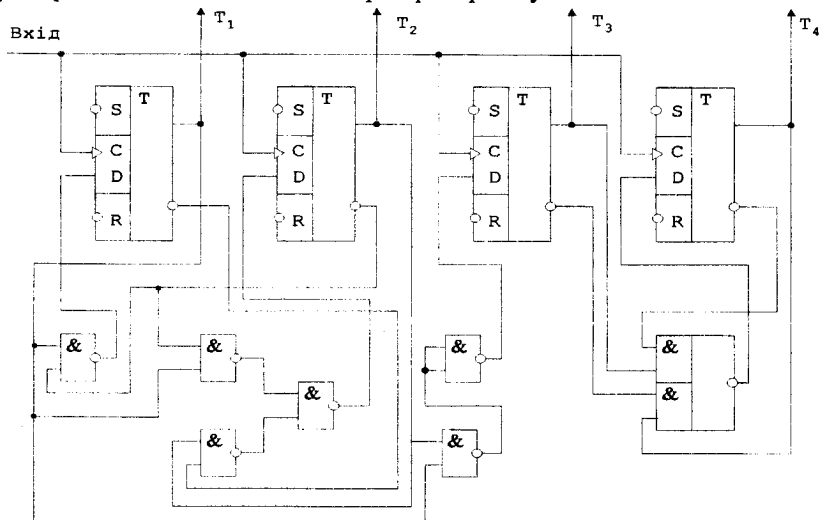


Рис.47. Функціональна схема двійково-десятькового лічильника

Ідеалізована часова діаграма роботи синтезованого лічильника, який функціонує відповідно табл.3, показана на рис.48.

Моделювання схеми синтезованого лічильника полягає в представленні цієї схеми в базисі бібліотеки елементів відповідного пакета прикладних програм (PCAD, OrCAD), розробці тестового набору для контролю роботоздатності лічильника, проходженні всіх стадій моделювання, одержанні результатів моделювання (функціональна схема і часова діаграма роботи). Аналіз результатів моделювання полягає у встановленні відповідності одержаних результатів закону функціонування лічильника.

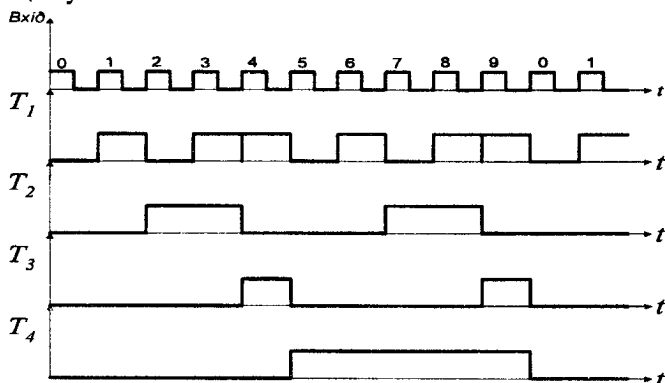


Рис.48. Часова діаграма роботи двійково-десятькового лічильника

Завдання на курсову роботу виконується окремим документом і може мати таку форму:

ЗАВДАННЯ
на курсову роботу з дисципліни "Схемотехніка ЕОМ"
студента групи ІТТІ-97 Петрова П.П.

Тема роботи: Синтез і машинне моделювання двійково-десятькового лічильника.

Варіант № 6

Первинні дані: вага розрядів двійково-десятькового коду 6-3-1-1, типи тригерів - Т1-D, Т2-D, Т3-ЖК, Т4-ЖК, критерій проектування - максимум швидкодії при відносному мінімумі апаратних витрат, використання для моделювання лічильника сучасних програмних засобів (PCAD, OrCAD та ін.).

Основні розділи пояснювальної записки:

- титульний лист;
- вступ;
- зміст (лист з основним написом);
- завдання;
- аналіз завдання і вибір методу синтезу;
- синтез заданого вузла;
- машинне моделювання вузла;
- оцінка результатів проектування;
- перелік використаної літератури.

Завдання видано 10.01.2001 р.

Керівник _____ І.І.Іванов

Студент _____ С.С.Сидоров

ЛИТЕРАТУРА

1. Савельев А.Я. Прикладная теория цифровых автоматов: Учеб. для вузов по спец. ЭВМ. - М.: Высш. шк., 1987.
2. Схемотехника ЭВМ: Учебник для студентов вузов спец. ЭВМ/ Под ред. Г.Н.Соловьева. - М.: Высш. шк., 1985.
3. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: Учеб. пособие для спец. ЭВМ вузов. - М.: Высш. шк., 1987.
4. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. - Л.: Энергоатомиздат, 1986.
5. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги: Справочник. В 2-х томах. - М.: КУБК-а, 1996.
6. Цифровые интегральные микросхемы: Справочник / М.И.Богданович и др. - Мн.: Беларусь: Полымя, 1996.
7. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Р.В.Данилов и др.; Под ред. Б.Н.Файзулаева, Б.В.Тарабрина. - М.: Радио и связь, 1986.
8. Шило В.Л. Популярные цифровые микросхемы: Справочник. - М.: Радио и связь, 1987.
9. Корнейчук В.И. и др. Вычислительные устройства на микросхемах: Справочник. - К.: Техніка, 1986.
10. Справочник по интегральным микросхемам / Б.В.Тарабрин и др.; Под ред. Б.В.Тарабрина. - М.: Энергия, 1985.
11. Каган Б.М. Электронные вычислительные машины и системы: Учеб. пособие для вузов. - М.: Энергоатомиздат, 1985.
12. Самофалов К.Г. и др. Цифровые электронные вычислительные машины. - Киев: Вища школа, 1983.
13. Достал И. Операционные усилители: Пер. с англ. - М.: Мир, 1982.
14. Титце У. Шенк К. Полупроводниковая схемотехника: Справочное руководство. Пер. с нем. - М.: Мир, 1982.
15. Соклоф С. Аналоговые интегральные схемы. Пер. с англ. -М: "Мир", 1988.
16. Раезвиг В. Д. Применение программ PCAD и PSPICE для схемотехнического моделирования на ПЭВМ: в 4 выпусках. - М.: Радио и связь, 1992.

ДОДАТОК 1. Зразок титульного листа звіту про виконання
лабораторної роботи

Міністерство освіти України
Вінницький державний технічний університет
Факультет ІТКІ
Кафедра ПМОС

З В І Т

про виконання лабораторної роботи №1
«Дослідження параметрів логічних елементів»
з дисципліни «Схемотехніка ЕОМ»

Виконав: ст. групи ІТТІ-96
Іванов І.І.

Вінниця - 1999

ДОДАТОК 2. Зразок титульного листа пояснювальної записки
до курсової роботи

Міністерство освіти України
Вінницький державний технічний університет

Факультет ІТКІ
Кафедра ПМОС

**СИНТЕЗ І МАШИННЕ МОДЕЛЮВАННЯ
ДВІЙКОВО-ДЕСЯТКОВОГО ЛЧИЛЬНИКА**

КУРСОВА РОБОТА

з дисципліни «Схемотехніка ЕОМ»

Керівник: І.І.Іванов, доц., ктн. _____ 22.12.99 р.

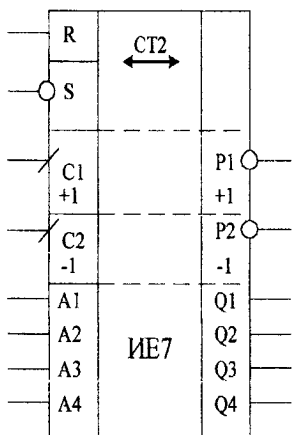
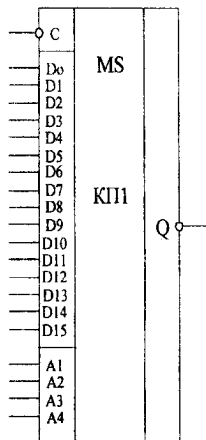
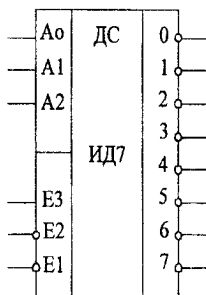
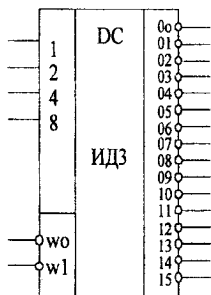
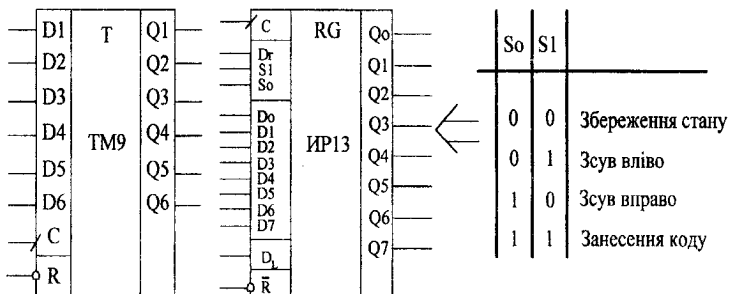
(Підпис)

Студент гр. ІТТІ-97 С.С.Сидоров _____ 11.12.99 р.

(Підпис)

Вінниця - 1999

ДОДАТОК 3. Функціональне позначення деяких вузлів, які досліджуються в лабораторних роботах



ДОДАТОК 4

Зміст дисципліни «Схемотехніка ЕОМ»

для студентів спеціальності

«Програмне забезпечення автоматизованих систем»

Тема 1. **Форми зображення інформації.**

Зміст. Характеристики електричних сигналів. Розділювальні, диференціювальні і інтегрувальні ланцюжки. Способи електричного відображення двійкових цифр і чисел.

Тема 2. **Логічні основи побудови елементів.**

Зміст. Характеристики і електричні параметри елементів та схем ЕОМ. Алгебра логіки при аналізі та синтезі логічних схем. Діаграми Вейча та карти Карно. Насичений та ненасичений ключі (інвертори) на біполярних транзисторах. Кон'юнктор, диз'юнктор та багатоступеневі схеми на біполярних транзисторах. Базові комбінаційні елементи на польових транзисторах.

Тема 3. **Інтегровані системи елементів.**

Зміст. Характеристики і параметри інтегральних систем елементів. Система умовних позначень інтегрованих мікросхем. Базовий логічний елемент транзисторно-транзисторної логіки (ТТЛ). Використання елементів ТТЛ при побудові різних схем. Схеми ТТЛ з трьома положеннями та їх використання в каналах зв'язку ЕОМ. Базовий логічний елемент емітерно-зв'язаної логіки. Базовий логічний елемент інжекційної логіки. Базовий логічний елемент на польових транзисторах. Особливості використання елементів.

Тема 4. **Схемотехніка цифрових елементів.**

Зміст. Характеристики і класифікація цифрових елементів. Синтез асинхронних тригерів. Універсальні тригери.

Тема 5. **Схемотехніка комбінаційних вузлів.**

Зміст. Мультиплектори. Демультіплектори. Дешифратори. Кодоперетворювачі. Цифрові компаратори. Суматори. Програмовані логічні матриці.

Тема 6. **Схемотехніка цифрових вузлів.**

Зміст. Регістри. Двійкові лічильники. Схеми інтегрованих лічильників.

Тема 7. **Схемотехніка обслуговуючих елементів.**

Зміст. Схеми затримування сигналів. Формувачі. Транслятори. Генератори імпульсних сигналів.

Тема 8. **Схемотехніка аналогових та комбінаторних вузлів.**

Зміст. Аналогові інтегровані схеми. Операційні, логарифмічні підсилувачі. Блоки множення та ділення. Аналогові компаратори. Інтервальні таймери. Аналого-цифрові та цифро-аналогові перетворювачі.

Тема 9. **Джерела живлення ЕОМ.**

Зміст. Характеристики, класифікація, функціональні схеми імпульсних джерел живлення.

Тема 10. **Перспективи розвитку схемотехніки ЕОМ.**

Зміст. Підвищення швидкодії, зменшення споживаної енергії. Оптоелектронна та квантооптична схемотехніка ЕОМ.

Міністерство освіти України
Вінницький державний технічний університет

Навчальне видання

Анатолій Михайлович Пестух, Дем'ян Тихонович Обідник

СХЕМОТЕХНІКА ЕОМ

Навчальний посібник

Редактор С.А.Малішевська

Тираж *50* прим. Зам. №

ВДТУ. 286021, м. Вінниця, Хмельницьке шосе, 95